



(12)发明专利申请

(10)申请公布号 CN 110719090 A
(43)申请公布日 2020.01.21

(21)申请号 201810764491.5

(22)申请日 2018.07.12

(71)申请人 新港海岸(北京)科技有限公司
地址 100102 北京市朝阳区利泽中园106号
楼4层401A、403A

(72)发明人 皮德义 刘昌

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 王宝筠

(51) Int. Cl.
H03K 5/135(2006.01)
H03L 7/085(2006.01)

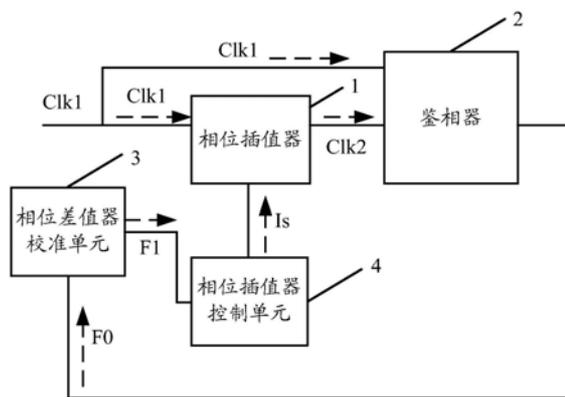
权利要求书2页 说明书7页 附图3页

(54)发明名称

一种相位插值器的自动校准电路及方法

(57)摘要

本发明提供了一种相位插值器的自动校准电路及方法,通过鉴相器比较参考时钟信号和相位插值器的输出时钟信号的相位信息,产生两个时钟的相位差,根据接收到的相位差,得到相位插值器输出时钟信号实际相位与理想相位的差值再进行补偿,从而生成达到与理想相位的相位值一致的补偿信息,将补偿信息发送至相位插值器控制单元进行存储,当相位插值器正常工作时,相位插值器控制单元根据补偿信息产生控制信号,调整相位插值器的输出时钟信号的相位值,最终使相位插值器的输出时钟信号的相位值校准为达到或接近理想相位,使相位插值器产生特定的输出相位,有效提高输出信号的精度。



1. 一种相位插值器的自动校准电路,其特征在于,包括:相位插值器、鉴相器、相位插值器校准单元和相位插值器控制单元,其中:

所述相位插值器分别与所述鉴相器和所述相位插值器控制单元相连,所述相位插值器校准单元与所述相位插值器控制单元相连,所述鉴相器与所述相位插值器校准单元相连;

所述相位插值器接收参考时钟信号,通过数组控制码控制输出相位产生所述相位插值器的输出时钟信号;

通过所述鉴相器比较所述参考时钟信号和所述相位插值器的输出时钟信号,经过信息处理产生所述参考时钟信号的相位值和所述相位插值器的输出时钟信号相位值的相位差,并将所述相位差发送至所述相位插值器校准单元;

所述相位插值器校准单元根据所述相位差得到所述相位插值器的输出时钟信号的实际相位与理想相位的差值,根据所述差值生成达到与所述理想相位的相位值一致的补偿信息,并将所述补偿信息发送至所述相位插值器控制单元进行存储;

在所述相位插值器正常工作时,所述相位插值器控制单元根据所述补偿信息经过处理产生控制信号,从而调整所述相位插值器的输出时钟信号的相位值,使得所述相位插值器的输出时钟信号的相位值校准为达到或接近所述理想相位。

2. 根据权利要求1所述的电路,其特征在于,所述相位插值器包括:输入端、控制端以及输出端,所述鉴相器包括:第一输入端、第二输入端和输出端,所述相位插值器校准单元包括:输入端和输出端,所述相位插值器控制单元包括:输入端和输出端,其中:

所述相位插值器的输入端接收所述参考时钟信号,所述相位插值器的控制端与所述相位插值器控制单元的输出端相连;

所述鉴相器的第一输入端接收所述参考时钟信号,所述鉴相器的第二输入端与所述相位插值器的输出端相连,接收所述相位插值器的输出时钟信号,所述鉴相器的输出端与所述相位插值器校准单元的输入端相连;

所述相位插值器校准单元的输出端与所述相位插值器控制端单元的输入端相连,所述相位插值器校准单元将所述补偿信息发送至所述相位插值器控制单元进行存储。

3. 根据权利要求1所述的电路,其特征在于,所述相位插值器还与所述相位插值器校准单元相连,所述相位插值器校准单元将所述补偿信息发送至所述相位插值器和所述相位插值器控制单元进行存储,或将所述补偿信息发送至所述相位插值器控制单元进行存储。

4. 根据权利要求3所述的电路,其特征在于,所述相位插值器包括:输入端、第一控制端、第二控制端以及输出端,所述鉴相器包括:第一输入端、第二输入端和输出端,所述相位插值器校准单元包括:输入端和输出端,所述相位插值器控制单元包括:输入端和输出端,其中:

所述相位插值器的输入端接收所述参考时钟信号,所述相位插值器的第一控制端与所述相位插值器控制单元的输出端相连;

所述鉴相器的第一输入端接收所述参考时钟信号,所述鉴相器的第二输入端与所述相位插值器的输出端相连,接收所述相位插值器的输出时钟信号,所述鉴相器的输出端与所述相位插值器校准单元的输入端相连;

所述相位插值器校准单元的输出端分别与所述相位插值器的第二控制端和所述相位插值器控制端单元的输入端相连,所述相位插值器校准单元将所述补偿信息发送至所述相

位插值器和所述相位插值器控制单元进行存储,或,将所述补偿信息发送至所述相位插值器控制单元进行存储。

5. 根据权利要求1所述的电路,其特征在于,所述相位差为所述参考时钟信号的相位值和所述相位插值器的输出时钟信号的相位值的差值。

6. 根据权利要求1-5任意一项所述的电路,其特征在于,所述相位插值器通过数字控制码控制电流、电阻、电容的阵列产生权重值,生成所述相位插值器的输出时钟信号。

7. 一种相位插值器的自动校准方法,其特征在于,应用于相位插值器的自动校准,该方法包括:

根据参考时钟信号生成达到与所述理想相位的相位值一致的补偿信息,并将所述补偿信息进行存储;

在所述相位插值器正常工作时,根据所述补偿信息经过处理产生控制信号,从而调整所述相位插值器的输出时钟信号的相位值,使得所述相位插值器的输出时钟信号的相位值校准为达到或接近所述理想相位。

8. 根据权利要求7所述的方法,其特征在于,所述根据参考时钟信号生成达到所述理想相位的相位值一致的补偿信息,并将所述补偿信息进行存储的步骤,包括:

接收参考时钟信号,通过数组控制码控制输出相位产生所述相位插值器的输出时钟信号;

比较所述参考时钟信号和所述相位插值器的输出时钟信号,经过信息处理产生所述参考时钟信号的相位值和所述相位插值器的输出时钟信号的相位值的相位差;

根据所述相位差得到所述相位插值器的输出时钟实际相位与理想相位的差值;

根据所述差值生成达到与所述理想相位的相位值一致的补偿信息,并将所述补偿信息进行存储。

一种相位插值器的自动校准电路及方法

技术领域

[0001] 本发明涉及电路设计技术领域,更具体的说,是涉及一种相位插值器的自动校准电路及方法。

背景技术

[0002] 在电路设计技术领域中,PI (phase interpolator, 相位插值器) 因其输出的时钟信号具有高精度、相位可控性被广泛应用于集成电路中。随着数模混合电路速度的不断提高,对PI的电路精度的要求也不断提高。一般的PI中工艺偏差、寄生电容、寄生电阻对电路的影响不能忽略,常常导致输出信号相位的偏移,因而PI的精度受到影响。

[0003] 现有技术中,PI校准技术一般依赖片外其他组件进行,在小批量过程验证测试或大规模使用时,PI不能进行自校准,无法补偿工艺、电流、温度变化带来的精度损失,从而影响PI输出时钟信号的准确性。

发明内容

[0004] 有鉴于此,本发明提供了一种相位插值器的自动校准电路及方法,以解决现有技术中由于相位插值器不能进行自校准,无法补偿工艺、电流、温度变化带来的精度损失,从而影响相位插值器输出时钟信号的准确性的问题。

[0005] 为实现上述目的,本发明提供如下技术方案:

[0006] 一种相位插值器的自动校准电路,包括:相位插值器、鉴相器、相位插值器校准单元和相位插值器控制单元,其中:

[0007] 所述相位插值器分别与所述鉴相器和所述相位插值器控制单元相连,所述相位插值器校准单元与所述相位插值器控制单元相连,所述鉴相器与所述相位插值器校准单元相连;

[0008] 所述相位插值器接收参考时钟信号,通过数组控制码控制输出相位产生所述相位插值器的输出时钟信号;

[0009] 通过所述鉴相器比较所述参考时钟信号和所述相位插值器的输出时钟信号,经过信息处理产生所述参考时钟信号的相位值和所述相位插值器的输出时钟信号相位值的相位差,并将所述相位差发送至所述相位插值器校准单元;

[0010] 所述相位插值器校准单元根据所述相位差得到所述相位插值器的输出时钟信号的实际相位与理想相位的差值,根据所述差值生成达到与所述理想相位的相位值一致的补偿信息,并将所述补偿信息发送至所述相位插值器控制单元进行存储;

[0011] 在所述相位插值器正常工作时,所述相位插值器控制单元根据所述补偿信息经过处理产生控制信号,从而调整所述相位插值器的输出时钟信号的相位值,使得所述相位插值器的输出时钟信号的相位值校准为达到或接近所述理想相位。

[0012] 进一步地,所述相位插值器包括:输入端、控制端以及输出端,所述鉴相器包括:第一输入端、第二输入端和输出端,所述相位插值器校准单元包括:输入端和输出端,所述相

位插值器控制单元包括:输入端和输出端,其中:

[0013] 所述相位插值器的输入端接收所述参考时钟信号,所述相位插值器的控制端与所述相位插值器控制单元的输出端相连;

[0014] 所述鉴相器的第一输入端接收所述参考时钟信号,所述鉴相器的第二输入端与所述相位插值器的输出端相连,接收所述相位插值器的输出时钟信号,所述鉴相器的输出端与所述相位插值器校准单元的输入端相连;

[0015] 所述相位插值器校准单元的输出端与所述相位插值器控制端单元的输入端相连,所述相位插值器校准单元将所述补偿信息发送至所述相位插值器控制单元进行存储。

[0016] 进一步地,所述相位插值器还与所述相位插值器校准单元相连,所述相位插值器校准单元将所述补偿信息发送至所述相位插值器和所述相位插值器控制单元进行存储,或将所述补偿信息发送至所述相位插值器控制单元进行存储。

[0017] 进一步地,所述相位插值器包括:输入端、第一控制端、第二控制端以及输出端,所述鉴相器包括:第一输入端、第二输入端和输出端,所述相位插值器校准单元包括:输入端和输出端,所述相位插值器控制单元包括:输入端和输出端,其中:

[0018] 所述相位插值器的输入端接收所述参考时钟信号,所述相位插值器的第一控制端与所述相位插值器控制单元的输出端相连;

[0019] 所述鉴相器的第一输入端接收所述参考时钟信号,所述鉴相器的第二输入端与所述相位插值器的输出端相连,接收所述相位插值器的输出时钟信号,所述鉴相器的输出端与所述相位插值器校准单元的输入端相连;

[0020] 所述相位插值器校准单元的输出端分别与所述相位插值器的第二控制端和所述相位插值器控制端单元的输入端相连,所述相位插值器校准单元将所述补偿信息发送至所述相位插值器和所述相位插值器控制单元进行存储,或,将所述补偿信息发送至所述相位插值器控制单元进行存储。

[0021] 进一步地,所述相位差为所述参考时钟信号的相位值和所述相位插值器的输出时钟信号的相位值的差值。

[0022] 进一步地,所述相位插值器通过数字控制码控制电流、电阻、电容的阵列产生权重值,生成所述相位插值器的输出时钟信号。

[0023] 一种相位插值器的自动校准方法,应用于相位插值器的自动校准,该方法包括:

[0024] 根据参考时钟信号生成达到与所述理想相位的相位值一致的补偿信息,并将所述补偿信息进行存储;

[0025] 在所述相位插值器正常工作时,根据所述补偿信息经过处理产生控制信号,从而调整所述相位插值器的输出时钟信号的相位值,使得所述相位插值器的输出时钟信号的相位值校准为达到或接近所述理想相位。

[0026] 进一步地,所述根据参考时钟信号生成达到所述理想相位的相位值一致的补偿信息,并将所述补偿信息进行存储的步骤,包括:

[0027] 接收参考时钟信号,通过数组控制码控制输出相位产生所述相位插值器的输出时钟信号;

[0028] 比较所述参考时钟信号和所述相位插值器的输出时钟信号,经过信息处理产生所述参考时钟信号的相位值和所述相位插值器的输出时钟信号的相位值的相位差;

[0029] 根据所述相位差得到所述相位插值器的输出时钟实际相位与理想相位的差值；
[0030] 根据所述差值生成达到与所述理想相位的相位值一致的补偿信息，并将所述补偿信息进行存储。

[0031] 经由上述的技术方案可知，与现有技术相比，本发明公开了一种相位插值器的自动校准电路及方法，通过鉴相器比较参考时钟信号和相位插值器的输出时钟信号的相位信息，产生两个时钟的相位差，根据接收到的相位差，得到相位插值器输出时钟实际相位与理想相位的差值再进行补偿，从而生成达到与理想相位的相位值一致的补偿信息，将补偿信息发送至相位插值器控制单元进行存储，当相位插值器正常工作时，相位插值器控制单元根据补偿信息产生控制信号，进而调整相位插值器的输出时钟信号的相位值，最终使得相位插值器的输出时钟信号的相位值校准为达到或接近理想相位，从而使得相位插值器产生特定的输出相位，有效提高了输出信号的精度。

附图说明

[0032] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

[0033] 图1为本发明实施例提供的一种相位插值器的自动校准电路示意图；

[0034] 图2为本发明实施例提供的一种相位插值器的自动校准电路信号流程图；

[0035] 图3为本发明实施例提供的另一种相位插值器的自动校准电路示意图；

[0036] 图4为本发明实施例提供的另一种相位插值器的自动校准电路信号流程图；

[0037] 图5为本发明实施例提供的一种相位插值器的自动校准方法流程示意图；

[0038] 图6为本发明实施例提供的步骤S501的一种具体实施方式流程示意图。

具体实施方式

[0039] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0040] 本发明在片上根据环境的不同，可以进行相位插值器自校准工作，引入PD (phasedetector, 鉴相器)、相位插值器校准单元和相位插值器控制单元，根据不同数字控制码下相位插值器输出时钟的相位值，通过鉴相器得知参考时钟信号的相位值和输出时钟相位的相位值的差值，进而得到相位插值器输出时钟实际相位与理想相位的差值再进行补偿，并进行存储。从而在相位插值器工作时调整其输出时钟信号的相位值，使输出时钟信号的相位值校准为达到或接近PI理想相位，确保相位插值器输出时钟信号的准确性。

[0041] 如图1所示，本发明实施例提供了一种相位插值器的自动校准电路，该电路具体包括：相位插值器1、鉴相器2、相位插值器校准单元3和相位插值器控制单元4，其中：

[0042] 相位插值器1分别与鉴相器2和相位插值器控制单元4相连，相位插值器校准单元3与相位插值器控制单元4相连，鉴相器2与相位插值器校准单元3相连；

[0043] 相位插值器1接收参考时钟信号C1k1,通过数组控制码控制输出相位产生相位插值器1的输出时钟信号C1k2;

[0044] 通过鉴相器2比较参考时钟信号C1k1和相位插值器的输出时钟信号C1k2,经过信息处理产生参考时钟信号C1k1的相位值和相位插值器的输出时钟信号C1k2的相位值的相位差F0,并将相位差F0发送至相位插值器校准单元3;

[0045] 相位插值器校准单元3根据相位差F0得到相位插值器1的输出时钟信号的实际相位与理想相位的差值,根据差值生成达到与理想相位的相位值一致的补偿信息F1,并将补偿信息F1发送至相位插值器控制单元进行存储;

[0046] 在相位插值器1正常工作时,相位插值器控制单元4根据补偿信息F1经过处理产生控制信号Is,从而调整相位插值器1的输出时钟信号C1k2的相位值,使得相位插值器1的输出时钟信号C1k2的相位值校准为达到或接近理想相位。

[0047] 进一步地,如图2所示,该相位插值器的自动校准电路的具体结构可以描述一下:相位插值器1包括:输入端、控制端以及输出端,鉴相器2包括:第一输入端、第二输入端和输出端,相位插值器校准单元3包括:输入端和输出端,相位插值器控制单元4包括:输入端和输出端,其中:

[0048] 相位插值器1的输入端接收参考时钟信号C1k1,相位插值器1的控制端与相位插值器控制单元4的输出端相连;

[0049] 鉴相器2的第一输入端接收参考时钟信号C1k1,鉴相器2的第二输入端与相位插值器1的输出端相连,接收相位插值器1的输出时钟信号C1k2,鉴相器2的输出端与相位插值器校准单元3的输入端相连;

[0050] 相位插值器校准单元3的输出端与相位插值器控制单元4的输入端相连,相位插值器校准单元将补偿信息F1发送至相位插值器控制单元4进行存储。

[0051] 需要说明的是,相位差为参考时钟信号的相位值和相位插值器的输出时钟信号的相位值的差值。上述涉及的相位插值器1可以通过数字控制码控制电流、电阻、电容的阵列产生权重值,生成相位插值器的输出时钟信号。

[0052] 可以理解的,参考时钟信号C1k1输入到相位插值器1中,相位插值器1通过数字控制码控制输出相位,从而产生输出时钟信号C1k2。参考时钟信号C1k1和相位插值器1的输出时钟信号C1k2同时输入到鉴相器2中,鉴相器2经过信息处理并比较,产生参考时钟信号C1k1的相位值和输出时钟信号C1k2的相位值的相位差F0,相位插值器校准单元3根据接收到的相位差F0,得到相位插值器输出时钟实际相位与理想相位的差值再进行补偿,从而生成达到与相位插值器理想相位的相位值一致的补偿信息F1,将补偿信息F1发送至相位插值器控制单元进行相应的存储。

[0053] 在相位插值器正常工作时,相位插值器控制单元根据补偿信息F1经过处理产生控制信号Is,从而调整相位插值器的输出时钟信号C1k2的相位值,使得相位插值器的输出时钟信号的相位值校准为达到或接近理想相位,最终使得输出时钟信号C1k2与相位插值器理想相位输出一致,从而使得正常工作时相位插值器产生特定的输出相位,有效提高了输出信号的精度。

[0054] 本发明实施例提供了一种相位插值器的自动校准电路,通过鉴相器比较参考时钟信号和相位插值器的输出时钟信号的相位信息,产生两个时钟的相位差,根据接收到的相

位差,得到相位插值器输出时钟实际相位与理想相位的差值再进行补偿,从而生成达到与理想相位的相位值一致的补偿信息,将补偿信息发送至相位插值器控制单元进行存储,当相位插值器正常工作时,相位插值器控制单元根据补偿信息产生控制信号,进而调整相位插值器的输出时钟信号的相位值,最终使得相位插值器的输出时钟信号的相位值校准为达到或接近理想相位,从而使得相位插值器产生特定的输出相位,有效提高了输出信号的精度。

[0055] 如图3所示,本发明实施例提供了另一种相位插值器的自动校准电路,该电路具体包括:相位插值器1、鉴相器2、相位插值器校准单元3和相位插值器控制单元4,其中:

[0056] 相位插值器1分别与鉴相器2、相位插值器校准单元3和相位插值器控制单元4相连,相位插值器校准单元3与相位插值器控制单元4相连,鉴相器2与相位插值器校准单元3相连;

[0057] 相位插值器1接收参考时钟信号C1k1,通过数组控制码控制输出相位产生相位插值器1的输出时钟信号C1k2;

[0058] 通过鉴相器2比较参考时钟信号C1k1和相位插值器的输出时钟信号C1k2,经过信息处理产生参考时钟信号C1k1的相位值和相位插值器的输出时钟信号C1k2的相位值的相位差F0,并将相位差F0发送至相位插值器校准单元3;

[0059] 相位插值器校准单元3根据相位差F0得到相位插值器1的输出时钟信号的实际相位与理想相位的差值,根据差值生成达到与理想相位的相位值一致的补偿信息F1,并将补偿信息F1发送至相位插值器1和相位插值器控制单元4进行存储,或,将补偿信息F1发送至相位插值器控制单元进行存储;

[0060] 在相位插值器1正常工作时,相位插值器控制单元4根据补偿信息F1经过处理产生控制信号Is,从而调整相位插值器1的输出时钟信号C1k2的相位值,使得相位插值器1的输出时钟信号C1k2的相位值校准为达到或接近理想相位。

[0061] 进一步地,如图4所示,该相位插值器的自动校准电路的具体结构可以描述一下:相位插值器1包括:输入端、第一控制端、第二控制端以及输出端,鉴相器2包括:第一输入端、第二输入端和输出端,相位插值器校准单元3包括:输入端和输出端,相位插值器控制单元4包括:输入端和输出端,其中:

[0062] 相位插值器1的输入端接收参考时钟信号C1k1,相位插值器1的第一控制端与相位插值器控制单元4的输出端相连;

[0063] 鉴相器2的第一输入端接收参考时钟信号C1k1,鉴相器2的第二输入端与相位插值器1的输出端相连,接收相位插值器1的输出时钟信号C1k2,鉴相器2的输出端与相位插值器校准单元3的输入端相连;

[0064] 相位插值器校准单元3的输出端分别与相位插值器1的第二控制端和相位插值器控制单元4的输入端相连,相位插值器校准单元将补偿信息F1发送至相位插值器1和相位插值器控制单元4进行存储,或,将补偿信息F1发送至相位插值器控制单元4进行存储。

[0065] 需要说明的是,相位差为参考时钟信号的相位值和相位插值器的输出时钟信号的相位值的差值。上述涉及的相位插值器1可以通过数字控制码控制电流、电阻、电容的阵列产生权重值,生成相位插值器的输出时钟信号。

[0066] 可以理解的,参考时钟信号C1k1输入到相位插值器1中,相位插值器1通过数字控

制码控制输出相位,从而产生输出时钟信号C1k2。参考时钟信号C1k1和相位插值器1的输出时钟信号C1k2同时输入到鉴相器2中,鉴相器2经过信息处理并比较,产生参考时钟信号C1k1的相位值和输出时钟信号C1k2的相位值的相位差F0,相位插值器校准单元3根据接收到的相位差F0,得到相位插值器输出时钟实际相位与理想相位的差值再进行补偿,从而生成达到与相位插值器理想相位的相位值一致的补偿信息F1,将补偿信息F1发送至相位插值器控制单元和相位插值器进行存储,或,将补偿信息F1发送至相位插值器控制单元进行相应的存储。

[0067] 在相位插值器正常工作时,相位插值器控制单元根据补偿信息F1经过处理产生控制信号Is,从而调整相位插值器的输出时钟信号C1k2的相位值,使得相位插值器的输出时钟信号的相位值校准为达到或接近理想相位,最终使得输出时钟信号C1k2与相位插值器理想相位输出一致,从而使得正常工作时相位插值器产生特定的输出相位,有效提高了输出信号的精度。

[0068] 本发明实施例提供了一种相位插值器的自动校准电路,通过鉴相器比较参考时钟信号和相位插值器的输出时钟信号的相位信息,产生两个时钟的相位差,根据接收到的相位差,得到相位插值器输出时钟实际相位与理想相位的差值再进行补偿,从而生成达到与理想相位的相位值一致的补偿信息,将补偿信息发送至相位插值器控制单元和相位插值器进行存储,或,发送至相位插值器控制单元进行存储,当相位插值器正常工作时,相位插值器控制单元根据补偿信息产生控制信号,进而调整相位插值器的输出时钟信号的相位值,最终使得相位插值器的输出时钟信号的相位值校准为达到或接近理想相位,从而使得相位插值器产生特定的输出相位,有效提高了输出信号的精度。

[0069] 如图5所示,本发明实施例提供了一种相位插值器的自动校准方法,应用于相位插值器的自动校准,该方法具体包括如下步骤:

[0070] S501、根据参考时钟信号生成达到与理想相位的相位值一致的补偿信息,并将补偿信息进行存储。

[0071] 本发明实施例中,需要说明的是,预先根据参考时钟信号C1k1对相位插值器进行校准,使其输出时钟信号的相位值达到理想相位。

[0072] 如图6所示,为本发明实施例提供的步骤S501的一种具体实现方式。

[0073] 具体的,根据参考时钟信号生成达到与理想相位的相位值一致的补偿信息,并将补偿信息进行存储的步骤,包括如下步骤:

[0074] S601、接收参考时钟信号,通过数组控制码控制输出相位产生相位插值器的输出时钟信号;

[0075] S602、比较参考时钟信号和相位插值器的输出时钟信号,经过信息处理产生参考时钟信号的相位值和相位插值器的输出时钟信号的相位值的相位差;

[0076] S603、根据相位差得到相位插值器的输出时钟实际相位与理想相位的差值;

[0077] S604、根据差值生成达到与理想相位的相位值一致的补偿信息,并将补偿信息进行存储。

[0078] S502、在相位插值器正常工作时,根据补偿信息经过处理产生控制信号,从而调整相位插值器的输出时钟信号的相位值,使得相位插值器的输出时钟信号的相位值校准为达到或接近理想相位。

[0079] 需要说明的是,相位插值器根据参考时钟信号进行校验,将相位插值器的校验得到的补偿信息存储在相位插值器和相位插值器控制单元,或,将补偿信息存储在相位插值器控制单元中,在相位插值器正常工作时,相位插值器根据存储的补偿信息进行相位的补偿,使得相位插值器的输出时钟信号的相位值校准为达到或接近理想相位。

[0080] 本发明实施例提供了一种相位插值器的自动校准方法,应用于相位插值器的自动校准,通过鉴相器比较参考时钟信号和相位插值器的输出时钟信号的相位信息,产生两个时钟的相位差,进而得到相位插值器的输出时钟信号实际相位与理想相位的差值再通过相位插值器校准单元进行补偿,从而生成达到与理想相位的相位值一致的补偿信息并进行存储,当相位插值器正常工作时,相位插值器控制单元根据补偿信息产生控制信号,进而调整相位插值器的输出时钟信号的相位值,最终使得相位插值器的输出时钟信号的相位值校准为达到或接近理想相位,从而使得相位插值器产生特定的输出相位,有效提高了输出信号的精度。

[0081] 需要说明的是,本说明书中的各个实施例均采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似的部分互相参见即可。

[0082] 以上结合附图对本发明所提出的电路及方法进行了示例性描述,以上实施例的说明只是用于帮助理解本发明的核心思想。对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,如前后桥都有电机参与驱动的混合动力系统等。综上所述,本说明书内容不应理解为对本发明的限制。

[0083] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

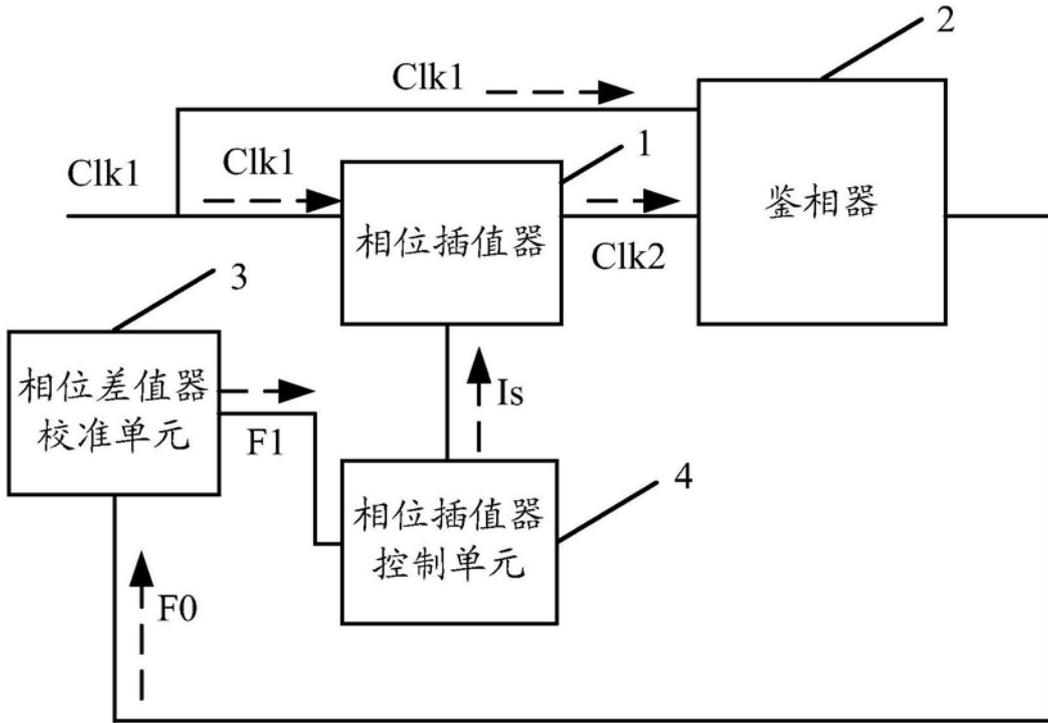


图1

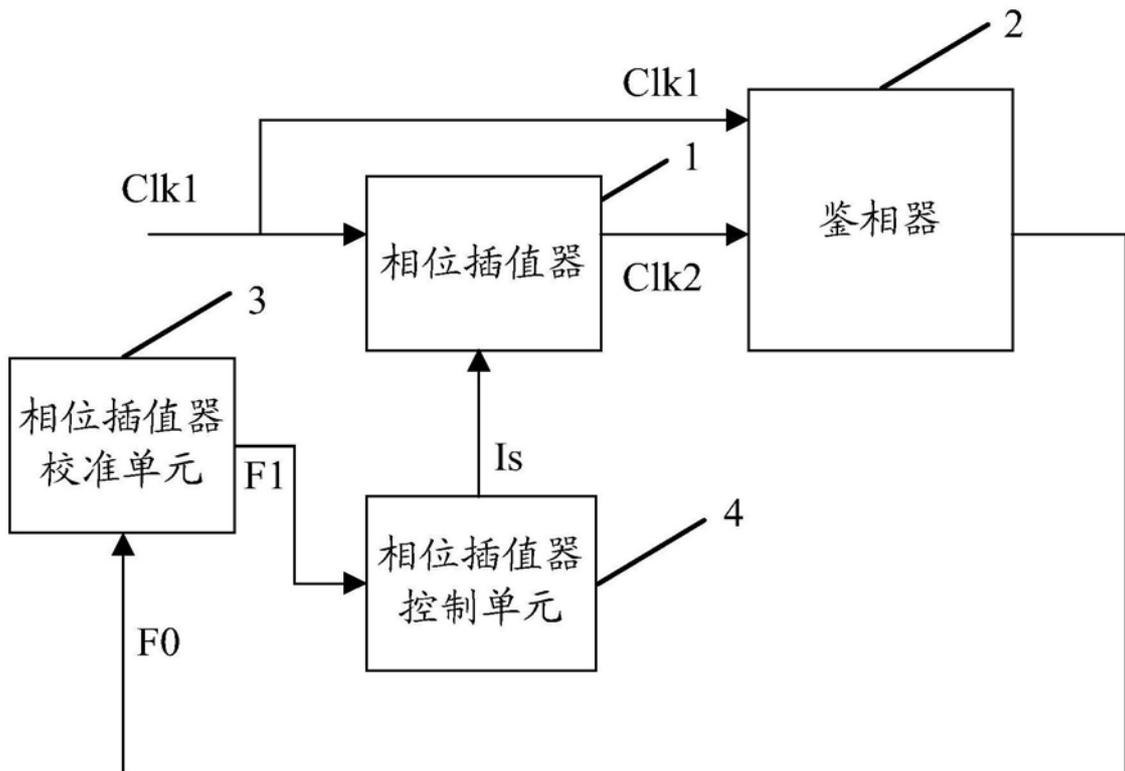


图2

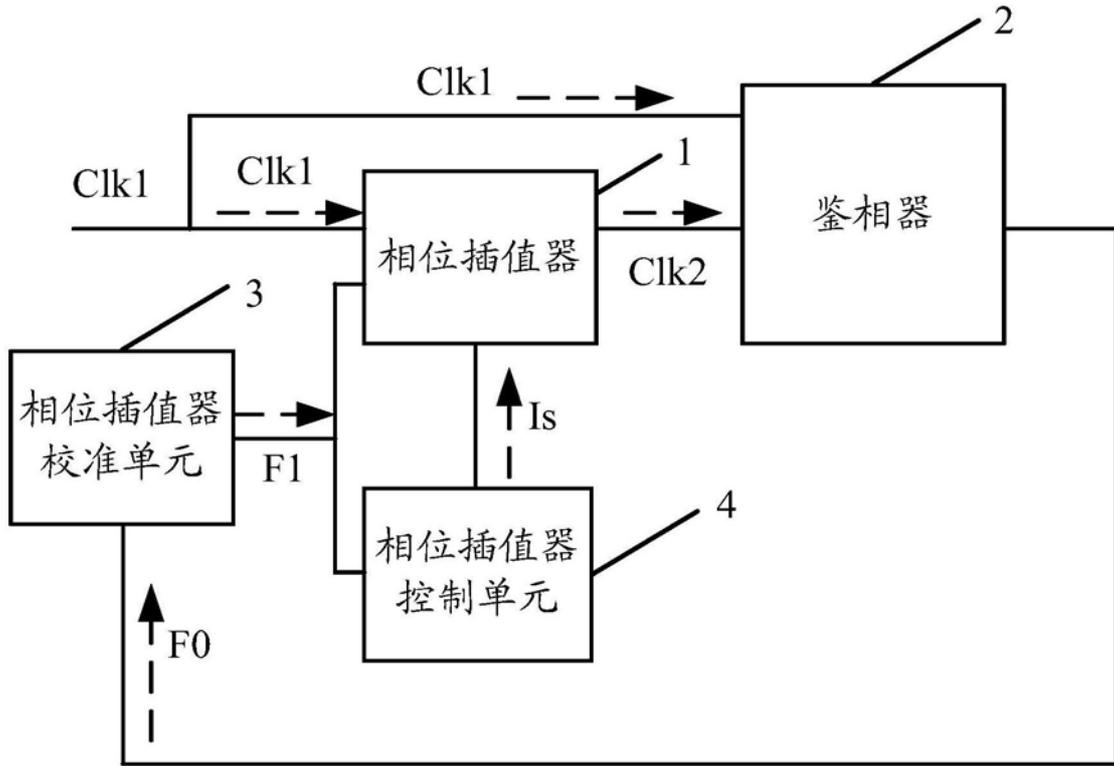


图3

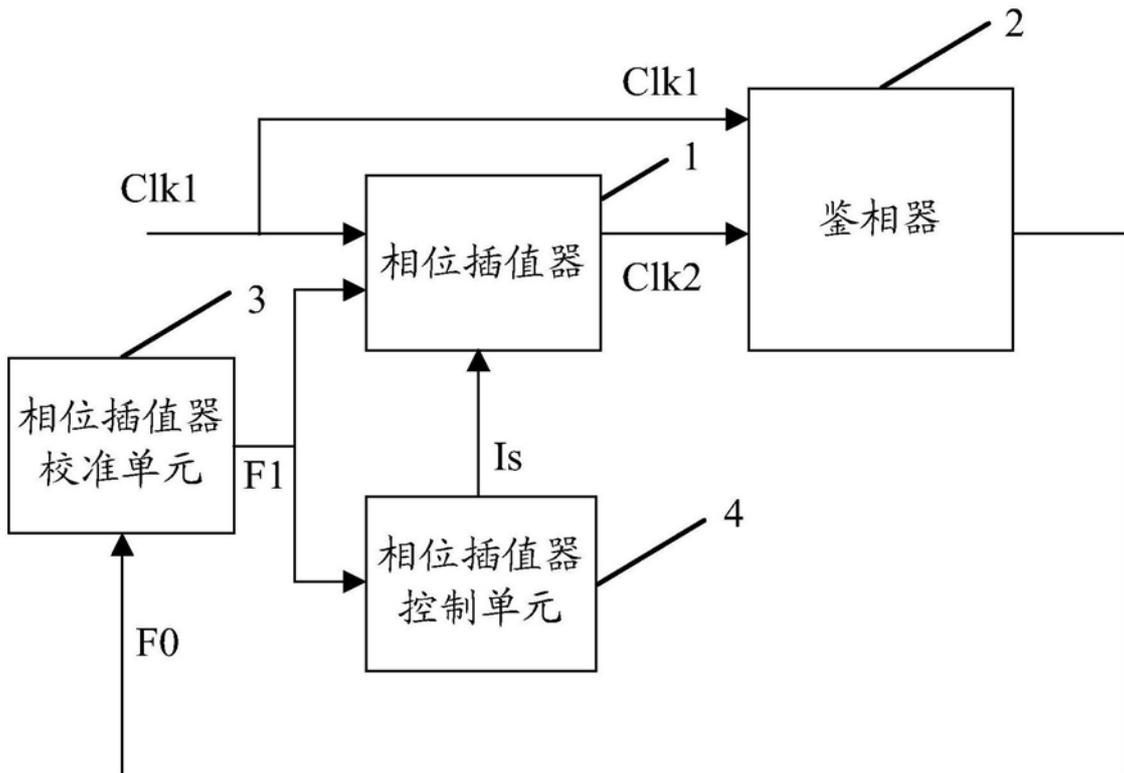


图4

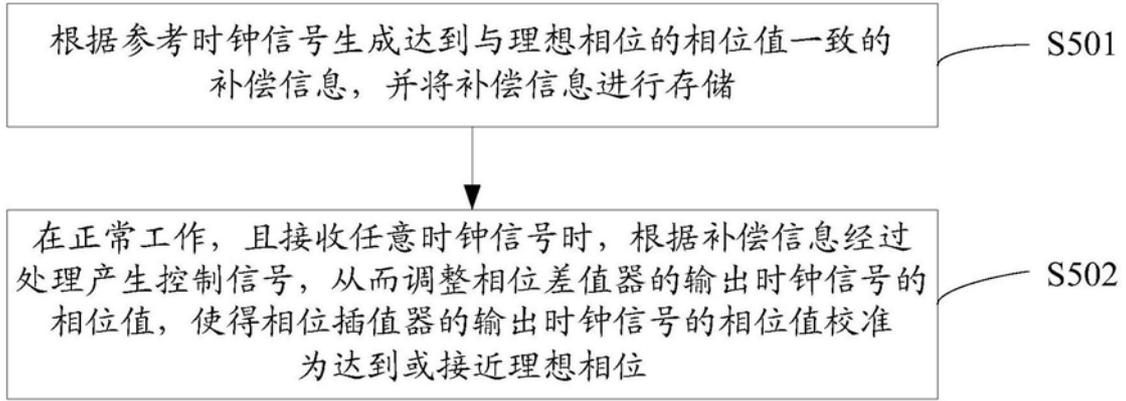


图5

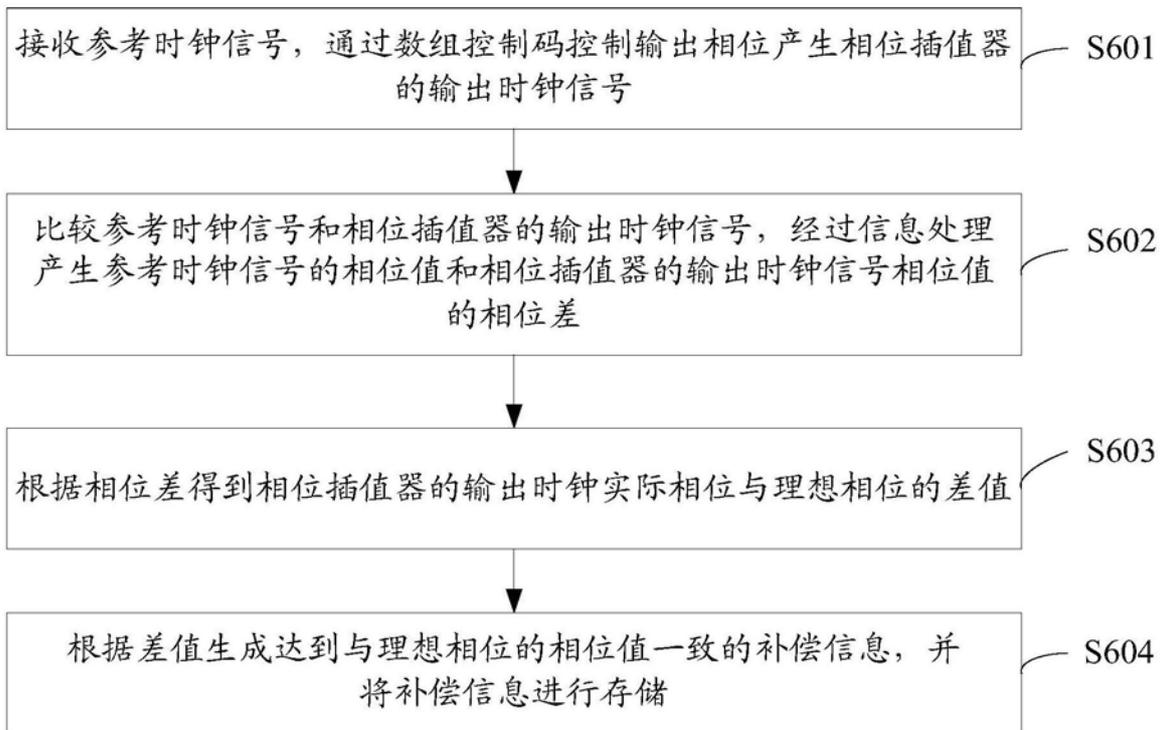


图6