



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201729186 A

(43) 公開日：中華民國 106 (2017) 年 08 月 16 日

(21) 申請案號：105138631 (22) 申請日：中華民國 105 (2016) 年 11 月 24 日
 (51) Int. Cl. : *G11C7/10 (2006.01)* *H03L7/08 (2006.01)*
 (30) 優先權：2015/12/26 美國 14/998,185
 (71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)
 美國
 (72) 發明人：卡華米 雪考弗 QAWAMI, SHEKOUFEH (US)；艾倫 麥可 J. ALLEN, MICHAEL
 J. (US)；桑達蘭 瑞吉許 SUNDARAM, RAJESH (US)
 (74) 代理人：惲軼群；劉法正
 申請實體審查：無 申請專利範圍項數：22 項 圖式數：7 共 58 頁

(54) 名稱

彈性 DLL(延遲鎖定迴路)校準技術

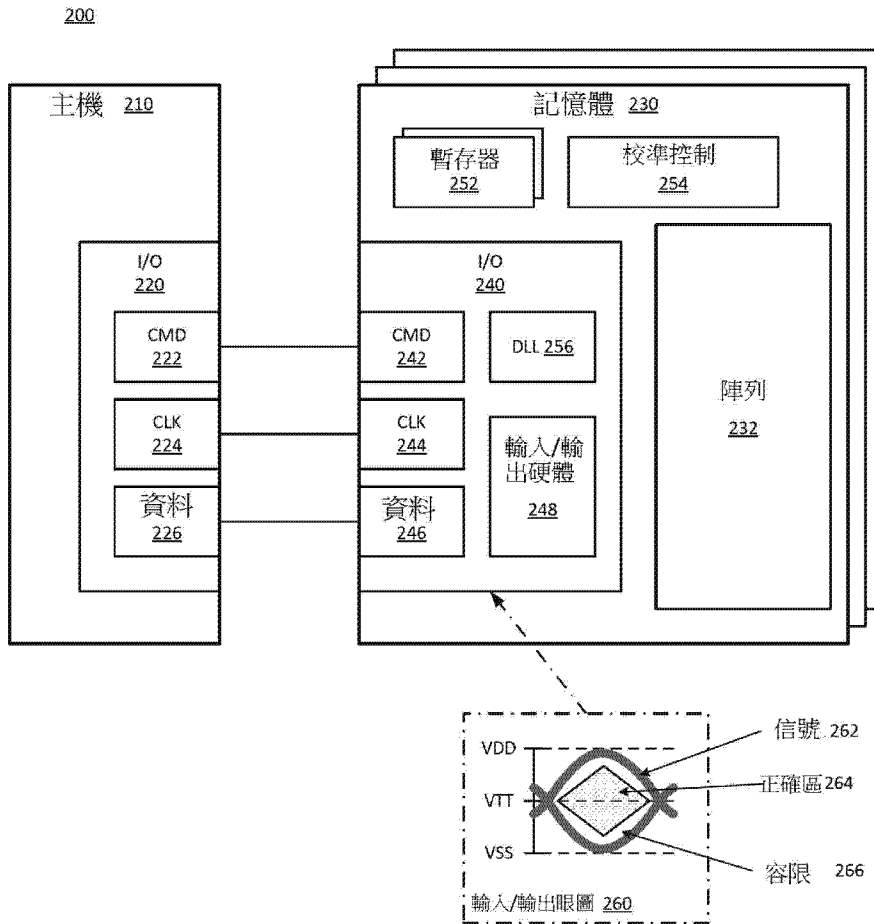
FLEXIBLE DLL (DELAY LOCKED LOOP) CALIBRATION

(57) 摘要

一記憶體裝置可根據針對該記憶體裝置組配之一 DLL 校準模式來執行 DLL(延遲鎖定迴路)校準。一主機控制器可基於該記憶體裝置之操作條件來組配該校準模式。該記憶體裝置包括一輸入/輸出(I/O)介面電路與耦接來控制該 I/O 介面之 I/O 時序之一延遲鎖定迴路(DLL)電路。該記憶體裝置之一控制電路根據該 DLL 校準模式來將 DLL 校準選擇性賦能與停用。該 DLL 校準受選擇性賦能時，可於該 DLL 校準模式識別之一時間區間操作，而受選擇性停用時，該 DLL 校準可停止或限制 DLL 校準操作。

A memory device performs DLL (delay locked loop) calibration in accordance with a DLL calibration mode configured for the memory device. A host controller can configure the calibration mode based on operating conditions for the memory device. The memory device includes an input/output (I/O) interface circuit and a delay locked loop (DLL) circuit coupled to control I/O timing of the I/O interface. A control circuit of the memory device selectively enables and disables DLL calibration in accordance with the DLL calibration mode. When selectively enabled, the DLL calibration is to operate at a time interval identified by the DLL calibration mode, and when selectively disabled, the DLL calibration is to cease or refrain from DLL calibration operations.

指定代表圖：



【圖2】

符號簡單說明：

- 200 . . . 系統
- 210 . . . 主機
- 220、240 . . . 輸入/輸出
- 222 . . . 命令介面
- 224 . . . 時鐘或時序參考
- 226 . . . 資料
- 230 . . . 記憶體
- 232 . . . 陣列
- 242 . . . 介面硬體命令
- 244 . . . 時鐘信號
- 246 . . . 資料、資料介面
- 248 . . . 輸入/輸出硬體
- 256 . . . 延遲鎖定迴路
- 252 . . . 暫存器
- 254 . . . 校準控制
- 260 . . . 輸入/輸出眼
- 262 . . . 信號
- 264 . . . 有效區
- 266 . . . 容限

**【發明摘要】****【中文發明名稱】**

彈性DLL(延遲鎖定迴路)校準技術

【英文發明名稱】

FLEXIBLE DLL (DELAY LOCKED LOOP) CALIBRATION

【中文】

一記憶體裝置可根據針對該記憶體裝置組配之一DLL校準模式來執行DLL(延遲鎖定迴路)校準。一主機控制器可基於該記憶體裝置之操作條件來組配該校準模式。該記憶體裝置包括一輸入/輸出(I/O)介面電路與耦接來控制該I/O介面之I/O時序之一延遲鎖定迴路(DLL)電路。該記憶體裝置之一控制電路根據該DLL校準模式來將DLL校準選擇性賦能與停用。該DLL校準受選擇性賦能時，可於該DLL校準模式識別之一時間區間操作，而受選擇性停用時，該DLL校準可停止或限制DLL校準操作。

【英文】

A memory device performs DLL (delay locked loop) calibration in accordance with a DLL calibration mode configured for the memory device. A host controller can configure the calibration mode based on operating conditions for the memory device. The memory device includes an input/output (I/O) interface circuit and a delay locked loop (DLL) circuit coupled to control I/O timing of the I/O interface. A control circuit of the memory device selectively enables and disables DLL calibration in accordance with the DLL calibration mode. When selectively enabled, the DLL calibration is to operate at a time interval identified by the DLL calibration mode, and when selectively disabled, the DLL calibration is to cease or refrain from DLL calibration operations.

【指定代表圖】 圖2

【代表圖之符號簡單說明】

- 200...系統
- 210...主機
- 220、240...輸入/輸出
- 222...命令介面
- 224...時鐘或時序參考
- 226...資料
- 230...記憶體
- 232...陣列
- 242...介面硬體命令
- 244...時鐘信號
- 246...資料、資料介面
- 248...輸入/輸出硬體
- 256...延遲鎖定迴路
- 252...暫存器
- 254...校準控制
- 260...輸入/輸出眼
- 262...信號
- 264...有效區
- 266...容限

【特徵化學式】

(無)

【發明說明書】

【中文發明名稱】

彈性DLL(延遲鎖定迴路)校準技術

【英文發明名稱】

FLEXIBLE DLL (DELAY LOCKED LOOP)
CALIBRATION

【技術領域】

【0001】發明領域

本說明一般係有關輸入/輸出(I/O)電路，而更特別是，本說明係有關針對(I/O)電路之彈性DLL(延遲鎖定迴路)校準技術。

專利權注意事項/許可項目

【0002】本專利文件之揭示內容的一部分包含接受專利權保護之材料。該專利權擁有人並不反對本專利文件或本專利揭示內容之任何人進行複製，當其出現在專利商標局之專利檔案或紀錄中時，但除此之外其保留所有專利權。本專利權注意事項可施加於如下文所述、與其附圖中、以及下文所述：專利權©2015，英特爾集團，保留所有專利權之任何軟體的所有資料中。

【先前技術】

【0003】發明背景

同步記憶體可基於作為一時序參考之一時鐘信號來執行存取操作以便以與該參考之一已知關係來賦能資料的發送與接收。同步互連體之I/O(輸入/輸出)介面共同使用一DLL(延遲鎖定迴路)來維持關於該參考時序之已知關

係。DLL電路調整內部信號之時序來與該時序參考準直。同步操作可改善連接裝置間之信號。然而，DLL操作傳統上包含該DLL作用中時，該參考時序信號繼續追蹤，此會消耗大量電力。DLL追蹤可稱為DLL校準，其中該相位控制校準為該外部參考時序。繼續DLL校準之電力耗損會消耗掉設計來於低電力模式中操作之系統的整體電力預算之一大部分。

【0004】應了解根據該記憶體裝置之應用，該發信號速度可較低或較高。針對低電力的應用，典型情況是該發信號速度較低。該DLL時序補償可調整影響識別該記憶體裝置發信號之一臨界值的一資料“眼”之時序特性。繼續DLL追蹤可維持該資料眼上之窄容限。較低速發信號可於該資料眼之容限中容忍較高變動，而某些實施態樣中可不需要DLL校準。較高速發信號會需要繼續DLL校準以確保較高速操作所需之資料眼容限。傳統上，該DLL作用中時，製造商與系統設計者可使DLL校準繼續操作、或不將其包括。

【發明內容】

【0005】依據本發明之一實施例，係特地提出一種用於儲存資料之記憶體裝置，其包含：一與一相關聯主機控制器交換資料之輸入/輸出(I/O)介面電路；一耦接來控制該I/O介面之I/O時序的延遲鎖定迴路(DLL)電路；以及一控制電路，其根據該記憶體裝置組配之一DLL校準模式來將DLL校準選擇性賦能與停用，其中該DLL校準受選擇

性賦能時，於該DLL校準模式識別之一時間區間操作，而受選擇性停用時，該DLL校準限制追蹤相位更新。

【圖式簡單說明】

【0006】下列說明包括具有藉由本發明之實施例的實施態樣之範例給定的圖例之圖形討論。該等圖式應藉由範例、而非藉由限制來加以理解。如本文所使用，參照為一或多個“實施例”可理解為說明包括在本發明之至少一實施態樣中的一特定特徵、結構、及/或特性。因此，本文出現諸如“於一實施例中”或“於一替代實施例中”之片語可說明本發明之各種不同實施例與實施態樣，並且不需皆參照為相同實施例。然而，其亦不需彼此互斥。

【0007】圖1為一記憶體裝置I/O相位控制可受選擇性校準之一系統之一實施例之圖形。

【0008】圖2為一記憶體裝置包括可組配DLL校準模式之一系統之一實施例之一方塊圖。

【0009】圖3為一可施加一記憶體裝置之DLL校準模式之一系統之一實施例的方塊圖。

【0010】圖4為一用以將DLL校準模式選擇性賦能之一模式暫存器之一實施例之方塊圖。

【0011】圖5為一用於施加選擇性DLL校準之一程序之一實施例之流程圖。

【0012】圖6為一可執行DLL校準模式之一計算系統之一實施例之方塊圖。

【0013】圖7為一可執行DLL校準模式之一行動裝置

的一實施例之方塊圖。

【0014】 下列某些細節與實施態樣之說明，包括該等圖形之一說明，其可描述某些或所有下述實施例、以及說明本文呈現之發明概念的其他潛在實施例或實施態樣。

【實施方式】

【0015】 較佳實施例之詳細說明

如本文所述，一記憶體裝置可根據針對該記憶體裝置組配之一DLL校準模式來執行DLL(延遲鎖定迴路)校準。不同的DLL校準模式可提供能夠將DLL校準開啟與關閉的彈性來達成I/O(輸入/輸出)發信號之電力耗損與時序容限間的一平衡。該等DLL校準模式可包括如同傳統系統的永遠開啟操作之模式，並可允許DLL校準關閉的週期。

【0016】 一主機控制器可基於該記憶體裝置之操作條件來組配該校準模式。該記憶體裝置包括一輸入/輸出(I/O)介面電路與耦接來控制該I/O介面之I/O時序的一延遲鎖定迴路(DLL)電路。該記憶體裝置之一控制電路根據該DLL校準模式來將DLL校準選擇性賦能與停用。該DLL校準受選擇性賦能時，可於該DLL校準模式識別之一時間區間操作，而受選擇性停用時，該DLL校準用來停止DLL校準操作。因此，系統可提供不同的操作條件彈性DLL校準。

【0017】 提及記憶體裝置可施加至不同的記憶體類型。於一實施例中，提及記憶體裝置可參照即使至該裝置的電力中斷，其狀態為確定的一非依電性記憶體裝置。於

一實施例中，該非依電性記憶體裝置為一方塊可定址記憶體裝置，諸如NAND或NOR技術。因此，一記憶體裝置亦可包括非依電性裝置，諸如一三維度交叉點(3D X點或3DXP)記憶體裝置、其他位元組可定址非依電性記憶體裝置、或使用硫屬相變材料之記憶體裝置。於一實施例中，該記憶體裝置可為或包括多臨界準位NAND快取記憶體、NOR快取記憶體、單一或多重準位相變記憶體(PCM)、一電阻式記憶體、奈米線記憶體、鐵電電晶體隨機存取記憶體(FeTRAM)、合併憶阻器技術之磁性電阻式隨機存取記憶體(MRAM)記憶體、或自旋轉移轉矩(STT)-MRAM、或者任何上述、或其他記憶體之一組合。因此，提及一記憶體裝置可參照支援隨機存取、及/或針對同步I/O組配之一非依電性記憶體裝置。

【0018】於一實施例中，一記憶體裝置可參照依電性記憶體技術。依電性記憶體為若至該裝置的電力中斷，其狀態(與因此儲存其上之資料)為未確定的記憶體。動態依電性記憶體需要刷新儲存於該裝置之資料來維持狀態。動態依電性記憶體之一範例包括DRAM(動態隨機存取記憶體)、或諸如同步DRAM(SDRAM)之某些變化。如本文所述之一記憶體子系統可與若干記憶體技術相容，諸如DDR4(DDR第4版，JEDEC於2012年九月發布之起始規格說明書)、DDR4E(DDR第4版之延伸，JEDEC目前討論中)、LPDDR3(低功率DDR第3版，JESD209-3B，JEDEC於2013年八月發布)、LPDDR4(低功率雙倍資料速率

(LPDDR)第4版，JESD209-4，JEDEC於2014年八月起始發布)、等等、以及基於該類規格說明之衍生版或延伸版的技術。

【0019】 本文參照一“DRAM”之說明可施加至允許隨機存取、無論依電性或非依電性之任何記憶體裝置。該記憶體裝置或DRAM可參照該晶粒本身及/或一封裝記憶體產品。

【0020】 如本文所述之彈性DLL校準的一非限制範例考量建立於3DXP技術之一記憶體裝置。3DXP技術受開發並期待找出用於具有有關頻寬與儲存功能之多樣化需求的計算平台。某些實施態樣會需要更快速存取一3DXP記憶體，而其他可需要較少的接腳計數。3DXP技術可將非依電性、且支援隨機存取之一記憶體裝置的開發賦能。某些實施態樣可提供比得上傳統DRAM速度之存取速度，而非諸如一NAND快取記憶體之傳統非依電性技術。

【0021】 於一實施例中，3DXP裝置可基於作為資料交換(發送及/或接收資料)之一時序參考的一時鐘信號來同步與接收與操作。同步操作中，資料可以與該參考信號之一已知關係來發送與接收。參見3DXP技術可支援不同的實施態樣，其可布署於需要較高頻存取之系統中、或僅需要較低頻存取之系統中。如同傳統記憶體技術，高頻操作時，有程序、電壓、與溫度(PVT)變動時，3DXP記憶體裝置需將該時鐘維持在資料信號關係。典型PVT變動會造成縮小的時序容限。

【0022】於一實施例中，在程序、電壓、與溫度變動造成該等關係改變一段時間、甚至於較高速操作的環境中，一3DXP裝置包括一DLL來維持一時鐘信號與輸出資料信號間之一致的時序關係。雖然一DLL可藉由維持時鐘與資料發信號間之一固定關係來改善該操作頻率，但每次其需週期性校準該時鐘與資料路徑，其耗損大量電力。於一實施例中，一3DXP裝置之某些實施態樣具有較低存取速度並可於資料轉移時序上容忍更多變動，而因此不需DLL校準。

【0023】如上所述，3DXP技術為一非限制範例，而其他記憶體裝置技術亦經歷使用一DLL之取捨以維持該時序參考與該資料間對照用於校準該DLL之大量電力之間一致的關係。同樣地，有其他記憶體技術可具有時序容限並非為一考量之不同實施態樣以及基於操作條件變動之時序容限的變動造成發信號錯誤之其他實施態樣。由於3DXP技術或其他記憶體技術，可有鬆散式時序容限不需繼續使用DLL校準之較低電力系統實施態樣。

【0024】該等不同的DLL校準模式可基於該系統需求而將設定不同的校準週期賦能。如下文所述，說明有四個主要的校準模式，其可理解為非限制性。亦可有其他校準模式，而施加不同模式之彈性可理解為與不同的校準模式組態類似。該等校準模式提供系統彈性來基於DLL操作以取捨電力效能。不同的校準模式可將一記憶體裝置介面之修改賦能以改變DLL校準多久被執行。該類彈性可允許

一系統設計者來於高頻、高電力操作以及低頻、低電力操作條件間選擇，而非於低頻、低電力應用中耗損大量電力之繼續DLL校準。此外，其於低頻、低電力應用中偶爾將DLL校準賦能而非與傳統實施態樣一起僅停用DLL操作。

【0025】圖1為一記憶體裝置I/O相位控制可受選擇性校準之一系統之一實施例之圖形。系統100包括一計算裝置中之一記憶體子系統的元件。處理器110代表執行一作業系統(OS)與應用程式之一主機計算平台的一處理單元，其可集合地稱為該記憶體之一“主機”。該OS與應用程式執行形成記憶體存取之操作。處理器110可包括一或多個分離的處理器。每一分離的處理器可包括一單一及/或一多核心處理單元。該處理單元可為一主要處理器，諸如一CPU(中央處理單元)及/或一周邊處理器，諸如一GPU(圖形處理單元)。系統100可以一SOC來予以執行、或以獨立構件來予以執行。

【0026】記憶體控制器120代表系統100之一或多個主機控制器或記憶體控制器電路或裝置。記憶體控制器120代表用以響應處理器110執行之操作而產生記憶體存取命令、及/或以其他方法將系統100中之記憶體存取賦能之控制邏輯。記憶體控制器120可存取一或多個記憶體裝置140。於一實施例中，記憶體裝置140代表一三維度堆疊記憶體裝置。於一實施例中，記憶體裝置140代表一3D交叉點記憶體裝置、或其他非依電性記憶體裝置。於一實施例中，記憶體裝置140可以是與任何以上提及裝置相應之

一DRAM。於一實施例中，記憶體裝置140可受組織並管理為不同的通道，而每一通道耦接至耦接多個並列記憶體裝置之匯流排或信號線。其中使用通道時，每一通道可獨立操作。因此，每一通道可獨立受存取與控制，而該時序、資料轉移、命令與位址交換、以及其他操作可針對每一通道而分離。於一實施例中，每一通道之設定由分開的模式暫存器或其他暫存器設定來控制。於一實施例中，每一記憶體控制器120管理一分開的記憶體通道，雖然系統100可組配來具有由一單一控制器管理之多個通道、或於一單一通道上具有多個控制器。於一實施例中，記憶體控制器120為主機處理器110的一部分，諸如於該相同晶粒上執行或與該處理器相同封裝空間中執行之邏輯。

【0027】 記憶體控制器120包括I/O介面邏輯122來耦接至一系統匯流排。I/O介面邏輯122(以及記憶體裝置140之I/O 142)可包括接腳、連接器、信號線、及/或其他硬體來連接該等裝置。I/O介面邏輯122可包括一硬體介面。如圖所示，I/O介面邏輯122包括信號線之至少一驅動器/收發器。典型情況是，一積體電路中之線路與一襯墊或連接器介接來介接至裝置間之信號線或線跡。I/O介面邏輯122可包括用於在該等裝置間之信號線上傳送及/或接收信號的驅動器、接收器、收發器、終止裝置、及/或其它電路。該系統匯流排可作為將記憶體控制器120耦接至記憶體裝置140之多個信號線來予以執行。於一實施例中，該系統匯流排至少包括時鐘(CLK) 132、命令/位址(CMD) 134、

資料(DQ) 136、以及其他信號線138。CMD 134之信號線可稱為一“C/A匯流排”(或ADD/CMD匯流排、或指出命令與位址資訊之轉移的某些其他指派)，而DQ 136之信號線可稱為一“資料匯流排”。於一實施例中，獨立通道可具有不同的時鐘信號、C/A匯流排、資料匯流排、以及其他信號線。因此，於一獨立介面路徑可視為一分開的系統匯流排之觀念中，系統100可視為具有多個“系統匯流排”。應了解除了明確顯示之線路外，一系統匯流排可包括選通發信號線、警示線、輔助線、以及其他信號線。

【0028】於一實施例中，該系統匯流排包括組配來於一頻寬操作之一資料匯流排(DQ 136)。基於系統100之設計及/或實施態樣，每一記憶體裝置140中，DQ 136可具有更多或更少的頻寬。例如，DQ 136可支援具有一x32介面、一x16介面、一x8介面、或其他介面之記憶體裝置。該規約“xN”，其中N為一二進制整數，參照為記憶體裝置140之一介面大小，其代表與記憶體控制器120交換資料之若干信號線DQ 136。該等記憶體裝置之介面大小為有多少記憶體裝置可同時使用於系統100之每一通道中、或並列耦接至該相同信號線之一控制因素。

【0029】記憶體裝置140代表系統100之記憶體資源。於一實施例中，每一記憶體裝置140為一分開的記憶體晶粒。於一實施例中，每一記憶體裝置140中每一晶粒可包括多個(例如，2)通道。每一記憶體裝置140包括I/O介面邏輯142，其具有該裝置之實施態樣決定之一頻寬(例

如，x16或x8或某些其他介面頻寬)，並使該等記憶體裝置能夠與記憶體控制器120介接。I/O介面邏輯142可包括一硬體介面，且可根據記憶體控制器之I/O 122，但於該記憶體裝置結束。於一實施例中，多個記憶體裝置140並聯至該相同的資料匯流排。例如，系統100可組配具有多個並列耦合之記憶體裝置140，而每一記憶體裝置回應一命令、並存取每一裝置內部之記憶體資源160。針對一寫入操作，一個別的記憶體裝置140可寫入該整個資料字的一部分，而針對一讀取操作，一個別的記憶體裝置140可提取該整個資料字的一部分。

【0030】於一實施例中，記憶體裝置140直接放置於一計算裝置之一母板或主機系統平台(例如，處理器110放置之一PCB(印刷電路板))。於一實施例中，記憶體裝置140可組織為記憶體模組130。於一實施例中，記憶體模組130代表雙行記憶體模組(DIMM)。於一實施例中，記憶體模組130代表多個記憶體裝置之其他組織以共享存取的至少一部分以及控制電路，其可為來自該主機系統平台之一分開的電路、一分開的裝置、或一分開的面板。記憶體模組130可包括多個記憶體裝置140，而該等記憶體模組可包括支援至該包括的記憶體裝置並放置其上之多個分開的通道。

【0031】記憶體裝置140的每一個包括記憶體資源160。記憶體資源160代表資料之記憶體位置或儲存器位置的個別陣列。於一實施例中，記憶體資源160受管理為資

料橫列、經由快取線(橫列)與位元線(一橫列中之個別位元)控制來存取。於一實施例中，記憶體資源160可組織為記憶體之分開的通道、等級、與記憶庫。通道為至記憶體裝置140中之儲存位置的獨立控制路徑。等級參照為多個記憶體裝置間之共同位置(例如，不同裝置中之相同橫列位址)。記憶庫參照為一記憶體裝置140中之記憶體位置陣列。於一實施例中，記憶體之記憶庫分為子記憶庫，其具有該等子記憶庫之共享電路的至少一部分。於一實施例中，可使用記憶體資源儲存位置之其他組織。然而組織後，記憶體資源160可經由位址資訊，如一般繪示為“位址”來存取。

【0032】 於一實施例中，記憶體裝置140包括一或多個暫存器144。暫存器144代表提供該記憶體裝置之操作組態或設定之儲存裝置或儲存位置。於一實施例中，暫存器144可提供記憶體裝置140一儲存位置來儲存記憶體控制器120存取之資料以作為一控制或管理操作的一部分。於一實施例中，暫存器144包括模式暫存器。於一實施例中，暫存器144包括多功能暫存器。暫存器144中之位置的組態可組配記憶體裝置140來於不同“模式”中操作，而命令及/或位址資訊或信號線可取決於該模式來觸發記憶體裝置140中之不同操作。暫存器144之設定可指出I/O設定之組態(例如，時序、終止或ODT(晶載終止裝置)、驅動器組態、及/或其他I/O設定)。

【0033】 於一實施例中，記憶體裝置140包括ODT

146來作為與I/O 142相關聯之介面硬體的一部分。ODT 146可如上所述來組配、並提供施加至特定信號線之介面的阻抗設定。該ODT設定可基於一記憶體裝置是否為一存取操作之一選擇目標或一非目標裝置來改變。ODT 146設定可影響該等終止線上之信號的時序與反射。ODT 146之細心控制可以施加的阻抗與負載之改良匹配來將更高速操作賦能。

【0034】 記憶體裝置140包括控制器150，其代表該記憶體裝置之控制邏輯來控制該記憶體裝置中之內部操作。例如，控制器150對記憶體控制器120傳送之命令解碼並產生內部操作來執行或滿足該等命令。控制器150可稱為一內部控制器。控制器150可基於暫存器144來決定選擇何種模式、並基於該選擇模式來組配記憶體資源160之操作的存取及/或執行。控制器150產生控制信號來控制記憶體裝置140中之位元的路由選擇，以提供該選擇模式一適當介面或I/O 142並導引一命令至該適當記憶體位置或位址。

【0035】 再次參照記憶體控制器120，記憶體控制器120包括命令(CMD)邏輯124，其代表產生命令來傳送至記憶體裝置140之邏輯或電路。典型情況是，記憶體子系統中之發信號包括該命令中或與其伴隨之位址資訊來指出或選擇該等記憶體裝置應執行該命令之一或多個記憶體位置。於一實施例中，記憶體裝置140之控制器150包括命令邏輯152來接收並解碼經由I/O 142從記憶體控制器120接收之命令與位址資訊。基於該接收的命令與位址資訊，控

制器150可控制記憶體裝置140中邏輯與電路的操作之時序以便執行該等命令。控制器150負責遵循標準或規格說明，包括I/O發信號之時序容限。

【0036】於一實施例中，記憶體裝置140包括相位控制174來控制I/O 142之相位或其他時序特性。因此，例如，相位控制174使記憶體裝置140能夠調整相位來同步DQ 136與時鐘132。於一實施例中，相位控制174之邏輯或電路的至少一部分為控制器150之一部分。於一實施例中，相位控制174包括一DLL。DLL可操作來維持I/O 142之時序容限、並可根據一或多個校準模式來同步。

【0037】於一實施例中，記憶體控制器120包括校準控制172，其代表該記憶體控制器中之電路/邏輯來將校準設定提供至記憶體裝置140作時序同步。於一實施例中，校準控制172可使記憶體控制器120能夠設定記憶體裝置140之一DLL校準模式組態。校準控制172設定之校準模式組態可影響記憶體裝置140之相位控制174如何操作。於一實施例中，校準控制172可規劃一或多個多功能暫存器144或其他暫存器來儲存該校準模式之組態。該類多功能暫存器可將記憶體裝置140中之DLL校準時序的可組態度賦能。於一實施例中，校準控制172可決定記憶體裝置140之一操作條件，諸如系統100之一組態、一環境條件(例如，電壓、雜訊、溫度)、及/或其他條件。於一實施例中，校準控制172可使記憶體控制器120能夠於記憶體裝置140上執行一或多個測試操作來決定可設定I/O資料眼容限或

其它發信號特性之程序變動或其他條件。

【0038】根據校準控制172設定之DLL校準模式，相位控制174可更常或較不常執行DLL校準。於一實施例中，記憶體裝置140包括偵測器(未特別顯示)，其將環境條件資訊提供至記憶體控制器120，可由校準控制172用來設定一校準模式。

【0039】圖2為一記憶體裝置包括可組配DLL校準模式之一系統之一實施例之一方塊圖。系統200代表一記憶體子系統之構件。根據圖1之系統100之一實施例，系統200提供一記憶體子系統之一範例。系統200可包括在使用具有I/O時序之DLL控制的記憶體之任何類型的計算裝置或電子電路中。主機210代表系統200之控制電路。主機210可包括一處理器與一記憶體或儲存控制器。主機210之一處理器可包括基於儲存於記憶體230中之資料來執行操作或用以儲存於記憶體230中之任何類型的處理邏輯或構件。主機210可包括一主機處理器、中央處理單元(CPU)、微控制器或微處理器、圖形處理器、周邊處理器、特殊應用處理器、或其他處理器。主機210可為或包括一單一核心或多核心電路。主機可執行控制一計算裝置或者併入系統200之一計算裝置的一部分之執行流程的一作業系統(OS)。

【0040】主機210包括(作為與該處理器相同之電路的一部分或作為一分開電路的一部分)將存取記憶體230賦能之一控制器。於一實施例中，系統200為一處理器與

一記憶體裝置整合於該相同基體或PCB上之一系統。主機210包括I/O 220，其代表耦接至記憶體230之介面硬體。系統200中係為了舉例解說，I/O 220包括命令介面222、時鐘或時序介面224、與資料226。記憶體230包括I/O 240，其具有對應的介面硬體命令242、時鐘244、與資料246。應了解可包括其他介面。於一實施例中，命令介面222包括一命令/位址匯流排。於一實施例中，資料226包括與命令介面222之一命令/位址匯流排分開的一資料匯流排。於一實施例中，命令介面222、時鐘224、與資料226可視為該相同匯流排的一部分。例如，某些非依電性記憶體技術(諸如NAND記憶體)中，該類信號線可視為組合於一單一匯流排。主機210經由I/O 220至I/O 240之介面通訊上耦接至記憶體230。主機210經由該介面來存取記憶體230。

【0041】 記憶體230包括陣列232，其代表資料儲存之記憶體230中的儲存位置。陣列232可包括任何數量的儲存位置而記憶體230包括介面硬體(未明確顯示)來存取陣列232中之各種不同的可定址儲存位置。命令242從主機210接收一命令，而記憶體230之一內部控制器(未明確顯示)解碼來致使存取至陣列232之適合的儲存位置。於一實施例中，陣列232為一非依電性儲存胞元之陣列，而記憶體230為具有隨機存取能力之一三維度堆疊記憶體裝置。

【0042】 於一實施例中，I/O 242包括I/O硬體248，其可包括驅動器、終止裝置、接收器、循路由硬體、及/

或其他構件來基於命令242與時鐘244將陣列232介接至資料介面246。針對一寫入操作，資料於資料246上接收來寫入陣列232。針對一讀取操作，資料於資料246上傳送至主機210。於一實施例中，I/O硬體248包括一或多個緩衝器來將一存取叢訊賦能。

【0043】 於一實施例中，I/O 240包括DLL 256，其代表可控制I/O硬體248之操作時序的一相位控制機構。DLL 256基於暫存器252中之一或多個設定來依次操作。於一實施例中，校準控制254基於暫存器252中組配之一DLL校準模式來控制多久校準DLL 256之操作(例如，從無校準到繼續校準之任何範圍)。藉由以暫存器252來將多個組態模式賦能，校準控制254可提供更多彈性來於需正確操作記憶體230之任何時間區間、或需經由DLL 256來將資料246之適當同步賦能之任何時間區間來執行DLL校準。

【0044】 於一實施例中，主機210組配暫存器252作DLL校準，來選擇性賦能與停用DLL校準。於一實施例中，DLL 256控制I/O眼260，其於資料介面246可代表一發信號“眼”。I/O眼260可理解為一非限制範例，且代表該等電壓軌條(VDD與VSS)間之發信號。該等電壓軌條參照為高與低電壓參考，其中VDD為發信號之一高電壓參考，而VSS為一低電壓發信號參考。於一實施例中，記憶體230包括可介於VDD與VSS間之一VTT參考，並可用於終止及/或其他發信號特性。VTT不需要都存在於記憶體

230之所有範例中。信號262代表該“資料眼”，其為許多不同I/O信號之一近似、或隨時間傳送及/或接收之許多不同信號的一複合信號。複合信號262之近似於該等信號間提供一開口，其中一有效信號264繪示應保證一I/O信號將被適當中斷之電壓準位與時序的一近似。

【0045】 典型情況是，該有效區264由標準或協定及/或由訓練來設定。信號262與有效區264間之空間為容限266。容限266指出有多少變動出現在信號262中，而仍遵守一有效信號之時序/電壓需求。有時諸如“容限”與“增容限”之表示法可參照決定應使用何種設定來使信號262達到有效眼264、及/或設定該I/O組態來達到該類有效發信號。DLL 256可控制經由資料246交換(例如，傳送及/或接收)之信號時序以確保一有效的I/O眼260。於一實施例中，校準控制254參照暫存器252與DLL 256及/或其它I/O硬體248間之控制邏輯來控制DLL 256之校準。

【0046】 於一實施例中，若記憶體230布署在一“非依電性儲存器”應用中，則校準控制254可不常執行或也許不執行DLL校準。於儲存器之應用中，發信號之速度可能較慢，而容限266可夠大而不需要規律的DLL校準。於一實施例中，若記憶體230布署為一主要記憶體的替代，則校準控制254可更常執行或繼續執行DLL校準或DLL追蹤。於“主要記憶體”的應用中，該發信號之速度較快，而容限266可相當小且需更常的DLL校準操作。

【0047】 於一實施例中，係基於一或多個操作條件，

諸如系統200之計算裝置的環境條件、或者系統200之電源。可變條件會影響該等電壓條軌，導引該等條軌中之電壓變動及/或導引雜訊進入每一條軌之供應線路。於一實施例中，校準控制254可根據暫存器252中設定之一DLL校準模式來選擇性開啟與關閉校準。應了解關閉該DLL校準會造成每次該校準關閉而之後切回開啟幾乎有若干微秒的一延遲。於一實施例中，主機210可決定針對一特定記憶體230該電力何時有雜訊及/或系統200中之其他變動，以及基於該記憶體之條件來設定一DLL校準模式。於一實施例中，該主機基於該系統之組態，諸如記憶體230是否針對高速存取或低速存取來組配以設定一校準模式。

【0048】 圖3為一可施加一記憶體裝置之DLL校準模式之一系統之一實施例的方塊圖。系統300代表一記憶體系統之元件，並根據系統100之一實施例及/或系統200之一實施例來提供一系統之一範例。系統300包括主機310與記憶體330。主機310於介面320上與記憶體330通訊上耦接。介面320可包括點對點連接、多點匯流排連接、循路由信號線、I/O硬體(類似上文所述)、及/或將一裝置與其他裝置通訊賦能之其他機構I/O。I/O 332代表記憶體330之一I/O介面。雖然未明確顯示，但應了解主機310亦包括一I/O介面，而介面320代表該等兩個I/O介面之互連體。I/O 332可包括如上述之I/O硬體。I/O 332並不需顯示存在主機310與記憶體330間之所有連接。

【0049】 於一實施例中，主機310包括排程器312，其

代表決定何種命令送至哪個記憶體裝置、與何時送之控制邏輯。用以響應一主機處理器(未特別顯示)之執行，該排程器可產生命令來送至記憶體330以存取不儲存於局部快取記憶體或一局部緩衝器之資料。該資料可包括命令及/或數值。排程器312於介面320上可將命令322(其可包括位址資訊)提供至記憶體330。於一實施例中，內部控制器334接收與編碼該命令資料。該類命令資料可包括模式暫存器組合(MRS)命令來設定一模式暫存器或一模式暫存器之一多功能暫存器。該類命令資料可包括存取命令。該類命令資料可包括校準命令，雖然系統300中係為了舉例解說，但其繪示一分開的校準路徑。控制器334基於從主機310接收之命令來導引記憶體330中之操作。

【0050】 於一實施例中，記憶體330為同步、且經由介面320來同步至接收的時鐘信號324。主機310包括一或多個振盪器314，其代表產生用來控制主機310中之操作時序的一週期性信號之硬體。於一實施例中，主機310基於振盪器314來提供時鐘信號324。應了解時鐘信號324不需為振盪器314之一直接輸出，而是送至記憶體330之前，其可經濾波、調整、或其他方式調整。

【0051】 於一實施例中，記憶體330包括內部振盪器346，其中記憶體330可用於從主機310同步之某些操作(諸如某些低電力操作)。並非記憶體330之每一實施態樣皆包括內部振盪器346。雖然也可以，但振盪器346不需在與振盪器314之相同標稱頻率時操作。振盪器346使記憶體330

能夠針對不使用外部時鐘324之操作來產生一內部時鐘信號。於記憶體330包括振盪器346之一實施例中，記憶體330可包括一選擇機構(諸如多工器340)來於內部或外部時鐘信號間選擇。無論來自一內部振盪器或同步至一外部時鐘信號，記憶體330皆包括內部時鐘348來定義記憶體330中之操作的時序。

【0052】 於一實施例中，記憶體330包括DLL 344來基於時鐘信號324、基於業界了解之一回饋迴路來控制資料I/O 328之時序或相位。傳統上，DLL 344作用中時，其將繼續追蹤資料I/O 328對照時鐘324之相位，並基於該時鐘信號來調整該輸出。該持續追蹤參照為可消耗大量電力之DLL校準。為了舉例解說，DLL校準(CAL)342繪示於DLL 344旁。DLL校準342代表可控制DLL 344之校準操作的邏輯。於一實施例中，DLL校準342可視為控制器334的一部分。控制器334不需為一單一邏輯電路，但可包括記憶體330中之分散式控制邏輯。

【0053】 記憶體330包括記憶體資源360，其代表將資料儲存於記憶體330之儲存胞元或記憶體位置。記憶體資源可根據如上述之一記憶體技術的一實施例。記憶體330包括存取硬體362來介接並控制存取儲存於記憶體資源360中之資料。針對一寫入操作，存取硬體362可選擇該(等)定址位置並設定該(等)定址位置以及讀取儲存於該(等)定址位置之資料。針對一讀取操作，存取硬體362可選擇該(等)定址位置以及讀取儲存於該(等)定址位置之資

料。

【0054】存取硬體362可將記憶體資源360與介面320之資料I/O 328的一資料匯流排介接。存取硬體362可將主機310之一或多個緩衝器318與記憶體資源360間之一互連賦能。於一實施例中，存取硬體362包括一或多個緩衝器。針對一寫入交易，緩衝器318可代表待寫入記憶體資源360之一暫時的資料佇列、或者於一讀取交易中，代表一暫時的佇列來儲存從記憶體資源360讀取之資料。主機310可根據排程器312提供之命令來填滿或清空緩衝器318。

【0055】於一實施例中，記憶體330包括ODT(晶載終止裝置)354。於一實施例中，系統300包括記憶體330之晶片外終止裝置，其可經由至未顯示之I/O 332的連接器之連接來提供I/O阻抗。無論是外部阻抗或ODT 354，記憶體330可提供於資料介面328上交換之資料特定的I/O阻抗。於一實施例中，雖然為了舉例解說以虛線方塊顯示，但該終止裝置可視為I/O 332之“一部分”。從主機310之觀點看入I/O 332時，該終止裝置阻抗可施加為該介面的一部分來提供一特定阻抗。

【0056】於一實施例中，控制器334及/或DLL校準342根據儲存於暫存器336中之一DLL校準模式設定來執行校準。於一實施例中，可有若干不同的DLL校準模式。該等模式可包括記憶體330位於一作用中狀態時，DLL校準342繼續操作、以及記憶體330位於一低電力狀態時關閉

的一模式。相較於傳統DLL校準操作，該等模式可包括無論記憶體330位於一作用中或低電力狀態時，DLL校準342皆繼續操作的一模式。該等模式可包括一主機起始校準模式，其中主機310將明確的DLL校準命令提供至記憶體330。該類模式可由校準邏輯316來代表，其將校準命令326提供至記憶體330。於一實施例中，校準邏輯316代表用以決定與設定該選擇的DLL校準模式之邏輯，諸如決定記憶體330之一操作狀態以及基於該操作狀態來設定該DLL校準模式。因此，校準命令326可代表用以設定該校準模式之一命令。

【0057】 應了解選擇性設定DLL校準之操作開啟或關閉可出現在系統300中之運作時間。因此，DLL校準342並非包括DLL操作之一混合設定的一系統，其即使在運作時間仍可動態受組配、且可被改變。於一實施例中，該DLL組態模式可於系統300之每次起始或開機時設定。於一實施例中，主機310週期性決定是否更新該DLL校準模式。於一實施例中，主機310用以響應檢測某些條件，諸如從記憶體330接收一中斷信號、接收一操作條件指示、或其他檢測來決定更新該DLL校準模式。該選擇的校準模式決定DLL校準342操作之一時間區間。因此，DLL校準342將於該校準模式識別之一時間區間操作。

【0058】 於一實施例中，該DLL校準模式可包括DLL校準結合ZQ校準操作出現的一DLL校準模式。ZQ校準參照為阻抗校準。於一實施例中，記憶體330包括ZQ校準

352。於一實施例中，記憶體330於其亦包括ODT 354之一實施例中僅包括ZQ校準352。於一實施例中，ZQ校準352包括一暫存器336中之一或多個組態設定。例如，一或多個模式暫存器可儲存控制ZQ校準操作受執行時的一排程之組態設定。

【0059】 ZQ校準操作可參照執行各種不同I/O操作以及測量時序與發信號特性之一ZQ校準引擎的操作，來決定達到一所需I/O特性之設定。ZQ校準352可代表該ZQ校準引擎。同樣地，DLL校準342可被視為於不同設定時執行各種不同I/O操作之一DLL校準引擎，來決定何種設定達到所需的I/O測量及/或其他時序限制及/或I/O眼特性。於一實施例中，每次ZQ校準352執行阻抗校準時，DLL校準342執行DLL校準。

【0060】 圖4為一用以將DLL校準模式選擇性賦能之一模式暫存器的一實施例之方塊圖。模式暫存器(MRx)410代表於支援不同的DLL校準模式之一DRAM或其他記憶體裝置中的一模式暫存器之一範例。於一實施例中，如模式暫存器410所繪示可為多個分開的模式暫存器。如圖繪示，位址AY[1:0]代表設定一特定DLL校準模式之位元。如模式暫存器410中所示之範例與本文提供之其他範例一致，且繪示一非限制性範例。亦可使用更多或更少DLL校準模式，且可使用不同的位元型樣來代表不同的DLL校準模式。

【0061】 於一實施例中，AY[1:0]='00'時，DLL校準

操作連接至ZQ校準操作。因此，ZQ校準操作出現(其可用以響應來自該主機之一命令)時，該記憶體裝置亦執行DLL校準。於一實施例中，DLL校準預設為與ZQ校準來運作。於一實施例中，AY[1:0]='01'時，DLL校準於作用中與閒置模式期間繼續DLL追蹤，而該DLL於低電力模式期間為關閉。於一實施例中，AY[1:0]='11'時，DLL校準於作用中模式、閒置模式、以及低電力模式期間繼續DLL追蹤。低電力模式期間具有DLL校準追蹤會增加電力耗損，但離開低電力模式時造成較少延遲。於一實施例中，AY[1:0]='10'時，DLL校準操作由來自該主機之明確命令來控制。主機起始DLL校準指出DLL校準由一命令或藉由設定一模式暫存器位元AZ來啟動或停止，其中'0'停止校準而'1'啟動校準。

【0062】 位址AZ代表於主機起始DLL校準模式中觸發DLL校準操作之一位元。於一實施例中，位址AZ可位於與保持設定該DLL校準模式之位元或多個位元的模式暫存器不同的一模式暫存器中。於一實施例中，控制位元AZ='0'停止DLL校準，而控制位元AZ='1'啟動DLL校準。於一實施例中，該DLL校準模式不設定為主機起始校準模式時，該記憶體裝置忽略AZ，而其數值不影響操作。

【0063】 應了解主機起始校準模式可需要該主機來執行該面板之一特性化或該記憶體布署之系統的環境。其中ZQ校準典型僅回應溫度波動且此可於每數百毫秒中執行，DLL會受到非溫度之較大範圍的條件所影響。DLL操

作會受雜訊所衝擊，除了系統溫度外，其會需要一主機來監控電源供應雜訊、並於雜訊變化超過一臨界值時執行DLL校準。

【0064】針對3DXP技術之一實施態樣，於一實施例中，一3DXP記憶體裝置可包括模式暫存器，諸如模式暫存器410來提供DLL校準模式。不同的DLL校準模式可使一3DXP記憶體能夠透過可取決於系統操作來設定之模式暫存器來執行電力/頻率彈性。應了解關閉DLL校準可提供省電的優點。例如，因為無取決於適當的介面發信號之匯流排活動，故一DLL校準可設定來於該3DXP記憶體位於低電力模式時關閉DLL校準。應了解該類情況可形成最低電力準位，但與該主機/控制器之通訊重新建立前，該DLL校準時會增加延遲。

【0065】圖5為一用於施加選擇性DLL校準之一程序的一實施例之流程圖。更特別是，程序500可允許DLL校準模式之選擇性施加。於一實施例中，一主機識別一相關聯記憶體裝置之一系統組態，502。該記憶體裝置可為本文所述之一記憶體裝置的任何實施例。於一實施例中，一使用者或系統設計者輸入指出該系統組態之資訊。於一實施例中，一BIOS(基本輸入/輸出系統)藉由輪詢裝置來發現系統組態。該系統組態可識別該記憶體裝置是否針對高速存取或只是低速存取來組配。

【0066】於一實施例中，基於該系統組態，504中，該主機決定該操作模式之一DLL校準模式。於一實施例

中，特定DLL校準模式與系統組態或操作模式或操作條件相關聯。該類關聯性可由系統設計者來預定。於一實施例中，506中，該主機識別該記憶體裝置之一特定操作模式。決定該特定操作模式可，例如，決定該記憶體裝置何時進入或從一低電力狀態離開。該類決定可包括識別該系統之環境條件。

【0067】於一實施例中，508中，該主機基於該識別的操作模式來設定該記憶體裝置之DLL校準模式。於一實施例中，如一範例，該DLL校準模式可包括四個不同模式。於一實施例中，510中，該主機將該記憶體設定為阻抗校準之效能控制DLL校準之效能的一校準模式。ZQ校準效能控制該DLL校準時，應了解可參照該操作之頻率，其中DLL校準操作受組配來以與ZQ校準操作相同的頻率出現。

【0068】於一實施例中，512中，該主機將該記憶體設定為DLL追蹤僅出現在作用中模式期間的一校準模式。於一實施例中，該類模式可包括作用中與閒置模式。於一實施例中，514中，該主機將該記憶體設定為DLL追蹤出現在作用中與低電力模式期間的一校準模式。於一實施例中，516中，該主機將該記憶體設定為DLL校準用以響應主機起始命令而出現的一校準模式。該類命令可與觸發ZQ校準之效能的命令分開。

【0069】於一實施例中，由於主機起始DLL校準，518中，該主機可決定是否執行DLL校準。該主機可基於該記

憶體裝置及/或放置該記憶體裝置之主機系統的一操作狀態或操作條件來作該類決定。於一實施例中，該主機可根據一或多個排程來作該類決定，其中某些排程可對應該記憶體裝置之某些操作模式。該主機決定不執行DLL校準的情況下，520中的否分支，該主機可繼續監控/等待直到應執行DLL校準為止。

【0070】於一實施例中，該主機決定使一記憶體裝置來執行DLL校準時，520中的是分支，522中，該主機設定一模式暫存器來致動DLL校準。應了解於具有多個記憶體裝置之一記憶體子系統中，該主機可於所有記憶體裝置上使用該相同的DLL校準排程、或可使不同的記憶體裝置於不同時間週期施加DLL校準。於一實施例中，不論DLL校準模式係針對一記憶體裝置來設定，該主機可繼續監控該系統並於524中決定是否改變該校準模式。應了解由於不同的校準模式，會有偏愛一校準模式超過另一校準模式的情況。於一主機起始校準模式中，該改變校準模式之決定可參照將DLL校準選擇性開啟或關閉。

【0071】若該主機決定改變該校準模式，526中的是分支，506中，該主機可識別該記憶體裝置之特定操作模式，並於508中，根據該校準模式來設定一DLL校準模式。於一實施例中，若該主機決定不改變該校準模式，526中的否分支，則528中，該系統根據該選擇/設定校準模式來使用DLL追蹤以繼續操作。該記憶體裝置以該類DLL校準操作來繼續，而該主機繼續監控與決定該DLL校準模式是

否應改變。該記憶體裝置決定該校準模式設定並根據該DLL校準模式來執行DLL校準。該記憶體裝置可於該DLL校準模式指出之一時間區間繼續執行DLL校準。

【0072】 圖6為一可執行DLL校準模式之一計算系統的一實施例之方塊圖。系統600代表一根據本文所述之任何實施例的計算裝置，且可為一膝上型電腦、一桌上型電腦、一伺服器、一遊戲或娛樂控制系統、一掃描器、影印機、印表機、循路由或交換裝置、或其它電子裝置。系統600包括處理器620，其提供系統600之指令的處理、操作管理、與執行。處理器620可包括任何類型的微處理器、中央處理單元(CPU)、處理核心、或提供系統600之處理的其它處理硬體。處理器620控制系統600之整體操作、並可為或包括，一或多個可規劃通用或專用微處理器、數位信號處理器(DSP)、可規劃控制器、特定應用積體電路(ASIC)、可規劃邏輯裝置(PLD)、之類、或該類裝置之一組合。

【0073】 記憶體子系統630代表系統600之主記憶體，並提供處理器620執行之編碼、或用來執行一常式之資料值暫時儲存器。記憶體子系統630可包括一或多個記憶體裝置，諸如唯讀記憶體(ROM)、快取記憶體、一或多個各種不同的隨機存取記憶體(RAM)、或其他記憶體裝置、或者該類裝置的一組合。除此之外，記憶體子系統630儲存與主宰作業系統(OS)636以提供用於執行系統600中之指令的一軟體平台。此外，其他指令638可從記憶體子

系統630儲存與執行來提供系統600之邏輯與處理。OS 636與指令638可由處理器620執行。記憶體子系統630包括儲存資料、指令、程式、或其他項目之記憶體裝置632。於一實施例中，記憶體子系統包括記憶體控制器634，其為一記憶體控制器以產生與發出命令至記憶體裝置632。應了解記憶體控制器634可為處理器620之一實體部分。

【0074】 處理器620與記憶體子系統630耦接至匯流排/匯流排系統610。匯流排610為代表由適當橋接器、配接器、及/或控制器連接之任何一個或多個分開的實體匯流排、通信線路/介面、及/或點對點連接之一抽象表示法。因此，匯流排610可包括，例如，一系統匯流排、一周邊組件互連(PCI)匯流排、一超傳送協定或工業標準架構(ISA)匯流排、一小電腦系統介面(SCSI)匯流排、一通用串列匯流排(USB)、或一美國電機電子工程師協會(IEEE)標準1394匯流排(共同參照為“火線”)的其中之一或多個匯流排。匯流排610之匯流排亦可對應於網路介面650中之介面。

【0075】 系統600亦包括一或多個輸入/輸出(I/O)介面640、網路介面650、一或多個內部大量儲存裝置660、以及耦接至匯流排610之周邊介面670。I/O介面640可包括一使用者所透過與系統600互動之一或多個介面構件(例如，視訊、聲響、及/或文數字介接)。網路介面650提供系統600於一或多個網路上與遠端裝置(例如，伺服器、其他計算裝置)通訊的功能。網路介面650可包括一乙太

網路配接器、無線互連構件、USB(通用串列匯流排)、或其他有線或無線的標準式或專屬介面。

【0076】 儲存器660可為或包括以一非依電性方法，諸如一或多個磁性、固態、或光學式碟片、或者一組合來儲存大量資料之任何習知媒體。儲存器660可將編碼或指令與資料662保持在一永久狀態(亦即，儘管系統600之電力中斷該數值仍可被保持)。雖然記憶體630為該執行或操作記憶體來將指令提供至處理器620，但儲存器660一般可視為一“記憶體”。其中儲存器660為非依電性，記憶體630可包括依電性記憶體(亦即，若系統600之電力中斷，該資料之數值或狀態為不確定)。

【0077】 周邊介面670可包括未於上文特別陳述之任何硬體介面。周邊裝置一般參照為相依連接至系統600之裝置。一相依連接為系統600提供操作執行、與一使用者互動之軟體及/或硬體平台的連接。

【0078】 於一實施例中，系統600包括DLL校準控制680。其顯示為系統600之一分開構件情況下，應了解DLL校準控制680可為一或多個其他系統的一部分。例如，根據本文所述之實施例，一或多個記憶體裝置632可包括DLL校準控制680。如另一範例中，根據本文所述之一實施例，儲存器660可包括DLL校準控制680。於一實施例中，系統600包括非依電性記憶體632，諸如一三維度堆疊記憶體裝置或一3DXP記憶體裝置，且可不包括與該類記憶體632分開之儲存器660。DLL校準控制680包括或根據

識別一DLL校準模式之組態設定來操作。DLL校準控制680支援可動態組配來提供DLL追蹤之操作或DLL校準操作不同的時間區間之多個不同的DLL校準模式。於一實施例中，記憶體632為一DRAM。於一實施例中，處理器620代表執行儲存於一或多個DRAM記憶體632中之資料的一或多個處理器。於一實施例中，網路介面650與另一網路位置上之另一裝置交換資料，而該資料為儲存於記憶體632中之資料。

【0079】 圖7為一可執行DLL校準模式之一行動裝置的一實施例之方塊圖。裝置700代表一行動計算裝置，諸如一計算平板電腦、一行動電話或智慧型手機、一無線賦能e化讀取器、隨身計算裝置、或其他行動裝置。應了解一般僅顯示某些該等構件、而非該類裝置之所有構件皆顯示在裝置700中。

【0080】 裝置700包括處理器710，其執行裝置700之主要處理操作。處理器710可包括一或多個實體裝置，諸如微處理器、應用處理器、微控制器、可規劃邏輯裝置、或其他處理裝置。處理器710執行之處理操作包括可執行應用程式及/或裝置功能之一操作平台或作業系統的執行。該等處理操作包括有關與一使用者或與其他裝置互動之I/O(輸入/輸出)的操作、有關電力管理的操作、及/或有關將裝置700連接至其他裝置的操作。該等處理操作亦可包括有關聲響I/O及/或顯示I/O的操作。

【0081】 於一實施例中，裝置700包括聲響子系統

720，其代表與將聲響功能提供至該計算裝置相關聯之硬體(例如，聲響硬體與聲響電路)與軟體(例如，驅動程式、編解碼程式)構件。聲響功能可包括揚聲器及/或耳機輸出、以及麥克風輸入。該類功能之裝置可整合於裝置700中、或連接至裝置700。於一實施例中，一使用者可藉由提供處理器710接收並處理之聲響命令來與裝置700互動。

【0082】顯示器子系統730代表提供使用者一視覺及/或觸覺的顯示來與該計算裝置互動之硬體(例如，顯示裝置)與軟體(例如，驅動程式)構件。顯示器子系統730包括顯示器介面732，其可包括用來將一顯示器提供至一使用者之特定螢幕或硬體裝置。於一實施例中，顯示器介面732包括與處理器710分開來執行有關該顯示器之至少某些處理的邏輯。於一實施例中，顯示器子系統730包括提供輸出與輸入兩者至一使用者之一觸控螢幕裝置。於一實施例中，顯示器子系統730包括將一輸出提供至一使用者之一高解析度(HD)顯示器。高解析度可參照為具有約100 PPI(每英吋像素)或更大之一像素密度的一顯示器，且可包括諸如完全HD(例如，1080p)、網膜顯示、4K(超高解析度或UHD)、等等的格式。

【0083】I/O控制器740代表有關與一使用者互動之硬體裝置與軟體構件。I/O控制器740可操作來管理聲響子系統720及/或顯示器子系統730之一部分的硬體。此外，I/O控制器740繪示一使用者可透過它與該系統互

動、且連接至裝置700之額外裝置的一連接點。例如，可附接於裝置700之裝置可包括麥克風裝置、揚聲器或身歷聲系統、視訊系統或其他顯示系統、鍵盤或小鍵盤裝置、或者與特殊應用程式使用之其他I/O裝置，諸如讀卡機或其他裝置。

【0084】 如上所述，I/O控制器740可與聲響子系統720及/或顯示器子系統730互動。例如，透過一麥克風或其他聲響裝置之輸入可提供裝置700之一或多個應用程式或功能輸入或命令。此外，替代或除了顯示器輸出外，亦可提供聲響輸出。另一範例中，若顯示器子系統包括一觸控螢幕，則該顯示器裝置亦可作為一輸入裝置，其可至少部分由I/O控制器740管理。裝置700上亦可有額外按鈕或開關來提供由I/O控制器740管理之I/O功能。

【0085】 於一實施例中，I/O控制器740管理諸如加速器、攝影機、光感測器或其他的環境感測器、迴轉儀、全球定位系統(GPS)的裝置、或可包括於裝置700中之其他硬體。該輸入可為直接使用者互動的一部分、以及將環境上輸入提供至該系統來影響其操作(諸如過濾雜訊、針對亮度檢測來調整顯示器、針對攝影機應用閃光、或其他特徵)。於一實施例中，裝置700包括電力管理750，其管理電池電力使用率、電池的充電、以及有關省電操作之特徵。

【0086】 記憶體子系統760包括用於將資訊儲存於裝置700中之記憶體裝置762。記憶體子系統760可包括非依

電性(若該記憶體裝置之電力中斷則狀態不改變)及/或依電性(若該記憶體裝置之電力中斷則狀態不確定)記憶體裝置。記憶體760可儲存應用程式資料、使用者資料、音樂、相片、文件、或其他資料、以及有關係統700之應用程式與功能執行的系統資料(長期或暫時)。於一實施例中，記憶體子系統760包括記憶體控制器764(其亦可視為系統700之控制的一部分，且可潛在地視為處理器710之一部分)。記憶體控制器764包括一排程器來產生與發出命令至記憶體裝置762。

【0087】 連接770包括硬體裝置(例如，無線及/或有線連接器與通訊硬體)與軟體構件(例如，驅動程式、協定堆疊)來使裝置700能夠與外部裝置通訊。該裝置可為分開裝置，諸如其他計算裝置、無線存取點或基地站、以及諸如耳機、印表機、或其他裝置之周邊裝置。

【0088】 連接770可包括多個不同類型的連接。概括來說，裝置700以蜂巢式連接772與無線連接774來繪示。蜂巢式連接772一般參照為由無線載波提供之蜂巢式網路連接，諸如經由GSM(全球行動通信系統)或變化型態或衍生元件、CDMA(碼分多重存取)或變化型態或衍生元件、TDM(時分多工)或變化型態或衍生元件、LTE(長期演進技術-亦參照為“4G”)、或其他蜂巢式服務標準來提供。無線連接774參照為非蜂巢式的無線連接，且可包括個人區域網路(諸如藍芽)、區域網路(諸如WiFi)、及/或廣域網路(諸如WiMax)、或其他無線通訊。無線通訊

參照為透過使用透過一非固態媒體之調變電磁輻射的資料轉移。有線通訊透過一固態通訊媒體來出現。

【0089】 周邊連接780包括硬體介面與連接器、以及軟體構件(例如，驅動程式、協定堆疊)來完成周邊連接。應了解裝置700可為至其它計算裝置之一周邊裝置(“至”782)、以及具有與其連接之周邊裝置(“來自”784)。裝置700共同具有一“對接”連接器來連接至其他計算裝置，以便諸如管理(例如，下載及/或上載、改變、同步)裝置700的內容。此外，一對接連接器可允許裝置700連接至允許裝置700來控制內容輸出，例如，至影音或其他系統之某些周邊裝置。

【0090】 除了一專屬對接連接器或其他專屬連接硬體外，裝置700可經由共同或標準式連接器來完成周邊連接780。共同類型可包括一通用串列匯流排(USB)連接器(其可包括若干不同的硬體介面之任一個)、包括迷你顯示埠(MDP)之顯示埠、高畫質多媒體介面(HDMI)、火線、或其他類型。

【0091】 於一實施例中，系統700包括DLL校準控制790。其顯示為記憶體子系統760的一部分之情況下，應了解DLL校準控制680可為使用DLL作I/O時序控制之任何系統的一部分。於一實施例中，根據本文所述之一實施例，一或多個記憶體裝置762可包括DLL校準控制790。於一實施例中，記憶體裝置762可包括非依電性儲存器，諸如一三維度堆疊記憶體裝置或一3DXP記憶體裝置。DLL

校準控制790包括或根據識別一DLL校準模式之組態設定來操作。DLL校準控制790支援可動態組配來提供DLL追蹤之操作或DLL校準操作不同的時間區間之多個不同的DLL校準模式。於一實施例中，記憶體762包括一DRAM。於一實施例中，處理器710代表執行儲存於一或多個DRAM記憶體762中之資料的一或多個處理器。於一實施例中，系統700包括一網路介面(諸如一連接770)來與另一網路位置上之另一裝置交換資料，而該資料為儲存於記憶體762中之資料。

【0092】 於一觀點中，一種用於儲存資料之記憶體裝置包括：一與一相關聯主機控制器交換資料之輸入/輸出(I/O)介面電路；一耦接來控制該I/O介面之I/O時序的延遲鎖定迴路(DLL)電路；以及一控制電路，其根據該記憶體裝置組配之一DLL校準模式來將DLL校準選擇性賦能與停用，其中該DLL校準受選擇性賦能時，於該DLL校準模式識別之一時間區間操作，而受選擇性停用時，該DLL校準限制追蹤相位更新。

【0093】 於一實施例中，該記憶體裝置包含一三維度(3D)堆疊記憶體裝置。於一實施例中，該記憶體裝置包含一3D交叉點(3DXP)記憶體裝置。於一實施例中，該控制電路用來於運作時間將該DLL校準選擇性賦能與停用。於一實施例中，該DLL校準模式包含一主機起始校準模式，其中該相關聯主機控制器用來送出一命令以便將DLL校準選擇性賦能或停用。於一實施例中，該相關聯主

機控制器用來至少部分基於該記憶體裝置之雜訊特性化來選擇一DLL校準模式。於一實施例中，該DLL校準模式包含該記憶體裝置位於一作用中操作狀態時，DLL校準繼續操作、而該記憶體裝置位於一低電力操作狀態時為關閉的一模式。於一實施例中，該DLL校準模式包含該記憶體裝置位於一閒置操作狀態時，DLL校準繼續操作、而該記憶體裝置位於一低電力操作狀態時為關閉的一模式。於一實施例中，該相關聯主機控制器用來基於該記憶體裝置之一操作狀態來選擇一DLL校準模式。於一實施例中，該相關聯主機控制器用來基於該記憶體裝置之一低電力狀態來選擇一DLL校準模式。於一實施例中，該DLL組態模式包含DLL校準結合ZQ校準操作出現的一模式。於一實施例中，更包含一模式暫存器來儲存DLL校準模式之一組態設定。

【0094】 於一觀點中，一種具有一記憶體子系統之系統，其包括：一主機控制器；以及一具有隨機存取能力與非依電性儲存胞元之三維度堆疊記憶體裝置，該記憶體裝置包括一與一相關聯主機控制器交換資料之輸入/輸出(I/O)介面電路；一耦接來控制該I/O介面之I/O時序的延遲鎖定迴路(DLL)電路；以及一控制電路，其根據該記憶體裝置組配之一DLL校準模式來將該DLL電路之DLL校準選擇性賦能與停用，其中該DLL校準受選擇性賦能時，於該DLL校準模式識別之一時間區間操作，而受選擇性停用時，該DLL校準限制追蹤相位更新。於一觀點中，該系統根據如上文列舉之記憶體裝置的任何實施例。

【0095】於一觀點中，一種於一記憶體裝置中用於控制I/O(輸入/輸出)同步之方法，其包括：從該記憶體裝置之一DLL(延遲鎖定迴路)校準模式設定來決定DLL校準是否針對耦接來控制(輸入/輸出)該記憶體裝置之一I/O介面的I/O時序之一DLL電路來選擇性賦能或停用，其中一相關聯主機控制器設定該DLL校準模式；以及根據該DLL校準模式來執行該DLL電路之DLL校準，其中DLL校準受選擇性賦能時，於該DLL校準模式識別之一時間區間執行DLL校準，而DLL校準受選擇性停用時，不執行DLL校準。

【0096】於一實施例中，該記憶體裝置包含一三維度(3D)堆疊記憶體裝置。於一實施例中，該記憶體裝置包含一3D交叉點(3DXP)記憶體裝置。於一實施例中，執行DLL校準包含於運作時間將該DLL校準選擇性賦能與停用。於一實施例中，執行DLL校準更包含於一主機起始校準模式中執行DLL校準，其中該相關聯主機控制器用來送出一命令以便將該DLL電路選擇性賦能或停用。於一實施例中，執行DLL校準係至少部分基於該記憶體裝置之雜訊特性化。於一實施例中，執行DLL校準更包含於該記憶體裝置位於一作用中操作狀態、以及該記憶體裝置位於一低電力操作狀態時，DLL校準繼續的一永遠開啟模式中執行DLL校準。於一實施例中，執行DLL校準更包含於該記憶體裝置位於一作用中操作狀態時，DLL校準繼續、而該記憶體裝置位於一低電力操作狀態時為關閉的一永遠開啟

模式中執行DLL校準。於一實施例中，執行DLL校準更包含於該記憶體裝置位於一閒置操作狀態時，DLL校準繼續、而該記憶體裝置位於一低電力操作狀態時為關閉的一永遠開啟模式中執行DLL校準。於一實施例中，更包含基於該記憶體裝置之一操作狀態來選擇一DLL校準模式。於一實施例中，選擇該DLL校準模式包含基於該記憶體裝置之一低電力狀態的一DLL校準模式。於一實施例中，執行DLL校準更包含於DLL校準結合ZQ校準操作出現的一模式中執行DLL校準。於一實施例中，更包含將DLL校準模式之一組態設定儲存於一模式暫存器中。

【0097】 於一觀點中，一種製造物品包含儲存有內容之一電腦可讀儲存媒體，該內容會造成操作之執行來實行根據上文列舉之方法的任何實施例之一方法。於一觀點中，用於記憶體管理的一種裝置包含用以執行操作之手段來運行對應於如上所述之任何實施例之方法之一方法。如本文繪示之流程圖可提供各種不同程序動作之序列的範例。該等流程圖可指出由一軟體或韌體常式執行之操作、以及實體的操作。一實施例中，一流程圖可繪示一有限狀態機器(FSM)之狀態，其可以硬體及/或軟體來執行。雖然圖中以一特定序列或順序來顯示，但除非特別指定，否則該等動作之順序可加以修改。因此，該等繪示實施例應理解為僅作一範例，而該程序可以一不同順序來執行，而某些動作可並列執行。此外，各種不同實施例中，可省略一或多個動作，於是，每一實施例中並不需要所有動作。亦

可有其他程序流程。

【0098】就某種程度而言本文已說明了各種不同的操作或功能，其可說明或定義為軟體碼、指令、組態、及/或資料。該內容可為可直接執行的(“物件”或“可執行”型式)、來源碼、或不同的編碼(“增量”或“修補”碼)。本文所述之實施例的軟體內容可經由具有儲存內容之一製造物品、或經由操作一通訊介面之一方法來提供，以經由該通訊介面來發送資料。一機器可讀儲存媒體可使一機器來執行上述功能或操作，並包括以一機器(例如，計算裝置、電子系統、等等)可存取的一型式來儲存資訊之任何機構，諸如可記錄/不可紀錄媒體(例如，唯讀記憶體(ROM)、隨機存取記憶體(RAM)、磁碟儲存媒體、光學儲存媒體、快取記憶體裝置、等等)。一通訊介面包括介接至一硬線、無線、光學、等等媒體之任何一個來傳達至另一裝置的任何機構，諸如一記憶體匯流排介面、一處理器匯流排介面、一網際網路連接、一磁碟控制器、等等。該通訊介面可藉由提供組態參數及/或傳送信號來組配，以準備該通訊介面來提供說明該軟體內容之一資料信號。該通訊介面可經由傳送至該通訊介面之一或多個命令或信號來存取。

【0099】本文所述之各種不同構件可為用以執行上述操作或功能之裝置。本文所述之每一構件包括軟體、硬體、或該等構件的一組合。該等構件可作為軟體模組、硬體模組、專用硬體(例如，特定應用硬體、特定應用積體電路(ASIC)、數位信號處理器(DSP)、等等)、嵌式控制器、

硬線電路、等等來予以執行。

【0100】除了本文說明的之外，本發明之揭示實施例與實施態樣在不違背其範疇的情況下可作各種不同修改。因此，本文之舉例解說與範例應以一舉例、而非一限制觀點來視之。本發明之範疇應僅參照下列請求項來度量。

【符號說明】

【0101】

- 100、200、300、600...系統
- 110、620、710...處理器
- 120、634、764...記憶體控制器
- 122、142...輸入/輸出介面邏輯
- 124、152...命令邏輯
- 130...記憶體模組
- 132、244、324...時鐘信號
- 134...命令/位址
- 136、226...資料
- 138...信號線
- 140、632、762...記憶體裝置
- 142、220、240、332...輸入/輸出
- 144、252、336...暫存器
- 146、354...晶載終止裝置
- 150...控制器
- 160...記憶體資源
- 172、254...校準控制

- 174...相位控制
- 210、310...主機
- 230、330...記憶體
- 222...命令介面
- 224...時鐘或時序參考
- 242...介面硬體命令
- 232...陣列
- 246...資料、資料介面
- 248...輸入/輸出硬體
- 256、344...延遲鎖定迴路
- 260...輸入/輸出眼
- 262...信號
- 264...有效信號、有效區
- 266...容限
- 320...介面
- 312...排程器
- 314...振盪器
- 316...校準邏輯
- 318...緩衝器
- 322...命令
- 326...校準命令
- 328...資料輸入/輸出
- 334...內部控制器
- 340...多工器

- 342...延遲鎖定迴路校準
- 346...內部振盪器
- 348...內部時鐘
- 352...ZQ校準
- 360...記憶體資源
- 362...存取硬體
- 410...模式暫存器
- 500...程序
- 502、504、506、508、510、512、514、516、518、520、
522、524、526、528...方塊
- 610...匯流排/匯流排系統
- 630、760...記憶體子系統
- 636...作業系統
- 638...指令
- 640...輸入/輸出介面
- 650...網路介面
- 660...內部大量儲存裝置
- 662...編碼或指令與資料
- 670...周邊介面
- 680、790...延遲鎖定迴路校準控制
- 700...裝置
- 720...聲響子系統
- 730...顯示器子系統
- 732...顯示器介面

740...輸入/輸出控制器

750...電力管理

770...連接

772...蜂巢式連接

774...無線連接

780...周邊連接

782...至

784...來自

VDD、VSS、VTT...電壓軌條

AY、AZ...位址

【發明申請專利範圍】

【第1項】 一種用於儲存資料之記憶體裝置，其包含：

用以與一相關聯主機控制器交換資料之一輸入/輸出(I/O)介面電路；

耦接來控制該I/O介面之I/O時序之一延遲鎖定迴路(DLL)電路；以及

一控制電路，其根據組配用於該記憶體裝置之一DLL校準模式來選擇性賦能與停用用於該DLL電路之DLL校準，其中當該DLL校準被選擇性賦能時，該DLL校準用以於由該DLL校準模式所識別之一時間區間操作，而當該DLL校準被選擇性停用時，該DLL校準用以限制追蹤相位更新。

【第2項】 如請求項1之記憶體裝置，其中該記憶體裝置包含一三維度堆疊記憶體裝置。

【第3項】 如請求項1之記憶體裝置，其中該控制電路用以於運作時間將該DLL校準選擇性賦能與停用。

【第4項】 如請求項1之記憶體裝置，其中該DLL校準模式包含一主機起始校準模式，其中該相關聯主機控制器用來送出一命令以便將DLL校準選擇性賦能或停用。

【第5項】 如請求項4之記憶體裝置，其中該相關聯主機控制器用來至少部分基於關於該記憶體裝置之雜訊特性來選擇一DLL校準模式。

【第6項】 如請求項1之記憶體裝置，其中該DLL校

準模式包含當該記憶體裝置處於一作用中操作狀態時，DLL校準用以連續不斷地操作；而當該記憶體裝置處於一低電力操作狀態時，DLL校準為關閉的一模式。

【第7項】如請求項1之記憶體裝置，其中該相關聯主機控制器用來基於該記憶體裝置之一操作狀態來選擇一DLL校準模式。

【第8項】如請求項1之記憶體裝置，其中該DLL組態模式包含DLL校準與ZQ校準操作一起存在的一模式。

【第9項】如請求項1之記憶體裝置，更包含一模式暫存器來儲存用於DLL校準模式之一組態設定。

【第10項】一種用於在一記憶體裝置中控制I/O(輸入/輸出)同步化之方法，其包含：

從該記憶體裝置之一DLL(延遲鎖定迴路)校準模式設定來決定DLL校準是否針對耦接來控制(輸入/輸出)該記憶體裝置之一I/O介面的I/O時序之一DLL電路來選擇性賦能或停用，其中一相關聯主機控制器設定該DLL校準模式；以及

根據該DLL校準模式來執行用於該DLL電路之DLL校準，其中DLL校準被選擇性賦能時，於由該DLL校準模式所識別之一時間區間執行DLL校準，而當DLL校準被選擇性停用時，不執行DLL校準。

【第11項】如請求項10之方法，其中該記憶體裝置包含一三維度堆疊記憶體裝置。

【第12項】如請求項10之方法，其中執行DLL校準更

包含於該記憶體裝置處於一作用中操作狀態時、以及該記憶體裝置處於一低電力操作狀態時，執行DLL校準於DLL校準係連續不斷的一總是開啟模式中。

【第13項】如請求項10之方法，其中執行DLL校準更包含當該記憶體裝置處於一作用中操作狀態時，執行DLL校準於DLL校準係連續不斷的一作用開啟模式中；而當該記憶體裝置處於一低電力操作狀態時，執行DLL校準於DLL校準為關閉的模式中。

【第14項】如請求項10之方法，其中執行DLL校準更包含於DLL校準與ZQ校準操作一起存在的一模式中執行DLL校準。

【第15項】如請求項10之方法，其中執行DLL校準更包含於一主機起始校準模式中執行DLL校準，其中該相關聯主機控制器用來送出一命令以便將該DLL電路選擇性賦能或停用。

【第16項】一種具有一記憶體子系統之系統，其包含：
一主機控制器；以及
具有隨機存取能力與非依電性儲存胞元之一三維度堆疊記憶體裝置，該記憶體裝置包括：

與一相關聯主機控制器交換資料之一輸入/輸出(I/O)介面電路；

耦接來控制該I/O介面之I/O時序的一延遲鎖定迴路(DLL)電路；以及

一控制電路，其根據組配用於該記憶體裝置之一

DLL校準模式來選擇性賦能與停用用於該DLL電路之DLL校準，其中當該DLL校準被選擇性賦能時，該DLL校準用以於由該DLL校準模式所識別之一時間區間操作，而當該DLL校準被選擇性停用時，該DLL校準限制追蹤相位更新。

【第17項】如請求項16之系統，其中該DLL校準模式包含一主機起始校準模式，其中該主機控制器用來送出一命令以便將該DLL校準選擇性賦能或停用。

【第18項】如請求項16之系統，其中該DLL校準模式包含當該記憶體裝置處於一作用中操作狀態時，DLL校準用以連續不斷地操作；而當該記憶體裝置處於一低電力操作狀態時，DLL校準為關閉的一模式。

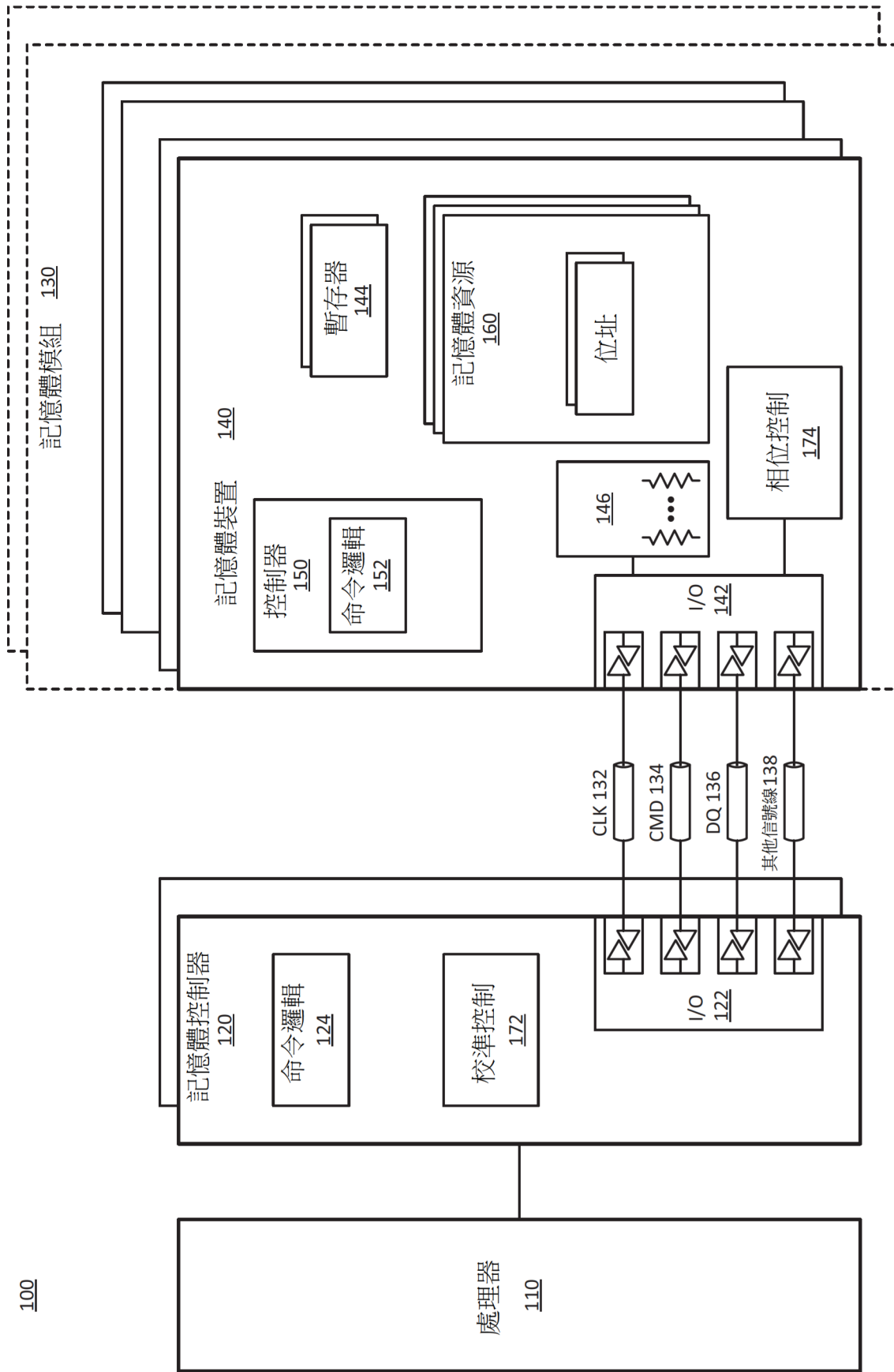
【第19項】如請求項16之系統，其中該DLL組態模式包含DLL校準與ZQ校準操作一起存在的一模式。

【第20項】如請求項16之系統，其中該主機控制器用來基於該記憶體裝置之一操作狀態、或基於該記憶體裝置之一雜訊特性化、或其等之一組合來選擇一DLL校準模式。

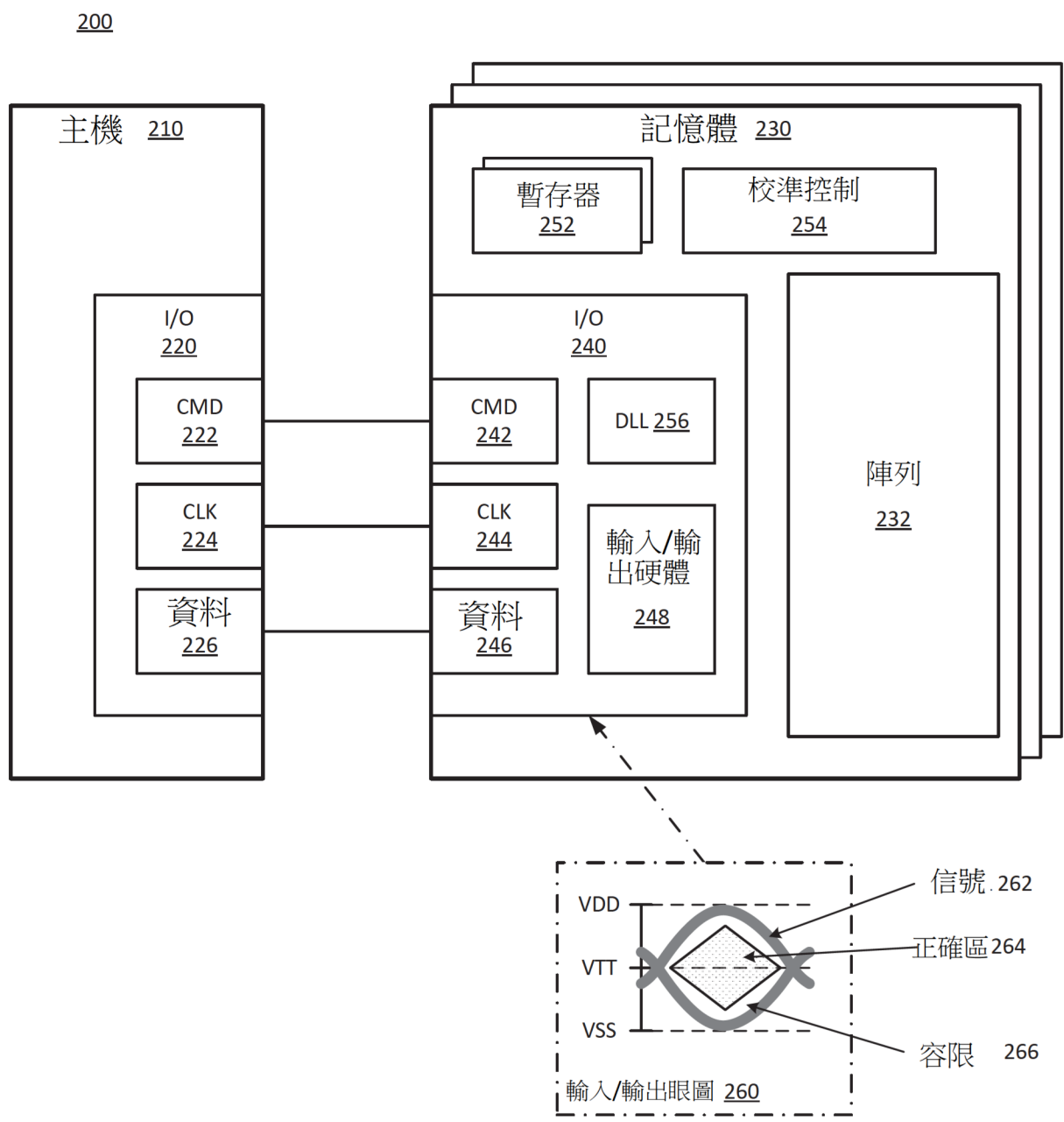
【第21項】如請求項16之系統，更包含通訊地耦接至該主機控制器與該記憶體裝置之一多核心處理器，該處理器基於儲存在該記憶體裝置中之資料來執行操作。

【第22項】如請求項16之系統，更包含通訊地耦接至該記憶體裝置之一網路介面，以便於該記憶體裝置與透過一網路連接之一外部裝置間交換資料。

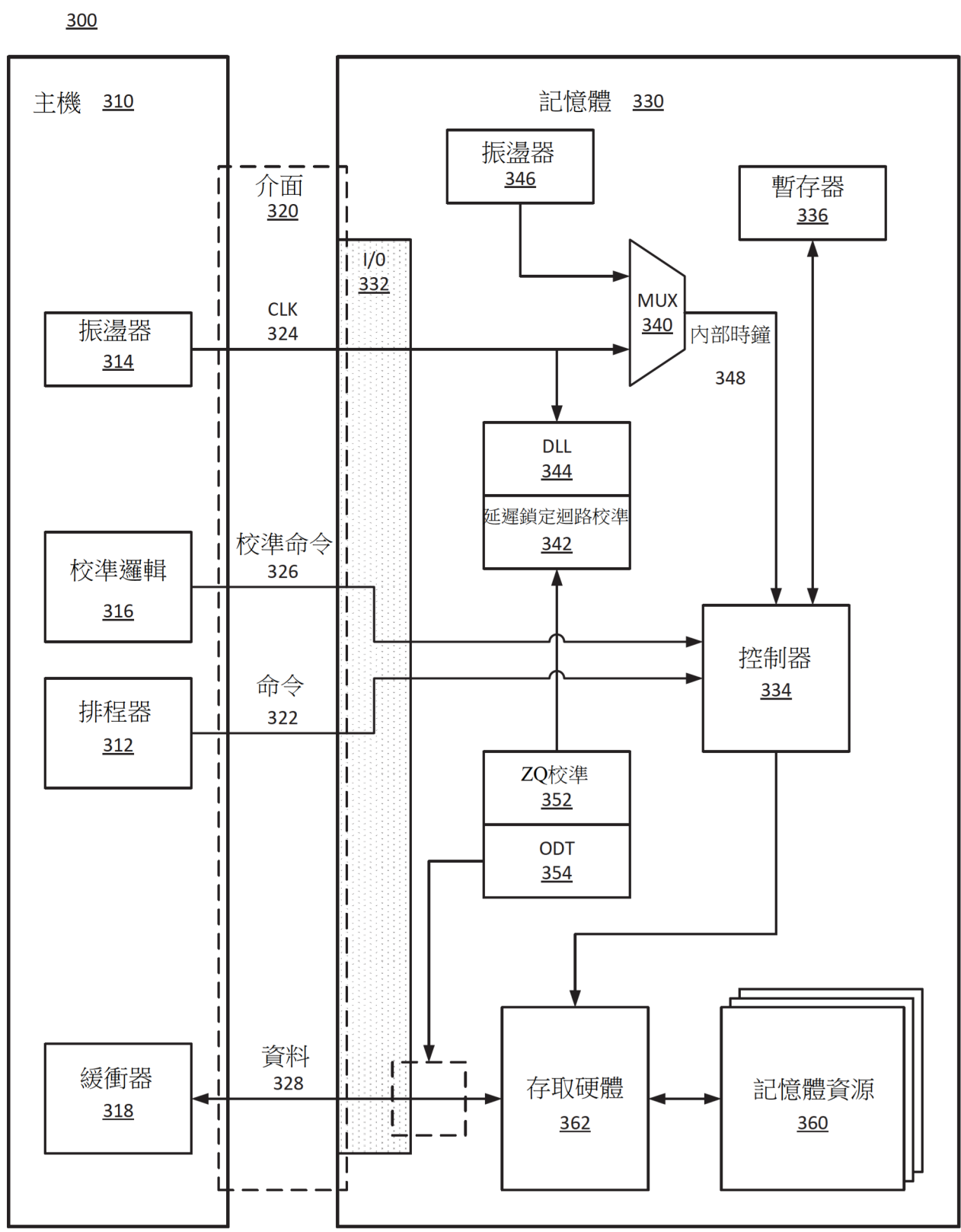
【發明圖式】



【圖1】



【圖2】

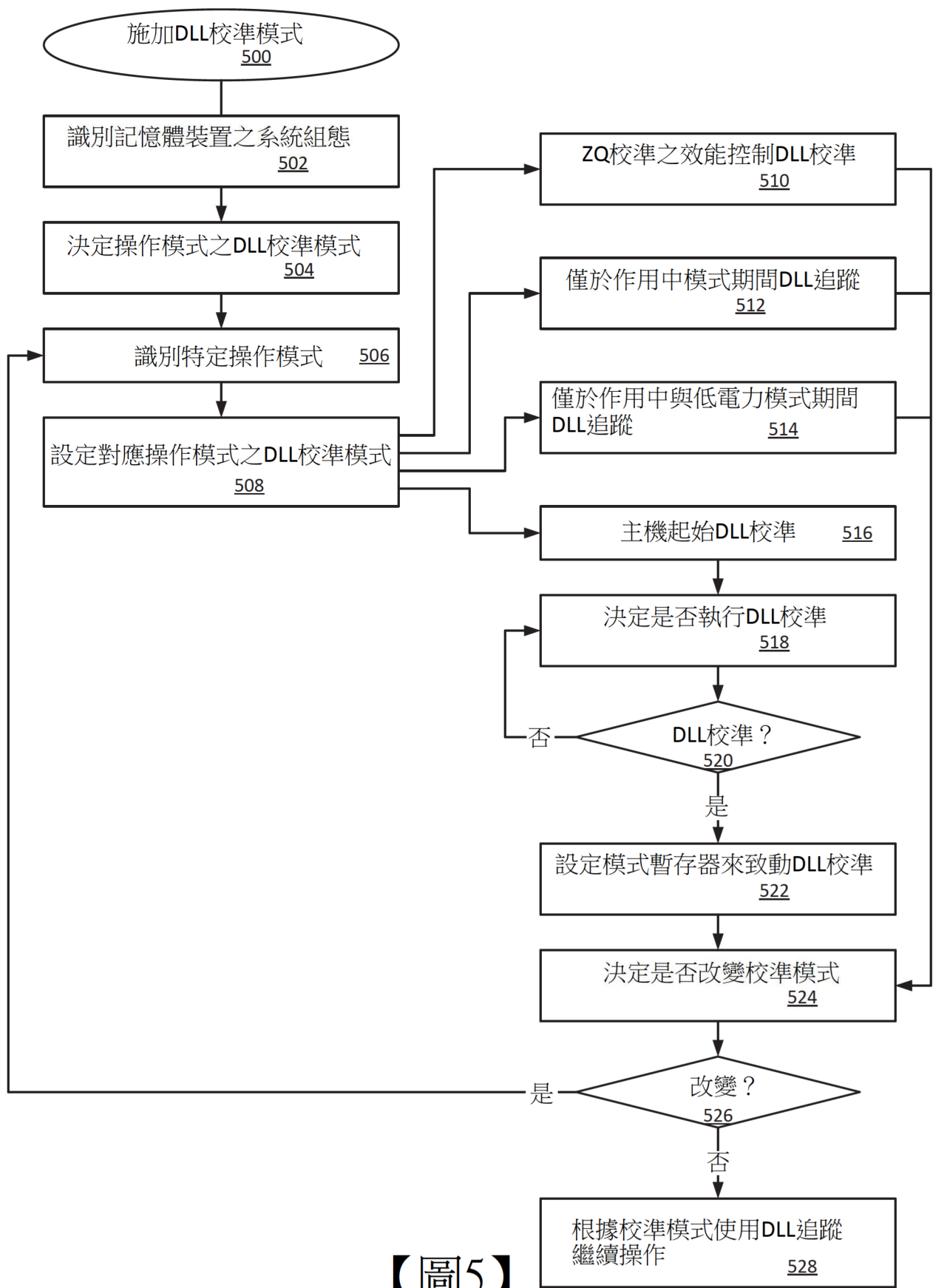


【圖3】

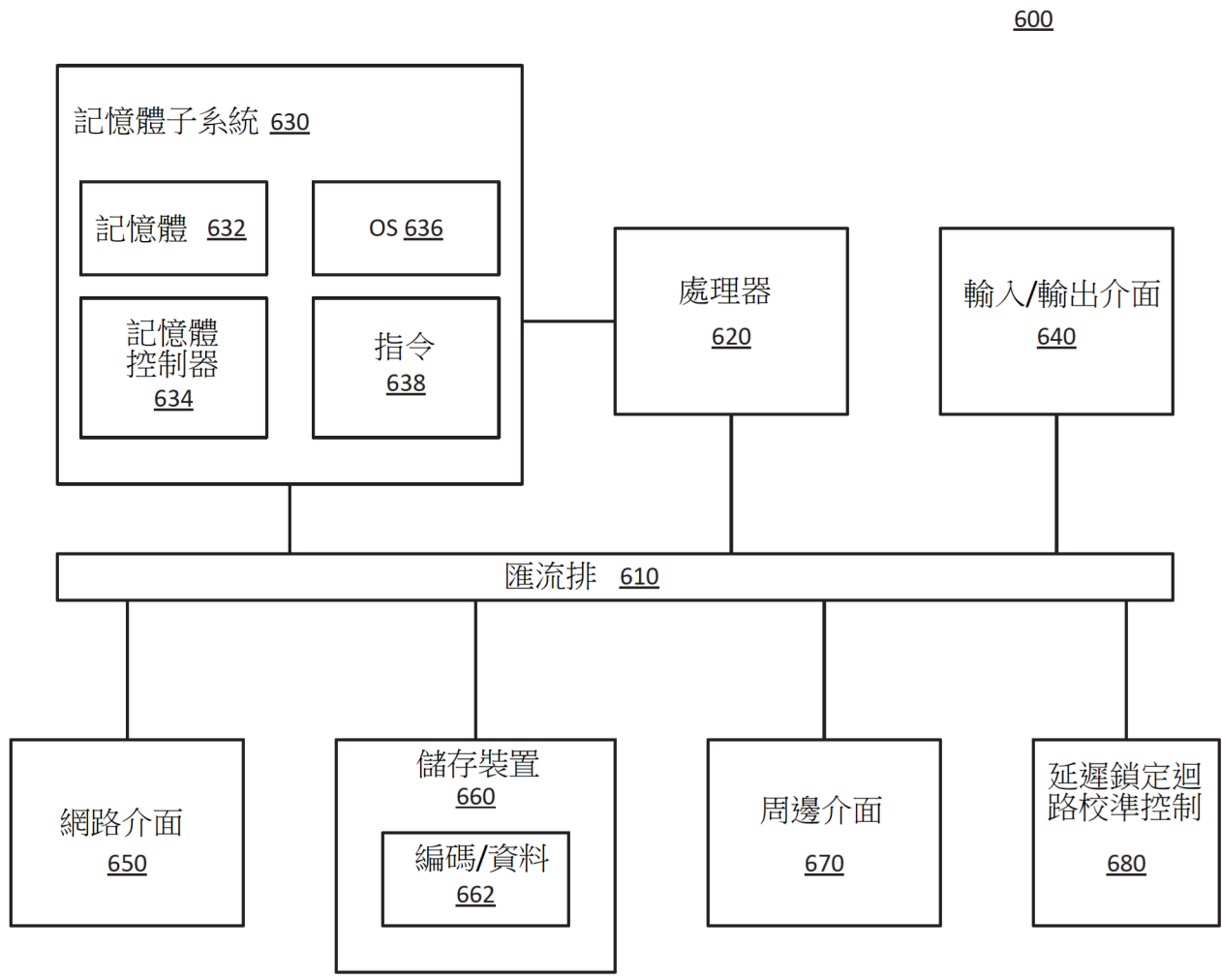
MODE REGISTER (MRx) 410

位址	操作模式	說明
AZ	用於主機起始 DLL校準模式之 控制位元	0 => 停止DLL校準 1 => 開始DLL校準 僅AY[1:0]賦能主機起始校準時才有效
AY[1:0]	DLL校準模式	00 => ZQ校準運作DLL校準 01 => 作用中與閒置模式期間繼續DLL追蹤；低電力模 式期間DLL關閉 10 => 主機起始DLL校準。藉由設定位元AZ(0=停止、1= 開始)來開始或停止校準 11 => 作用中、閒置模式、與低電力模式期間繼續DLL 追蹤

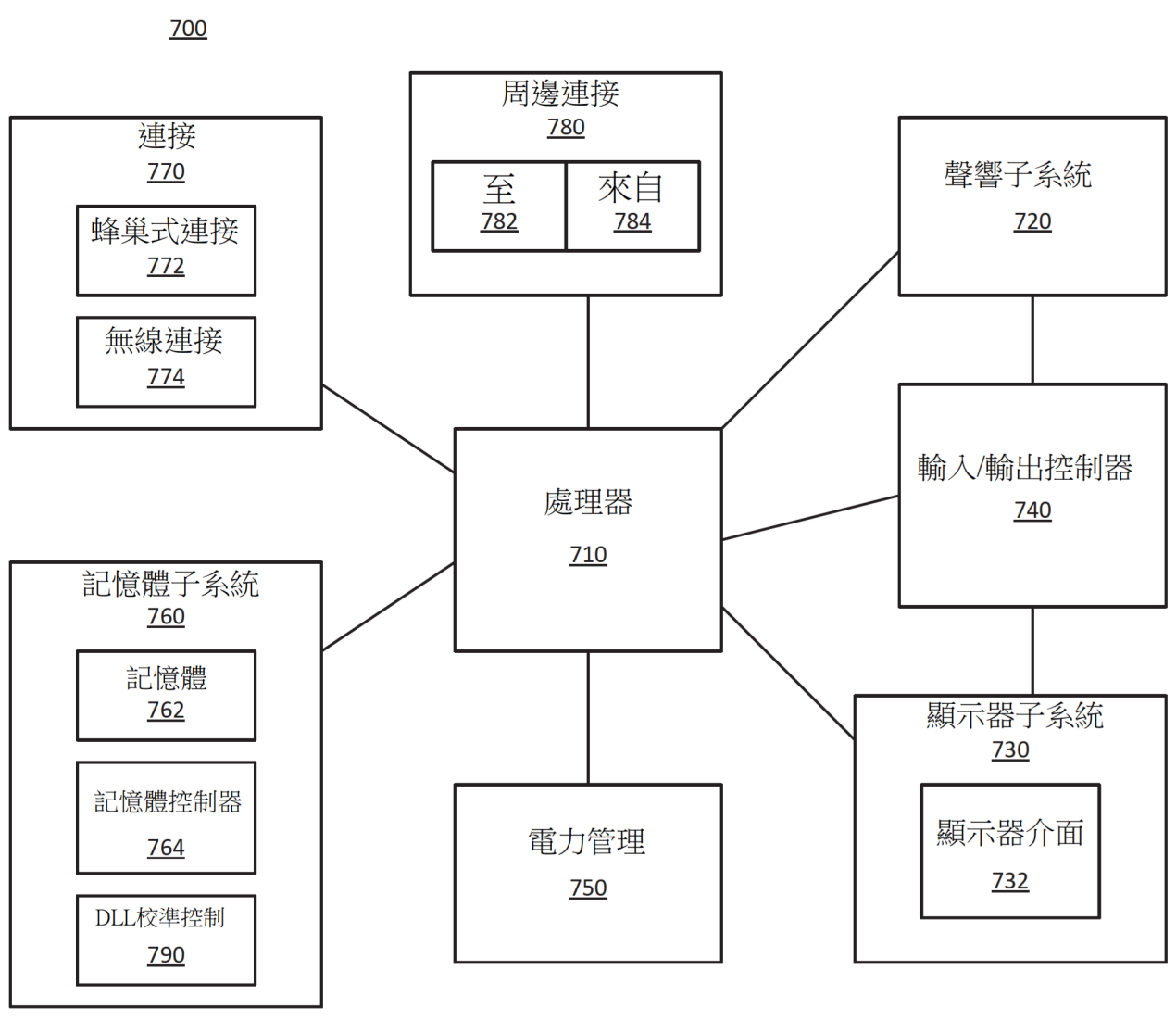
【圖4】



【圖5】



【圖6】



【圖7】