

(11) Número de Publicação: **PT 1931097 E**

(51) Classificação Internacional:
H04L 27/26 (2007.10) **H03M 13/27** (2007.10)
H04N 5/44 (2007.10)

(12) FASCÍCULO DE PATENTE DE INVENÇÃO

(22) Data de pedido: 2004.03.23	(73) Titular(es): SONY UNITED KINGDOM LIMITED THE HEIGHTS, BROOKLANDS WEYBRIDGE, SURREY KT13 0XW GB
(30) Prioridade(s): 2003.03.25 EP 03290754	
(43) Data de publicação do pedido: 2008.06.11	(72) Inventor(es): JEAN-LUC PERON FR
(45) Data e BPI da concessão: 2009.10.07 238/2009	(74) Mandatário: JOSÉ LUÍS FAZENDA ARNAUT DUARTE RUA SOUSA MARTINS, Nº 10 1050-218 LISBOA PT

(54) Epígrafe: **DISPOSITIVO DE ENTRELACEMENTO PARA MAPEAMENTO DE SÍMBOLOS SOBRE AS PORTADORAS DE UM SISTEMA DE MODULAÇÃO OFDM**

(57) Resumo:

RESUMO**"DISPOSITIVO DE ENTRELAÇAMENTO PARA MAPEAMENTO DE SÍMBOLOS
SOBRE AS PORTADORAS DE UM SISTEMA DE MODULAÇÃO OFDM"**

Um equipamento para processamento de dados faz o mapeamento de símbolos de entrada a serem transmitidos sobre um número predeterminado de portadoras de sinais de um símbolo Multiplexado por Divisão de Frequências Ortogonais ("Orthogonal Frequency Division Multiplexed - OFDM"). O processador de dados inclui uma memória de entrelaçamento que promove a leitura ("read-in") do predeterminado número de símbolos de dados para mapeamento sobre as portadoras de sinais OFDM. A memória de entrelaçamento visualiza ("read-out") os símbolos de dados enviando-os sobre as portadoras OFDM para efectuar o mapeamento, sendo que a entrega ("read-out") é realizada numa ordenação diferente daquela da leitura ("read-in"), e sendo a ordenação determinada a partir de um conjunto de endereços, com o efeito de que os símbolos de dados são entrelaçados sobre as portadoras de sinais. Os conjuntos de endereços são gerados a partir de um gerador de endereços que é constituído por um registador de deslizamento linear de re-alimentação e por um circuito de permutação. É disponibilizado um polinómio gerador para o registador de deslizamento linear de re-alimentação definido por $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$, com uma ordenação de permutação

que foi estabelecida pela análise de simulação para otimizar o desempenho da transmissão através de canais de rádio típicos de um sistema com modulação OFDM, tal como a Norma de Difusão de Vídeo Digital ("Digital Video Broadcasting -DVB"), por exemplo através das Normas DVB-Terrestre (DVB-T) ou a DVB-Portátil (DVB-H).

DESCRIÇÃO

"DISPOSITIVO DE ENTRELACEMENTO PARA MAPEAMENTO DE SÍMBOLOS SOBRE AS PORTADORAS DE UM SISTEMA DE MODULAÇÃO OFDM"

Domínio da Invenção

A presente invenção diz respeito a equipamentos para processamento de dados que funcionam com o objectivo de mapear símbolos de entrada sobre portadoras de sinais de um símbolo Multiplexado por Divisão de Frequências Ortogonais ("Orthogonal Frequency Division Multiplexed - OFDM").

A presente invenção também se refere a equipamentos para processamento de dados que funcionam com o objectivo de fazer o desmapeamento de símbolos recebidos a partir de um predeterminado número de portadoras de sinais de um símbolo OFDM para dentro de um fluxo de símbolos de saída.

Antecedentes da Invenção

A Norma para Difusão Digital de Vídeo Terrestre ("Digital Video Broadcasting-Terrestrial - DVB-T") utiliza a Multiplexagem por Divisão de Frequências Ortogonais ("Orthogonal Frequency Division Multiplexing - OFDM") para transferir dados que representam imagens de vídeo e sons para os receptores, através de uma transmissão de sinais de

radiocomunicações. É conhecida a existência de dois modos para a Norma DVB-T, os quais são designados por modo 2K e modo 8K. O modo 2K disponibiliza 2048 sub-portadoras ao passo que o modo 8K disponibiliza 8192 sub-portadoras.

A fim de melhorar a integridade dos dados transmitidos tanto pelo modo 2K como pelo modo 8K, é disponibilizado um dispositivo de entrelaçamento de símbolos com o intuito de entrelaçar os símbolos de dados de entrada, à medida que esses símbolos são mapeados sobre as portadoras de sinais de um símbolo OFDM. Um tal dispositivo de entrelaçamento de símbolos inclui uma memória de entrelaçamento em combinação com um gerador de endereços. O gerador de endereços gera um endereço para cada um dos símbolos de entrada, em que cada endereço indica uma das portadoras de sinais do símbolo OFDM sobre a qual se pretende mapear o símbolo de dados. Para o modo 2K, e para o modo 8K, foi divulgada uma disposição na Norma DVB-T para a geração de endereços destinados ao mapeamento. É já conhecido o facto de o gerador de endereços incluir um registador de deslizamento ("shift-register") linear de re-alimentação que pode funcionar de maneira a gerar uma sequência de bits pseudo-aleatória e um circuito de permutação. O circuito de permutação promove a permuta da ordenação do conteúdo do registador de deslizamento linear de re-alimentação, a fim de gerar um endereço. O endereço fornece uma indicação de uma das portadoras OFDM para transporte de um símbolo de dados de entrada armazenado na memória de entrelaçamento, a fim de mapear os símbolos de

entrada sobre as portadoras de sinais do símbolo OFDM.

De forma semelhante ao modo 2K e ao modo 8K, também foi proposto disponibilizar um modo 4K. O modo 4K tem sido usado na Norma japonesa para televisão de difusão digital, que constitui o sistema de Difusão Digital Integrada de Serviços ("Integrated Service Digital Broadcasting - ISDB").

Resumo da Invenção

De acordo com uma vertente da presente invenção, é disponibilizado um equipamento para processamento de dados que pode funcionar com o objectivo de mapear símbolos de entrada a serem transferidos para um número predeterminado de portadoras de sinais de um símbolo Multiplexado por Divisão de Frequências Ortogonais - OFDM. O equipamento para processamento de dados integra uma memória de entrelaçamento destinada a promover a leitura ("read-in") do predeterminado número de símbolos de dados para mapeamento sobre as portadoras de sinais OFDM, e a entregar ("read-out") os símbolos de dados para as portadoras OFDM no intuito de efectuar o mapeamento. A entrega ("read-out") encontra-se numa ordenação diferente daquela que corresponde à leitura ("read-in"), sendo a ordenação definida a partir de um conjunto de endereços, o que tem como efeito que os símbolos de dados sejam entrelaçados sobre as portadoras de sinais. O conjunto de endereços é determinado por um gerador de endereços, sendo gerado um endereço para cada um dos símbolos de entrada, de

modo a indicar uma das portadoras de sinais sobre a qual se pretende mapear o símbolo de dados.

O gerador de endereços consiste num registador de deslizamento linear de re-alimentação incluindo um predeterminado número de estágios de registador, e funciona de maneira a gerar uma sequência de bits pseudo aleatória de acordo com um polinómio gerador, e com um circuito de permutação e uma unidade de controlo. O circuito de permutação pode funcionar de maneira a receber o conteúdo dos estágios do registador de deslizamento, e a permutar os bits presentes no estágio do registador, de acordo com uma determinada ordenação da permutação, para formar um endereço de uma das portadoras OFDM. A unidade de controlo pode funcionar em combinação com um circuito de verificação de endereços, para voltar a gerar um endereço quando tiver sido gerado um endereço que exceda um endereço válido máximo, definido pelo número predeterminado de portadoras. O equipamento para processamento de dados é caracterizado pelo facto de o número predeterminado de portadoras de sinais OFDM estar limitado a um valor máximo de quatro mil e noventa e seis, e pelo facto de o registador de deslizamento linear de re-alimentação apresentar onze estágios, sendo um polinómio gerador deste registador de deslizamento linear de re-alimentação dado pela expressão $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$. A ordenação da permutação vai formar, com um bit adicional, um endereço de doze bits, onde se inclui um endereço de onze bits $R_i[n]$ para o símbolo de dados de ordem i , a partir dos bits presentes no

estágio de registador de ordem n $R'_i[n]$, de acordo com a tabela seguinte:

$R'_i[n]$ para $n=$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n=$	7	10	5	8	1	2	4	9	0	3	6

e o bit adicional constitui o bit mais significativo do endereço, indo o valor deste bit adicional alternando entre os valores 0 e 1, entre os sucessivos símbolos OFDM.

Embora seja já conhecida, no âmbito da Norma DVB-T, a disponibilização do modo 2K e do modo 8K, haverá vantagem em disponibilizar um modo 4K. Enquanto o modo 8K proporciona uma disposição para o estabelecimento de uma rede de frequência única, com períodos de guarda suficientes para acomodar maiores atrasos de propagação entre os transmissores de DVB, o modo 2K é conhecido por poder trazer vantagens em aplicações móveis. Isto justifica-se porque o período de símbolo 2K é apenas um quarto do período de símbolo 8K, permitindo que a estimativa de canal (baseada nos pilotos dispersos incorporados em cada símbolo) seja actualizada com maior frequência, o que possibilita que o receptor acompanhe com maior precisão a variação do tempo do canal devida ao efeito de doppler e a outros efeitos. O modo 2K torna-se portanto vantajoso em aplicações móveis. No entanto, o modo 2K necessita de uma rede de frequência múltipla, o que vai tornar complicada uma disposição de transmissores para proporcionar um sistema de difusão. Um modo 4K proporciona

a vantagem de uma recepção razoavelmente boa para os utilizadores de equipamentos móveis, mesmo para velocidades de condução elevada, o que pode conseqüentemente provocar um maior deslizamento doppler sem a necessidade de um dispendioso esquema para cancelamento de interferências inter-portadoras ("inter-carrier"). Poderá também ser criada a implementação de uma rede de transmissão com custos razoavelmente baixos. No entanto, a fim de disponibilizar o modo 4K, deverá ser disponibilizado um dispositivo de entrelaçamento de símbolos, para o mapeamento dos símbolos de dados de entrada sobre as portadoras de sinais do símbolo OFDM.

Existem modelos de realização da presente invenção que podem disponibilizar um equipamento para processamento de dados capaz de funcionar como um dispositivo de entrelaçamento de símbolos para mapeamento de símbolos de dados, destinados a serem transmitidos sobre um símbolo OFDM, apresentando praticamente quatro mil portadoras de sinais. Num determinado modelo de realização, o número de portadoras de sinais será de três mil e vinte e quatro. Nestas circunstâncias, poderá ser disponibilizado, a título de exemplo, um modo 4K para uma Norma DVB, como por exemplo a Norma DVB-T ou a Norma DVB-H. A Norma de Difusão Digital de Vídeo Portátil ("Digital Video Broadcasting-Handheld - DVB-H") está relacionada com a Norma DVB-T. A Norma DVB-H foi anteriormente conhecida como Norma DVB-X. Os sinais de DVB-H são adequados para recepção por dispositivos portáteis, tais como os terminais móveis

de bolso.

O mapeamento de símbolos de dados a serem transmitidos sobre as portadoras de sinais de um símbolo OFDM, onde o número de portadoras de sinais é de praticamente quatro mil, constitui um importante problema técnico que exige uma análise da simulação e a realização de ensaios para estabelecer um apropriado polinómio gerador, para o registador de deslizamento linear de realimentação e para a ordenação da permutação. Isso ocorre porque o mapeamento requer que os símbolos sejam entrelaçados sobre as portadoras de sinais, tendo como efeito que os sucessivos símbolos provenientes do fluxo de dados de entrada fiquem separados, em termos de frequência, pela maior quantidade possível, de forma a otimizar o desempenho de esquemas de codificação para correcção de erros.

Os esquemas de codificação para correcção de erros, tais como os sistemas de codificação Reed-Solomon e de codificação convolucional, melhoram o seu desempenho quando não estiverem correlacionados o ruído e a degradação dos valores do símbolo resultantes da comunicação. Alguns canais de rádio, como aqueles que são usados para DVB-T, podem sofrer de enfraquecimento correlacionado, tanto no domínio do tempo como no da frequência. Nestas circunstâncias, ao separar tanto quanto possível os símbolos codificados sobre as diferentes portadoras de sinais do símbolo OFDM, o desempenho dos esquemas de

codificação para correcção de erros pode ser melhorado.

Descobriu-se, a partir da análise do desempenho de simulação, que o polinómio gerador para o registador de deslizamento linear de re-alimentação, em combinação com a ordenação do circuito de permutação atrás indicado, proporciona um bom desempenho na presença dos típicos ruídos de canal e condições de enfraquecimento. Além disso, ao proporcionar uma disposição que pode implementar uma geração de endereços - tanto para o modo 2K como para o modo 8K, e ainda para o modo 4K ao alterar as batidas do polinómio gerador para o registador de deslizamento linear de re-alimentação e para a ordenação da permutação - consegue-se um custo reduzido para a implementação do dispositivo de entrelaçamento de símbolos, para o modo 4K. Além disso, um transmissor e um receptor podem ser trocados entre o modo 2K, o modo 4K e o modo 8K, alterando o polinómio gerador e as ordenações da permutação. Isto pode ser realizado através de software - ou pelo canal incorporado de Transmissão com Parâmetros de Sinalização ("Transmission Parameter Signalling - TPS") no receptor -, com o que se proporciona uma aplicação flexível.

Diversas vertentes e características da presente invenção encontram-se definidas nas reivindicações anexas. Entre outras vertentes da presente invenção, refira-se a existência de um equipamento para processamento de dados, que pode funcionar para fazer o desmapeamento de símbolos recebidos a partir de um predeterminado número de

portadoras de sinais de um símbolo Multiplexado por Divisão de Frequências Ortogonais - OFDM, para dentro de um fluxo de símbolos de saída, e refira-se também a existência de um transmissor e um receptor.

Breve Descrição dos Desenhos

Passam agora a ser descritos modelos de realização da presente invenção, apenas a título de exemplo e fazendo referência aos desenhos anexos, onde as peças semelhantes foram identificadas com números de referência correspondente, e nos quais:

a Figura 1 é um diagrama de blocos esquemático para um transmissor Codificado OFDM que pode ser utilizado, por exemplo, com a Norma DVB-T;

a Figura 2 é um diagrama de blocos esquemático para um dispositivo interno de entrelaçamento de símbolos e para um processador de mapeamento, os quais aparecem na Figura 1;

a Figura 3 é um diagrama de blocos esquemático do dispositivo de entrelaçamento de símbolos apresentado na Figura 2;

a Figura 4 é um diagrama de blocos esquemático de uma memória de entrelaçamento mostrada na Figura 3, e do correspondente dispositivo de desentrelaçamento de símbolos no receptor;

a Figura 5 é um diagrama de blocos esquemático de um gerador de endereços, representado na Figura 3, no modo 2K;

a Figura 6 é um diagrama de blocos esquemático de

um gerador de endereços, representado na Figura 3, no modo 8K;

a Figura 7 é um diagrama de blocos esquemático de um gerador de endereços, representado na Figura 3, no modo 4K;

a Figura 8 é um diagrama de blocos esquemático de um receptor Codificado OFDM, que pode ser utilizado, por exemplo, com a Norma DVB-T; e

a Figura 9 é um diagrama de blocos esquemático de um dispositivo de desentrelaçamento de símbolos que aparece na Figura 8.

Descrição de Modelos de Realização Preferidos

A existente Norma DVB-T baseada em OFDM é composta por um modo 2K e um modo 8K, o que significa que a largura de banda utilizada para transmitir o sinal está dividida ou em 2048 sub-portadoras (modo 2K) ou em 8192 sub-portadoras (modo 8K). O modo 2K apresenta algumas características interessantes no que diz respeito à mobilidade. Com efeito, o curto tempo de símbolo deste modo possibilita um bom desempenho doppler em ambientes móveis. Por outro lado, o modo 8K dá a possibilidade aos planeadores de redes para construir uma escassa, e portanto económica, Simple Rede de Frequências ("Single Frequency Network - SFNs"). As investigações que têm sido realizadas sobre o tema mostraram que a introdução de um modo 4K seria uma boa solução de compromisso entre estes dois modos. Ela permitiria uma recepção razoavelmente boa para os utilizadores de dispositivos móveis, mesmo para velocidades

de condução elevadas, sem a necessidade de um complicado e dispendioso esquema para cancelamento de Interferência Inter Portadoras ("Inter Carrier Interference - ICI"). Ela ajudaria igualmente a manter o custo da rede a um nível razoável. O presente documento faz a divulgação de um novo dispositivo de entrelaçamento de símbolos para este modo 4K.

A Figura 1 apresenta um diagrama de blocos exemplificativo de um transmissor Codificado OFDM que pode ser utilizado, por exemplo, para transmitir imagens de vídeo e sinais de áudio em conformidade com a Norma DVB-T. Na Figura 1, uma fonte de programas gera dados para serem transmitidos pelo transmissor COFDM. Um codificador de vídeo **2**, um codificador de áudio **4** e um codificador de dados **6** geram dados de vídeo, de áudio e outros dados a serem transmitidos, os quais são enviados para um multiplexador de programas **8**. Uma saída do multiplexador de programas **8** vai alimentar um multiplexador de transporte **10** que forma um fluxo de transporte multiplexado com outras informações requeridas para transmitir os dados de vídeo, de áudio e outros dados. O multiplexador de transporte **10** disponibiliza um fluxo de transporte sobre um canal de ligação **12** para um divisor **14**. O divisor separa o fluxo de transporte em diferentes ramos **A** e **B**, que proporcionam um diferente entrelaçamento e codificação para a subsequente correção de erros. Por questões de simplificação, apenas se irá descrever o ramo **A**.

Como se mostra na Figura 1, um transmissor COFDM **20** recebe o fluxo de dados de transporte num bloco **22** para adaptação do multiplexador e dispersão de energia. Este bloco **22** para adaptação do multiplexador e dispersão de energia dispõe aleatoriamente os dados de fluxo de transporte e envia os dados apropriados para um codificador externo **24**, o qual realiza uma primeira codificação externa dos dados de transporte. É disponibilizado um dispositivo externo de entrelaçamento **26** para entrelaçar os símbolos de dados codificados que, para o exemplo da Norma DVB-T, consiste no código Reed-Solomon (RS), para que o dispositivo externo de entrelaçamento entrelace símbolos RS. É instalado um codificador interno **28** para codificar os dados, de forma convolucional, provenientes do dispositivo externo de entrelaçamento usando um codificador convolucional, sendo os dados codificados enviados para um dispositivo interno de entrelaçamento **30**. O dispositivo interno de entrelaçamento **30** também pode receber dados codificados provenientes do segundo ramo de codificação **B**.

Uma saída do dispositivo interno de entrelaçamento é constituída por um conjunto de símbolos de dados que são então mapeados sobre pontos de constelação de um esquema de modulação. Para o exemplo da Norma DVB-T mostrada, o esquema de modulação é o QPSK (a Norma DVB-T pode ter 4 bits por portadora 16QAM ou 6 bits por portadora 64QAM, bem como QPSK). Cada símbolo de dados proveniente do dispositivo interno de entrelaçamento **30** é então mapeado sobre uma das portadoras de sinais COFDM através de um

processador de mapeamento **32**. O símbolo COFDM é então gerado por um processador de adaptação de trama **34**, que introduz sinais piloto e sinais de sincronização alimentados a partir de um formador de sinais **36**. Um gerador OFDM **38** irá agora formar o símbolo OFDM no domínio do tempo, o qual é enviado para um processador de inserção de guarda **40** para gerar um intervalo de guarda entre símbolos e, em seguida, para um conversor de digital para analógico **42** e, finalmente, para um amplificador de RF no interior de uma saída frontal RF **44** para uma eventual transmissão pelo transmissor COFDM, a partir de uma antena **46**.

Para criar um novo modo 4K, deverão ser definidos diversos elementos, mas o principal é o dispositivo de entrelaçamento de símbolos 4K, o qual faz parte do dispositivo interno de entrelaçamento mostrado na Figura 1.

O próprio dispositivo interno de entrelaçamento é constituído por um dispositivo de entrelaçamento de bits e um dispositivo de entrelaçamento de símbolos, como se mostra na Figura 2.

Como foi anteriormente explicado, a presente invenção proporciona um mecanismo para a disponibilização de um quase otimizado mapeamento dos símbolos de dados de entrada sobre as portadoras de sinais OFDM. De acordo com a técnica exemplificada, o dispositivo interno de entrelaçamento está preparado para efectuar o mapeamento

otimizado de símbolos de dados de entrada sobre portadoras de sinais OFDM. O dispositivo interno de entrelaçamento **30** e o processador de mapeamento **32** são mostrados na Figura 2 em maior detalhe. Na Figura 2, o dispositivo interno de entrelaçamento **30** inclui um processador de desmultiplexação **60** que recebe bits codificados de forma convolucional, provenientes de um canal de entrada **62**. O desmultiplexador vai então separar os bits em dois fluxos de bits de entrada, os quais são enviados através dos canais de ligação **64** e **66** para os dispositivos de entrelaçamento de bits **68** e **70**. Estes dispositivos de entrelaçamento de bits entrelaçam os bits que passam a ficar formados sobre dois canais de ligação **72.1**, **72.2** para ligação dos bits provenientes de cada um dos dispositivos de entrelaçamento de bits **68** e **70** a um dispositivo de entrelaçamento de símbolos **76**. O dispositivo de entrelaçamento de símbolos transforma os símbolos de entrada provenientes dos canais de ligação **72.1**, **72.2** em símbolos para mapeamento sobre as portadoras de sinais COFDM. Para a técnica exemplificada que é mostrada na Figura 2, os símbolos entrelaçados provenientes do dispositivo de entrelaçamento de símbolos **76** são mapeados sobre pontos de constelação de uma portadora de sinais QPSK, para cada um dos sinais no símbolo COFDM.

A especificação DVB-T em vigor já define um dispositivo de entrelaçamento de símbolos para os modos 2K e 8K. O objectivo do dispositivo de entrelaçamento de símbolos é o de mapear palavras de v bits (em que v depende

do esquema de modulação escolhido) sobre as 1512 (modo 2K) ou as 6048 (modo 8K) portadoras activas, por cada símbolo OFDM. O dispositivo de entrelaçamento de símbolos actua sobre blocos de 1512 (modo 2K) ou 6048 (modo 8K) símbolos de dados. Modelos de realização exemplificativos da presente invenção utilizam o dispositivo de entrelaçamento de símbolos **76** para proporcionar um mapeamento otimizado dos símbolos de dados de entrada, alimentados a partir dos canais de ligação **72.1**, **72.2** sobre as portadoras de sinais COFDM. Um exemplo do dispositivo de entrelaçamento de símbolos **76** para efectuar o mapeamento dos símbolos de dados de entrada sobre as portadoras de sinais COFDM é mostrado na Figura 3.

Dispositivo RAM de entrelaçamento

Na Figura 3, os símbolos de dados de entrada provenientes do canal de ligação **72** são enviados para uma memória de entrelaçamento **100**. A memória de entrelaçamento **100** faz o mapeamento dos símbolos de dados de entrada sobre as portadoras de sinais COFDM, de acordo com o mapeamento de endereços disponibilizado pelo gerador de endereços **102**. Uma implementação exemplificativa da memória de entrelaçamento **100** é mostrada na Figura 4.

A Figura 4 é composta por uma parte superior **100** ilustrando o funcionamento da memória de entrelaçamento no transmissor, e por uma parte inferior **340** que ilustra o funcionamento da memória de desentrelaçamento no receptor. A memória de entrelaçamento **100** e a memória de

desentrelaçamento **340** estão conjuntamente representadas na Figura 4, a fim de facilitar a compreensão do seu funcionamento. Como se mostra na Figura 4, uma representação da comunicação entre a memória de entrelaçamento **100** e a memória de desentrelaçamento **340** através de outros dispositivos e através de um canal de transmissão foi simplificada e representada sob a forma de um sector **140** entre a memória de entrelaçamento **100** e a memória de desentrelaçamento **340**. O funcionamento da memória de entrelaçamento **100** é descrito nos parágrafos seguintes.

Embora a Figura 4 constitua uma ilustração para apenas quatro símbolos de dados de entrada sobre um exemplo de quatro portadoras de sinais de um símbolo COFDM, será perceptível que a técnica ilustrada na Figura 4 pode ser estendida a um maior número de portadoras, por exemplo 1512 para o modo 2K, 3024 para o modo 4K e 6048 para o modo 8K.

O endereçamento de entrada e de saída da memória de entrelaçamento **100** representado na Figura 4 é ilustrado para símbolos pares e ímpares. Para um símbolo COFDM par, os símbolos de dados são retirados do canal de entrada **72** e escritos na RAM de entrelaçamento **124.1**, de acordo com uma sequência de endereços **120** gerados para cada símbolo COFDM pelo gerador de endereços **102**. Os endereços escritos são aplicados n11o símbolo par para que, como se representa, o entrelaçamento seja efectuado pelo reagrupamento aleatório ("shuffling") dos endereços inscritos ("write-in").

Conseqüentemente, para cada símbolo entrelaçado ter-se-á $y[h(q)] = y'(q)$.

Para os símbolos ímpares é utilizada a mesma RAM de entrelaçamento **124.2**. No entanto, como se mostra na Figura 4, para o símbolo ímpar a ordem de inscrição ("write-in") **132** está na mesma seqüência de endereços que é usada para entrega ("read-out") do antecedente símbolo par **126**. Esta característica permite que as implementações de entrelaçamento de símbolos pares e ímpares usem apenas 1 RAM, desde que a operação de entrega ("read-out") para um determinado endereço seja realizada antes da operação de inscrição ("write-in"). Os símbolos de dados escritos dentro da RAM de entrelaçamento **124** durante os símbolos ímpares serão então entregues ("read-out") numa seqüência **134** gerada pelo gerador de endereços **102** para o símbolo COFDM par seguinte, e assim por diante.

Em resumo, como se representa na Figura 4, uma vez que o conjunto de endereços $H(q)$ tenha sido calculado para todas as portadoras activas, o vector de entrada $Y' = (y'_0, y'_1, y'_2, \dots, y'_{N_{\max}-1})$ é processado de maneira a produzir o vector entrelaçado $Y = (y_0, y_1, y_2, \dots, y_{N_{\max}-1})$ definido por:

$$y_{H(q)} = y'_q \text{ nos símbolos pares para } q=0, \dots, N_{\max}-1$$

$$y_q = y'_{H(q)} \text{ nos símbolos ímpares para } q=0, \dots, N_{\max}-1$$

Por outras palavras, para símbolos OFDM pares as

palavras de entrada são inscritas sob uma forma permutada dentro de uma memória e relidas ("read-back") de uma forma sequencial, ao passo que, para os símbolos ímpares, elas serão inscritas sequencialmente e relidas de uma forma permutada. No caso em análise, a permutação $H(q)$ é definida pela seguinte tabela:

q	1	2	3	4
$H(q)$	1	3	0	2

Tabela 1: permutação para um caso simples onde $N_{max}=4$

Como se mostra na Figura 4, a memória de desentrelaçamento **340** funciona de maneira a inverter o entrelaçamento aplicado pela memória de entrelaçamento **100**, ao aplicar o mesmo conjunto de endereços como o que foi gerado por um gerador de endereços equivalente, mas aplicando os endereços inscritos ("write-in") e entregues ("read-out") de forma invertida. Mais concretamente, para os símbolos pares os endereços inscritos ("write-in") **342** estão em ordenação sequencial, ao passo que os endereços entregues ("read-out") **344** são disponibilizados pelo gerador de endereços. De uma forma correspondente, mas para os símbolos ímpares, a ordenação dos inscritos ("write-in") **346** é determinada a partir do conjunto de endereços gerados pelo gerador de endereços, ao passo que os entregues ("read-out") **348** estão em ordenação sequencial.

Geração de Endereços

Um diagrama de blocos esquemático do algoritmo

usado para gerar a função de permutação $H(q)$ é representado na Figura 5 para o modo 2K, e na Figura 6 para o modo 8K.

Uma implementação do gerador de endereços **102.1** para o modo 2K é mostrada na Figura 5. Na Figura 5, um registador de deslizamento linear de re-alimentação é constituído por dez estágios de registador **200.1** e por uma porta OU exclusivo ("xor-gate") **202.1** que está ligada aos estágios do registador de deslizamento **200.1**, de acordo com um polinómio gerador. Como consequência, e de acordo com o conteúdo do registador de deslizamento **200.1**, é disponibilizado um bit seguinte do registador de deslizamento a partir da saída da porta OU exclusivo **202.1** por descriptamento ("xoring") do conteúdo do registador de deslizamento $R[0]$ e do estágio de registador $R[3]$. De acordo com o polinómio gerador, é gerada uma sequência de bits pseudo-aleatória a partir do conteúdo do registador de deslizamento **200.1**. No entanto, a fim de gerar um endereço para o modo 2K, como se ilustra, é disponibilizado um circuito de permutação **210.1**, o qual efectivamente permuta a ordenação dos bits dentro do registador de deslizamento **200.1**, desde uma ordem $R'_i[n]$ até uma ordem $R_i[n]$ à saída do circuito de permutação **210.1**. Os dez bits provenientes da saída do circuito de permutação **210.1** são então enviados para um canal de ligação **212.1**, aos quais é adicionado o bit mais significativo através de um canal **214.1** que é fornecido por um circuito de alternância de estados **218.1**. É portanto gerado um endereço de onze bits sobre o canal **212.1**. No entanto, com o fim de garantir a autenticidade de

um endereço, existe um circuito de verificação de endereços **216.1** que vai analisar o endereço gerado para determinar se ele excede o número máximo de portadoras de sinais. Se isso acontecer, será então gerado um sinal de controlo e enviado através de um canal de ligação **220.1** para uma unidade de controlo **224.1**. Se o endereço gerado exceder o número máximo de portadoras de sinais, então este endereço é rejeitado e um novo endereço volta a ser gerado para esse símbolo em particular.

Um gerador de endereços **102.2** para o modo 8K é representado na Figura 6. As peças do gerador de endereços para o modo 8K representado na Figura 6 correspondem às peças ilustradas para o modo 2K e assim, para evitar repetições, apenas serão descritas as diferenças essenciais entre a Figura 6 e Figura 5. No essencial, a diferença entre a Figura 6 e Figura 5 consiste em que o registador de deslizamento linear de re-alimentação **200.2** dispõe de doze estágios de registador de deslizamento a fim de gerar um endereço entre 0 e 8191. Também aqui, o registador de deslizamento é formado a partir do descriptamento dos estágios de registador de deslizamento seleccionados em conformidade com o polinómio gerador. O endereço será pois formado pela permutação da ordenação dos bits dentro do registador de deslizamento **200.2** que é definida de acordo com uma ordenação predeterminada. Mais uma vez, é disponibilizado o polinómio gerador e a ordenação de permutação para o modo 8K, mas havendo diferenças relativamente ao modo 2K.

Em resumo, para os modos 2K e 8K é definida uma palavra R'_i com (N_r-1) bits, sendo $N_r = \log_2 M_{\max}$, onde $M_{\max} = 2048$ no modo 2K e $M_{\max} = 8192$ no modo 8K, usando um Registrador de Deslizamento Linear de Re-alimentação ("Linear Feedback Shift Register - LFSR").

Os polinómios usados para gerar esta sequência são os seguintes:

$$\text{Modo 2K: } R'_i[9] = R'_{i-1}[0] \oplus R'_{i-1}[3]$$

$$\text{Modo 8K: } R'_i[11] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[6]$$

onde i varia desde 0 até $M_{\max}-1$.

Assim que uma palavra R'_i tiver sido gerada, ela passa através de uma permutação para produzir outra palavra com (N_r-1) bits designada por R_i . R_i é deduzida a partir de R'_i pelas permutações de bits apresentadas nas Tabelas 2 e 3.

Posições de bits para R'_i	9	8	7	6	5	4	3	2	1	0
Posições de bits para R_i	0	7	5	1	8	2	6	9	3	4

Tabela 2: Permutações de bits para o modo 2K

Posições de bits para R'_i	11	10	9	8	7	6	5	4	3	2	1	0
Posições de bits para R_i	5	11	3	0	10	8	6	9	2	4	1	7

Tabela 3: Permutações de bits para o modo 8K

A título de exemplo, isso significa que, para o modo 2K, o bit de número 9 de R'_i é enviado para a posição

do bit de número 0 de R_i .

O endereço $H(q)$ é então deduzido a partir de R_i através da seguinte equação:

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

O termo $(i \bmod 2) \cdot 2^{N_r-1}$ da equação anterior está representado na Figura 5 e na Figura 6 pelo bloco de alternância de estados **T218**.

Seguidamente, é realizada uma verificação de endereço em $H(q)$ para comprovar que o endereço gerado se encontra dentro do intervalo de endereços aceitável: se $(H(q) < N_{\max})$, onde $N_{\max} = 1512$ no modo 2K e 6048 no modo 8K, então o endereço é válido. Se o endereço não for válido, a unidade de controlo é informada e irá tentar gerar um novo $H(q)$, incrementando o índice i .

O papel do bloco de alternância de estados é o de assegurar que não irá ser gerado um endereço que exceda N_{\max} duas vezes numa linha. De facto, se tiver sido gerado um valor superior, isso significa que o MSB (isto é, o bit de alternância) do endereço $H(q)$ era um (1). Consequentemente, o próximo valor gerado irá ter um MSB estabelecido em zero, garantindo a produção de um endereço válido.

As seguintes equações resumem o comportamento global e ajudam a compreender a estrutura circular deste algoritmo:

```

q=0;
para (i=0; i<Mmax; i=i+1)
{ H(q) = (i mod 2) · 2Nr-1 + ∑j=0Nr-2 Ri(j) · 2j;
  se(H(q) < Nmax) q = q + 1; }

```

Dispositivo de entrelaçamento de Símbolos para o Modo 4K

De acordo com a presente técnica, um gerador de endereços **102.3** para o modo 4K é mostrado na Figura 7. Também aqui, o gerador de endereços da Figura 7 corresponde ao gerador de endereços mostrado nas Figuras 5 e 6, pelo que somente as diferenças entre estas Figuras serão discutidas e explicadas. Como se mostra na Figura 7, o registador de deslizamento linear de re-alimentação **200.3** dispõe de onze estágios de registador de deslizamento. De novo, é disponibilizada uma porta OU exclusivo **202.3** para gerar a sequência de bits pseudo-aleatória. A permutação do conteúdo do registador de deslizamento, no intuito de formar o endereço de um símbolo de dados de entrada para o mapeamento sobre uma das portadoras de sinais COFDM, é proporcionada pelo circuito de permutação **210.3**.

O dispositivo de entrelaçamento de símbolos actua sobre os blocos com $N_{\max} = 3024$ símbolos de dados. ($M_{\max} = 4096$).

O polinómio usado para gerar a sequência R'_i é:

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

Um vector R_i é deduzido a partir do vector R'_i pela permutação de bits apresentada na Tabela 4:

Posições de bits para R'_i	10	9	8	7	6	5	4	3	2	1	0
Posições de bits para R_i	7	10	5	8	1	2	4	9	0	3	6

Tabela 4: Permutações de bits para o modo 4K

A entrada do dispositivo de entrelaçamento é definida sob a forma do vector $Y' = (y'_0, y'_1, y'_2, \dots, y'_{N_{\max}-1})$.

O vector entrelaçado $Y = (y_0, y_1, y_2, \dots, y_{N_{\max}-1})$ é definido por:

$$y_{H(q)} = y'_q \text{ nos símbolos pares para } q=0, \dots, N_{\max}-1$$

$$y_q = y'_{H(q)} \text{ nos símbolos ímpares para } q=0, \dots, N_{\max}-1$$

Receptor

A Figura 8 proporciona uma ilustração exemplificativa de um receptor que pode ser utilizado com a presente técnica. Como se mostra na Figura 8, um sinal COFDM é recebido por uma antena **300**, detectado por um sintonizador **302** e convertido em formato digital por um conversor de analógico para digital **304**. Um processador para remoção de intervalos de guarda **306** remove o intervalo de guarda relativamente a um símbolo COFDM recebido, antes que os dados sejam recuperados a partir do símbolo COFDM utilizando um processador **308** de Transformada de Fourier Rápida ("Fast Fourier Transform - FFT"), em combinação com um estimador e corrector de canal **310**, em cooperação com uma unidade descodificadora **311** de Sinalização de

Parâmetros de Transmissão ("Transmission Parameter Signalling - TPS"), de acordo com técnicas já conhecidas. Os dados desmodulados são recuperados a partir de um desmapeador **312** e enviados para um dispositivo interno de desentrelaçamento de símbolos **314**, que funciona no sentido de efectuar o mapeamento inverso dos símbolos dos dados recebidos para voltar a gerar um fluxo de dados de saída com os dados já desentrelaçados.

O dispositivo de desentrelaçamento de símbolos **314** é formado a partir de um equipamento para processamento de dados como o que é mostrado na Figura 9, com uma memória de entrelaçamento **340** e um gerador de endereços **342**. A memória de entrelaçamento é igual à que foi mostrada na Figura 4, e funciona da maneira já anteriormente explicada para realizar desentrelaçamentos utilizando conjuntos de endereços gerados pelo gerador de endereços **342**. O gerador de endereços **342** é formado da maneira mostrada na Figura 7 e está montado de modo a gerar correspondentes endereços para mapear os símbolos de dados recuperados, a partir de cada uma das sub-portadoras de sinais COFDM, para dentro de um fluxo de dados de saída.

As restantes peças do receptor COFDM mostrado na Figura 8 são disponibilizadas para efectuar descodificação e desentrelaçamento da correcção de erros, com o fim de corrigir erros e recuperar uma estimativa dos dados da fonte. Em particular, um dispositivo interno de desentrelaçamento de códigos **316** e um descodificador

interno **318** funcionam de maneira a efectuar a descodificação do código convolucional interno introduzido pelo dispositivo interno de entrelaçamento **30** e pelo codificador interno **28** do transmissor mostrado na Figura 1. Um dispositivo externo de desentrelaçamento **320** e um descodificador externo **322** funcionam de maneira a efectuar a descodificação do código Reed-Solomon, para recuperar uma estimativa dos dados provenientes da fonte **1**, depois de terem sido descriptados ("descrambled") por um descriptador ("descrambler") **324**.

Uma das vantagens proporcionadas pela presente técnica, tanto para o receptor como para o transmissor, consiste em que um dispositivo de entrelaçamento de símbolos e um dispositivo de desentrelaçamento de símbolos, funcionando nos receptores e transmissores, podem ser comutados entre os modos 2K, 8K e 4K, pela simples mudança dos polinómios geradores e da ordenação de permutação. Fica assim disponibilizada uma implementação flexível, porque um dispositivo de entrelaçamento e um dispositivo de desentrelaçamento de símbolos podem ser formados, como se mostra nas Figuras 4 e 9, com um gerador de endereços como o que é ilustrado em qualquer uma das Figuras 5, 6 ou 7. O gerador de endereços pode consequentemente ser adaptado aos diferentes modos, por mudanças nos polinómios geradores e nas ordenações de permutações indicadas para cada um dos modos 2K, 4K e 8K. A título de exemplo, isto pode ser efectuado utilizando uma alteração de software. Alternativamente, noutros modelos de realização, um sinal

TPS incorporado que indique o modo de transmissão da Norma DVB-T pode ser detectado no receptor, na unidade de processamento de canal TPS **311**, e utilizado para configurar automaticamente o desentrelaçamento de símbolos em conformidade com o modo detectado.

Várias modificações podem ser introduzidas nos modelos de realização anteriormente descritos, sem nos afastarmos do âmbito de aplicação da presente invenção. Em particular, não se pretende que as representações exemplificativas do polinómio gerador e da ordenação de permutação, que têm sido utilizadas para representar algumas vertentes da invenção, constituam qualquer limitação, mas que sejam extensíveis a formas equivalentes de polinómios geradores e das ordenações de permutação.

Como será perceptível, o transmissor e o receptor, respectivamente mostrados nas Figuras 1 e 8, são disponibilizados meramente a título ilustrativo e não se pretende que sejam limitativos. Por exemplo, será compreensível que possa ser alterada a posição do dispositivo de entrelaçamento e do dispositivo de desentrelaçamento de símbolos relativamente, por exemplo, ao dispositivo de entrelaçamento de bits e ao mapeador e desmapeador. Como será perceptível, o efeito do dispositivo de entrelaçamento e do dispositivo de desentrelaçamento não é alterado pela sua posição relativa, embora o dispositivo de entrelaçamento possa estar a entrelaçar símbolos I/Q em vez de vectores de v bits. Uma correspondente alteração

pode ser feita no receptor. Nestas circunstâncias, o dispositivo de entrelaçamento e o dispositivo de desentrelaçamento podem estar a funcionar sobre diferentes tipos de dados, e podem ser posicionados de forma diferente da localização descrita nos modelos de realização ilustrados.

Como foi atrás mencionado, os modelos de realização da presente invenção encontram aplicação nas Normas DVB, tais como a DVB-T e a DVB-H. A título de exemplo, podem ser usados modelos de realização da presente invenção num transmissor ou receptor que funcione em conformidade com a Norma DVB-H, em terminais móveis portáteis. Os terminais móveis podem ser integrados com telemóveis (quer sejam de segunda, ou terceira geração, ou de uma geração superior) ou com PDA's ("Personal Digital Assistants"), ou com Placas de PC's, a título de exemplo. Tais terminais móveis deverão ser capazes de receber sinais compatíveis com as Normas DVB-H e DVB-T, no interior de edifícios ou em movimento, por exemplo em automóveis ou comboios, mesmo a alta velocidade. Os terminais móveis poderão, por exemplo, ser alimentados por pilhas, por electricidade da rede, ou por uma corrente contínua de baixa tensão, ou serem alimentados por uma bateria de automóvel. Entre os serviços que podem ser disponibilizados por DVB-H poder-se-ão incluir voz, mensagens, navegação na internet, rádio, imagens de vídeo em movimento e/ou paradas, serviços de televisão, serviços interactivos, vídeo ou quase-vídeo a pedido ("on demand"). Os serviços

podem funcionar em combinação uns com os outros. Como será compreensível, a presente invenção não fica limitada à aplicação com a Norma DVB e pode ser alargada a outras Normas para emissão ou recepção, tanto fixas como móveis.

Referências

[1] EN 300 744, "Framing structure, channel coding and modulation for digital terrestrial television", ETSI.

Lisboa, 3 de Dezembro de 2009

REIVINDICAÇÕES

1. Um equipamento para processamento de dados que pode funcionar para mapear símbolos de entrada a serem transmitidos para um predeterminado número de portadoras de sinais de um símbolo Multiplexado por Divisão de Frequências Ortogonais ("Orthogonal Frequency Division Multiplexed - OFDM"), em que o equipamento para processamento de dados é constituído por:

uma memória de entrelaçamento que pode funcionar para leitura ("read-in") do predeterminado número de símbolos de dados, para mapeamento sobre a portadora de sinais, e para entrega ("read-out") dos símbolos enviados às portadoras OFDM para ser efectuado o mapeamento, sendo a entrega ("read-out") obtida numa ordenação diferente daquela que caracteriza a leitura ("read-in"), e sendo a ordenação determinada a partir de um conjunto de endereços, tendo como efeito que os símbolos de dados sejam entrelaçados sobre as portadoras de sinais,

um gerador de endereços que pode funcionar de maneira a gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de entrada, para indicar uma das portadoras de sinais sobre a qual se pretende mapear o símbolo de dados, em que este gerador de endereços é constituído por:

um registador de deslizamento linear de re-alimentação incluindo um predeterminado número de estágios de registador, e podendo funcionar de maneira a gerar uma

sequência de bits pseudo-aleatória, de acordo com um polinómio gerador,

um circuito de permuta que pode funcionar para receber o conteúdo dos estágios de registador de deslizamento e para permutar os bits presentes nos estágios de registador, de acordo com uma dada ordenação de permuta, para formar um endereço de uma das portadoras OFDM, e

uma unidade de controlo que pode funcionar em combinação com um circuito de verificação de endereços, para voltar a gerar um endereço quando um endereço gerado exceder um endereço válido máximo definido pelo número predeterminado de portadoras, **caracterizado por:**

o predeterminado número de portadoras de sinais OFDM ser, no máximo, de quatro mil e noventa e seis,

o registador de deslizamento linear de re-alimentação dispor de onze estágios de registador, com um polinómio gerador para o registador de deslizamento linear de re-alimentação dado por $R'_i[10]=R'_{i-1}[0] \oplus R'_{i-1}[2]$, e a ordenação da permutação formar, com um bit adicional, um endereço de doze bits, onde se inclui um endereço de onze bits $R_i[n]$ para o símbolo de dados de ordem i , a partir dos bits presentes no estágio de registador de ordem n $R'_i[n]$, de acordo com a tabela seguinte:

$R'_i[n]$ para $n=$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n=$	7	10	5	8	1	2	4	9	0	3	6

e onde o bit adicional constitui o bit mais significativo do endereço, indo o valor deste bit adicional alternando entre os valores 0 e 1, entre sucessivos

símbolos OFDM.

2. Um equipamento para processamento de dados, conforme reivindicado na Reivindicação 1, em que a memória de entrelaçamento pode funcionar de maneira a efectuar o mapeamento dos símbolos de dados de entrada sobre as portadoras de sinais para os símbolos OFDM pares, pela leitura ("reading-in") dos símbolos de dados de acordo com o conjunto de endereços gerados pelo gerador de endereços e pela entrega ("reading-out") segundo uma ordenação sequencial e, para os símbolos OFDM ímpares, pela leitura ("reading-in") dos símbolos para dentro da memória segundo uma ordenação sequencial e pela entrega ("reading-out") dos símbolos de dados a partir da memória, de acordo com o conjunto de endereços gerados pelo gerador de endereços.

3. Um transmissor para transmissão de dados usando Multiplexagem por Divisão de Frequências Ortogonais ("Orthogonal Frequency Division Multiplexing - OFDM"), em que o transmissor inclui um equipamento para processamento de dados de acordo com qualquer uma das precedentes reivindicações.

4. Um transmissor conforme reivindicado na Reivindicação 3, em que o transmissor pode funcionar de maneira a transmitir dados de acordo com a Norma para Difusão Digital de Vídeo Terrestre Digital ("Digital Video Broadcasting-Terrestrial"), ou a Norma de Difusão Digital de Vídeo Portátil ("Digital Video Broadcasting-Handheld).

5. Um equipamento para processamento de dados, que pode funcionar para fazer o desmapeamento de símbolos recebidos a partir de um determinado número de portadoras de sinais de um símbolo Multiplexado por Divisão de Frequências Ortogonais - OFDM, para dentro de um fluxo de símbolos de saída, em que este equipamento para processamento de dados é constituído por:

uma memória de desentrelaçamento que pode funcionar de maneira a promover a leitura ("read-in") do determinado número de símbolos de dados a partir das portadoras de sinais OFDM, e a entregar ("read-out") os símbolos de dados para dentro do fluxo de símbolos de saída para efectuar o desmapeamento, sendo que a entrega ("read-out") é realizada numa ordenação diferente daquela da leitura ("read-in"), sendo a ordenação determinada a partir de um conjunto de endereços, com o efeito de que os símbolos de dados são desentrelaçados a partir da portadoras de sinais OFDM,

um gerador de endereços que pode funcionar de maneira a gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de dados recebidos, para indicar a portadora de sinal OFDM sobre a qual se pretende mapear o símbolo de dados recebido para dentro do fluxo de símbolos de saída, sendo o gerador de endereços constituído por:

um registador de deslizamento linear de re-alimentação incluindo um determinado número de estágios de registador, e podendo funcionar de maneira a gerar uma

sequência de bits pseudo-aleatória, de acordo com um polinómio gerador,

um circuito de permutação que pode funcionar para receber o conteúdo dos estágios de registador de deslizamento e para permutar os bits presentes nos estágios de registador, de acordo com uma dada ordenação de permutação, para formar um endereço de uma das portadoras OFDM, e

uma unidade de controlo que pode funcionar em combinação com um circuito de verificação de endereços, para voltar a gerar um endereço quando um endereço gerado exceder um endereço válido máximo definido pelo número predeterminado de portadoras, **caracterizada por:**

o predeterminado número de portadoras de sinais OFDM ser, no máximo, de quatro mil e noventa e seis,

o registador de deslizamento linear de re-alimentação dispor de onze estágios de registador, com um polinómio gerador para o registador de deslizamento linear de re-alimentação dado por $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$, e a ordenação da permutação formar, com um bit adicional, um endereço de doze bits, onde se inclui um endereço de onze bits $R_i[n]$ para o símbolo de dados de ordem i , a partir dos bits presentes no estágio de registador de ordem n $R'_i[n]$, de acordo com a tabela seguinte:

$R'_i[n]$ para $n=$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n=$	7	10	5	8	1	2	4	9	0	3	6

e onde o bit adicional constitui o bit mais significativo do endereço, indo o valor deste bit adicional

alternando entre os valores 0 e 1, entre sucessivos símbolos OFDM.

6. Um equipamento para processamento conforme reivindicado na Reivindicação 5, em que a memória de entrelaçamento é organizada de maneira a efectuar o desmapeamento dos símbolos de dados recebidos, a partir das portadoras de sinais e para dentro do fluxo de dados de saída nos símbolos pares OFDM, pela leitura ("reading-in") dos símbolos de dados de acordo com uma ordenação sequencial e pela entrega ("reading-out") dos símbolos de dados da memória de acordo com o conjunto de endereços gerados pelo gerador de endereços e, para os símbolos OFDM ímpares, pela leitura ("reading-in") dos símbolos enviando-os para dentro da memória de acordo com o conjunto de endereços gerados pelo gerador de endereços e pela entrega ("reading-out") dos símbolos de dados a partir da memória segundo uma ordenação sequencial.

7. Um receptor para receber dados a partir de sinais modulados por Multiplexagem por Divisão de Frequências Ortogonais - OFDM, em que o receptor inclui um equipamento para processamento de dados de acordo com qualquer uma das Reivindicações 5 ou 6.

8. Um receptor conforme reivindicado na Reivindicação 7, em que o receptor pode funcionar de maneira a receber dados que tenham sido modulados de acordo com a Norma para Difusão Digital de Vídeo Terrestre ou

Portátil ("Digital Video Broadcasting-Terrestrial or Handheld).

9. Um método para mapeamento de símbolos de entrada a serem transmitidos para um predeterminado número de portadoras de sinais de um símbolo Multiplexado por Divisão de Frequências Ortogonais - OFDM), em que o método é constituído pelas seguintes etapas:

leitura ("reading-in") do pré-determinado número de símbolos de dados para mapeamento sobre as portadoras de sinais OFDM,

entrega ("reading-out") dos símbolos de dados enviando-os para as portadoras OFDM para efectuar o mapeamento, sendo a entrega ("read-out") realizada numa ordenação diferente daquela da leitura ("read-in"), e sendo a ordenação determinada a partir de um conjunto de endereços, com o efeito de que os símbolos de dados são entrelaçados sobre as portadoras de sinais,

geração do conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de entrada, para indicar uma das portadoras de sinais sobre a qual se pretende mapear o símbolo de dados, sendo a geração de endereços constituída por:

utilização de um registador de deslizamento linear de re-alimentação incluindo um predeterminado número de estágios de registador para gerar uma sequência de bits pseudo-aleatória, de acordo com um polinómio gerador,

utilização de um circuito de permutação que pode funcionar de maneira a receber o conteúdo dos estágios de

registador de deslizamento para permutar os bits presentes nos estágios de registador, de acordo com uma dada ordenação de permutação, para formar um endereço de uma das portadoras OFDM, e

nova geração de um endereço quando um endereço gerado exceder um endereço válido máximo definido pelo número predeterminado de portadoras, **caracterizado por:**

o predeterminado número de portadoras de sinais OFDM ser, no máximo, de quatro mil e noventa e seis,

o registador de deslizamento linear de re-alimentação dispor de onze estágios de registador, com um polinómio gerador para o registador de deslizamento linear de re-alimentação dado por $R'_i[10]=R'_{i-1}[0] \oplus R'_{i-1}[2]$, e a ordenação da permutação formar, com um bit adicional, um endereço de doze bits, onde se inclui um endereço de onze bits $R_i[n]$ para o símbolo de dados de ordem i , a partir dos bits presentes no estágio de registador de ordem n $R'_i[n]$, de acordo com a tabela seguinte:

$R'_i[n]$ para $n=$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n=$	7	10	5	8	1	2	4	9	0	3	6

e onde o bit adicional constitui o bit mais significativo do endereço, indo o valor deste bit adicional alternando entre os valores 0 e 1, entre sucessivos símbolos OFDM.

10. Um método para desmapeamento de símbolos recebidos a partir de um predeterminado número de portadoras de sinais de um símbolo Multiplexado por Divisão

de Frequências Ortogonais - OFDM para dentro de um fluxo de símbolos de saída, em que o método é constituído pelas seguintes etapas:

leitura ("reading-in") do pré-determinado número de símbolos de dados a partir das portadoras de sinais OFDM,

entrega ("reading-out") dos símbolos de dados enviando-os para dentro do fluxo de símbolos de saída para efectuar o desmapeamento, sendo a entrega ("read-out") realizada numa ordenação diferente daquela da leitura ("read-in"), e sendo a ordenação determinada a partir de um conjunto de endereços, com o efeito de que os símbolos de dados são desentrelaçados a partir das portadoras de sinais OFDM,

geração do conjunto de endereços, sendo gerado um endereço para cada um dos símbolos recebidos, para indicar a portadora de sinais OFDM sobre a qual o símbolo de dados recebidos deverá ser desmapeado para dentro do fluxo de símbolos de saída, sendo a geração de endereços constituída por:

utilização de um registador de deslizamento linear de re-alimentação incluindo um predeterminado número de estágios de registador para gerar uma sequência de bits pseudo-aleatória, de acordo com um polinómio gerador,

utilização de um circuito de permutação para receber o conteúdo dos estágios do registador de deslizamento para permutar os bits presentes nos estágios de registador, de acordo com uma dada ordenação de

permutação, para formar um endereço de uma das portadoras OFDM, e

nova geração de um endereço quando um endereço gerado exceder um endereço válido máximo definido pelo número predeterminado de portadoras, **caracterizado por:**

o predeterminado número de portadoras de sinais OFDM ser, no máximo, de quatro mil e noventa e seis,

o registador de deslizamento linear de re-alimentação dispor de onze estágios de registador, com um polinómio gerador para o registador de deslizamento linear de re-alimentação dado por $R'_i[10]=R'_{i-1}[0] \oplus R'_{i-1}[2]$, e a ordenação da permutação formar, com um bit adicional, um endereço de doze bits, onde se inclui um endereço de onze bits $R_i[n]$ para o símbolo de dados de ordem i , a partir dos bits presentes no estágio de registador de ordem n $R'_i[n]$, de acordo com a tabela seguinte:

$R'_i[n]$ para $n=$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n=$	7	10	5	8	1	2	4	9	0	3	6

e onde o bit adicional constitui o bit mais significativo do endereço, indo o valor deste bit adicional alternando entre os valores 0 e 1, entre sucessivos símbolos OFDM.

11. Um gerador de endereços para ser usado com a emissão ou a recepção de símbolos de dados entrelaçados num número predeterminado de portadoras de sinais de um símbolo Multiplexado por Divisão de Frequências Ortogonais, em que o gerador de endereços pode funcionar de maneira a gerar um

conjunto de endereços, sendo gerado cada endereço para cada um dos símbolos de dados no intuito de indicar uma das portadoras de sinais sobre a qual se pretende mapear ou desmapear o símbolo de dados, sendo o gerador de endereços constituído por:

um registador de deslizamento linear de re-alimentação incluindo um predeterminado número de estágios de registador, e podendo funcionar de maneira a gerar uma sequência de bits pseudo-aleatória, de acordo com um polinómio gerador,

um circuito de permutação que pode funcionar para receber o conteúdo dos estágios do registador de deslizamento e para permutar os bits presentes nos estágios de registador, de acordo com uma dada ordenação de permutação, para formar um endereço de uma das portadoras OFDM, e

uma unidade de controlo que pode funcionar em combinação com um circuito de verificação de endereços, para voltar a gerar um endereço quando um endereço gerado exceder um endereço válido máximo definido pelo número predeterminado de portadoras, **caracterizado por:**

o predeterminado número de portadoras de sinais OFDM ser, no máximo, de quatro mil e noventa e seis,

o registador de deslizamento linear de re-alimentação dispor de onze estágios de registador, com um polinómio gerador para o registador de deslizamento linear de re-alimentação dado por $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$, e a ordenação da permutação formar, com um bit adicional, um endereço de doze bits, onde se inclui um endereço de onze

bits $R_i[n]$ para o símbolo de dados de ordem i , a partir dos bits presentes no estágio de registador de ordem n $R'_i[n]$, de acordo com a tabela seguinte:

$R'_i[n]$ para $n=$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n=$	7	10	5	8	1	2	4	9	0	3	6

e onde o bit adicional constitui o bit mais significativo do endereço, indo o valor deste bit adicional alternando entre os valores 0 e 1, entre sucessivos símbolos OFDM.

Lisboa, 3 de Dezembro de 2009

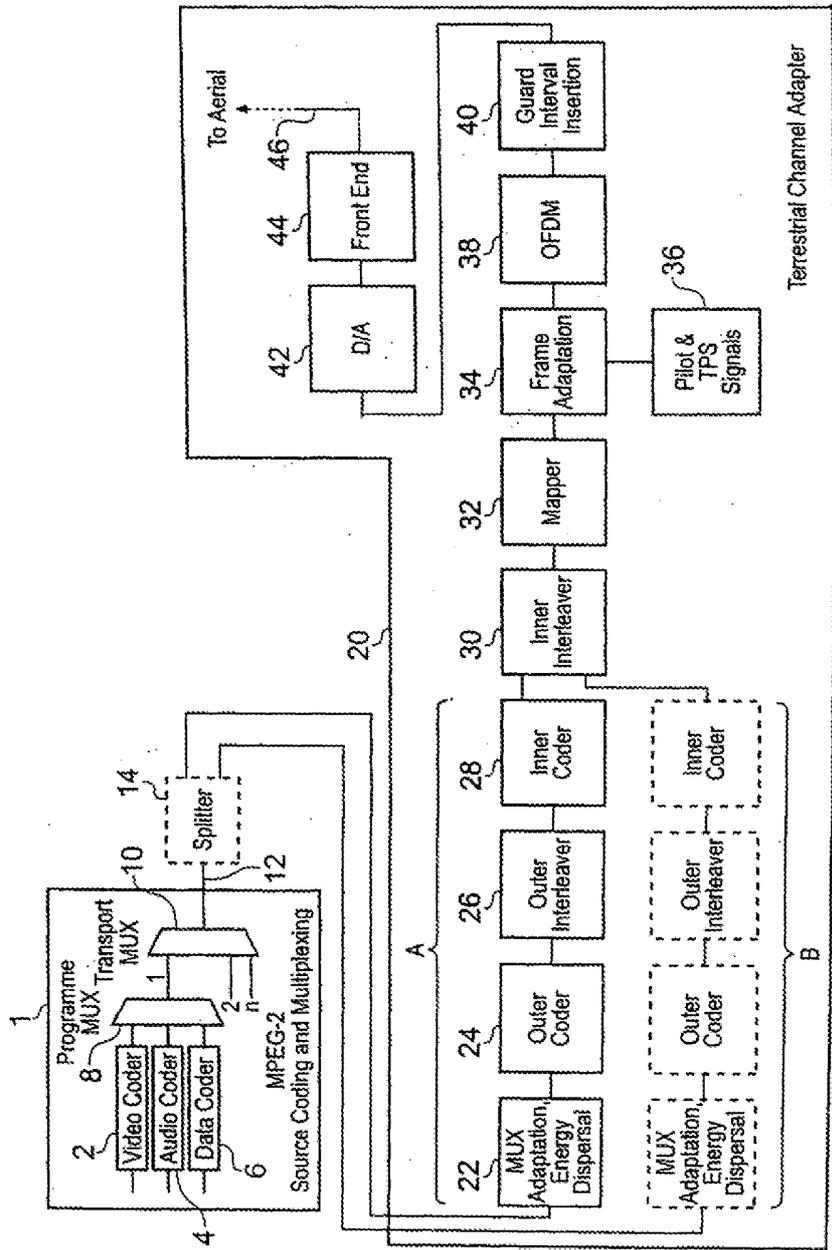


Fig. 1

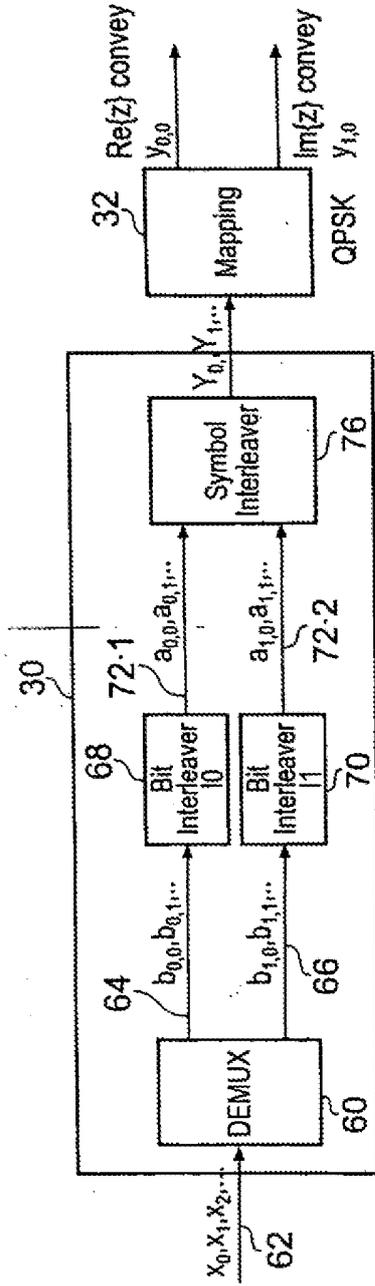


Fig. 2

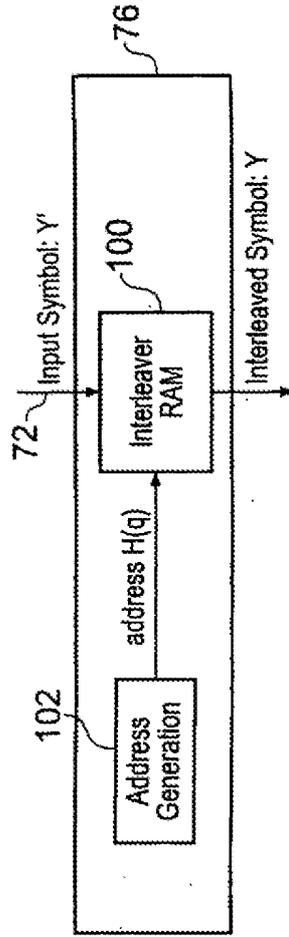


Fig. 3

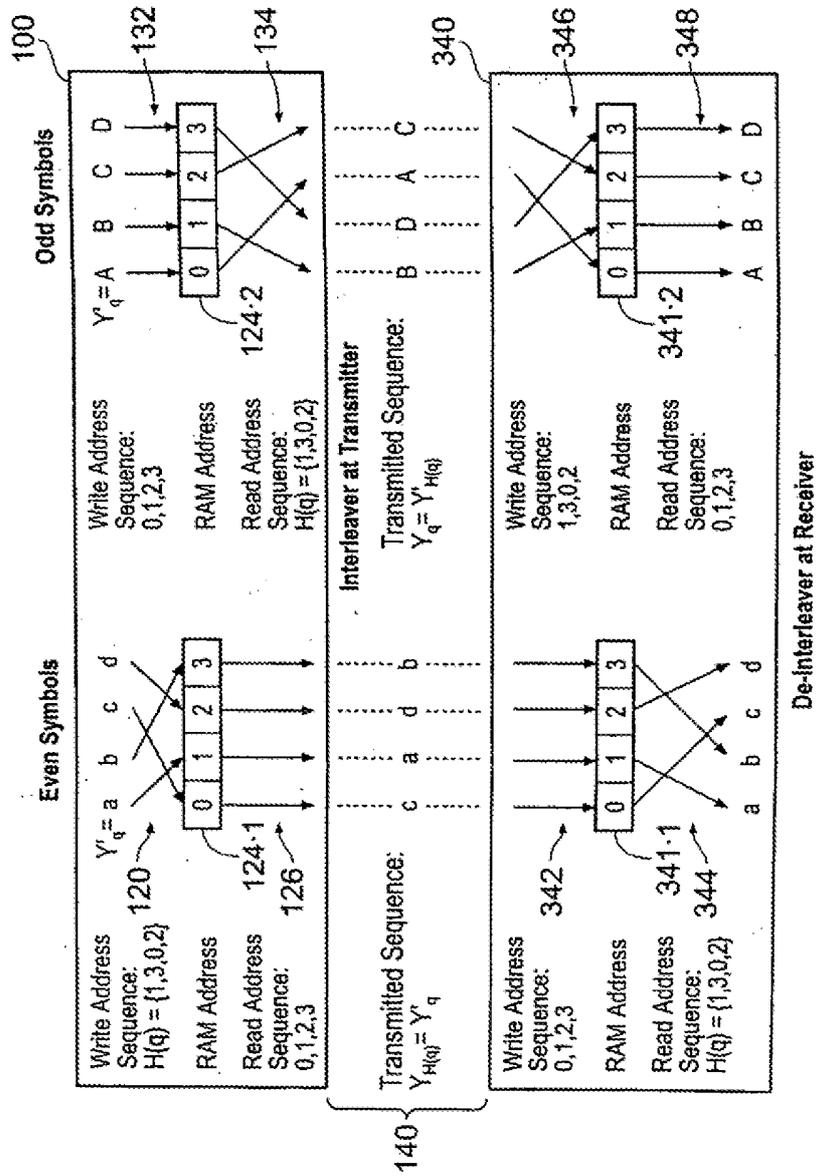


Fig. 4

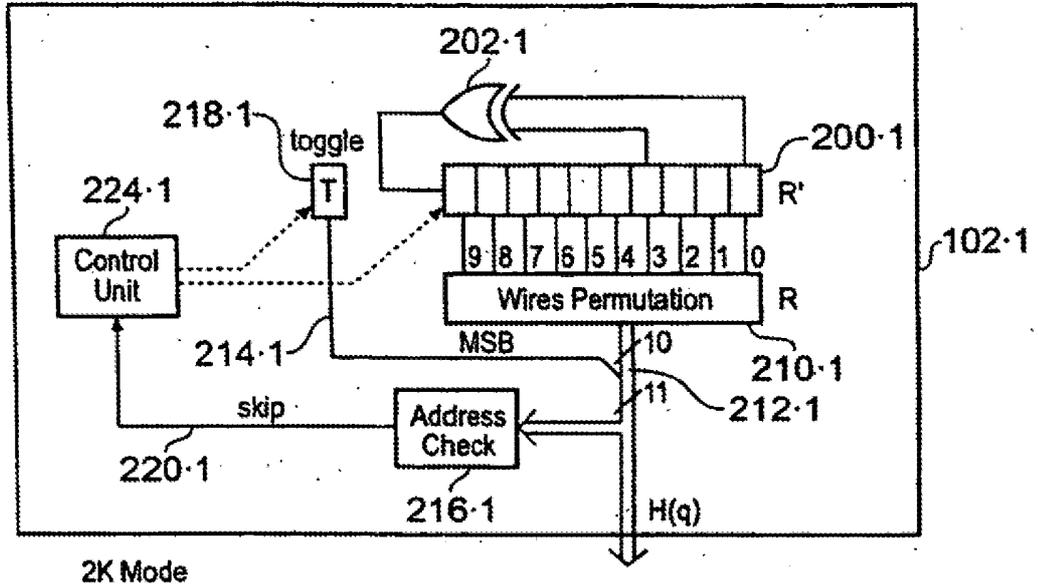


Fig. 5

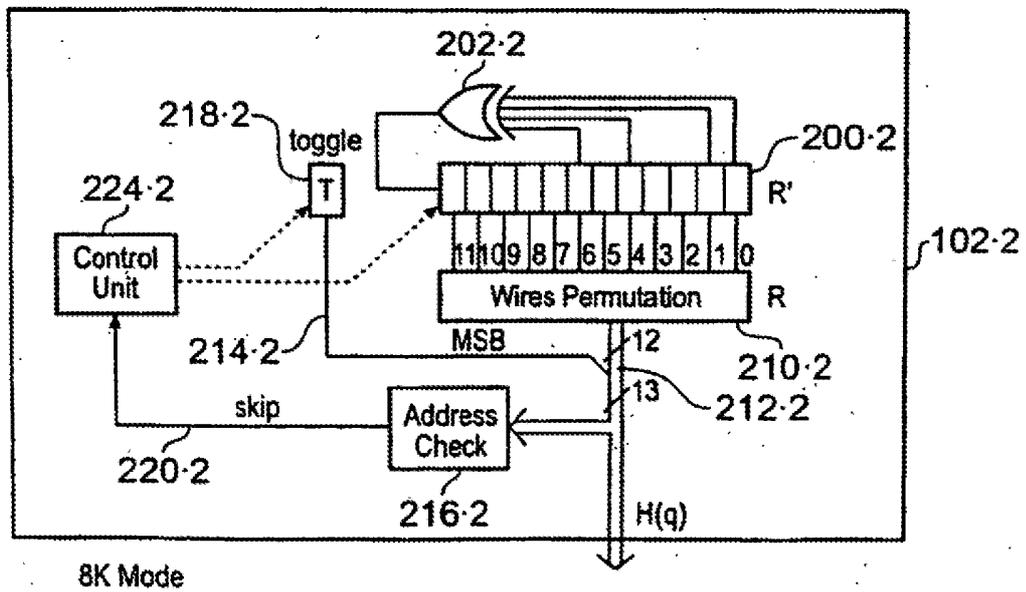


Fig. 6

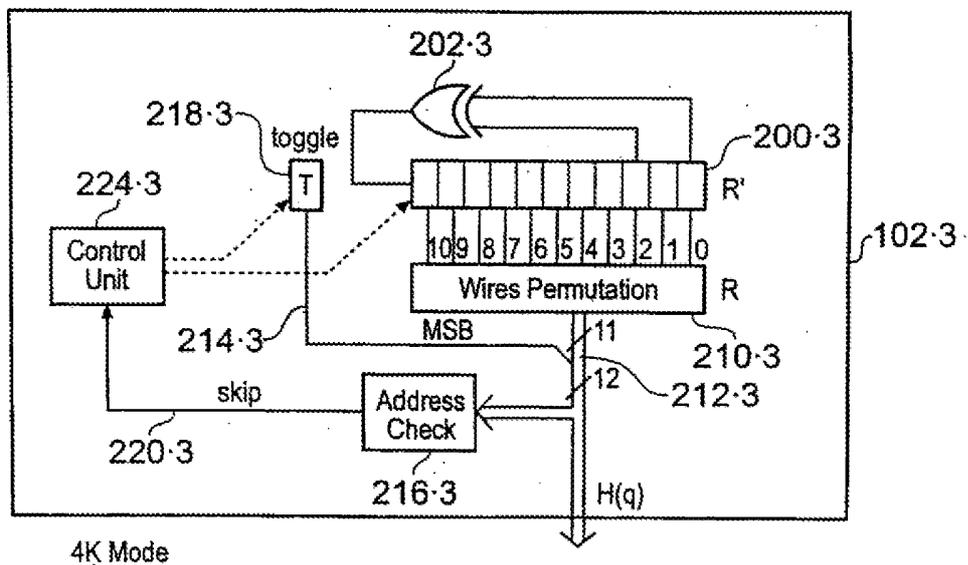


Fig. 7

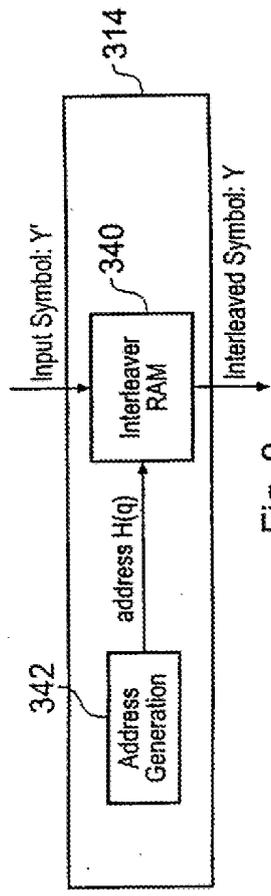
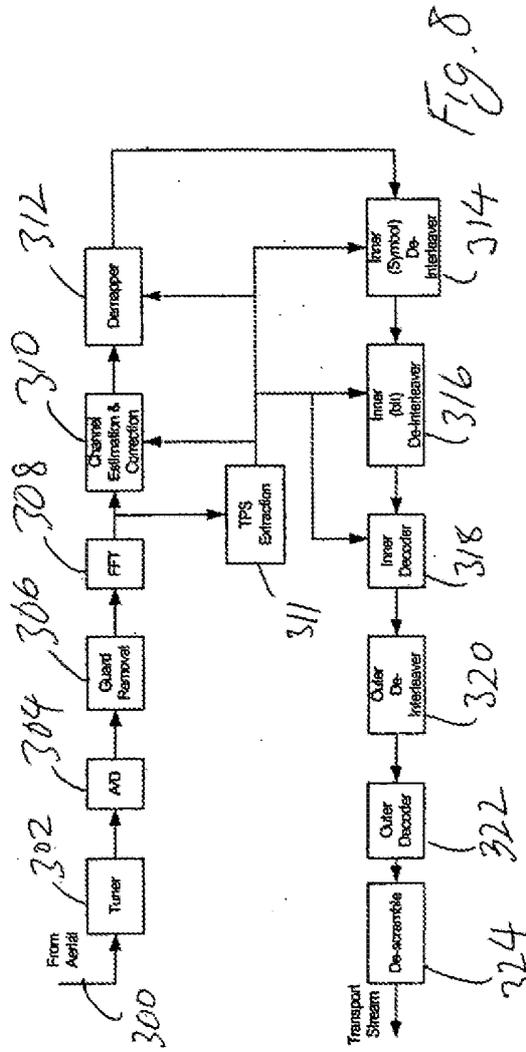


Fig. 9

LEGENDA DA FIGURA 1

- "Programme MUX" - «Multiplexador de Programas»
- "Video Coder" - «Codificador de Vídeo»
- "Audio Coder" - «Codificador Áudio»
- "Data Coder" - «Codificador de Dados»
- "Transport MUX" - «Multiplexador de Transporte»
- "Source Coding and Multiplexing" - «Codificação e Multiplexagem de Fonte»
- "Splitter" - «Divisor»
- "To Aerial" - «Para a Antena»
- "D/A" - «Conversor de Digital para Analógico»
- "Front End" - «Saída Frontal»
- "MUX Adaptation, Energy Dispersal" - «Adaptação do Multiplexador, Dispersão de Energia»
- "Source Coding and Multiplexing" - «Codificação e Multiplexagem de Fonte»
- "Outer Coder" - «Codificador Externo»
- "Outer Interleaver" - «Dispositivo Externo de Entrelaçamento»
- "Inner Coder" - «Codificador Interno»
- "Inner Interleaver" - «Dispositivo Interno de Entrelaçamento»
- "Mapper" - «Processador de Mapeamento»
- "Frame Adaptation" - «Processador de Adaptação de Trama»
- "Guard Interval Insertion" - «Inserção de Intervalo de Guarda»
- "Pilot & TPS Signals" - «Sinais Piloto e TPS»
- "Terrestrial Channel Adapter" - «Adaptador de Canal Terrestre»

LEGENDA DA FIGURA 2

"DEMUX" - «Desmultiplexador»

"Bit Interleaver" - «Dispositivo de Entrelaçamento de Bits»

"Symbol Interleaver" - «Dispositivo de Entrelaçamento de Símbolos»

"Re(z) convey" - «Transporte de Re(z)»

"Im(z) convey" - «Transporte de Im(z)»

"Mapping" - «Mapeamento»

LEGENDA DA FIGURA 3

"Adress Generation" - «Geração de Endereços»

"address H(Q)" - «endereço H(Q)»

"Input Symbol Y'" - «Símbolo de Entrada Y'»

"Interleaver RAM" - «Memória RAM de Entrelaçamento»

"Interleaved Symbol Y" - «Símbolo Entrelaçado Y»

LEGENDA DA FIGURA 4

- "Even Symbols" - «Símbolos Pares»
- "Odd Symbols" - «Símbolos Impares»
- "Write Adress Sequence" - «Inscrição de Sequência de Endereço»
- "RAM Adress" - «Endereço RAM»
- "Read Adress Sequence" - «Leitura de Sequência de Endereço»
- "Interleaver at Transmitter" - «Dispositivo de Entrelaçamento no Transmissor»
- "Transmitted Sequence" - «Sequência Transmitida»
- "De-Interleaver at Receiver" - «Dispositivo de Desentrelaçamento no Receptor»

LEGENDA DA FIGURA 5

- "toggle" - «alternação de estados»
- "Control Unit" - «Unidade de Controlo»
- "Wires Permutation" - «Circuito de Permutação»
- "Adress Check" - «Verificação de Endereços»
- "skip" - «salto»
- "2K mode" - «Modo 2K»

LEGENDA DA FIGURA 6

- "toggle" - «alternação de estados»
- "Control Unit" - «Unidade de Controlo»
- "Wires Permutation" - «Circuito de Permutação»
- "Adress Check" - «Verificação de Endereços»
- "skip" - «salto»
- "8K mode" - «Modo 8K»

LEGENDA DA FIGURA 7

"toggle" - «alternação de estados»
"Control Unit" - «Unidade de Controlo»
"Wires Permutation" - «Circuito de Permutação»
"Adress Check" - «Verificação de Endereços»
"skip" - «salto»
"4K mode" - «Modo 4K»

LEGENDA DA FIGURA 8

"From Aerial" - «Da Antena»
"Tuner" - «Sintonizador»
"A/D" - «Conversor de Analógico para Digital»
"Guard Removal" - «Remoção de Intervalos de Guarda»
"FFT" - «Processador de Transformada de Fourier Rápida»
"Channel Estimation and Correction" - «Estimativa e Correção de Canal»
"Demaper" - «Desmapeador»
"TPS Extraction" - «Extracção de Sinalização de Parâmetros de Transmissão»
"Transport Stream" - «Fluxo de Transporte»
"De-scramble" - «Desencriptador»
"Outer Decoder" - «Descodificador Externo»
"Outer De-interleaver" - «Dispositivo Externo de Desentrelaçamento»
"Inner Decoder" - «Descodificador Interno»
"Inner (bit) De-interleaver" - «Dispositivo Interno de Desentrelaçamento (de bits)»
"Inner (Symbol) De-interleaver" - «Dispositivo Interno de Desentrelaçamento (de Símbolos)»

LEGENDA DA FIGURA 9

"Adress Generation" - «Geração de Endereços»

"adress H(Q)" - «endereço H(Q)»

"Input Symbol Y'" - «Símbolo de Entrada Y'»

"Interleaver RAM" - «Memória RAM de Entrelaçamento»

"Interleaved Symbol Y" - «Símbolo Entrelaçado Y»