

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6378616号  
(P6378616)

(45) 発行日 平成30年8月22日(2018.8.22)

(24) 登録日 平成30年8月3日(2018.8.3)

(51) Int.Cl.	F I
<b>H05K 3/46 (2006.01)</b>	H05K 3/46 N
	H05K 3/46 Q
	H05K 3/46 B
	H05K 3/46 U

請求項の数 11 (全 25 頁)

(21) 出願番号	特願2014-230151 (P2014-230151)	(73) 特許権者	000000158 イビデン株式会社
(22) 出願日	平成26年11月12日(2014.11.12)		岐阜県大垣市神田町2丁目1番地
(65) 公開番号	特開2016-96196 (P2016-96196A)	(74) 代理人	100091096 弁理士 平木 祐輔
(43) 公開日	平成28年5月26日(2016.5.26)	(74) 代理人	100105463 弁理士 関谷 三男
審査請求日	平成29年6月26日(2017.6.26)	(74) 代理人	100129861 弁理士 石川 滝治
		(74) 代理人	100169410 弁理士 小町 澄輝
		(72) 発明者	坂本 一 岐阜県大垣市笠縫町100-1 イビデン株式会社内

最終頁に続く

(54) 【発明の名称】 電子部品内蔵プリント配線板

(57) 【特許請求の範囲】

【請求項1】

第1主面及び該第1主面と反対側の第2主面が設けられ、前記第1主面側に設けられる第1導体層と、前記第2主面側に設けられる第2導体層と、前記第1導体層及び前記第2導体層を電氣的に接続する複数の第1ビア導体とを有するコア積層体と、

前記コア積層体の内部に設けられ、複数の接続端子を有する電子部品と、

前記コア積層体の前記第1主面及び前記第1導体層に設けられるとともに、第1絶縁層と、前記第1絶縁層に形成される第3導体層と、前記第1絶縁層の内部に形成され、前記第1導体層及び前記第3導体層を電氣的に接続する複数の第2ビア導体とを有する第1ビルドアップ層と、

前記コア積層体の前記第2主面及び前記第2導体層に設けられるとともに、第2絶縁層と、前記第2絶縁層に形成される第4導体層と、前記第2絶縁層の内部に形成され、前記第2導体層及び前記第4導体層を電氣的に接続する複数の第3ビア導体とを有する第2ビルドアップ層と、

を備える電子部品内蔵プリント配線板であって、

前記第1導体層は前記コア積層体に埋め込まれ、その上表面が前記コア積層体の前記第1主面及び前記電子部品の前記接続端子の上表面と同一平面に位置し、

前記第1導体層の一方に接続する前記第1ビア導体と前記第1導体層の他方に接続する前記第2ビア導体とは異なる方向に拡径されている。

【請求項2】

請求項 1 に記載の電子部品内蔵プリント配線板において、  
前記第 2 ビア導体は、前記第 3 ビア導体と異なる方向に拡径されている。

【請求項 3】

請求項 1 又は 2 に記載の電子部品内蔵プリント配線板において、  
前記第 2 ビア導体は、前記コア積層体の前記第 2 主面から前記第 1 主面に向かう方向に  
拡径されている。

【請求項 4】

請求項 1 ~ 3 のいずれか一項に記載の電子部品内蔵プリント配線板において、  
前記第 1 絶縁層及び前記第 2 絶縁層は、同じ又は異なる材料によって形成されている。

【請求項 5】

請求項 1 ~ 4 のいずれか一項に記載の電子部品内蔵プリント配線板において、  
前記コア積層体は、更に第 3 絶縁層を有し、  
前記第 3 絶縁層は、前記第 1 絶縁層及び前記第 2 絶縁層と同じ材料によって形成されて  
いる。

10

【請求項 6】

請求項 1 ~ 4 のいずれか一項に記載の電子部品内蔵プリント配線板において、  
前記コア積層体は、ガラスクロス入りのプリプレグによって形成される第 3 絶縁層を有  
し、  
前記第 1 絶縁層及び前記第 2 絶縁層は、無機フィラーを含有する樹脂材料によって形成  
されている。

20

【請求項 7】

請求項 1 ~ 6 のいずれか一項に記載の電子部品内蔵プリント配線板において、  
前記第 1 ビルドアップ層の前記第 3 導体層の厚さは前記第 2 ビルドアップ層の前記第 4  
導体層の厚さと異なっている。

【請求項 8】

請求項 1 ~ 7 のいずれか一項に記載の電子部品内蔵プリント配線板において、  
前記電子部品は、前記コア積層体の前記第 1 導体層の幅及び前記第 2 導体層の幅よりも  
狭い幅の配線を有する配線構造体であり、  
前記接続端子は、前記配線構造体の接続パッドである。

【請求項 9】

請求項 8 に記載の電子部品内蔵プリント配線板において、  
前記配線構造体は、第 4 絶縁層と、前記第 4 絶縁層の内部に形成され、前記接続パッド  
と電氣的に接続する複数の第 4 ビア導体とを有する。

30

【請求項 10】

請求項 9 に記載の電子部品内蔵プリント配線板において、  
前記配線構造体の前記第 4 ビア導体は、前記第 1 ビア導体と異なる方向に拡径されてい  
る。

【請求項 11】

請求項 8 ~ 10 のいずれか一項に記載の電子部品内蔵プリント配線板において、  
前記配線構造体には、放熱部材が設けられている。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コア基板を有しない、電子部品内蔵プリント配線板に関する。

【背景技術】

【0002】

従来、このような分野の技術として、例えば下記特許文献に記載されるものがある。特  
許文献 1 では、絶縁層に内蔵される電子部品と、絶縁層の上に形成される導体層と、絶縁  
層に埋められ、外部と電氣的に接続するための外部端子とを備えるプリント配線板が開示  
されている。また、特許文献 2 では、絶縁層の上に形成される複数の導体層と、導体層同

50

土の間に配置される電子部品と、導体層及び電子部品を電氣的に接続するビア導体とを備えるプリント配線板が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2012-238805号公報

【特許文献2】特開2012-191204号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述のプリント配線板は、いずれもコア基板を有しないので、コアレス工法で作製されている。すなわち、支持板を利用し、その支持板の片側に絶縁層と導体層とを順次に積層し、その後支持板を除去する工法である。このため、コア基板の両側にそれぞれ絶縁層と導体層を同時に積層して作製されるコア基板を有するプリント配線板と比べて、製造工程数が増えるので、製造コストが高くなる問題があった。また、上述のプリント配線板では、絶縁層と導体層との積層は片方向にのみ行われるため、材料の熱膨張係数の違いによる熱応力が発生しやすい。その結果、熱応力に起因するプリント配線板の反りが生じやすく、プリント配線板の接続信頼性に影響しかねない。

【0005】

本発明は、上記の点に鑑みてなされたものであり、製造コストの削減を図るとともに、接続信頼性を高めることができる電子部品内蔵プリント配線板を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決する本発明の電子部品内蔵プリント配線板は、第1主面及び該第1主面と反対側の第2主面が設けられ、前記第1主面側に設けられる第1導体層と、前記第2主面側に設けられる第2導体層と、前記第1導体層及び前記第2導体層を電氣的に接続する複数の第1ビア導体とを有するコア積層体と、前記コア積層体の内部に設けられ、複数の接続端子を有する電子部品と、前記コア積層体の前記第1主面及び前記第1導体層に設けられるとともに、第1絶縁層と、前記第1絶縁層に形成される第3導体層と、前記第1絶縁層の内部に形成され、前記第1導体層及び前記第3導体層を電氣的に接続する複数の第2ビア導体とを有する第1ビルドアップ層と、前記コア積層体の前記第2主面及び前記第2導体層に設けられるとともに、第2絶縁層と、前記第2絶縁層に形成される第4導体層と、前記第2絶縁層の内部に形成され、前記第2導体層及び前記第4導体層を電氣的に接続する複数の第3ビア導体とを有する第2ビルドアップ層と、を備える電子部品内蔵プリント配線板であって、前記第1導体層は前記コア積層体に埋め込まれ、その上表面が前記コア積層体の前記第1主面及び前記電子部品の前記接続端子の上表面と同一平面に位置し、前記第1導体層の一方に接続する前記第1ビア導体と前記第1導体層の他方に接続する前記第2ビア導体とは異なる方向に拡径されている。

【発明の効果】

【0007】

本発明によれば、コア積層体の第1導体層の一方に接続する第1ビア導体とこの第1導体層の他方に接続する第2ビア導体とが異なる方向に拡径されるので、コアレス工法でコア積層体を作製した後に、コア積層体をコア基板としてその両側に第1ビルドアップ層と第2ビルドアップ層を同時に形成することで、電子部品内蔵プリント配線板を作製することが可能になる。このようにすれば、コアレス工法のみを用いた場合と比べて製造工程数を削減し、製造コストを低減することができる。

【0008】

また、コア積層体の両側に対称に第1、第2ビルドアップ層を形成することが可能になるので、第1及び第2ビルドアップ層の熱膨張係数の違いにより生じる熱応力を緩和する

10

20

30

40

50

ことができ、熱応力に起因する反りの発生を防止することができる。その結果、電子部品内蔵プリント配線板の接続信頼性を高められる。更に、第1導体層の上表面がコア積層体の第1主面及び電子部品の接続端子の上表面と同一平面に位置しているため、コア積層体の第1主面が平坦となり、第1主面上にファインな配線を容易に形成することができる。

【図面の簡単な説明】

【0009】

【図1】第1実施形態に係る電子部品内蔵プリント配線板を示す部分断面図である。

【図2】図1の配線構造体を示す拡大断面図である。

【図3A】配線構造体の作製を説明する工程図である。

【図3B】配線構造体の作製を説明する工程図である。

10

【図3C】配線構造体の作製を説明する工程図である。

【図3D】配線構造体の作製を説明する工程図である。

【図3E】配線構造体の作製を説明する工程図である。

【図3F】配線構造体の作製を説明する工程図である。

【図3G】配線構造体の作製を説明する工程図である。

【図3H】配線構造体の作製を説明する工程図である。

【図4A】コア積層体の作製を説明する工程図である。

【図4B】コア積層体の作製を説明する工程図である。

【図4C】コア積層体の作製を説明する工程図である。

【図4D】コア積層体の作製を説明する工程図である。

20

【図4E】コア積層体の作製を説明する工程図である。

【図4F】コア積層体の作製を説明する工程図である。

【図4G】コア積層体の作製を説明する工程図である。

【図4H】コア積層体の作製を説明する工程図である。

【図4I】コア積層体の作製を説明する工程図である。

【図4J】コア積層体の作製を説明する工程図である。

【図4K】コア積層体の作製を説明する工程図である。

【図4L】コア積層体の作製を説明する工程図である。

【図4M】コア積層体の作製を説明する工程図である。

【図4N】コア積層体の作製を説明する工程図である。

30

【図4O】コア積層体の作製を説明する工程図である。

【図5A】電子部品内蔵プリント配線板の作製を説明する工程図である。

【図5B】電子部品内蔵プリント配線板の作製を説明する工程図である。

【図5C】電子部品内蔵プリント配線板の作製を説明する工程図である。

【図6】第2実施形態に係る電子部品内蔵プリント配線板を示す部分断面図である。

【図7】第3実施形態に係る電子部品内蔵プリント配線板を示す部分断面図である。

【図8】第4実施形態に係る電子部品内蔵プリント配線板を示す部分断面図である。

【図9】第5実施形態に係る電子部品内蔵プリント配線板を示す部分断面図である。

【図10】第6実施形態に係る電子部品内蔵プリント配線板を示す部分断面図である。

【図11】第7実施形態に係る電子部品内蔵プリント配線板を示す部分断面図である。

40

【発明を実施するための形態】

【0010】

以下、図面を参照して本発明に係る電子部品内蔵プリント配線板の実施形態について説明する。図面の説明において同一の要素には同一の符号を付し、重複する説明は省略する。

【0011】

<第1実施形態>

図1に示すように、本実施形態に係る電子部品内蔵プリント配線板1は、例えば一方の面にICチップ2, 3が実装され、他方の面に配置される接続パッド等を介してマザーボード(図示せず)に搭載されるための配線板である。この電子部品内蔵プリント配線板1は、中央位置に配置されるコア積層体20、コア積層体20を挟むように上側に配置され

50

る第1ビルドアップ層30、下側に配置される第2ビルドアップ層40を備えている。

【0012】

コア積層体20は、いわゆるコア基板を有しないコアレス基板であり、複数の絶縁層及び導体層を交互に積層して構成されている。このコア積層体20は、板状に形成され、ICチップ2,3に近い側に位置する第1主面20aと、該第1主面20aと反対側(すなわち、ICチップ2,3から遠ざかる側)に位置する第2主面20bを有する。なお、本実施形態における導体層は、電気回路を構成する配線層であり、その配置位置によってパッドと配線パターン等を含む場合もあれば、パッドのみを含む場合もある。

【0013】

第1主面20a側には、複数の接続パッド200を含む導体層201が設けられている。導体層201は、特許請求の範囲に記載の「第1導体層」に相当し、例えば電解めっき層によって構成されている。導体層201は絶縁層202に埋め込まれ、その上表面201aが第1主面20aと同一平面に位置している。絶縁層202は、複数の絶縁層のうちの最も上側に位置する絶縁層であり、層間樹脂絶縁材料により形成されている。層間樹脂絶縁材料として、例えばガラスクロス入りのプリプレグが用いられる。

10

【0014】

絶縁層202の下面には、導体層203が形成されている。導体層203は、例えば無電解めっき層と電解めっき層によって構成されている。また、絶縁層202の内部には、導体層201及び導体層203を電氣的に接続するビア導体210が複数形成されている。

20

【0015】

絶縁層202及び導体層203の下には、更に、絶縁層204、導体層205、絶縁層206、導体層207、絶縁層208及び導体層209がこの順番で積層されている。絶縁層204,206,208は、絶縁層202と同様にガラスクロス入りのプリプレグにより形成されている。絶縁層202,204,206,208は、特許請求の範囲に記載の「第3絶縁層」に相当する。そして、これらの絶縁層202,204,206,208のうち、第1主面20a側に位置する絶縁層202は、最も厚く形成されている。一方、導体層205,207,209は、導体層203と同様に無電解めっき層及び電解めっき層によって構成されている。

【0016】

図1に示すように、コア積層体20において、絶縁層208は最も下側に位置する絶縁層であり、その底面がコア積層体20の第2主面20bを構成する。導体層209は、第2主面20b側に設けられ、特許請求の範囲に記載の「第2導体層」に相当する。また、絶縁層204の内部にはビア導体211、絶縁層206の内部にはビア導体212、絶縁層208の内部にはビア導体213が、それぞれ複数形成されている。そして、導体層203及び導体層205はビア導体211によって電氣的に接続され、導体層205及び導体層207はビア導体212によって電氣的に接続され、導体層207及び導体層209はビア導体213によって電氣的に接続されている。これによって、第1主面20a側に設けられた導体層201は、ビア導体210,211,212,213及び導体層203,205,207を介して第2主面20b側に設けられた導体層209と電氣的に接続される。なお、ビア導体210,211,212,213は、特許請求の範囲に記載の「第1ビア導体」に相当する。

30

【0017】

ビア導体210,211,212,213は、それぞれ円錐台形状を呈し、同一方向に向かって拡径されている。具体的には、これらのビア導体210,211,212,213の全ては、第1主面20aから第2主面20bに向かう方向に沿って直径が拡がるように形成されている。図1に示すように、これらのビア導体210,211,212,213のうち、その一部が絶縁層と導体層との積層方向に沿って直線状に積み重ねてスタックビアを形成し、一部が積層方向に沿って位置をずらして積み重ねてオフセットビアを形成している。

40

50

## 【0018】

コア積層体20の内部には、配線構造体10が設けられている。配線構造体10は、特許請求の範囲に記載の「電子部品」に相当するものであり、コア積層体20の絶縁層202の内部に埋め込まれている。この配線構造体10は、平板状に形成され、その底部に配置される絶縁層100、絶縁層100の上に形成される導体層101、導体層101の上から導体層101を覆う絶縁層102、絶縁層102の上に形成される導体層103を有する。導体層103は、複数の接続パッド(接続端子)104を含む導体層である。本実施形態において、導体層101、103は、信号のみを伝送する導体層である。すなわち、導体層101、103の配線は信号線のみから構成されている。

## 【0019】

本実施形態では、配線構造体10の導体層101、103は、コア積層体20の全ての導体層201、203、205、207、209と接続されていない。すなわち、電子部品内蔵プリント配線板1では、配線構造体10は、コア積層体20と電氣的に絶縁されている状態である。

## 【0020】

絶縁層100、102は、特許請求の範囲に記載の「第4絶縁層」に相当し、例えば感光性樹脂からなる絶縁層である。このように感光性樹脂層を用いることで、配線構造体10の絶縁層100、102に小径のビアホール及び高密度の配線パターンを容易に形成することができる。一方、導体層101、103は、シード層と銅めっき層によって構成されている。図2に示すように、接続パッド104は接着層106に埋め込まれ、その上表面104aがコア積層体20の第1主面20aと同一平面に位置している。また、接着層106の上表面106aも、第1主面20aと同一平面に位置している。

## 【0021】

絶縁層102の内部には、ビア導体105が複数形成されている。ビア導体105は、特許請求の範囲に記載の「第4ビア導体」に相当しており、円錐台形状に形成され、コア積層体20の第2主面20bから第1主面20aに向かう方向に拡径されている。このため、ビア導体105の拡径方向は、コア積層体20のビア導体210、211、212、213の拡径方向と異なっている。そして、接続パッド104は、ビア導体105を介して導体層101と電氣的に接続されている。

## 【0022】

本実施形態では、配線構造体10は、コア積層体20の導体層よりも高密度の配線を有する。導体層101、103における配線層の幅は、導体層201、203、205、207、209における配線層の幅よりも小さく、例えば1~5 $\mu\text{m}$ の範囲である。すなわち、導体層101、103における配線のL/S(ラインスペース)は、導体層201、203、205、207、209における配線のL/Sよりも小さい。好ましくは、導体層101、103における配線のL/Sが1 $\mu\text{m}$ /1 $\mu\text{m}$ ~5 $\mu\text{m}$ /5 $\mu\text{m}$ である。ここで、L(ライン)は配線の幅、S(スペース)は配線間の間隙を意味している。

## 【0023】

第1ビルドアップ層30は、コア積層体20の第1主面20a、導体層201及び配線構造体10の上に形成されている。この第1ビルドアップ層30は、絶縁層と導体層とを1層ずつ積層して構成されている。具体的には、第1ビルドアップ層30は、絶縁層302と、絶縁層302の上に形成される導体層301と、絶縁層302の内部に形成される複数のビア導体303とを有する。なお、絶縁層302、導体層301、ビア導体303は、それぞれ特許請求の範囲に記載の「第1絶縁層」、「第3導体層」、「第2ビア導体」に相当する。

## 【0024】

絶縁層302は、コア積層体20の導体層201及び配線構造体10を覆うように第1主面20aの上に形成されている。絶縁層302は、例えば30~80質量%のSiO<sub>2</sub>などの無機フィラーを含有する樹脂絶縁材料によって形成されている。導体層301は、ICチップ2、3を実装するための複数の実装パッド300を含み、例えば無電解めっき

10

20

30

40

50

層及び電解めっき層によって構成されている。そして、ICチップ2, 3は、例えば半田バンプSを介して第1ビルドアップ層30の実装パッド300と電氣的に接続される。

【0025】

ビア導体303は、導体層301と配線構造体10の導体層103又はコア積層体20の導体層201とを電氣的に接続している。図1に示すように、ビア導体303は、円錐台形状に形成され、コア積層体20の第2主面20bから第1主面20aに向かう方向に拡径されている。従って、ビア導体303の拡径方向は、コア積層体20のビア導体210, 211, 212, 213の拡径方向の逆方向である。これによって、導体層201の一方に接続するビア導体210と導体層201の他方に接続するビア導体303とは、異なる方向に拡径されている。

10

【0026】

第2ビルドアップ層40は、コア積層体20の第2主面20b及び導体層209の下方から、第2主面20b及び導体層209を覆うように形成されている。この第2ビルドアップ層40は、絶縁層と導体層とを1層ずつ積層して構成されている。具体的には、第2ビルドアップ層40は、絶縁層402と、絶縁層402の下面に形成される導体層401と、絶縁層402の内部に形成される複数のビア導体403とを有する。なお、絶縁層402、導体層401、ビア導体403は、それぞれ特許請求の範囲に記載の「第2絶縁層」、「第4導体層」、「第3ビア導体」に相当する。

【0027】

絶縁層402は、第1ビルドアップ層30の絶縁層302と同様に、30~80質量%のSiO<sub>2</sub>などの無機フィラーを含有する樹脂絶縁材料によって形成されている。導体層401は、マザーボードに設けられる端子や電極等と接続するための複数の実装パッド400を含み、例えば無電解めっき層及び電解めっき層によって構成されている。ビア導体403は、円錐台状に形成され、コア積層体20の第1主面20aから第2主面20bに向かう方向に拡径されている。従って、第2ビルドアップ層40のビア導体403の拡径方向は、第1ビルドアップ層30のビア導体303の拡径方向と異なり、その逆方向である。なお、ビア導体403は、導体層401とコア積層体20の導体層209とを電氣的に接続している。

20

【0028】

以上の構成を有する電子部品内蔵プリント配線板1では、コア積層体20の導体層201の一方に接続するコア積層体20のビア導体210と、導体層201の他方に接続する第1ビルドアップ層30のビア導体303とがそれぞれ異なる方向に拡径されるので、コアレス工法でコア積層体20を作製した後に、コア積層体20をコア基板としてその両側に第1ビルドアップ層30と第2ビルドアップ層40を同時に形成することで、電子部品内蔵プリント配線板1を作製することが可能になる。このようにすれば、コアレス工法のみを用いた場合と比べて製造工程数を削減し、製造コストを低減することができる。

30

【0029】

また、第1ビルドアップ層30と第2ビルドアップ層40をコア積層体20の両側に対称に形成することが可能であるので、第1ビルドアップ層30及び第2ビルドアップ層40の熱膨張係数の違いにより生じる熱応力を緩和することができ、熱応力に起因する反りの発生を防止することができる。その結果、電子部品内蔵プリント配線板1の接続信頼性を高められる。更に、コア積層体20の導体層201の上表面201aがコア積層体20の第1主面20a及び配線構造体10の接続パッド104の上表面104aと同一平面に位置しているので、コア積層体20第1主面20aが平坦となり、第1主面20a上にファインな配線を容易に形成することができる。

40

【0030】

以下、電子部品内蔵プリント配線板1の製造方法について説明する。本実施形態に係る電子部品内蔵プリント配線板1の製造方法は、配線構造体10を作製するステップと、配線構造体10をコア積層体20の内部に埋め込むことでコア積層体20を作製するステップと、コア積層体20の両側に第1ビルドアップ層30、第2ビルドアップ層40を形成

50

するステップとを含む。まず、図3A～図3Hを参照して配線構造体10の作製ステップを説明する。

【0031】

<配線構造体10の作製ステップ>

まず、支持板110を準備する。支持板110は、例えば、低熱膨張率を有する表面の平坦なガラス板である。但し、支持板110はこれに限定せず、例えば、Si、金属板等でも良い。続いて、支持板110の上に剥離層111を形成する(図3A参照)。剥離層111に用いられる剥離剤として、例えば、ブリューワサイエンス社のWafer Bondが挙げられる。続いて、剥離層111の上に樹脂からなる絶縁層100を形成する。絶縁層100は、例えば、感光性ポリイミド樹脂からなる絶縁材を塗布して加熱することにより形成されている。続いて、剥離層111と絶縁層100に加熱処理を施すことでこれらを接着させる。

10

【0032】

次に、セミアディティブ法(Semi Additive Process:SAP)を用いて絶縁層100の上に導体層101を形成する。具体的には、まず、絶縁層100の上にシード層101aを形成する(図3B参照)。シード層101aは、例えばスパッタリング法により形成されており、シード層101aの材料としては、例えばチタン、チタンナイトライド、クロム、銅などが用いられる。続いて、シード層101aの上に所定のレジストパターン112を形成する。具体的には、シード層101aの上に感光性のレジスト層を塗布し、その後露光処理及び現像処理を施すことにより、所定のレジストパターン112を形成する(図3C参照)。

20

【0033】

次に、レジストパターン112が形成されていないシード層101aの上に銅めっき層101bを形成する。ここでは、銅めっき層101bは、無電解めっき層、電解めっき層、又は無電解めっき層及び電解めっき層を積層してなる層であってもよい。続いて、シード層101a上に形成された所定のレジストパターン112を剥離させる。次に、レジストパターン112の剥離により外部に露出するシード層101aの部分をエッチングする。絶縁層100に残されたシード層101a及び銅めっき層101bは、導体層101を構成する(図3D参照)。

【0034】

30

続いて、導体層101及び絶縁層100の上に、これらを覆うように絶縁層102を形成する(図3E参照)。絶縁層102は、絶縁層100と同様に感光性ポリイミド樹脂からなる絶縁材を塗布して加熱することにより形成されている。続いて、所定の位置に開口を有するマスクを用いて絶縁層102の露光処理を行い、更に現像処理を行うことで、所定の位置にビアホール113を形成する(図3F参照)。

【0035】

次に、ビア導体105及び導体層103を形成する。具体的には、まず、絶縁層102上、ならびにビアホール113の内壁面及び底面に、スパッタリング法によりシード層を形成する。続いて、そのシード層の上に上述の方法で所定のレジストパターンを形成し、その後レジストパターンが形成されていないシード層の上に銅めっき層を形成し、レジストパターンを剥離させる。更に、レジストパターンの剥離によって外部に露出するシード層の部分をエッチングすることで、絶縁層102の上にシード層と銅めっき層によって構成される導体層103を形成する。なお、導体層103には、ICチップ2,3を実装するための複数の接続パッド104が含まれている。

40

【0036】

また、銅めっき層の形成により、ビアホール113の内部に銅が充填され、この充填された銅はビア導体105を構成する(図3G参照)。次に、例えば導体層103が形成された側から、所定の切断予定ラインに沿って切断して配線構造体10の個片化を行う(図3H参照)。これによって、配線構造体10の作製を完了する。

【0037】

50

< 配線構造体 10 をコア積層体 20 の内部に埋め込むことでコア積層体 20 を作製するステップ >

以下、図 4 A ~ 図 4 O を参照しながら、配線構造体 10 をコア積層体 20 の内部に埋め込むことでコア積層体 20 を作製するステップについて説明する。

【 0038 】

まず、キャリア銅箔 215 が設けられた支持板 214 を用意する。支持板 214 としては、ガラスクロスを芯材とするエポキシ樹脂基板（芯材入りのプリプレグ）等を用いることができる。次に、支持板 214 の上に複数の接続パッド 200 を含む導体層 201 を形成する。具体的に、まず、支持板 214 の上に銅箔 216 を形成する（図 4 A 参照）。続いて、銅箔 216 の表面に感光性ドライフィルムをラミネートする。そして、感光性ドライフィルムにそれぞれ所定のパターンが形成されたマスクフィルムを密着させた後に、感光性ドライフィルムに紫外線で露光処理を行う。続いて、感光性ドライフィルムに対してアルカリ水溶液を用いた現像処理を行う。これによって、所定のレジストパターン 217 が形成される（図 4 B 参照）。

10

【 0039 】

次に、銅箔 216 の上面に電解めっき処理を行い、めっき膜を形成する。そして、モノエタノールアミンを含む溶液等を用いて、レジストパターン 217 を除去する。これによって、銅箔 216 の上面に導体層 201 が形成される（図 4 C 参照）。この導体層 201 には、複数の接続パッド 200 が含まれている。続いて、支持板 214 に形成された銅箔 216 の上面の所定位置に接着剤を塗布することにより、接着層 106 を形成する。接着剤としては、例えば、エポキシ樹脂系、アクリル樹脂系、シリコン樹脂系等の接着剤が用いられる。接着層 106 は、配線構造体 10 の大きさとほぼ同じ大きさになるように形成されている。

20

【 0040 】

次に、配線構造体 10 の接続パッド 104 が下方に向くように、配線構造体 10 を支持板 214 上に固定する。具体的には、接続パッド 104 が下向きになった状態で、配線構造体 10 を接着層 106 の上面に載置し、この接着層 106 を介して支持板 214 に形成された銅箔 216 と固定させる（図 4 D 及び図 4 E 参照）。これによって、配線構造体 10 のビア導体 105 が支持板 214 に向かって拡径する状態になっている。また、接続パッド 104 を接着層 106 と密着させることにより、隣接する接続パッド 104 同士の間には、接着剤が隙間なく充填される。

30

【 0041 】

次に、配線構造体 10 と一体になった支持板 110 を剥離する。支持板 110 の剥離は、例えば配線構造体 10 及び支持板 110 を加熱し、剥離層 111 を軟化させて配線構造体 10 と支持板 110 を分離させることで行われる。そして、支持板 110 を剥離した後に、配線構造体 10 に残留した剥離剤をきれいに除去する（図 4 F 参照）。

【 0042 】

次に、導体層 201 及び配線構造体 10 を覆うように、銅箔 216 の上に絶縁層 202 を形成する（図 4 G 参照）。絶縁層 202 の材料として、例えばガラスクロス入りのプリプレグが用いられる。続いて、絶縁層 202 に CO<sub>2</sub> レーザ光を照射し、ビアホール 218 を複数形成する（図 4 H 参照）。ビアホール 218 を形成した後に、ビアホール 218 の内部に残留するスミアを除去するためのデスミア処理を行う。ビアホール 218 は、支持板 214 に向かって直径が小さくなるように加工されている。従って、このビアホール 218 に形成されるビア導体は、支持板 214 に向かって縮径する状態になる。

40

【 0043 】

次に、絶縁層 202 が形成された支持板 214 を、Pd 等を主成分とする触媒に浸漬して、絶縁層 202 の表面に触媒を付着させる。続いて、支持板 214 を無電解銅めっき液に浸漬する。これによって、絶縁層 202 の表面、及びビアホール 218 の内壁面及び底面に無電解めっき膜 203a が形成される（図 4 I 参照）。無電解めっき膜の材料として、銅やニッケル等を用いることができる。

50

【 0 0 4 4 】

次に、無電解めっき膜 2 0 3 a の表面に、感光性ドライフィルムをラミネートする。続いて、感光性ドライフィルムにそれぞれ所定のパターンが形成されたマスクフィルムを密着させた後に、感光性ドライフィルムに紫外線で露光処理を行う。続いて、感光性ドライフィルムに対してアルカリ水溶液を用いた現像処理を行う。これによって、所定のレジストパターン 2 1 9 が形成される（図 4 J 参照）。

【 0 0 4 5 】

次に、無電解めっき層 2 0 3 a をシード層としてその上に電解めっき層 2 0 3 b を形成する（図 4 K 参照）。続いて、レジストパターン 2 1 9 を除去した後、レジストパターン 2 1 9 に被覆されていた無電解めっき膜 2 0 3 a をエッチングすることにより除去する。これによって、絶縁層 2 0 2 に残された無電解めっき層 2 0 3 a 及び電解めっき層 2 0 3 b は、導体層 2 0 3 を構成する。そして、ビアホール 2 1 8 は電解めっき材で充填され、この充填された電解めっき材はビア導体 2 1 0 を形成する（図 4 L 参照）。

10

【 0 0 4 6 】

次に、上述した方法を繰り返すことで、絶縁層 2 0 4、導体層 2 0 5、ビア導体 2 1 1、絶縁層 2 0 6、導体層 2 0 7、ビア導体 2 1 2、絶縁層 2 0 8、導体層 2 0 9 及びビア導体 2 1 3 を順次に形成する。これによって、支持板 2 1 4 上にコア積層体 2 0 が形成される（図 4 M 参照）。

【 0 0 4 7 】

次に、コア積層体 2 0 から支持板 2 1 4 及びキャリア銅箔 2 1 5 を剥離した後に、コア積層体 2 0 を上下反転させる（図 4 N 参照）。続いて、銅箔 2 1 6 をエッチングすることにより除去する。これによって、導体層 2 0 1 の一部である接続パッド 2 0 0 が外部に露出する。続いて、導体層 2 0 1 の上表面 2 0 1 a と絶縁層 2 0 2 の上表面（すなわち、コア積層体 2 0 の第 1 主面 2 0 a）とを同一平面に配置するようにエッチング処理を行う。

20

【 0 0 4 8 】

次に、CO<sub>2</sub> レーザ光照射で接続パッド 1 0 4 の上表面 1 0 4 a が外部に露出するように、接着層 1 0 6 を除去する。これによって、導体層 1 0 3 の一部である接続パッド 1 0 4 が外部に露出する。続いて、導体層 2 0 1 の上表面 2 0 1 a と接続パッド 1 0 4 の上表面 1 0 4 a とを同一平面に位置させるようにエッチング処理を行う。更に、接着層 1 0 6 の上表面 1 0 6 a と接続パッド 1 0 4 の上表面 1 0 4 a とを同一平面に位置させるように接着層 1 0 6 の除去を行う。これによって、コア積層体 2 0 の作製を完了する（図 4 O 参照）。

30

【 0 0 4 9 】

< コア積層体 2 0 の両側に第 1 ビルドアップ層 3 0、第 2 ビルドアップ層 4 0 を形成するステップ >

以下、図 5 A ~ 図 5 C を参照しコア積層体 2 0 の両側に第 1 ビルドアップ層 3 0、第 2 ビルドアップ層 4 0 を同時に形成するステップについて説明する。具体的には、まず、コア積層体 2 0 の上面（すなわち、第 1 主面 2 0 a）に、上方から第 1 主面 2 0 a、導体層 2 0 1 及び配線構造体 1 0 を覆う絶縁層 3 0 2、コア積層体 2 0 の底面（すなわち、第 2 主面 2 0 b）に下方から第 2 主面 2 0 b 及び導体層 2 0 9 を覆う絶縁層 4 0 2 を同時に形成する（図 5 A 参照）。絶縁層 3 0 2、4 0 2 の材料として、例えばガラスクロス入りのプリプレグが用いられる。

40

【 0 0 5 0 】

続いて、絶縁層 3 0 2、絶縁層 4 0 2 に CO<sub>2</sub> レーザ光を照射し、ビアホール 3 0 4、4 0 4 をそれぞれ複数形成する（図 5 B 参照）。絶縁層 3 0 2 に形成されるビアホール 3 0 4 は、円錐台形状に形成され、その直径がコア積層体 2 0 の第 2 主面 2 0 b から第 1 主面 2 0 a に向かう方向に沿って徐々に大きくなっている。従って、このビアホール 3 0 4 に形成されるビア導体は、コア積層体 2 0 の第 2 主面 2 0 b から第 1 主面 2 0 a に向かう方向に拡径される。一方、絶縁層 4 0 2 に形成されるビアホール 4 0 4 は、円錐台状に形成され、その直径がコア積層体 2 0 の第 1 主面 2 0 a から第 2 主面 2 0 b に向かう方向に

50

そって徐々に大きくなっている。従って、ビアホール404に形成されるビア導体は、コア積層体20の第1主面20aから第2主面20bに向かう方向に拡径される。

【0051】

続いて、上述した図4I～図4Kに示す方法で、第1ビルドアップ層30のビア導体303及び導体層301、第2ビルドアップ層40のビア導体403及び導体層401を同時に形成する。これによって、電子部品内蔵プリント配線板1の作製を完了する(図5C参照)。

【0052】

<第2実施形態>

以下、図6を参照して本発明の第2実施形態を説明する。この実施形態に係る電子部品内蔵プリント配線板4は、配線構造体10の導体層101、103がコア積層体20の導体層203と電気的に接続される点において上述の第1実施形態と異なるが、その他の構造等は第1実施形態と同様である。

【0053】

具体的には、コア積層体20の導体層203と配線構造体10の導体層101との間には、これらの導体層同士を電気的に連続するためのビア導体220が更に設けられている。ビア導体220は、コア積層体20の絶縁層202及び配線構造体10の絶縁層100の内部に形成されている。ビア導体220は、絶縁層202に形成されるビア導体210と同様に円錐台形状を呈し、コア積層体20の第1主面20aから第2主面20bに向かう方向に拡径されている。

【0054】

このビア導体220を設けることによって、配線構造体10の導体層103が電子部品内蔵プリント配線板4の最も下側に位置する導体層401と電気的に接続されることになる。すなわち、配線構造体10の導体層103は、配線構造体10のビア導体105及び導体層101、コア積層体20のビア導体220、211、212、213及び導体層203、205、207、209、更に第2ビルドアップ層40のビア導体403を介して最も下側に位置する導体層401と電気的に接続される。従って、このように形成される配線を電源又はグランド配線として利用することができる。なお、本実施形態に係る電子部品内蔵プリント配線板4は、上述の第1実施形態と同様な構造を有する点において、第1実施形態と同様な作用効果を得られる。

【0055】

<第3実施形態>

以下、図7を参照して本発明の第3実施形態を説明する。この実施形態に係る電子部品内蔵プリント配線板5は、第1ビルドアップ層31の導体層305の一部が連結される点において上述の第1実施形態と異なるが、その他の構造等は第1実施形態と同様である。

【0056】

具体的には、導体層305は、電子部品内蔵プリント配線板5の最も上側に配置され、ICチップ2、3を実装するための複数の実装パッド306を含む。なお、この導体層305は、特許請求の範囲に記載の「第3導体層」に相当する。実装パッド306のうち、ビア導体303を介して配線構造体10の導体層103と電気的に接続する実装パッド306aと、ビア導体303を介してコア積層体20の導体層201と電気的に接続する実装パッド306bとは、その間に配置される配線307によって連結されている。配線307は絶縁層302の上面に形成されている。このように構成された電子部品内蔵プリント配線板5は、上述の第1実施形態と同様な作用効果を得られるほか、実装パッド306a及び実装パッド306bが配線307によって連結されるので、配線構造体10に形成される配線は、信号の伝送だけではなく、例えば電源又はグランド配線としての利用も可能であり、電子部品内蔵プリント配線板5の配線デザインの自由度を向上することができる。

【0057】

<第4実施形態>

以下、図 8 を参照して本発明の第 4 実施形態を説明する。この実施形態に係る電子部品内蔵プリント配線板 6 は、配線構造体 1 1 が半田接合でコア積層体 2 0 と接合される点において上述の第 1 実施形態と異なるが、その他の構造等は第 1 実施形態と同様である。

【 0 0 5 8 】

具体的には、配線構造体 1 1 は、第 1 実施形態の配線構造体 1 0 と異なり、接着層 1 0 6 を有せず、絶縁層 1 0 2 , 1 0 8 を備えている。絶縁層 1 0 8 は、絶縁層 1 0 2 と同様に感光性樹脂からなる絶縁層であり、接続パッド 1 0 4 同士の間充填されている。絶縁層 1 0 8 の上表面 1 0 8 a が、接続パッド 1 0 4 の上表面 1 0 4 a と同一平面に位置している。なお、絶縁層 1 0 8 は、特許請求の範囲に記載の「第 4 導体層」に相当するものである。また、配線構造体 1 1 の底面を構成する絶縁層 1 0 2 の下表面 1 0 2 a では、導体層 1 0 1 の下表面 1 0 1 a が外部に露出している。この導体層 1 0 1 の下表面 1 0 1 a は、絶縁層 1 0 2 の下表面 1 0 2 a と同一平面に位置する。

10

【 0 0 5 9 】

そして、外部に露出した導体層 1 0 1 のうちの一部が、コア積層体 2 0 の導体層 2 2 1 と接続するための接続パッド 1 0 7 を複数構成する。一方、コア積層体 2 0 の絶縁層 2 0 4 には、配線構造体 1 1 の接続パッド 1 0 7 と接続するための接続パッド 2 2 2 が複数形成されている。この接続パッド 2 2 2 は、導体層 2 2 1 の一部であり、半田 1 0 9 を介して配線構造体 1 1 の接続パッド 1 0 7 と接合されている。これによって、コア積層体 2 0 の接続パッド 2 2 2 と配線構造体 1 1 の接続パッド 1 0 7 とは電気的に接続される。

【 0 0 6 0 】

20

また、コア積層体 2 0 の接続パッド 2 2 2 と電気的に接続される複数の接続パッド 1 0 7 のうち、その一部がコア積層体 2 0 のビア導体 2 1 1 , 2 1 2 , 2 1 3 及び導体層 2 0 5 , 2 0 7 , 2 0 9 、更に第 2 ビルドアップ層 4 0 のビア導体 4 0 3 を介して電子部品内蔵プリント配線板 6 の最も下側に位置する導体層 4 0 1 と電気的に接続される。従って、このように形成される配線を電源又はグランド配線として利用することができる。なお、本実施形態に係る電子部品内蔵プリント配線板 6 は、上述の第 1 実施形態と同様な構造を有する点において、第 1 実施形態と同様な作用効果を得られる。

【 0 0 6 1 】

< 第 5 実施形態 >

以下、図 9 を参照して本発明の第 5 実施形態を説明する。この実施形態に係る電子部品内蔵プリント配線板 7 は、配線構造体 1 1 が半田接合でコア積層体 2 0 と接合される点、及び第 1 ビルドアップ層 3 1 の導体層 3 0 5 の一部が連結される点において上述の第 1 実施形態と異なるが、その他の構造等は第 1 実施形態と同様である。

30

【 0 0 6 2 】

具体的には、まず、配線構造体 1 1 は上述した第 4 実施形態に係る配線構造体 1 1 と同様な構造を有する。すなわち、接続パッド 1 0 4 同士の間には、接着層 1 0 6 に代えて絶縁層 1 0 8 が充填されており、接続パッド 1 0 4 の上表面 1 0 4 a が絶縁層 1 0 8 の上表面 1 0 8 a と同一平面に位置している。コア積層体 2 0 の絶縁層 2 0 4 には、配線構造体 1 1 の接続パッド 1 0 7 と接続するための接続パッド 2 2 2 が複数形成され、接続パッド 2 2 2 は半田 1 0 9 を介して配線構造体 1 1 の接続パッド 1 0 7 と電気的に接続されている。また、配線構造体 1 1 の接続パッド 1 0 7 のうちの一部が、コア積層体 2 0 のビア導体 2 1 1 , 2 1 2 , 2 1 3 及び導体層 2 0 5 , 2 0 7 , 2 0 9 、更に第 2 ビルドアップ層 4 0 のビア導体 4 0 3 を介して電子部品内蔵プリント配線板 7 の最も下側に位置する導体層 4 0 1 と電気的に接続される。従って、このように形成される配線を電源又はグランド配線として利用することができる。

40

【 0 0 6 3 】

また、本実施形態に係る第 1 ビルドアップ層 3 1 は上述した第 3 実施形態に係る第 1 ビルドアップ層 3 1 と同様な構造を有する。すなわち、電子部品内蔵プリント配線板 7 の最も上側に位置する導体層 3 0 5 は、IC チップ 2 , 3 を実装するための複数の実装パッド 3 0 6 を含む。実装パッド 3 0 6 のうち、ビア導体 3 0 3 を介して配線構造体 1 0 の導体

50

層103と電氣的に接続する実装パッド306aと、ビア導体303を介してコア積層体20の導体層201と電氣的に接続する実装パッド306bとは、その間に配置される配線307によって連結されている。このように構成された電子部品内蔵プリント配線板7は、上述の第1実施形態と同様な作用効果を得られるほか、実装パッド306a及び実装パッド306bが配線307によって連結されるので、配線構造体11に形成される配線は、信号の伝送だけではなく、例えば電源又はグランド配線としての利用も可能であり、電子部品内蔵プリント配線板7の配線デザインの自由度を向上することができる。

#### 【0064】

##### <第6実施形態>

以下、図10を参照して本発明の第6実施形態を説明する。この実施形態に係る電子部品内蔵プリント配線板8は、放熱部材114を備える点において上述の第1実施形態と異なっているが、その他の構造等は第1実施形態と同様である。

#### 【0065】

具体的には、配線構造体12の絶縁層100の下面には、放熱部材114が設けられている。この放熱部材114は、例えば、銅めっきにより形成された金属めっき層であり、その厚さは10～80μmであることが好ましい。また、放熱部材114は、上述した銅めっき層のほか、その他の金属メッキ層、金属板又はナノカーボン材料によって形成されてもよい。

#### 【0066】

本実施形態に係る電子部品内蔵プリント配線板8は、上述した第1実施形態と同様な作用効果を得られるほか、配線構造体12に放熱部材114が設けられるため、放熱部材114を介してICチップ2,3の作動時に発生した熱を効率良く周囲に放出することができる。従って、熱応力による影響を低減することができ、電子部品内蔵プリント配線板8の接続信頼性を更に高める効果を奏する。

#### 【0067】

##### <第7実施形態>

以下、図11を参照して本発明の第7実施形態を説明する。この実施形態に係る電子部品内蔵プリント配線板9は、コア積層体が1層の絶縁層、第1及び第2ビルドアップ層がそれぞれ2層の絶縁層によって構成される点において上述の第1実施形態と異なっているが、その他の構造等は第1実施形態と同様である。

#### 【0068】

具体的には、電子部品内蔵プリント配線板9は、コア積層体21と、コア積層体21の第1主面21aの上に形成される第1ビルドアップ層32と、コア積層体21の第2主面21bの下に形成される第2ビルドアップ層41とを備える。コア積層体21は、ガラスクロス入りのプリプレグによって形成された絶縁層223を1層有する。この絶縁層223は、特許請求の範囲に記載の「第3絶縁層」に相当するものである。コア積層体21の第1主面21a側には、複数の接続パッド200を含む導体層201が設けられている。コア積層体21の第2主面21bの下方には、導体層224が形成されている。導体層224は、特許請求の範囲に記載の「第2導体層」に相当しており、例えば無電解めっき層と電解めっき層によって構成されている。

#### 【0069】

そして、導体層201及び導体層224は、絶縁層223の内部に形成されるビア導体225によって電氣的に接続されている。ビア導体225は、特許請求の範囲に記載の「第1ビア導体」に相当し、絶縁層223に複数形成されている。ビア導体225は、円錐台形状を呈し、第1主面21aから第2主面21bに向かう方向に拡径されている。また、コア積層体21の内部には、配線構造体10が設けられている。

#### 【0070】

第1ビルドアップ層32は、2層の絶縁層308,310と2層の導体層309,311とをコア積層体21の第1主面21aの上に交互に積層することにより形成されている。絶縁層308,310は、例えば30～80質量%のSiO<sub>2</sub>などの無機フィラーを含

10

20

30

40

50

有する樹脂絶縁材料によって形成されている。導体層309, 311は、例えば無電解めっき層及び電解めっき層によって構成されている。導体層311は、電子部品内蔵プリント配線板9の最も上側に配置され、ICチップ2, 3を実装するための複数の実装パッド312を有する。なお、絶縁層308, 310、導体層309, 311は、それぞれ特許請求の範囲に記載の「第1絶縁層」、「第3導体層」に相当する。

#### 【0071】

また、絶縁層308の内部には、導体層309とコア積層体21の導体層201又は配線構造体10の導体層103とを電氣的に接続するビア導体313が複数形成されている。絶縁層層310の内部には、導体層309と導体層311とを電氣的に接続するビア導体314が複数形成されている。ビア導体313, 314は、特許請求の範囲に記載の「第2ビア導体」に相当する。これらのビア導体313, 314は、それぞれ円錐台形状に形成され、コア積層体21の第2主面21bから第1主面21aに向かう方向に拡径されている。従って、ビア導体313, 314の拡径方向はコア積層体21のビア導体225の拡径方向と逆である。これによって、コア積層体21の導体層201において、導体層201の一方に接続するビア導体225と導体層201の他方に接続するビア導体313とは、異なる方向に拡径されることになる。

#### 【0072】

第2ビルドアップ層41は、2層の絶縁層406, 408と2層の導体層405, 407とをコア積層体21の第2主面21bの下に交互に積層することで形成されている。絶縁層406, 408は、例えば30~80質量%のSiO<sub>2</sub>などの無機フィラーを含有する樹脂絶縁材料によって形成されている。導体層405, 407は、例えば無電解めっき層及び電解めっき層によって構成されている。導体層407は、電子部品内蔵プリント配線板9の最も下側に配置され、マザーボードに設けられる端子や電極等と接続するための複数の実装パッド409を有する。なお、絶縁層406, 408、導体層405, 407は、それぞれ特許請求の範囲に記載の「第2絶縁層」、「第4導体層」に相当する。

#### 【0073】

絶縁層406の内部には、導体層405とコア積層体21の導体層224とを電氣的に接続するビア導体410が複数形成されている。絶縁層層408の内部には、導体層405と導体層407とを電氣的に接続するビア導体411が複数形成されている。ビア導体410, 411は、特許請求の範囲に記載の「第3ビア導体」に相当する。これらのビア導体410, 411は、それぞれ円錐台形状に形成され、コア積層体21の第1主面21aから第2主面21bに向かう方向に拡径されている。従って、第2ビルドアップ層41のビア導体410, 411の拡径方向は、第1ビルドアップ層32のビア導体313, 314の拡径方向と異なり、その逆方向になっている。本実施形態に係る電子部品内蔵プリント配線板9は、上述した第1実施形態と同様な作用効果を得られる。

#### 【0074】

以上、本発明の実施形態について詳述したが、本発明は、上述の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の精神を逸脱しない範囲で、種々の設計変更を行うことができるものである。例えば、上述の実施形態では、電子部品として配線構造体の例を挙げて説明したが、電子部品は配線構造体に限らず、例えば能動半導体素子、受動部品又は配線層を有するインターポーザ、再配線層を有する半導体素子、WLP (Wafer Level Package) でも良い。また、コア積層体、第1ビルドアップ層、第2ビルドアップ層の絶縁層及び導体層の層数は、上述の実施形態に限定されず、必要に応じて層数を変えることができる。例えば、コア積層体、第1ビルドアップ層及び第2ビルドアップ層がそれぞれ1層の絶縁層で形成されてもよい。この場合には、構成される電子部品内蔵プリント配線板の薄型化を図りやすくなる。

#### 【0075】

また、必要に応じて第1ビルドアップ層及び第2ビルドアップ層の導体層を同じ厚さにしてもよく、又は異なる厚さにしてもよい。例えば、電子部品内蔵プリント配線板の反りの抑制及び配線のファイン化を図るために、第1ビルドアップ層の導体層の厚さを第2ビ

10

20

30

40

50

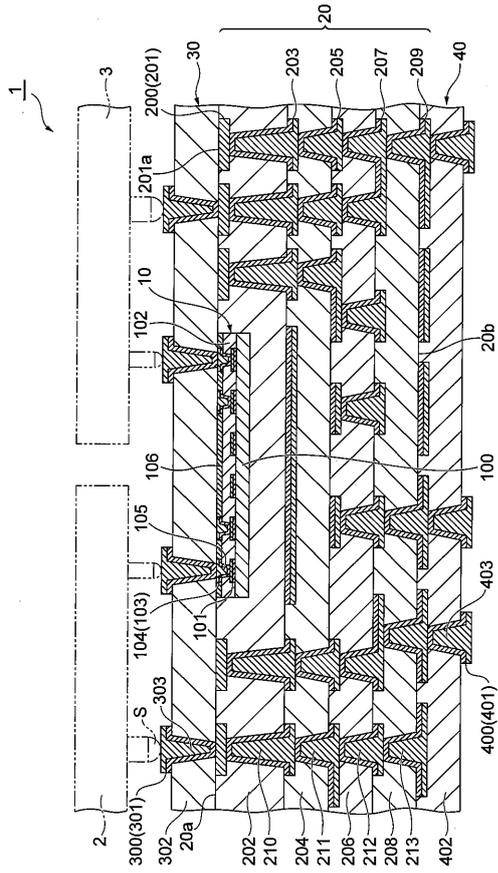
ルドアップ層の導体層を薄くする。更に、コア積層体の絶縁層、第1ビルドアップ層の絶縁層及び第2ビルドアップ層の絶縁層は全て同じ材料により形成されてもよい。例えば、これらの絶縁層は全て無機フィラーを含有する樹脂絶縁材によって形成されてもよい。更に、本発明に係る電子部品内蔵プリント配線板の表裏面に、必要に応じてソルダーレジスト (solder resist) 層を形成してもよい。

【符号の説明】

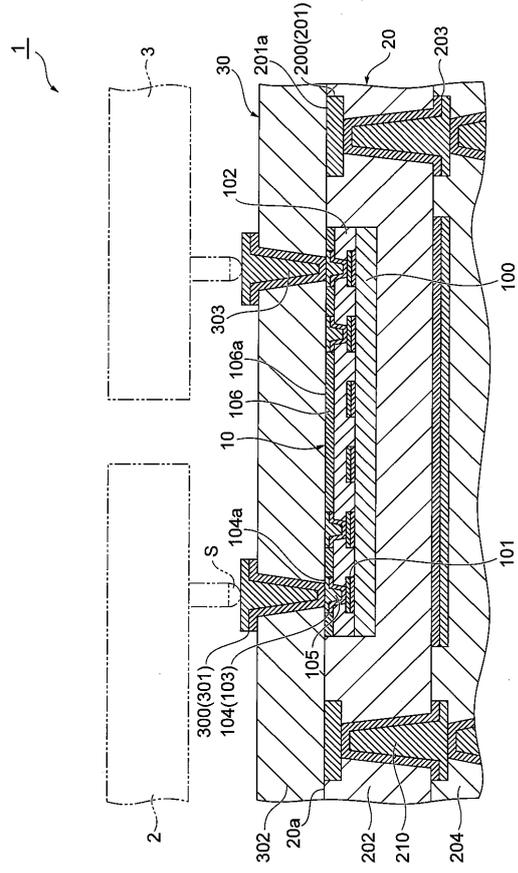
【0076】

1, 4, 5, 6, 7, 8, 9	電子部品内蔵プリント配線板	
2, 3	ICチップ	
10, 11, 12	配線構造体 (電子部品)	10
20, 21	コア積層体	
20a, 21a	第1主面	
20b, 21b	第2主面	
30, 31, 32	第1ビルドアップ層	
40, 41	第2ビルドアップ層	
100, 102, 108	絶縁層 (第4絶縁層)	
104	接続パッド (接続端子)	
104a	上表面	
105	ビア導体 (第4ビア導体)	
106	接着層	20
114	放熱部材	
200	接続パッド	
201	導体層 (第1導体層)	
201a	上表面	
202, 204, 206, 208, 223	絶縁層 (第3絶縁層)	
209, 224	導体層 (第2導体層)	
210, 211, 212, 213, 225	ビア導体 (第1ビア導体)	
301, 305, 309, 311	導体層 (第3導体層)	
302, 308, 310	絶縁層 (第1絶縁層)、	
303, 313, 314	ビア導体 (第2ビア導体)	30
401, 405, 407	導体層 (第4導体層)	
402, 406, 408	絶縁層 (第2絶縁層)	
403, 410, 411	ビア導体 (第3ビア導体)	

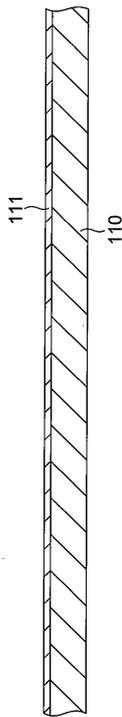
【図 1】



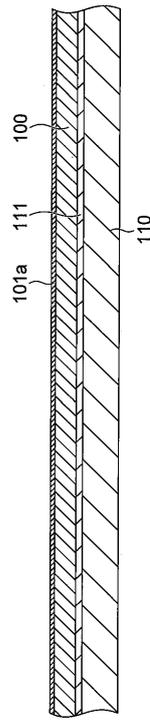
【図 2】



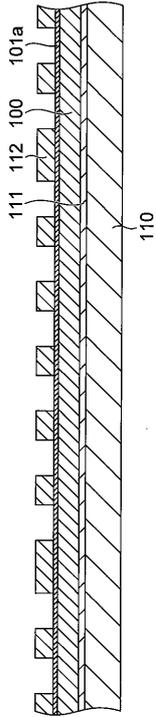
【図 3 A】



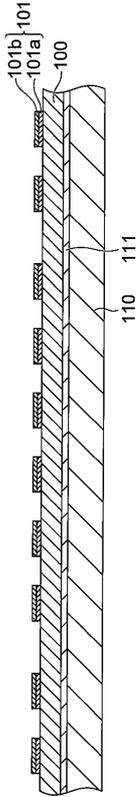
【図 3 B】



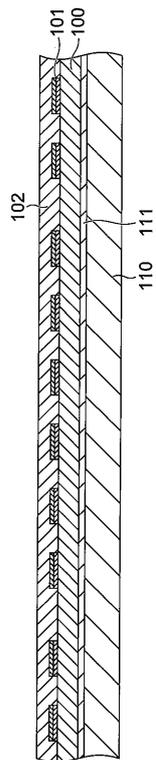
【図 3 C】



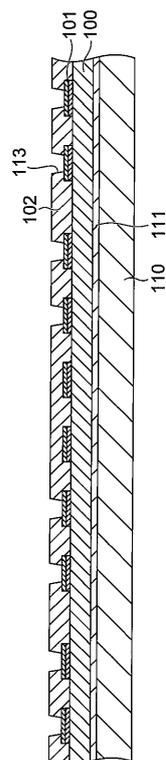
【図 3 D】



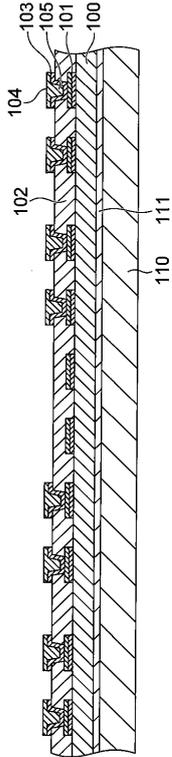
【図 3 E】



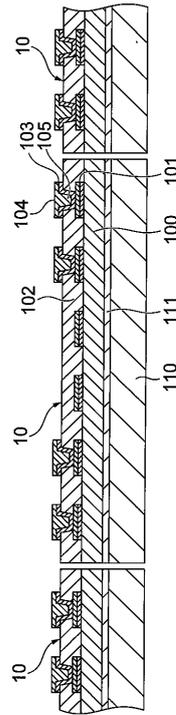
【図 3 F】



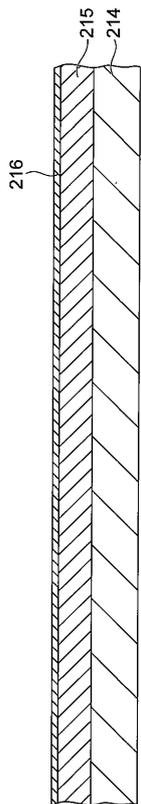
【図 3 G】



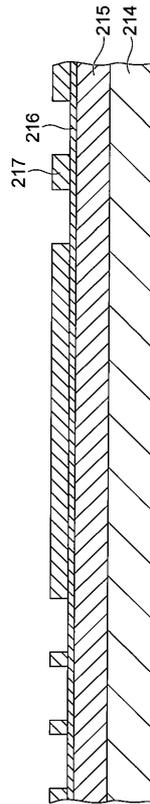
【図 3 H】



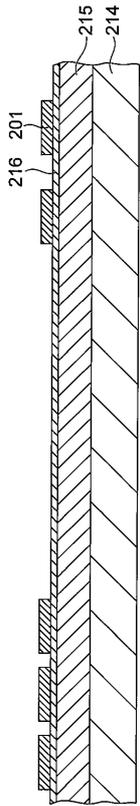
【図 4 A】



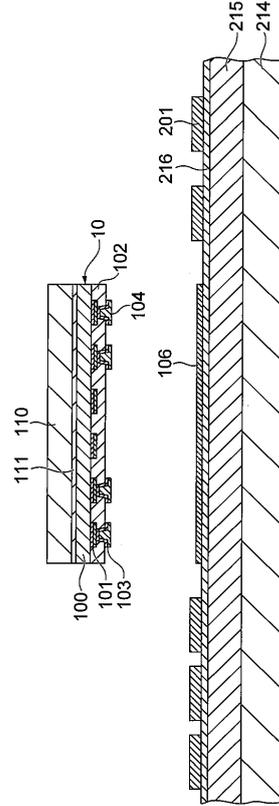
【図 4 B】



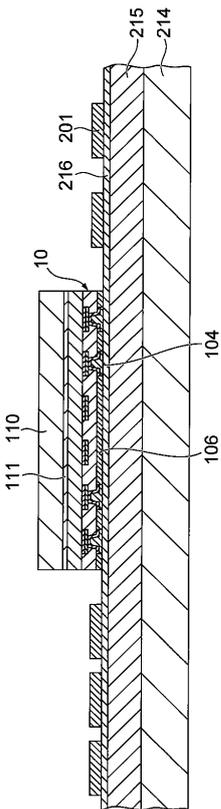
【 4 C 】



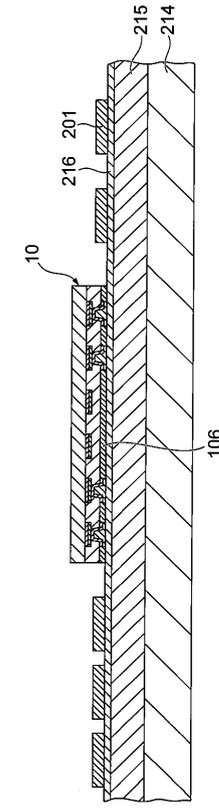
【 4 D 】



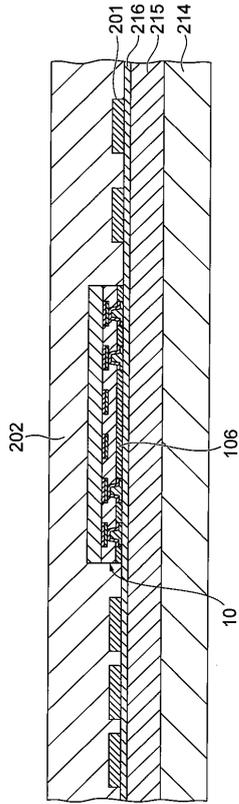
【 4 E 】



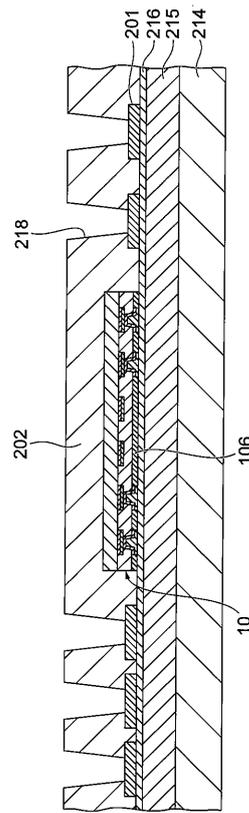
【 4 F 】



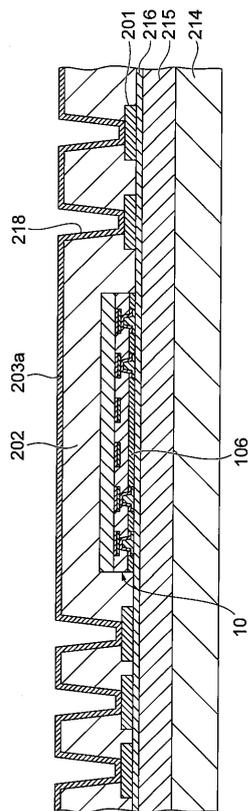
【図 4 G】



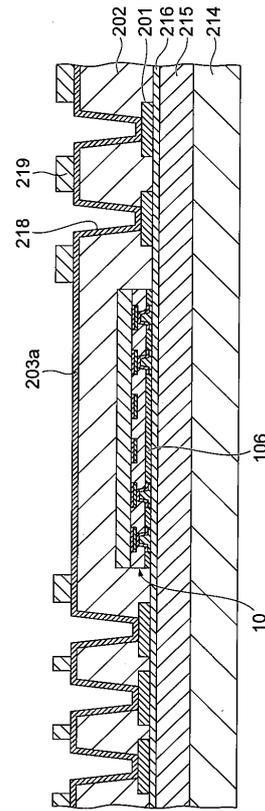
【図 4 H】



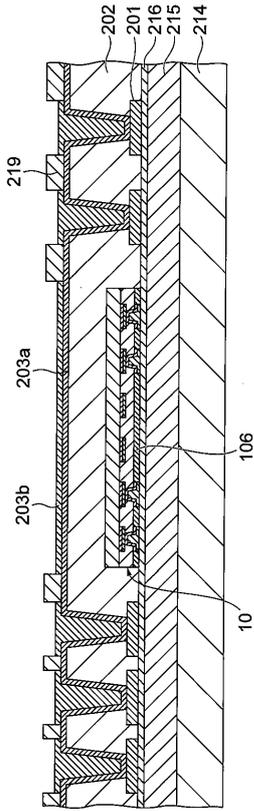
【図 4 I】



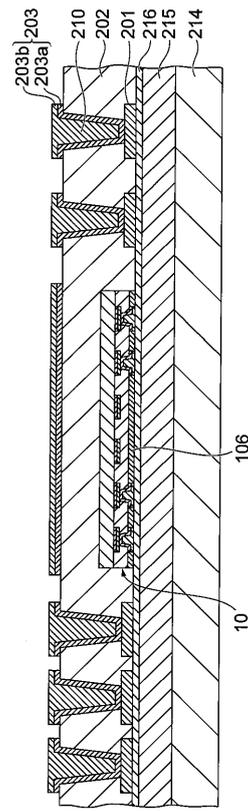
【図 4 J】



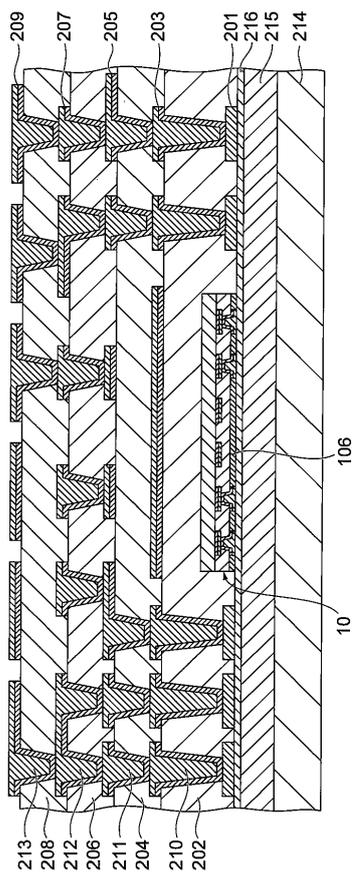
【 図 4 K 】



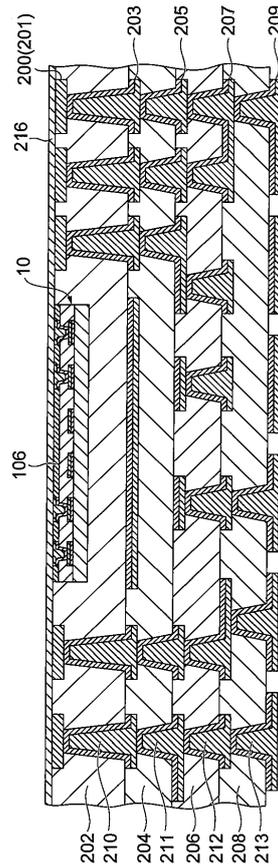
【 図 4 L 】



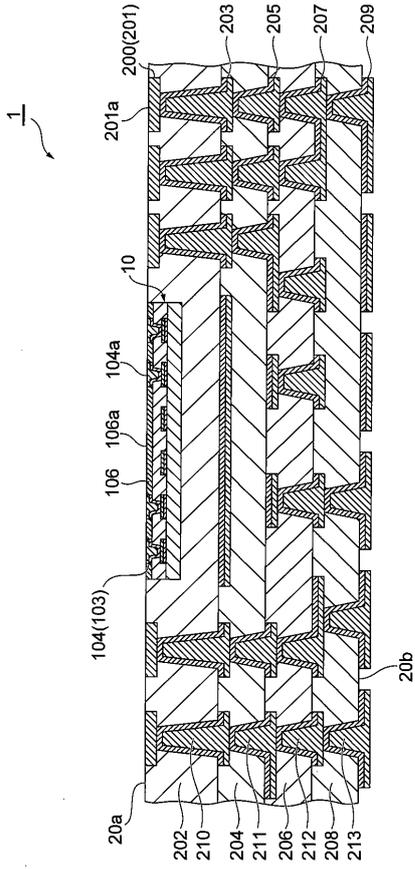
【 図 4 M 】



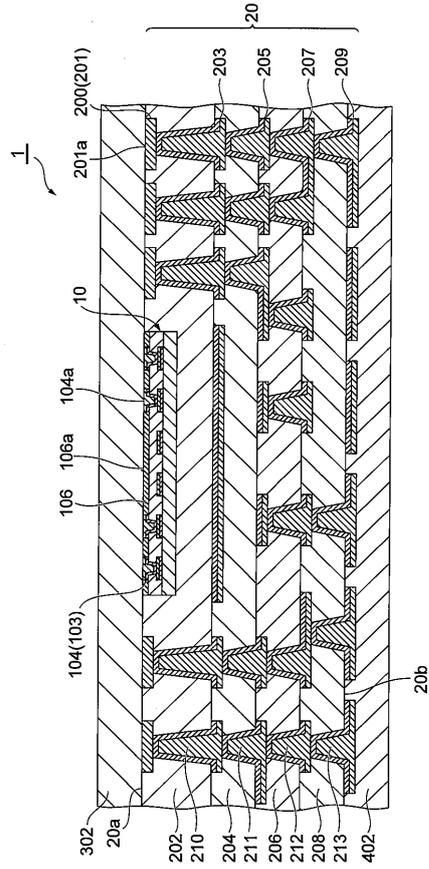
【 図 4 N 】



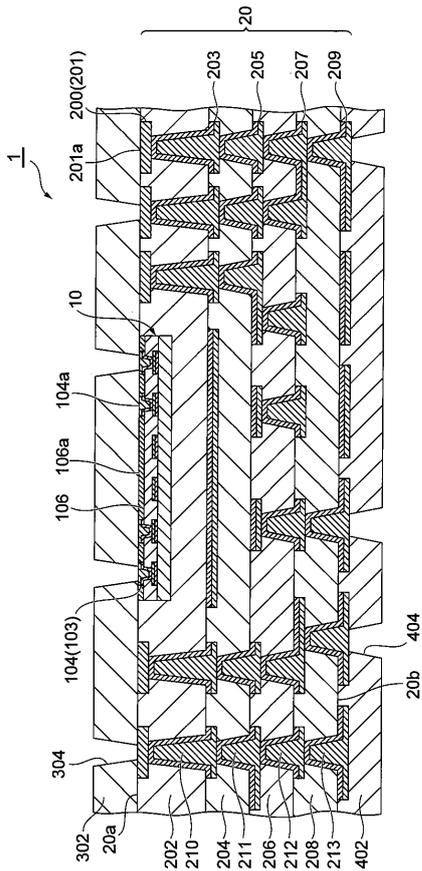
【図40】



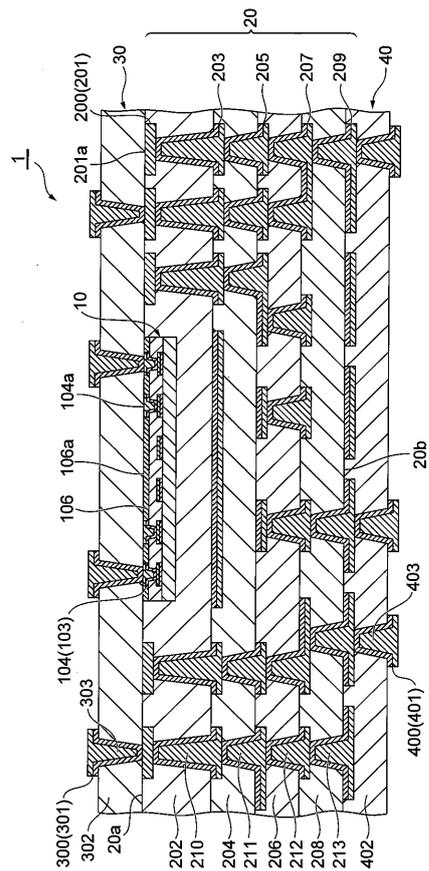
【図5A】



【図5B】

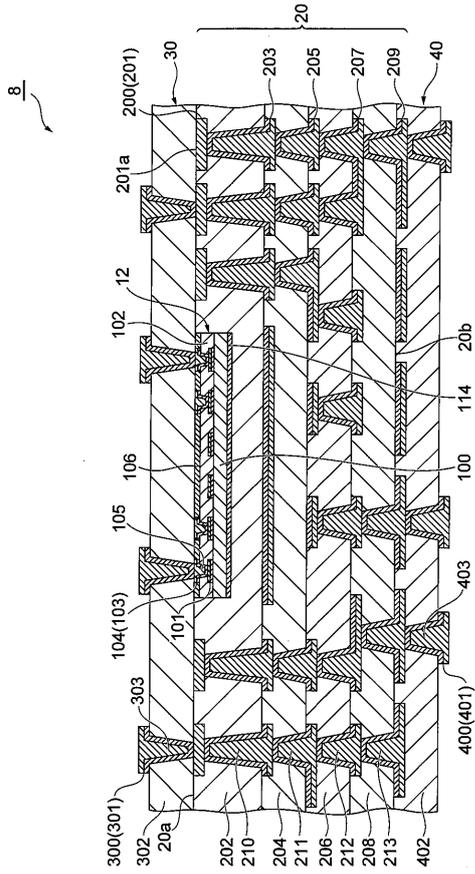


【図5C】

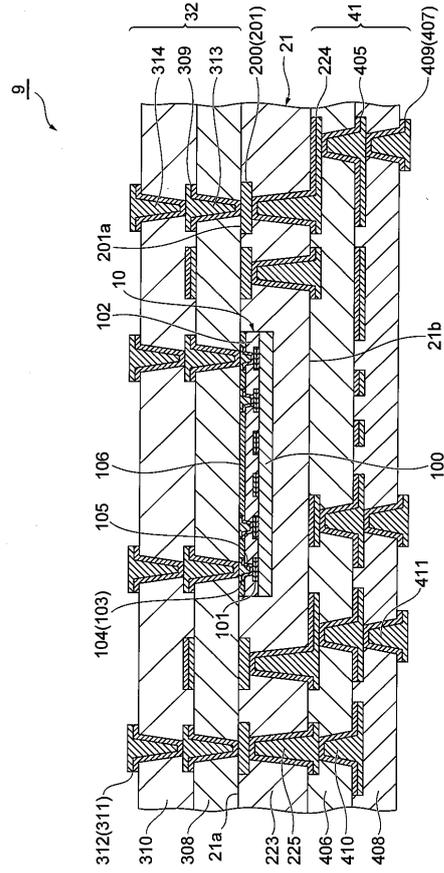




【図10】



【図11】



---

フロントページの続き

- (72)発明者 山田 茂  
岐阜県大垣市笠縫町100-1 イビデン株式会社内
- (72)発明者 苅谷 隆  
岐阜県大垣市笠縫町100-1 イビデン株式会社内

審査官 馬場 慎

- (56)参考文献 国際公開第2011/108308(WO, A1)  
国際公開第2011/089936(WO, A1)  
特開2013-135113(JP, A)  
国際公開第2010/010910(WO, A1)  
国際公開第2010/101163(WO, A1)

- (58)調査した分野(Int.Cl., DB名)  
H05K 3/46