

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5822000号
(P5822000)

(45) 発行日 平成27年11月24日(2015.11.24)

(24) 登録日 平成27年10月16日(2015.10.16)

(51) Int.Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 A
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 B
HO 1 L 23/522 (2006.01)	HO 1 L 27/04 L
HO 1 L 21/822 (2006.01)	
HO 1 L 27/04 (2006.01)	

請求項の数 11 (全 23 頁)

(21) 出願番号	特願2014-132143 (P2014-132143)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成26年6月27日 (2014. 6. 27)		神奈川県川崎市中原区上小田中4丁目1番1号
(62) 分割の表示	特願2008-329258 (P2008-329258) の分割	(74) 代理人	100091340 弁理士 高橋 敬四郎
原出願日	平成20年12月25日 (2008.12.25)	(72) 発明者	鈴木 貴志 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(65) 公開番号	特開2014-170976 (P2014-170976A)	審査官	河合 俊英
(43) 公開日	平成26年9月18日 (2014. 9. 18)		
審査請求日	平成26年6月27日 (2014. 6. 27)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板上方に形成された第1絶縁キャップ層と、
前記第1絶縁キャップ層上方に形成され、ビア孔と前記ビア孔上のトレンチとを含み、
前記トレンチは前記ビア孔上方で段差形状の側壁を有する層間絶縁膜と、
前記ビア孔内に形成されたビア導電体と、
前記トレンチ内に形成された配線であって、前記ビア導電体とは断面形状が異なる配線と、
前記層間絶縁膜上方に形成された第2絶縁キャップ層と、
を含み、
ここで、前記ビア上方の前記配線は、前記ビア上方に設けられ、660nmを越える第1の厚さを有する主部分と、前記主部分に亘って設けられ、前記第1の厚さより薄い第2の厚さを持ち、前記主部分の側部から外側に150nm以上張り出す、張り出し部分と、
を含み、
前記層間絶縁膜の材料は、前記第1絶縁キャップ層の材料及び前記第2絶縁キャップ層の材料とは異なる、半導体装置。

【請求項2】

前記張り出し部分は、前記主部分の両側に形成されている請求項1に記載の半導体装置。

【請求項 3】

前記層間絶縁膜と前記配線の間形成されたバリアメタル膜をさらに有する請求項 1 に記載の半導体装置。

【請求項 4】

前記配線は、銅を含む請求項 1 に記載の半導体装置。

【請求項 5】

前記第 2 の厚さは、660nm 以下である請求項 1 に記載の半導体装置。

【請求項 6】

前記配線は、インダクタを構成する請求項 1 に記載の半導体装置。

【請求項 7】

前記層間絶縁膜は、第 1 絶縁膜と第 2 絶縁膜とを含み、前記第 1 絶縁膜は前記主部分の側面に接し、前記第 2 絶縁膜は前記張り出し部分の側面に接する請求項 1 に記載の半導体装置。

10

【請求項 8】

前記第 1 絶縁膜と前記第 2 絶縁膜のエッチング特性は異なる、請求項 7 に記載の半導体装置。

【請求項 9】

断面視における前記張り出し部分は、段差形状を有し、第 1、第 2 のサブ部を有し、第 1 のサブ部は第 3 の厚さを有し、第 2 のサブ部は第 4 の厚さを有し、第 3 及び第 4 の厚さの各々は第 1 の厚さより薄く、第 1 のサブ部は前記主部の側部から外側に張り出し、前記第 2 のサブ部は前記第 1 のサブ部の側部から外側に張り出す、請求項 1 に記載の半導体装置。

20

【請求項 10】

半導体基板と、
前記半導体基板上方に形成された第 1 絶縁キャップ層と、
前記第 1 絶縁キャップ層上方に形成され、ビア孔と前記ビア孔上のトレンチとを含み、
前記トレンチは前記ビア孔上方で段差形状の側壁を有する層間絶縁膜と、
前記ビア孔内に形成されたビア導電体と、
前記トレンチ内に形成された配線であって、前記ビア導電体とは断面形状が異なる配線と、

30

前記層間絶縁膜上方に形成された第 2 絶縁キャップ層と、
を含み、
ここで、前記ビア上方の前記配線は、前記ビア上方に設けられ、第 1 の厚さを有する主部分と、前記主部分に亘って設けられ、前記第 1 の厚さより薄い第 2 の厚さを持ち、前記主部分の側部から外側に張り出す、張り出し部分と、を含み、

前記層間絶縁膜の材料は、前記第 1 絶縁キャップ層の材料及び前記第 2 絶縁キャップ層の材料とは異なり、

前記配線は、複数の直線部と前記直線部を接続する少なくとも 1 つのコーナー部とを有し、前記コーナー部において張り出し部分に対応する主部分から張り出す量は、前記直線部において張り出し部分に対応する主部分から張り出す量より大きい半導体装置。

40

【請求項 11】

前記コーナー部に含まれる前記張り出し部分の平面形状は、角型または円弧型を有する請求項 10 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に厚い配線を有する半導体装置およびその製造方法に関する。

【背景技術】

50

【 0 0 0 2 】

半導体集積回路装置は、世代ごとに構成素子であるMOSトランジスタの縮小化、高集積化が進められている。トランジスタの微細化と共に、トランジスタに接続される配線の幅は縮小する傾向にある。集積回路の動作速度は、配線の抵抗と寄生容量により制限される。狭い配線の抵抗を低く抑えるため、アルミニウムに代わって、銅ないし銅合金が用いられるようになった。

【 0 0 0 3 】

銅配線は、パターニングの精度を上げることが難しい。そのため、層間絶縁膜に配線用トレンチを形成し、トレンチ内に銅配線を埋め込むダマシン法が用いられる。また、銅が絶縁膜中に拡散すると絶縁特性を低下させる性質を有する。銅の拡散を防止するために、トレンチ表面にバリアメタル層を形成し、その凹部に銅配線を埋め込み、層間絶縁膜上の不要金属層を化学機械研磨(CMP)などで除去し、銅配線表面を覆って層間絶縁膜上に、銅拡散防止機能を有するSiN, SiCN, SiC等の絶縁キャップ層を形成する。

10

【 0 0 0 4 】

高集積化と共に、ダマシン銅配線にもボイドなどの問題が生じ、その対策が研究されている。

【 0 0 0 5 】

特開2001-15508号は、トレンチを導電材料で埋込む際に、トレンチのアスペクト比が大きくなると、トレンチを完全に導電材料で埋込むことができず、導電層内に導電材料が充填されない、いわゆるボイドと呼ばれる空洞部分が生じることを指摘し、トレンチを規定する側壁間の距離を、半導体基板から遠ざかるにつれて徐々に大きくすることを提案する。

20

【 0 0 0 6 】

特開2006-203019号は、配線パターンの微細化に伴い、ビア側面上部及びトレンチ側面上部では、バリアメタル膜が厚くなり、ビア側面下部及びトレンチ側面下部では、バリアメタル膜が薄くなり、シード層が十分堆積できず、電解めっきによるCu膜の埋め込みが困難となり、ビアの内部にボイド等の埋め込み不良が発生することを指摘し、トレンチの底部の角に丸みをつけることを提案する。

【 0 0 0 7 】

特開2006-287086号は、電界集中及び物理的なストレスにより配線及びビアプラグが損傷することを指摘し、ビアホールの底面及び側面を覆うバリアメタル膜を、ビアホールの下端部においてビアホールの側面を覆う部分の膜厚を、ビアホールの底面を覆う部分の膜厚よりも厚くすることを提案する。

30

【 0 0 0 8 】

高集積化と共に配線層の多層化も進み、10層を超える多層配線も用いられている。配線構造は、トランジスタに近い下層配線ほど幅が狭く、また厚さも薄い配線が用いられ、上層になるほど幅が広く、厚さも厚い配線が配置される傾向を持つ。集積度の向上に伴い、より多くの電力をチップに投入する必要も生じる。より低抵抗の電源配線が要求され、上層配線の厚さは増大する傾向もある。

【 0 0 0 9 】

また、小型化携帯装置等において、DC-DCコンバータを設け、パワーアンプの出力が低いときは電圧を低くして消費電力を低減する構成もある。このような用途では、例えば100mAオーダの電流を流せるインダクタが求められる。他の用途で、大電流を流せるインダクタが求められることもある。

40

【特許文献1】特開2001-15508号公報

【特許文献2】特開2006-2-3019号公報

【特許文献3】特開2006-287086号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 0 】

50

大電流を流せる配線を得るため、厚さ数ミクロンといった厚い配線を形成することが望まれることもある。従来用いられなかったこのような厚い配線を形成すると、新たな問題が生じた。

【課題を解決するための手段】

【0011】

本発明の1観点によれば、半導体基板と、前記半導体基板上方に形成された第1絶縁キャップ層と、前記第1絶縁キャップ層上方に形成され、ビア孔と前記ビア孔上のトレンチとを含み、前記トレンチは前記ビア孔上方で段差形状の側壁を有する層間絶縁膜と、前記ビア孔内に形成されたビア導電体と、前記トレンチ内に形成された配線であって、前記ビア導電体とは断面形状が異なる配線と、前記層間絶縁膜上方に形成された第2絶縁キャップ層と、を含み、ここで、前記ビア上方の前記配線は、前記ビア上方に設けられ、660 nmを越える第1の厚さを有する主部分と、前記主部分に亘って設けられ、前記第1の厚さより薄い第2の厚さを持ち、前記主部分の側部から外側に150 nm以上張り出す、張り出し部分と、を含み、前記層間絶縁膜の材料は、前記第1絶縁キャップ層の材料及び前記第2絶縁キャップ層の材料とは異なる、半導体装置が提供される。

10

【図面の簡単な説明】

【0012】

【図1】図1A, 1Bは、予備実験で作成した配線構造の断面図、及びその部分拡大図、図1Cは算出した応力拡大係数を銅配線の厚さに対して示すグラフである。

【図2】図2A, 2Bは、ダマシ銅配線を形成した後、上部絶縁層を形成する工程を解析する概略断面図である。

20

【図3】図3Aは、考察した配線構造を概略的に示す断面図、図3Bはこの考えに基づき作成する配線構造の断面図である。

【図4】図4A, 4B, 4Cは算出した応力拡大係数を、配線厚さ t 、張り出し幅 L 、張り出し高さ h に対して示すグラフである。

【図5-1】と、

【図5-2】と、

【図5-3】図5Aは実施例1による半導体装置の概略断面図、図5B-5Hは、図5Aの配線構造の製造工程を示す概略断面図である。

【図6-1】と、

30

【図6-2】図6Aは実施例2による半導体装置の概略断面図、図6B-6Fは、図6Aの配線構造の製造工程を示す概略断面図である。

【図7-1】と

【図7-2】図7Aは実施例3による半導体装置の概略断面図、図7B-7Fは、図7Aの配線構造の製造工程を示す概略断面図である。

【図8】図8Aは実施例4による配線構造の概略平面図、図8B, 8Cは2箇所における断面構造を示す概略断面図である。

【図9】図9A-9Eは、実施例4の変形例による配線構造を示す概略平面図である。

【図10】図10A, 10Bは、実施例4の更なる変形例による配線構造を示す概略平面図である。

40

【図11】図11A, 11Bは、インダクタの変形例を示す概略断面図である。

【図12-1】と、

【図12-2】図12Aは実施例5による半導体装置の概略断面図、図12B-12Gは、図12Aの配線構造の製造工程を示す概略断面図、図12Hは比較例の配線構造を示す概略断面図である。

【図13】実施例5の変形例の構造を示す概略断面図である。

【図14】多層配線を有する半導体装置の構成を示す概略断面図である。

【符号の説明】

【0013】

LS 下部構造、

50

I D	層間絶縁膜、	
W	配線、	
B M	バリアメタル、	
T R	トレンチ、	
C A P	キャップ層、	
M W	主配線領域、	
t	主配線領域の厚さ、	
E X W	張り出し配線領域、	
L	張り出し配線領域の幅、	
h	張り出し配線領域の高さ、	10
L D	下地絶縁膜、	
1 1	酸化シリコン膜、	
1 2	ハードマスク膜、	
1 4	バリアメタル膜、	
1 5	銅層、	
1 6	キャップ膜、	
1 7	絶縁膜、	
1 8	パッシベーション膜、	
R M	レジストマスク、	
2 1 , 2 2	(エッチング特性の異なる)絶縁膜、	20
5 8	A l配線、	
5 7 , 5 9	T i N膜。	

【発明を実施するための形態】

【0014】

本発明者は、予備実験として、従来用いられなかった厚さ3.3 μ mの厚い配線を、従来の厚い配線である厚さ0.6 μ mの配線と共に試作した。

【0015】

図1Aに示すように、シリコン基板を含む下部構造LS上に、厚さ約0.8 μ mの酸化シリコンの第1の層間絶縁膜ID1を形成し、深さ約0.6 μ mの第1のトレンチTR1をエッチングした。バリアメタル膜BM1として、平坦部上の厚さ約20nm程度のTa膜をスパッタリングで堆積し、メッキシード層として、平坦部上の厚さ50nm程度のCu膜をスパッタリングで堆積し、トレンチTR1を埋め込むように第1のCu配線層W1をメッキで形成し、第1の層間絶縁膜ID1上の不要金属層を化学機械研磨(CMP)で除去した。表面を平坦化した第1のCu配線層W1の厚さは0.6 μ mである。第1のCu配線層W1を覆って、層間絶縁膜ID1上に銅拡散防止機能を有する第1の絶縁性キャップ膜CAP1として、厚さ140nm程度のSiC膜を堆積した。

【0016】

第1の絶縁性キャップ膜CAP1の上に、第2の層間絶縁膜ID2として、厚さ約3.8 μ mの酸化シリコン膜を堆積し、デュアルダマシン形状(ビア孔付き)の第2のトレンチTR2をエッチングした。ビア孔の深さは約0.6 μ m、配線トレンチの深さは約3.3 μ mである。バリアメタル膜BM2として、平坦部上の厚さ約20nm程度のTa膜、メッキシード層として、平坦部上の厚さ50nm程度のCu膜、をスパッタリングで堆積し、トレンチTR2を埋め込むように第2のCu配線層W2をメッキで形成し、第2の層間絶縁膜ID2上の不要金属層をCMPで除去した。表面を平坦化した第2のCu配線層W2の配線部分の厚さは、3.3 μ mである。第2のCu配線層W2を覆って、第2の層間絶縁膜ID2上に銅拡散防止機能を有する第2の絶縁性キャップ膜CAP2として、厚さ70nm程度のSiC膜を堆積し、その上に酸化シリコン膜ID3を堆積した。

【0017】

図1Bは、第2のCu配線層W2の周辺部の拡大図である。厚い第2のCu配線層W2のエッジ部近傍で第2のCu配線層W2とその上の第2のキャップ層CAP2との界面に

剥離PFが生じた。下方の第1のCu配線層W1とその上の第1のキャップ層CAP1との界面には剥離は生じなかった。厚さ0.6 μm の銅配線とキャップ層との界面には剥離は生じず、厚さ3.3 μm の銅配線とキャップ層との界面には剥離が生じたことから、配線の厚さが厚くなると、剥離が生じやすくなると推測される。剥離は半導体装置の信頼性を低下させ、寿命を短くする原因となるので、剥離を生じさせることなく、厚い配線を形成する技術が望まれる。

【0018】

本発明者は、剥離の原因を究明するため、応力解析を行なった。応力解析においては、図1Bに示すように、Cu配線のエッジ部近傍で、銅配線とキャップ層との界面に微小な剥離(亀裂)が発生した状況を仮定し、その亀裂の進展しやすさを応力拡大係数という指標を用いて評価する。指標が大きいことは剥離が大きくなりやすいことを示す。このやり方は破壊力学でよく用いられる手法である。銅配線の厚さ t を、従来用いていた厚い配線の厚さ0.6 μm (600nm)(モデルM1)から、900nm間隔で、1500nm(モデルM2)、2400nm(モデルM3)、3300nm(モデルM4)と変化させ、応力拡大係数を算出した。

【0019】

図1Cは、銅配線層の厚さに対して、応力拡大係数がどのように変化するかを示したグラフである。横軸が銅配線層の厚さ t を単位(nm)で示し、縦軸が応力拡大係数 i を単位($\text{Pa} \cdot \mu\text{m}^{-2}$)で示す。銅配線の厚さ t の増大と共に応力拡大係数 i が増大することが判る。全体として、上に凸の形状を描いている。厚さ t が600nmから1500nmに増加する時の応力拡大係数 i の増加が最も大きい。厚さ600nmより厚い銅配線を形成すると、印加される応力が急激に大きくなることが予測される。900nm毎の配線膜厚増加に対する応力拡大係数 i の増加は、厚さの増大と共に、徐々に小さくなっている。厚さ600nmの銅配線では剥離が生ぜず、厚さ3300nmの銅配線では剥離が生じた実験結果と符合させると、厚さ600nmの銅配線に対応する応力拡大係数 $i = 1.16 \text{E} 8 \text{ Pa} \cdot \mu\text{m}^{-2}$ では剥離が生じないが、厚さ3300nmの銅配線に対応する応力拡大計数 $i = 2.12 \text{E} 8 \text{ Pa} \cdot \mu\text{m}^{-2}$ では剥離が生じることになる。

【0020】

剥離の原因について考察してみる。このモデルにおいて、Cuは周囲の絶縁物 SiO_2 、 SiC より熱膨張係数が大きい。銅配線層を形成した後、例えば400程度の温度でキャップ層、層間絶縁膜を堆積し、その後常温に降温する。降温工程で銅配線はキャップ層、層間絶縁膜より大きく収縮する。

【0021】

図2Aは、厚さ3300nmの銅配線W2を埋め込んだ第2の層間絶縁膜ID2上に第2のキャップ層CAP2、第3の層間絶縁膜ID3を成膜した状態を簡略化して示す。温度は約400である。昇温中の熱膨張は取り敢えず無視する。

【0022】

図2Bに示すように、その後常温に降温する。降温に伴って、銅配線も絶縁膜も熱収縮する。銅配線の収縮量は絶縁膜の収縮量よりも、約1桁大きい。厚さ3300nmの銅配線の場合、熱収縮量の差は高さ方向で10nmオーダにもなる。第2の層間絶縁膜で囲まれた第2の銅配線が相対的に高さ10nmオーダ低くなると、第2のキャップ層CAP2は10nmオーダの相対的高さ変化に曝されることになると考えられる。従って、銅配線のエッジ近傍のキャップ層CAP2に大きな応力が印加されることになり、キャップ層CAP2が銅配線W2表面から剥離する原因となろう。金属配線と絶縁膜とが横方向に並び、それらの表面を他の絶縁膜が覆うところで応力が大きくなることが推測される。

【0023】

そこで、本発明者は、層間絶縁膜と接する配線パターン側壁部において、実質的に歪発生の原因となる配線高さを低減することを考えた。より具体的には、配線パターン側壁部において、外側に歪緩和領域を設ける。歪緩和領域においては、下部は周辺の絶縁膜とし、上部を配線パターンから連続して階段状に配線が張り出す張り出し配線領域とする。張

10

20

30

40

50

り出し配線領域は、縮小された厚さを有するので、温度変化により生じる高さ変化（熱膨張量、熱収縮量）も小さくなる。

【 0 0 2 4 】

図 3 A に示すように、層間絶縁膜 I D にステップ形状を有するトレンチ T R をエッチングする。トレンチの全深さを t とした時、側壁は、下面から一旦 $(t - h)$ の高さまで立ち上がり、外側に幅 L 張り出してから、残りの高さ h 立ち上がる。トレンチ T R に銅配線 W を埋め込み、C M P で不要部を除去した後、銅拡散防止機能を有する絶縁性キャップ層 C A P を堆積し、さらにその上に層間絶縁膜 I D を堆積する。全厚さ t の主配線領域 M W の外側に、幅 L 、高さ h の張り出し配線領域 E X W が形成され、歪緩和領域 R L を構成する。

10

【 0 0 2 5 】

歪緩和領域 R L においては、厚さ $(t - h)$ の層間絶縁膜の上に厚さ h の張り出し配線領域 E X W が配置される。厚さ $(t - h)$ の層間絶縁膜は、その外側の層間絶縁膜と同じ材料なので、温度変化による熱収縮量（熱膨張量）は外側の層間絶縁膜と同じである。厚さ h の張り出し配線領域 E X W は、その外側の層間絶縁膜より温度変化による高さ変化、例えば降温による熱収縮率、は大きい、厚さ h は配線の全厚さ t より小さいので、高さ変化の絶対値は小さくなる。厚さ h の選択により、熱膨張量、熱収縮量は所望の値まで小さくできる。従って、例えば幅 L の張り出し配線領域 E X W における降温による表面の落ち込み量は、低減する。全厚さ t の主配線領域 M W は、幅 L の張り出し配線領域 E X W に連続し、連続した表面を形成している。従って、急激な表面高さの変化は生じにくいであろう。配線 W と層間絶縁膜 I D を覆って、絶縁性キャップ層 C A P を形成した時、絶縁性キャップ層 C A P の受ける歪は小さくなると予測される。

20

【 0 0 2 6 】

図 3 B は、この考えに基づく配線の構造を示す断面図である。層間絶縁膜 I D に上部で階段状に外側に広がる張り出し部を有するトレンチ T R を 2 回のエッチングで形成する。トレンチの全深さを t とする。張り出し部の幅を L 、高さを h とする。トレンチ表面を覆うようにバリアメタル膜 B M を例えば厚さ 20 nm 、銅シード層を例えば厚さ 50 nm 、スパッタリングで堆積し、銅をトレンチの深さ以上メッキで成膜する。層間絶縁膜 I D 上の不要金属層を C M P で除去する。以下、バリアメタル膜 B M の厚さは微小なので無視する。全深さ t のトレンチ主部分に主配線領域 M W が形成され、その外側に連続するトレンチの張り出し部に張り出し配線領域 E X W が形成される。

30

【 0 0 2 7 】

例として、主配線領域 M W の配線厚さ t を 3300 nm とする。張り出し配線領域 E X W の配線高さ h を主配線領域 M W の厚さ t の 10% として、 330 nm とする。張り出し配線領域 E X W の幅 L をモデル M 5 では 100 nm 、モデル M 6 では 300 nm とする。これらのモデルに対して、上述の応力拡大係数を算出した。

【 0 0 2 8 】

図 4 A は、張り出し配線領域 E X W の幅 L を 100 nm 、 300 nm としたモデル M 5、M 6 の応力拡大係数 σ を幅 L に対して示すグラフである。図 1 C に示した、幅 $L = 0$ のモデル M 1 ~ M 4 の応力拡大係数 σ を併せて示す。モデル M 4 ~ M 6 は、 $t = 3300 \text{ nm}$ で、高さ $h = 300 \text{ nm}$ の張り出し配線領域 E X W の幅 L が、 0 、 100 、 300 (nm) の時の応力拡大係数 σ を示す。幅 L の増加と共に応力拡大係数 σ が減少している。 $t = 3300 \text{ nm}$ 、 $L = 100 \text{ nm}$ の M 5 の応力拡大係数 σ は、 $t = 2400 \text{ nm}$ 、 $L = 0 \text{ nm}$ の M 3 の応力拡大係数 σ より小さくなる。 $t = 3300 \text{ nm}$ 、 $L = 300 \text{ nm}$ の M 6 の応力拡大係数 σ は、 $t = 1500 \text{ nm}$ 、 $L = 0 \text{ nm}$ の M 2 の応力拡大係数 σ より小さくなる。同じ配線厚さ $t = 3300 \text{ nm}$ で $L = 0$ (nm) の M 4 と比べた時、M 6 : $L = 300 \text{ nm}$ の σ 減少量は、M 5 : $L = 100 \text{ nm}$ の σ 減少量の 3 倍より大きく、張り出し配線領域 E X W の幅 L は 100 nm より大きくすること、例えば 150 nm 以上にすること、が好ましいであろうことを示している。

40

【 0 0 2 9 】

50

張り出し配線領域 E X W の高さ h を主配線領域の厚さ t の 20%、660 nm とした時の応力拡大係数も算出した。

【0030】

図4Bは、張り出し配線領域 E X W の高さ h を 660 nm、張り出し配線領域 E X W の幅 L を 100 nm、300 nm としたモデル M7, M8 の応力拡大係数 σ を張り出し配線領域 E X W の高さ h が 330 nm のモデル M5, M6 の応力拡大係数 σ と併せて示すグラフである。張り出し配線領域 E X W の高さ h を増加すると、応力拡大係数 σ は増大し、応力緩和効果が減少することを示している。張り出し配線領域 E X W の高さ h が 330 nm の場合は、幅 L を 100 nm から 300 nm に増大すると、応力拡大係数の減少が大きい、高さ h が 660 nm に増大した場合は、幅 L を 100 nm から 300 nm に増大しても得られる応力拡大係数の減少は小さくなっている。張り出し配線領域の高さをさらに高くすると、得られる効果はさらに小さくなることも予想される。張り出し配線領域 E X W の高さ h をさらに変化させた時の応力拡大係数の変化を調べた。

10

【0031】

図4Cは、張り出し配線領域 E X W の幅 L を 100 nm とし、高さ h を 150 nm (M9), 330 nm (M5), 660 nm (M7), 900 nm (M10) とした時の応力拡大係数の変化を示すグラフである。横軸は張り出し配線領域 E X W の高さ h (nm) を示し、縦軸は応力拡大係数を示す。モデル M5, M7 の応力拡大係数を結ぶ直線を想定すると、高さ h を増加したモデル M10 の応力拡大係数は該直線 (リニア近似) より高くなり、高さ h を減少したモデル M9 の応力拡大係数は該直線 (リニア近似) より低くなる。高さ h を大きくすると、歪緩和効果は小さくなる傾向を強め、高さ h を小さくすると歪緩和効果は大きくなる傾向を強めるようである。

20

【0032】

張り出し配線領域の高さ h はある程度以下に抑えることが歪緩和のためには好ましいであろう。但し、張り出し配線領域の高さを小さくすると、配線としての機能は減少し、基板面積の利用効率の点からは好ましくない場合もあろう。

【0033】

現実に銅配線上に剥離が生じるか否かは、算出した応力拡大係数に対向できる密着性が界面に備わっているかどうかによって依存する。すなわち、現実的な限界値は、用いるプロセスや材料に依存する。非常に密着性の高いプロセスを用いた場合、銅配線の高さ 2400 nm では、張り出し配線領域を設けなくても剥離現象を回避することができた。段差のない銅配線の高さ 2400 nm は、図1C, 4A に示すように、応力拡大係数 $\sigma = 1.537 \text{ E } 8 \text{ Pa} / \mu\text{m}^2$ に対応する。

30

【0034】

この値を、剥離現象の起こる臨界値の目安とすると、図4Aは、張り出し配線領域の幅 L を 100 nm 以上とすることにより剥離現象を回避することが可能となることを示すと考えられる。幅 L を 150 nm 以上とすれば、製造工程の偏差に対しても安定な歩留まりを期待できよう。厚さ 600 nm の配線は剥離を生じないこと、図4B, 4C は、張り出し配線領域の高さ h を 660 nm 以下とすれば、剥離現象を回避することが可能であることを示すと考えられる。

40

【0035】

以上の検討結果に基づく実施例を、以下説明する。

(実施例1)

図5Aは、実施例1による半導体装置の上層配線の構造を示す。ダマシン配線の側壁に1段構造の張り出し配線領域を設けている。複数のトランジスタを形成したシリコン基板、下層配線を含む下部構造 LS の上に、下地絶縁膜 LD として SiC 膜が形成されている。下地絶縁膜 LD の上に、SiO₂ 膜 11、SiC 膜 12 が積層され、層間絶縁膜を構成している。SiC 膜 12、SiO₂ 膜 11 をエッチングして配線パターンを収容するトレンチが形成されている。トレンチは、主トレンチの外側に張り出し部を有する。トレンチ内に、バリアメタル膜 14、銅配線層 15 が埋め込まれて銅配線を構成している。銅配線

50

は、厚さ t が 3300 nm の主配線領域 MW 、その外側に連続して形成され、高さ h が 330 nm 、幅 L が 300 nm の張り出し配線領域 EXW を有する。銅配線、層間絶縁膜を覆って、 SiC 膜 16 、 SiO_2 膜 17 、 SiN 膜 18 が積層されている。なお、作成サンプルにおいては、主配線領域の幅は $10\text{ }\mu\text{m}$ 、配線長は $100\text{ }\mu\text{m}$ とした。

【0036】

図5B-5Hは、図5Aに示す半導体装置の製造工程の例を示す。

【0037】

図5Bに示すように、下部構造 LS の上に、下地絶縁膜 LD として厚さ 50 nm の SiC 膜が形成されている。化学気相堆積(CVD)により、下地絶縁膜 LD の上に、厚さ 200 nm の SiO_2 膜 11 、厚さ 100 nm の SiC 膜 12 を成膜する。

10

【0038】

図5Cに示すように、基板上に幅 $10.6\text{ }\mu\text{m}$ の開口を有するレジストマスク $RM1$ を形成し、 SiC 膜 12 の全厚さ 100 nm をドライエッチし、さらに SiO_2 膜 11 を深さ 230 nm エッチング時間を制御したドライエッチングによりコントロールエッチする。形成されるトレンチの深さは 330 nm となる。その後レジストマスク $RM1$ は除去する。

【0039】

図5Dに示すように、基板上に、レジストマスク $RM1$ の開口より両側でそれぞれ 300 nm 幅を狭くした、幅 $10\text{ }\mu\text{m}$ の開口を有するレジストマスク $RM2$ を形成する。レジストマスク $RM2$ をエッチングマスクとし、 SiO_2 膜 11 の残り厚さをドライエッチする。その後レジストマスク $RM2$ は除去する。深さ 3300 nm 、幅 $10\text{ }\mu\text{m}$ の中央部の両側にそれぞれ幅 300 nm 、高さ 330 nm の張り出し部を有するトレンチが形成される。

20

【0040】

図5Eに示すように、スパッタリングでバリアメタル膜として平坦部上の厚さ約 20 nm の Ta 膜 14 を成膜し、その上にメッキシード層として平坦部上の厚さ約 20 nm の Cu 膜 $15S$ を成膜する。スパッタリングは基板温度が室温で行なう。

【0041】

図5Fに示すように、 Cu 膜 $15S$ の上に Cu 膜を電解メッキし、銅層 15 を得る。銅層 15 は、トレンチを完全に埋め込む厚さを有するように電解メッキする。 $100\text{ }\sim\text{ }350$ の熱処理を行ない、 Cu 膜中のグレイン成長を実施する。

30

【0042】

図5Gに示すように、化学機械研磨(CMP)により、 SiC 膜 12 表面より上の銅層 15 を除去する。主配線領域 MW の外側に張り出し配線領域 EXW を備えた銅配線が形成される。主配線領域 MW と、その外側の張り出し配線領域 EXW とは SiC 膜 12 表面と面一の表面を有する。

【0043】

図5Hに示すように、 Cu 膜 15 、 SiC 膜 12 を覆って基板上に、絶縁性銅拡散防止膜として厚さ 50 nm の SiC 膜 16 、上部絶縁膜として厚さ 500 nm の SiO_2 膜 17 、パッシベーション膜として厚さ 50 nm の SiN 膜 18 を CVD で成膜する。その後、必要に応じて、レジストマスクを用いたエッチングにより、銅配線の上の絶縁膜に開口を形成し、 Al 膜を成膜し、端子となるパッドを形成する。この際、 400 、 30 分の熱処理を加える。このようにして上部配線が形成される。

40

【0044】

本実施例にしたがって、本例サンプルを作成した。張り出し配線領域 EXW のない比較例サンプルも作成した。比較例においては、張り出し配線領域を持たない点以外は本例サンプルと同等である。

【0045】

作成した配線の信頼性試験を行った。温度 250 、電流密度 1 MA/cm^2 で、エレクトロマイグレーション試験を行った。 200 時間の試験後、本例サンプル、比較例サン

50

プルいずれにも故障は発生しなかった。しかし、比較例では抵抗が僅かに変化したものがあった。抵抗が変化したサンプルを故障解析したところ、Cu膜とその上のSiC膜の界面で剥がれが発生していることが判った。本例サンプルには、抵抗変化は全くなく、調べた限り、界面における剥がれもなかった。

【0046】

なお、上記実施例では主絶縁膜のSiO₂膜をCVDで形成しているが、その他の気相方法、SOD (spin-on deposition)等の液相塗布法、等を用いてもよい。主絶縁膜としてSiO₂膜を用いたが、他の絶縁材料を用いることもできる。例えば、インダクタンスとしての性能を向上するため、SiO₂より誘電率の高いSiNやSiCNを用いてもよい。下層配線の絶縁膜と同じ材料、例えばSiO₂より誘電率の低いSiOC等を用いてもよい。バリアメタル膜としてTaを用いたが、Ta₂N膜、Ta膜とTa₂N膜の積層などを用いてもよい。その他、種々の変更、置換が可能である。

(実施例2)

実施例1ではトレンチの段差部分をコントロールエッチによって作成した。エッチストップ構造を用いれば、段差構造をより容易に、かつ安定性よく作成することができる。

【0047】

図6Aは、実施例2による半導体装置の上層配線の構造を示す。実施例1同様、複数のトランジスタを形成したシリコン基板、下層配線を含む下部構造LSの上に、下地絶縁膜LDとしてSiC膜が形成されている。下地絶縁膜LDの上に、厚さ3000nmのSiO₂膜21、ハードマスクとして機能する厚さ330nmのSiN膜22が積層され、層間絶縁膜を構成している。SiN膜22、SiO₂膜21の界面で段差を形成したトレンチが形成されている。トレンチの張り出し部はSiN膜22をエッチングすることで形成され、SiN膜22の厚さと同じ高さh = 330nmを有する。トレンチ内に、バリアメタル膜14、銅配線層15が埋め込まれて銅配線を構成している点は実施例1と同様である。銅配線は、厚さtが3.3μmの主配線領域MW、その外側に連続して形成され、高さhが330nm、幅Lが300nmの張り出し配線領域EXWを有する。張り出し配線領域EXWの側面は、SiN膜22のみに接する。銅配線、SiN膜22を覆って、銅拡散防止機能を有する厚さ70nmのSiC膜で形成されたキャップ膜26、厚さ500nmのSiO₂膜27、厚さ50nmのSiN膜28が積層されている。実施例1同様、絶縁膜に開口を形成し、Al端子を形成する。

【0048】

図6B - 6Fは、図6Aに示す半導体装置の製造工程の例を示す。

【0049】

図6Bに示すように、下部構造LSの上に、下地絶縁膜LDとして厚さ50nmのSiC膜が形成されている。下地絶縁膜LDの上に、化学気相堆積(CVD)により、厚さ3000nmのSiO₂膜21、厚さ330nmのSiN膜22を成膜する。SiO₂膜21、SiN膜22はエッチング特性が異なり、SiN膜のエッチングにおいて、SiO₂膜をエッチストップとすることができる。

【0050】

図6Cに示すように、基板上に幅10μmの開口を有するレジストマスクRM3を形成し、熱燐酸をエッチング液としたウェットエッチングで、SiN膜22の全厚さ330nmをエッチする。SiO₂膜21は、熱燐酸でエッチされず、エッチングを自動的に停止させる。SiN膜22は、ウェットエッチングで連続的にエッチされるので、滑らかな側面が得られる。その後レジストマスクRM3は除去する。

【0051】

図6Dに示すように、エッチされたSiN膜22をハードマスクとして、SiO₂膜21をドライエッチする。レジストマスクは用いないが、エッチング自身は、図5Dのドライエッチングと同様である。

【0052】

図6Eに示すように、基板上に、レジストマスクRM3の開口より両側でそれぞれ30

10

20

30

40

50

0 nm幅を広くした、幅10.6 μmの開口を有するレジストマスクRM4を形成する。開口内に、両側でそれぞれ幅300 nmずつのSiN膜22が露出する。熱燐酸をエッチング液としたウェットエッチングで、SiN膜22をエッチする。SiC膜LD、SiO₂膜21は、熱燐酸でエッチされない。SiN膜22のみがエッチされ、トレンチの張り出し部を形成する。実施例1のように張り出し部の中間深さに異なる層の界面が存在すると、界面に基づく凹凸が形成されやすい。本実施例では、単一層をウェットエッチングするので、側面に凹凸が形成されることなく、シャープな側面を形成することができる。その後レジストマスクRM4は除去する。深さ3.3 μm、幅10 μmのトレンチ中央部の両側にそれぞれ幅300 nm、高さ330 nmのトレンチ張り出し部を有する段差構造のトレンチが形成される。

10

【0053】

図6Fに示すように、実施例1同様、スパッタリングでバリアメタル膜として平坦部上の厚さ約20 nmのTa膜14を成膜する。この後、実施例1と同様の工程により、トレンチ内にCu層15を埋め込む。Cu層15を覆って、SiN層22上に、CVDにより、絶縁性銅拡散防止膜として機能する厚さ50 nmのSiN膜26を堆積し、その上にCVDにより、厚さ500 nmのSiO₂膜27、厚さ50 nmのSiN膜28を堆積する。

【0054】

本実施例にしたがって、本例サンプルを作成した。張り出し配線領域EXWのない比較例サンプルも作成した。作成サンプルにおいては主配線領域の幅は10 μm、配線長は100 μmとした。比較例においては、張り出し配線領域を持たない点以外は本例サンプルと同等である。

20

【0055】

作成したサンプルに温度サイクル試験を行なった。温度サイクルは、-80 から125 までの温度サイクルを繰り返した。比較例サンプルにおいては、およそ1%のサンプルでCu/SiN界面で剥がれが発生していることが判った。本例サンプルでは、Cu/SiN界面での剥がれが全く発生していなかった。

【0056】

厚い配線側壁の段差構造は、1段に限らない。任意の段数の段差構造を用いることができる。以下、2段の段差構造の場合を例にとって説明する。

30

(実施例3)

図7Aは、実施例3による半導体装置の上層配線の構造を示す。ダマシン配線の側壁に2段構造の張り出し配線領域を設けている。実施例1同様、下部構造LSの上に、下地絶縁膜LDとしてSiC膜が形成され、下地絶縁膜LDの上に、厚さ3200 nmのSiO₂膜11、厚さ100 nmのSiC膜12が積層され、層間絶縁膜を構成している。SiC膜12、SiO₂膜11をエッチングして、側壁に2段の段差構造を有するトレンチが形成されている。トレンチは、主トレンチの外側に2段構造の張り出し部を有する。主トレンチに続く、張り出し部第1段は、幅L1 = 150 nm、高さh1 = 330 nmである。第1段に続く第2段も、幅L2 = 150 nm、高さh2 = 330 nmである。表面からの第1段の深さは660 nmとなる。

40

【0057】

トレンチ内に、バリアメタル膜14、銅配線層15が埋め込まれて銅配線を構成している。銅配線は、厚さtが3300 nmの主配線領域MW、その外側に連続して形成され、各段の高さhが330 nm、幅Lが150 nmの2段構造の張り出し配線領域EXWを有する。銅配線、層間絶縁膜を覆って、銅拡散防止膜として機能する厚さ50 nmのSiC膜16、厚さ500 nmのSiO₂膜17、厚さ50 nmのSiN膜18が積層されている。本実施例の構造は、実施例1の1段の段差構造を2段の段差構造で置き換えたものに相当する。

【0058】

図7B - 7Fは、図7Aに示す半導体装置の製造工程の例を示す。

50

【 0 0 5 9 】

図 7 B に示すように、下部構造 L S の上に、下地絶縁膜 L D として厚さ 5 0 n m の S i C 膜が形成されている。化学気相堆積 (C V D) により、下地絶縁膜 L D の上に、厚さ 3 2 0 0 n m の S i O ₂ 膜 2 1、厚さ 1 0 0 n m の S i C 膜 2 2 を成膜する。

【 0 0 6 0 】

図 7 C に示すように、基板上に幅 1 0 . 6 μ m の開口を有するレジストマスク R M 1 を形成し、S i C 膜 1 2 の全厚さ 1 0 0 n m をドライエッチし、さらに S i O ₂ 膜 1 1 を深さ 2 3 0 n m エッチング時間を制御したドライエッチングによりコントロールエッチする。形成されるトレンチの深さは 3 3 0 n m となる。その後レジストマスク R M 1 は除去する。ここまでの工程は、実施例 1 と同様である。

10

【 0 0 6 1 】

図 7 D に示すように、基板上に、レジストマスク R M 1 の開口より両側でそれぞれ 1 5 0 n m 幅を狭くした、幅 1 0 . 3 μ m の開口を有するレジストマスク R M 5 を形成する。レジストマスク R M 5 をエッチングマスクとし、S i O ₂ 膜 1 1 を厚さ 3 3 0 n m コントロールエッチする。その後レジストマスク R M 5 は除去する。

【 0 0 6 2 】

図 7 E に示すように、基板上に、レジストマスク R M 1 の開口より両側でそれぞれ 3 0 0 n m 幅を狭くした、幅 1 0 μ m の開口を有するレジストマスク R M 2 を形成する。レジストマスク R M 2 をエッチングマスクとし、S i O ₂ 膜 1 1 の残り厚さをドライエッチする。その後レジストマスク R M 2 は除去する。

20

【 0 0 6 3 】

深さ 3 3 0 0 n m、幅 1 0 μ m のトレンチ中央部の両側にそれぞれ各段が幅 1 5 0 n m、高さ 3 3 0 n m の 2 段構造のトレンチ張り出し部を有する張り出し部付きトレンチが形成される。

【 0 0 6 4 】

図 7 F に示すように、スパッタリングでバリア金属膜として平坦部上の厚さ約 2 0 n m の T a 膜 1 4 を成膜し、その上にメッキシード層として平坦部上の厚さ約 5 0 n m の C u 膜を成膜する。スパッタリングは基板温度が室温で行なう。C u シード膜の上に C u 膜を電解メッキし、銅層 1 5 を得る。銅層 1 5 は、トレンチを完全に埋め込む厚さを有するように電解メッキする。1 0 0 ~ 3 5 0 の熱処理を行ない、C u 膜中のグレイン成長を実施する。その後、実施例 1 同様の工程により、図 7 A の構造を得る。

30

【 0 0 6 5 】

本実施例による本例サンプルと、張り出し配線領域のない比較例サンプルとを作成した。作成サンプルにおいて、主配線領域の幅は 1 0 μ m、配線長は 1 0 0 μ m とした。本例サンプルと比較例サンプルにエレクトロマイグレーション試験を行なった。温度 3 0 0 で 1 . 5 M A / c m ² の電流を流した。実施例 1 のサンプルのエレクトロマイグレーション試験と比べると、温度、電流密度共に、より厳しい条件である。1 6 8 時間の試験後に、どちらのサンプルにも故障は生じなかった。但し、比較例のサンプルでは 1 0 % のサンプルで抵抗が変化し、その配線を故障解析したところ、C u / S i C 界面で剥がれが発生していることが判った。本例サンプルでは、抵抗変化は全くなく、調べた限り C u / S i C 界面での剥がれはなかった。

40

【 0 0 6 6 】

張り出し配線領域のない、従来型の配線を形成した場合、配線が直角に曲がるコーナ部で、銅配線とその上の銅拡散防止膜との間に剥がれが見つかる確率が高かった。コーナ部では、配線が直角に曲がり、配線領域の側壁とその外側の層間絶縁膜との界面が直角に曲がっている。そのため、直線部より複雑な応力分布が発生する。これらの要因により、コーナ部で剥がれが生じ易いと考えられる。そこで、配線コーナ部に工夫を施した構造を検討した。

(実施例 4)

図 8 A は、実施例 4 による配線の平面パターンを示す平面図である。配線 1 5 は、X 方

50

向に沿う直進部とY方向に沿う直進部とが接続され、屈曲位置で方向が90度変わっている。配線15は、全厚さを有する主配線領域MWと、主配線領域MWに連続して、その外側に形成され、上面から中間深さまでの低減した厚さを有する張り出し配線領域EXWを有し、張り出し配線領域EXWの幅は、配線の屈曲部で配線の直進部より広がっている。

【0067】

図8Bは、図8Aの切断線ABに沿う、配線直進部の断面構造を示す。図5Aに示した断面構造同様、主配線領域MWは厚さ3300nm、幅10μmを有し、張り出し配線領域EXWは厚さ330nm、幅LS300nmを有する。

【0068】

図8Cは、図8Aの切断線CDに沿う、配線屈曲部(90度)の断面構造を示す。主配線領域MWの特性は直進部と変わらない。張り出し配線領域EXWは、厚さは直進部と同じ330nmであり、幅LCが、X方向、Y方向共に600nmに広がられている。屈曲部での張り出し配線領域の幅LCは、直進部での張り出し配線領域の幅LSの2倍に増大している。屈曲部の張り出し配線領域の幅を増大することにより、屈曲部で剥がれやすい現象を抑制することができるであろう。

【0069】

本実施例による例のサンプルと張り出し配線領域を有さない比較例サンプルとを作成し、温度サイクル試験を行った。配線形状は、共に、2つの直線部が角度90度で接続されるパターンである。温度サイクルは、-80 から125 までの温度サイクルを繰り返した。比較例サンプルにおいては、およそ1%のサンプルでCu/SiC界面で剥がれが発生していることが判った。

【0070】

なお、本実施例では、マスク作成の便宜から、配線屈曲部での拡大した張り出し配線領域は矩形を基本形状としている。屈曲部の形状、拡大した張り出し配線領域の形状はこれらに制限されるものではない。

【0071】

図9Aは、屈曲部で拡大した張り出し配線領域EXWの形状を円状とした場合を示す。図9B, 9Cは、配線がT形に接続され、異なる方向に沿う張り出し配線領域EXWの接続部の幅を円状、矩形状に拡大した構成を示す。図9D, 9Eは、配線が交差し、異なる方向に沿う張り出し配線領域EXWの接続(交差)部の幅を円状、及び矩形状に拡大した構成を示す。

【0072】

インダクタを形成する場合は、長い配線長を必要とする場合があり、所定面積にインダクタを収めるためにはループ状(ないしスパイラル)形状等も用いられる。

【0073】

図10A, 10Bはインダクタ配線の形状例を示す。

【0074】

図10Aにおいては、直線状の配線を90度で接続し、矩形状(四角形状)のループ状配線を形成した構成を示す。接続部における張り出し配線領域の幅が実施例4同様に矩形状に拡大されている。なお、配線を三角形状に配置する場合も、接続部に張り出し配線領域を設けることにより、剥がれ抑制効果が得られよう。多角形状の配線を形成する場合に、接続部の張り出し配線領域の幅を拡大することは剥がれを抑制するのに有効であろう。

【0075】

図10Bは、直線状の配線を鈍角で接続し、八角形状のループ状配線を形成した構成を示す。接続部における張り出し配線領域の幅が円状に拡大されている。接続部の角度が鈍角になればなるほど直線に近くなり、剥がれが生じにくくなると期待される。

【0076】

インダクタの高容量化は、配線の厚さを厚くするのみでなく、周辺の絶縁膜の誘電率を

10

20

30

40

50

高くすることでも実施できる。例えば、酸化シリコンに代えより誘電率の高い窒化シリコン等を用いることが考えられる。

【 0 0 7 7 】

図 1 1 A は、下部構造 L S を覆う下地絶縁膜 I D の上に、S i N 膜 3 1、S i O₂ 膜 3 2、S i N 等のハードマスク膜 3 3 を積層した層間絶縁膜構造を示す。実施例 2 同様、エッチング特性の異なる材料をエッチストップとして用いることにより、異なる材料の界面で段差を構成し、実施例 3 同様、2 段構成の張り出し配線構造を形成している。

【 0 0 7 8 】

図 1 1 B は、下部構造 L S を覆う下地絶縁膜 I D の上に、S i O₂ と F e P t とを同時スパッタすることにより、金属ナノドットを含む、比誘電率 = 1 0 ~ 1 2 という高誘電率絶縁膜 4 1 を形成している。高誘電率絶縁膜 4 1 の上に S i N、S i C 等のハードマスク膜 4 2 を形成し、高誘電率絶縁膜 4 1 と共に層間絶縁膜を構成する。実施例 2 同様のエッチストップ機能を得ることも可能である。

10

【 0 0 7 9 】

配線材料は、銅に限らず、A l、A l 合金も用いられる。絶縁材料と比較した場合、A l 等の金属も大きな熱膨張係数の差を有する。厚い配線を絶縁膜で囲む場合、熱膨張係数の差に基づく応力が印加され、剥がれの原因となりうる。主配線領域の外側に張り出し配線領域を設けることにより、熱膨張係数の差に基づく歪を緩和する効果が期待できる。

(実施例 5)

図 1 2 A は、A l 配線の構造を示す。複数のトランジスタを形成したシリコン基板、下層配線を含む下部構造 L S の上に、厚さ 5 0 n m の T i N バリアメタル膜 5 7、厚さ 3 3 0 0 n m の A l 膜 5 8、厚さ 5 0 n m の T i N バリアメタル膜の積層で A l 配線が形成されている。A l 配線の断面形状は、前述の実施例同様、矩形断面の主配線領域 M W とその上部に連続して外側に張り出す張り出し配線領域 E X W を有する。張り出し配線領域 E X W は、例えば幅 3 0 0 n m。高さ 3 3 0 n m を有する。A l 配線を囲むように S i O₂ 等の絶縁膜 5 1 が形成されている。

20

【 0 0 8 0 】

図 1 2 B - 1 2 G は、図 1 2 A に示す半導体装置の製造工程の例を示す。

【 0 0 8 1 】

図 1 2 B に示すように、下部構造 L S の上に、スパッタリングで厚さ 5 0 n m の T i N 膜 5 7、厚さ 3 μ m の A l 膜 5 8 - 1 を形成する。A l 膜 5 8 - 1 の上に幅 1 0 μ m の主配線領域の平面形状を有するレジストマスク R M 6 を形成する。レジストマスク R M 6 をエッチングマスクとして、A l 膜 5 8 - 1、T i N 膜 5 7 を、ドライエッチング等によりパターニングする。その後、レジストマスク R M 6 は除去する。

30

【 0 0 8 2 】

図 1 2 C に示すように、基板全面上に、プラズマ C V D 等により S i O₂ 膜 5 1 - 1 を堆積し、パターニングされた A l 膜 5 8 - 1、T i N 膜 5 7 を覆う。

【 0 0 8 3 】

図 1 2 D に示すように、化学機械研磨 (C M P) により S i O₂ 膜 5 1 - 1 を研磨して、A l 膜 5 8 - 1 表面を露出すると共に、表面を平坦化する。

40

【 0 0 8 4 】

図 1 2 E に示すように、スパッタリングにより、基板上に、厚さ 3 3 0 n m の A l 膜 5 8 - 2、厚さ 5 0 n m の T i N 膜 5 9 を堆積する。T i N 膜 5 9 の上に幅 1 0 . 6 μ m の張り出し配線領域の輪郭を有するレジストマスク R M 7 を形成する。レジストマスク R M 7 をエッチングマスクとして、T i N 膜 5 9、A l 膜 5 8 - 2 をドライエッチング等によりパターニングする。その後、レジストマスク R M 7 は除去する。

【 0 0 8 5 】

図 1 2 F に示すように、上部で張り出し領域を有する A l 配線が形成される。張り出し配線領域は、T i N 膜 5 9、A l 膜 5 8 - 2 で形成される。主配線領域では、下部 A l 膜 5 8 - 1、上部 A l 膜 5 8 - 2 により、A l 膜 5 8 が形成され、その上下に T i N 膜 5 7

50

, 59が積層される。

【0086】

図12Gに示すように、パターンニングしたTiN膜57、Al膜58-1を包み込むように、プラズマCVD等によりSiO₂膜51-2を堆積する。下部SiO₂膜51-1、上部SiO₂膜51-2により、配線を包み込むSiO₂膜51が形成される。

【0087】

本実施例による例のサンプルを、張り出し配線領域を有さない比較例サンプルと共に作成し、温度サイクル試験を行った。

【0088】

図12Hは比較例のサンプルの構成を示す断面図である。

10

【0089】

温度サイクルは、-80 から125 までの温度サイクルを繰り返した。比較例サンプルにおいては、およそ0.1%のサンプルにおいてAl側面で剥がれが発生していた。本例サンプルでは、上面やバリアメタルのない側面でも剥がれが全く発生していなかった。

【0090】

Al配線は、下地絶縁層の上面で絶縁層と並ぶ。これらの関係から、銅配線の上面がAl配線の底面に相当するとも考えられる。張り出し配線領域を主配線領域の上面外側に設ける代わりに、底面外側に設けることにより同様の効果が得られるとも考えられる。

【0091】

20

図13は、Al配線の他の構造を示す。下地構造LSの上に、厚さ50nmのTiNバリアメタル層57、厚さ3.3μmのAl膜58、厚さ50nmのTiNバリアメタル膜の積層でAl配線が形成されている。Al配線の断面形状は矩形断面の主配線領域MWとその底部に連続して外側に張り出す張り出し配線領域EXWを有する。張り出し配線領域EXWは、例えば幅300nm。高さ330nmを有する。Al配線を囲むようにSiO₂等の絶縁膜52が形成されている。本構造の場合、TiN膜57、Al膜58、TiN膜59を連続的に成膜し、上部からコントロールエッチすることで主配線領域の形状を画定し、幅を上げたレジストマスクを形成して張り出し配線領域の形状を画定することができる。成膜工程を分割する必要がなくなる。

【0092】

30

図14は、半導体集積回路装置の構成例を示す。Si基板101に素子分離領域102が形成され、多数の活性領域が画定される。活性領域内にはnチャネルMOSトランジスタ、pチャネルMOSトランジスタが形成されている。トランジスタを含む層をトランジスタ層TRと呼ぶ。トランジスタ層TRの上に多層層間絶縁膜が形成され、その中に多層配線が配置される。多層配線を下層配線WR1、中層配線WR2、上層配線WR3に分けると、上層配線ほど配線幅が広く、配線厚が厚くなり、配線ピッチが緩やかになる。下層配線、中層配線は銅配線で形成され、上層配線は銅配線とAl配線で形成される。上述の実施例による配線は主に上層配線に採用される。

【0093】

以上、実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、置換、改良、組み合わせ等が可能なことは当業者に自明であろう。

40

【0094】

以下、本発明の特徴を付記する。

【0095】

(付記1)

半導体基板と、

前記半導体基板上方に形成された絶縁膜と、

前記絶縁膜中に形成された第1の厚さを有する主配線領域と、

前記主配線領域の側壁から1つ以上の段差を形成して外側に張り出し、前記第1の厚さ

50

より薄い第2の厚さを有する張り出し配線領域と、
を有する半導体装置。

【0096】

(付記2)

前記張り出し配線領域は、前記主配線領域と面一の上面を有する付記1記載の半導体装置。

【0097】

(付記3)

前記絶縁膜と前記主配線領域の間にバリアメタル膜を有する付記1または2記載の半導体装置。

10

【0098】

(付記4)

前記絶縁膜と前記張り出し配線領域の間にバリアメタル膜を有する付記1～3の何れか1項記載の半導体装置。

【0099】

(付記5)

前記主配線領域と前記張り出し配線領域上に形成された絶縁キャップ層をさらに有する付記1～4のいずれか1項記載の半導体装置。

【0100】

(付記6)

前記主配線領域と前記張り出し配線領域は、銅を含む材料からなる付記1～5のいずれか1項記載の半導体装置。

20

【0101】

(付記7)

前記第1の厚さは、600nm以上である付記1～6のいずれか1項記載の半導体装置。

【0102】

(付記8)

前記張り出し配線領域の第2の厚さが、660nm以下である付記1～7のいずれか1項記載の半導体装置。

30

【0103】

(付記9)

前記張り出し配線領域の張り出し量が、150nm以上である付記1～8のいずれか1項記載の半導体装置。

【0104】

(付記10)

前記主配線領域が複数の直線部分を接続位置で接続した平面形状を有し、前記張り出し配線領域の張り出し量が前記接続位置周辺でその他の位置より大きい付記1～9の何れか1項記載の半導体装置。

【0105】

(付記11)

前記接続位置周辺の前記張り出し配線領域が、角型または円弧型の平面形状を有する付記10記載の半導体装置。

40

【0106】

(付記12)

前記主配線領域と前記張り出し配線領域が、全体としておおむね四角形状ないし八角形状のインダクタを構成する付記1～11のいずれか1項記載の半導体装置。

【0107】

(付記13)

前記絶縁膜が、金属微粒子を含む付記12記載の半導体装置。

50

【 0 1 0 8 】

(付 記 1 4)

前記半導体基板上方の絶縁膜中に半導体基板表面とほぼ平行に延在し、異なるレベルの配線またはパッドとの接続領域を含む平面形状を有し、第1の厚さを有する主配線領域と、前記主配線領域の側壁から1つ以上の段差を形成して外側に張り出し、前記第1の厚さより薄い第2の厚さを有する張り出し配線領域とを形成する、半導体装置の製造方法。

【 0 1 0 9 】

(付 記 1 5)

前記主配線領域と前記張り出し配線領域とを形成する工程が、層間絶縁膜を形成し、層間絶縁膜に上部で段階的に配線幅が広がる配線用トレンチを形成し、配線用トレンチ表面にバリアメタル層を形成し、バリアメタル層の上に銅を含む材料からなる配線層を形成し、前記層間絶縁膜上の不要金属層を除去して前記トレンチ内に前記主配線領域と前記張り出し配線領域とを残す工程を含み、

前記主配線領域、前記張り出し配線領域、前記層間絶縁膜の上に銅拡散防止機能を有する絶縁性キャップ層を形成する工程をさらに含む付記14記載の半導体装置の製造方法。

【 0 1 1 0 】

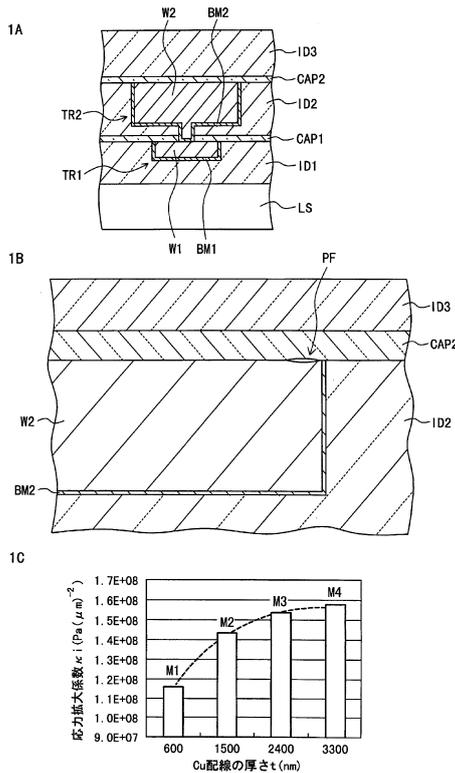
(付 記 1 6)

前記主配線領域と前記張り出し配線領域とを形成する工程が、下層層間絶縁膜上に下部配線パターンを形成し、前記下部配線パターンを覆って下部絶縁膜を形成し、前記下部絶縁膜を上方から除去して前記下部配線パターンを露出し、前記下部配線パターン上に配線幅が下部配線パターンより広い上部配線パターンを形成し、上部配線パターンを覆って上部絶縁膜を形成する工程を含む、付記14記載の半導体装置の製造方法。

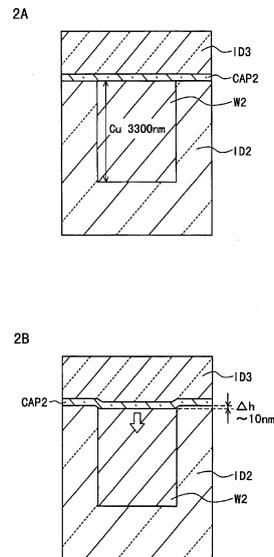
10

20

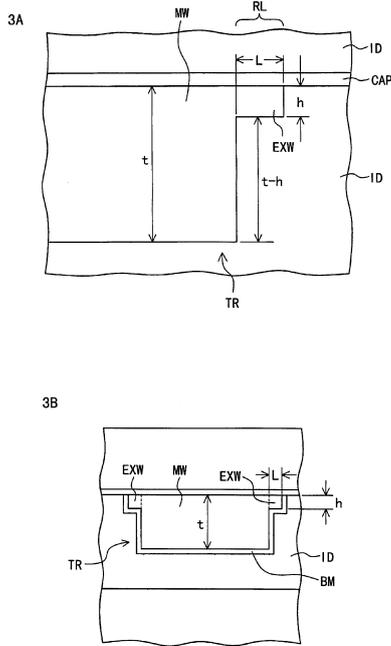
【 図 1 】



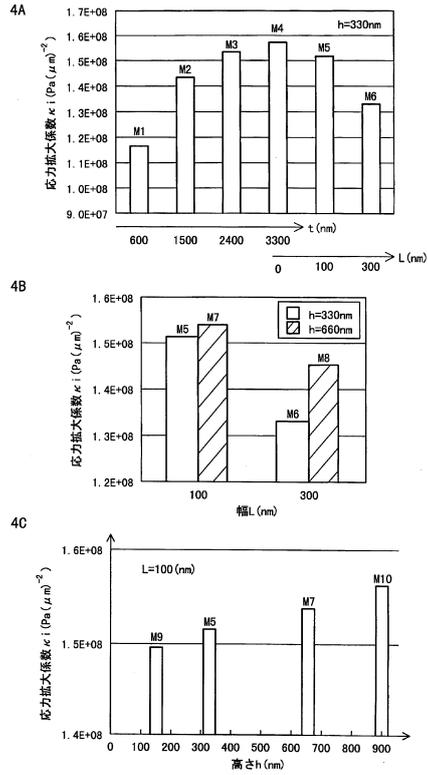
【 図 2 】



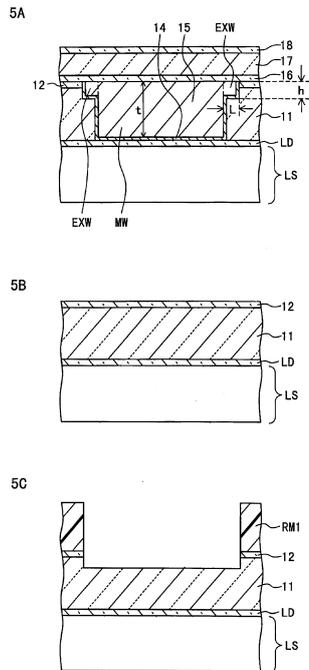
【 図 3 】



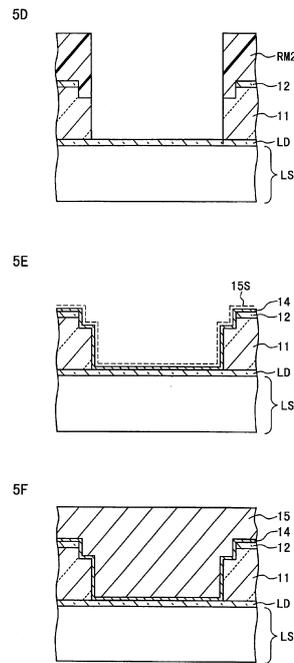
【 図 4 】



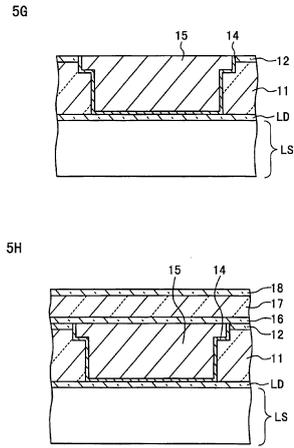
【 図 5 - 1 】



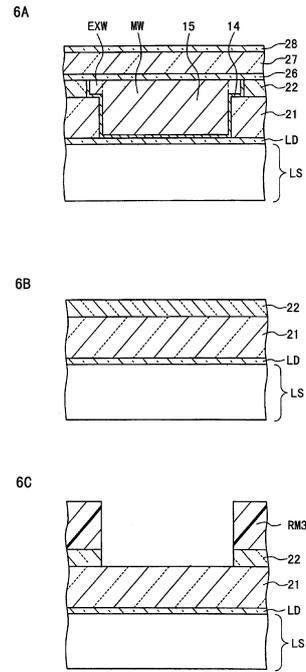
【 図 5 - 2 】



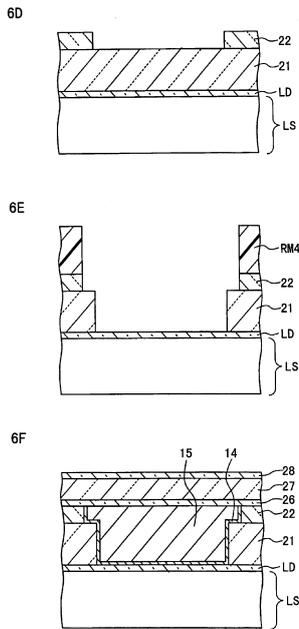
【 図 5 - 3 】



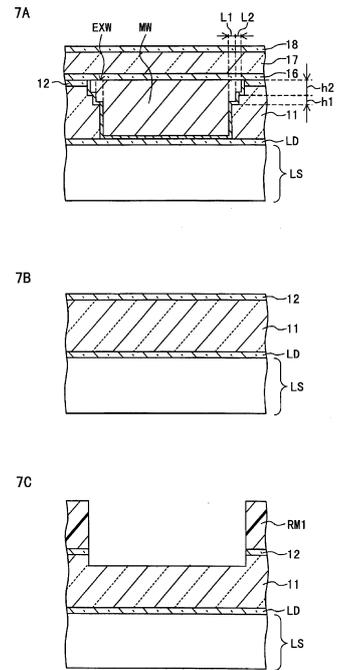
【 図 6 - 1 】



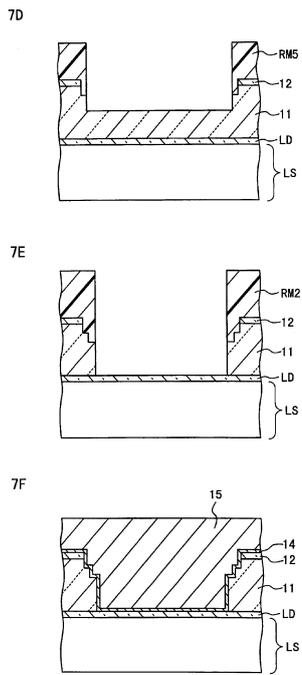
【 図 6 - 2 】



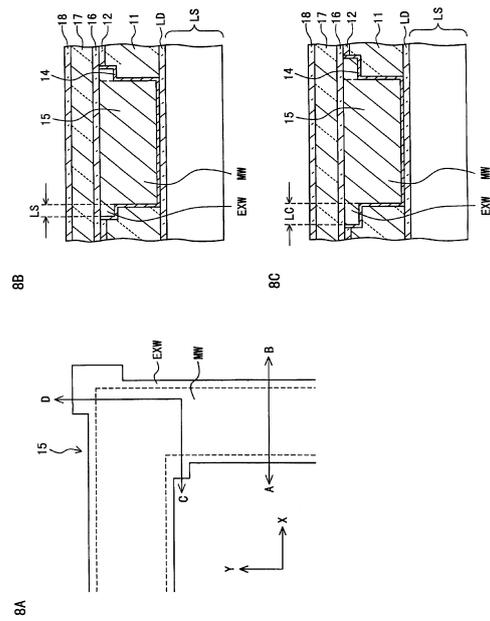
【 図 7 - 1 】



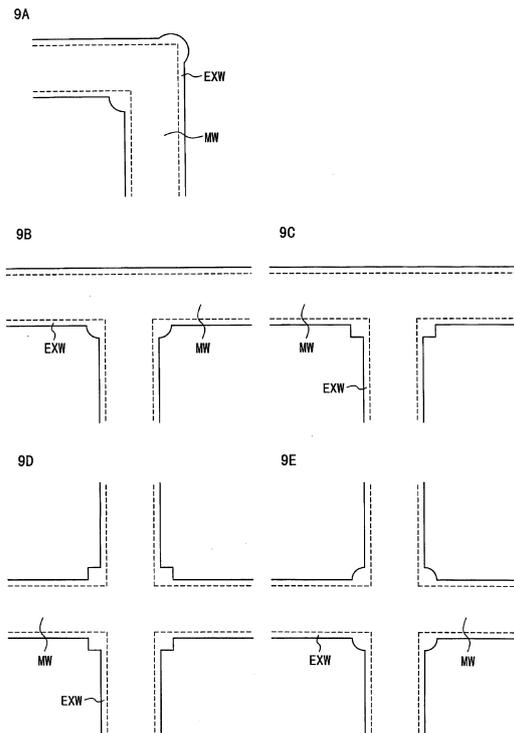
【 7 - 2 】



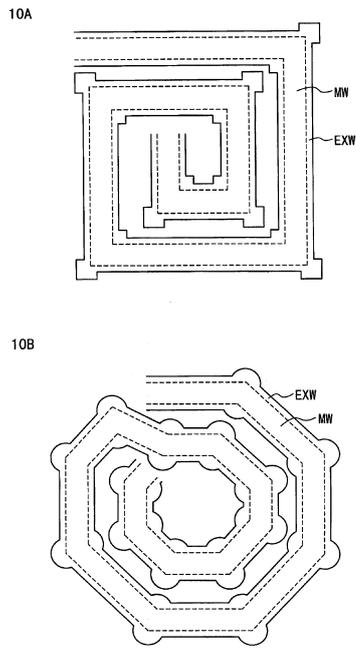
【 8 】



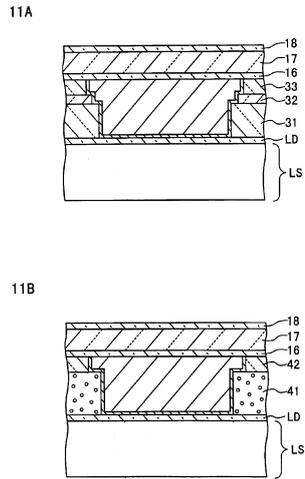
【 9 】



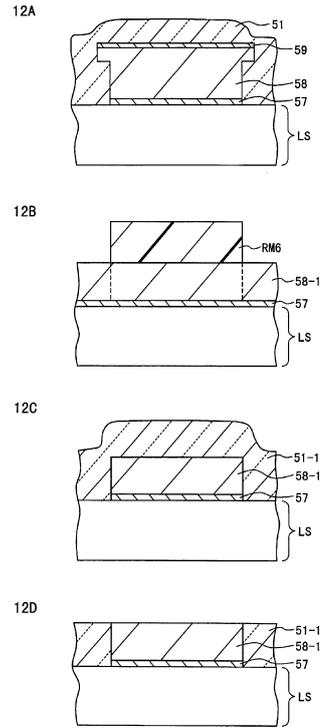
【 10 】



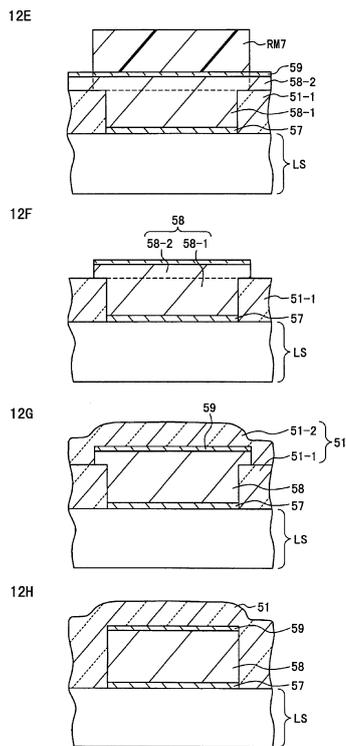
【 図 1 1 】



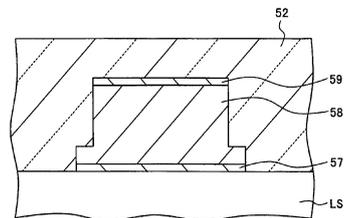
【 図 1 2 - 1 】



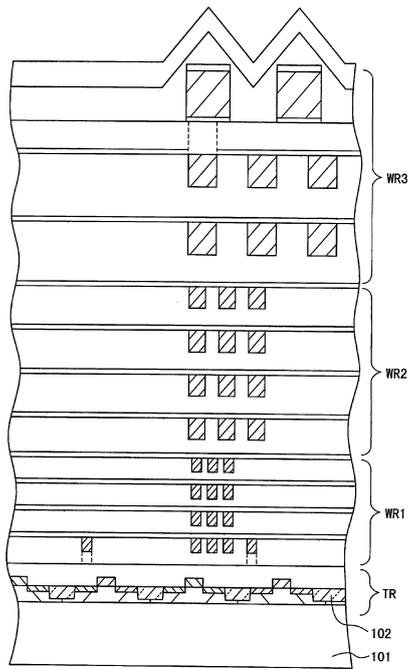
【 図 1 2 - 2 】



【 図 1 3 】



【図14】



フロントページの続き

- (56)参考文献 特開2004-172337(JP,A)
特開平11-214508(JP,A)
特開2003-324102(JP,A)
特開2007-299850(JP,A)
特開平11-054705(JP,A)
特開2005-294818(JP,A)
特開2001-351920(JP,A)
特開平01-140645(JP,A)
特開平03-082031(JP,A)
特開平05-182966(JP,A)
特開平09-321046(JP,A)
特開2001-015508(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/768
H01L 21/822
H01L 23/522
H01L 27/04