

公告本

90010

申請日期: 90.4.20

案號: 90109495

類別:

H01L 21/76

(以上各欄由本局填註)

發明專利說明書

488017

一、發明名稱	中文	去除黑砂之半導體製法
	英文	
二、發明人	姓名 (中文)	1. 蔡子敬 2. 林宏信
	姓名 (英文)	1. 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台中縣神岡鄉豐洲路115號 2. 高雄市楠梓區興昌里2鄰右昌街253號
三、申請人	姓名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓名 (中文)	1. 王永慶
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

本發明係有關一種半導體製法，尤指一種去除黑矽之半導體製法。

半導體業製造積體電路之方法中，溝槽 (trench) 通常以蝕刻方式形成於例如矽晶圓之基材中；舉例而言，深溝槽 (deep trench) 用以製作溝槽式電容器之記憶單元陣列。

習知溝槽式電容器之製作方法，主要於半導體基材上分別依序形成墊介電層及硬式罩幕層。接著，形成業經定義之光阻層，並露出部分之硬式罩幕層。然後蝕刻移除該露出之部分硬式罩幕層及其下方之墊介電層，而且，持續向下蝕刻半導體基材，俾形成一深溝槽。之後，移除剩餘之硬式罩幕層，以習知技術分別形成下電極、環狀氧化矽層 (collar oxide)、上電極及潛導通帶 (buried strap) 等依所設計積體電路而需之基本架構。

半導體業界已發現，於蝕刻形成深溝槽後，晶圓之外周緣處一般皆會產生長度約3至7微米之針狀物，此針狀物即為通稱之黑矽 (black silicon)。黑矽之形成，主要係導源於進行深溝槽蝕刻時仍留在晶圓表面上之剩餘墊介電層將阻止下方矽基材之被蝕刻。基此，未被該島狀墊介電層所保護之矽基材部分持續被蝕刻，而受氧化層保護者則保留著，故於反應式離子蝕刻 (RIE) 時，該受保護之矽基材部分便有針狀物之形成。

該反應式離子蝕刻 (RIE) 時所形成之黑矽，易於後續之半導體製程中自晶圓掉落，造成污染粒子來源，影響



五、發明說明 (2)

半導體裝置之良率。

習知技藝中，一種去除黑矽11之半導體製法，如第一圖所示，主要於半導體基材10中形成深溝槽後，塗佈一層與晶圓外周緣之距離大約為3公釐並露出該黑矽之光阻12，該光阻12與晶圓外周緣之距離得因晶圓上半導體裝置之特別設計及布局而略有差異。

上揭塗佈光阻12，雖可露出黑矽部分，在晶圓邊緣仍有部分的深溝槽圖案未被該光阻12覆蓋，故需較長的時間來去除硬式罩幕層及墊介電層，以避免造成另一個污染粒子來源。而且，該塗佈光阻12亦可能造成晶圓邊緣處完整晶粒的損失。

此外，由於該潛導通帶有測試圖案，故為避免光阻12於該長條形潛導通帶之測試圖案上產生裂縫，一般皆於塗佈光阻12前，以氧進行灰化(ashing)處理，再進行黑矽11之移除以及硬式罩幕層之移除等後續製程。

基上，本發明之目的，旨在提供一種不需與晶圓外周緣隔一間距之塗佈光阻，以縮短移除黑矽之作業時間，提高生產效率。

本發明之另一目的，在於改變硬式罩幕層之移除程序，同時免除用以防止潛導通帶測試圖案產生裂縫之氧灰化處理，可簡化半導體製造之流程。

根據本發明之提供，一種去除黑矽之半導體製法，主要於形成深溝槽之半導體基材上，先移除硬式罩幕層後，塗佈一層未與基材外周緣間隔開之光阻，再移除露出於光



五、發明說明 (3)

阻外之黑矽。

第一圖包含第一A圖至第一B圖，係習知去除黑矽之半導體製法之上視圖及剖面視圖，顯示塗佈光阻、半導體基材與黑矽間之相對應關係位置。

第二圖包含第二A圖至第二D圖，顯示根據本發明去除黑矽之製程圖。

請參閱第二A圖，半導體基材10上先依序分別形成墊介電層20及硬式單幕層30。該半導體基材10可為任何習知之半導體基材，並以矽晶圓為較佳者，而墊介電層20可包含厚度約為50埃之二氧化矽及／或厚度約為2,000埃氮化矽，硬式單幕層30則以厚度約10,000埃之硼矽玻璃(BSG)為較佳。

接著，如第二B圖所示，形成業經定義之光阻層40，並露出部分之硬式單幕層30。以如反應式離子蝕刻或其他乾蝕刻技藝對露出之部分硬式單幕層30及其下方之墊介電層20進行非等向性蝕刻，而且，持續向下蝕刻半導體基材10，俾形成一深溝槽50。

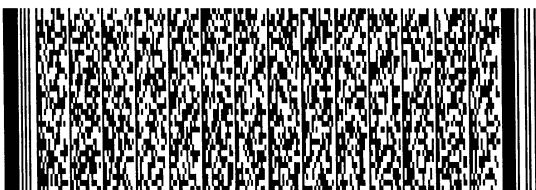
請參閱第二C圖，上揭蝕刻完成後，將剩餘之硼矽玻璃層30移除，該硼矽玻璃層30之移除，以稀釋氫氟酸，選擇性地進行為較佳，俾於後續塗佈光阻60時增加矽基材10表面與光阻60間之附著，以防止光阻於後續之潛導通帶之測試圖案產生裂縫。



五、發明說明 (4)

如第二D圖所示，該光阻60之塗佈，以蓋住深溝槽50圖案而僅露出黑矽11者為最佳，俾達迅速清除黑矽11之目的。根據本發明之實施，蝕刻黑矽之時間得從原先需時180秒縮短至僅需90秒，顯著提升生產效能。

故根據本發明上揭實施例，熟習本技藝人士明顯可知，本發明去除黑矽之半導體製法，可確實縮短半導體裝置之製程及時程，具有提高產能之進步功效。故本案誠為具備產業利用性之新發明。



圖式簡單說明

四、中文發明摘要 (發明之名稱：去除黑矽之半導體製法)

一種去除黑矽之半導體製法，主要於形成深溝槽之半導體基材上，先移除硬式罩幕層後，塗佈一層未與基材外周緣間隔開之光阻，再移除露出於光阻外之黑矽。

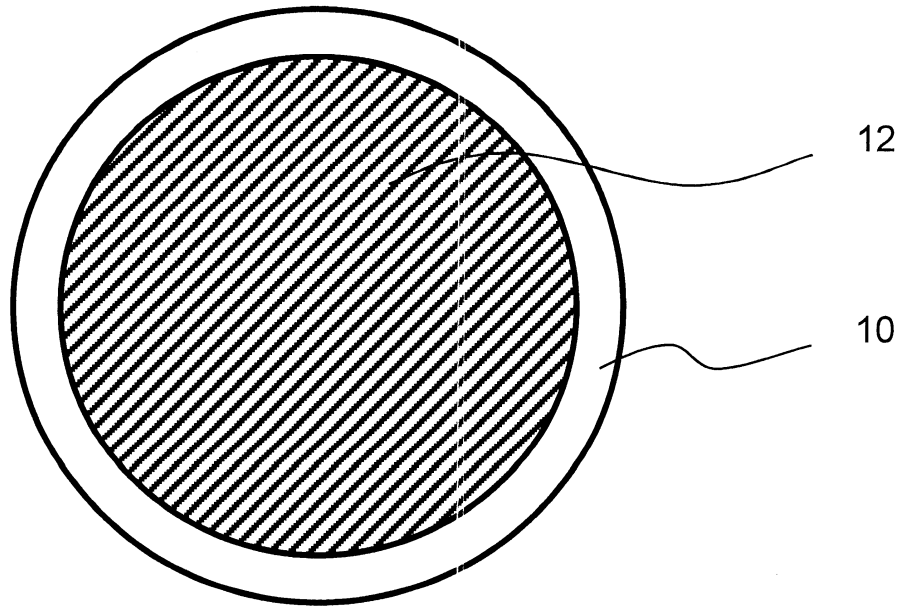
英文發明摘要 (發明之名稱：)



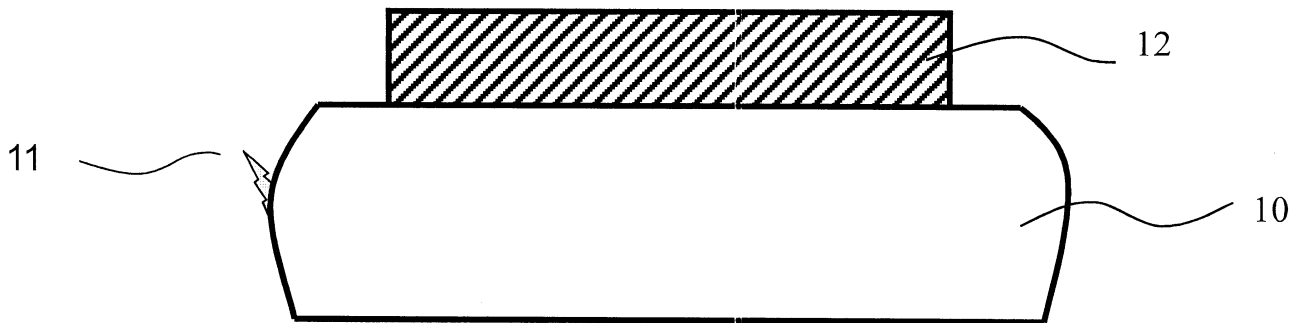
六、申請專利範圍

1. 一種去除黑矽之半導體製法，主要包含：
於半導體基材形成深溝槽，該半導體基材上具有墊介電層及硬式罩幕層；
移除該硬式罩幕層；
塗佈光阻層，以蓋住該深溝槽並僅露出於形成該深溝槽時產生於該半導體基材邊緣之黑矽；以及
移除該黑矽。
2. 如申請專利範圍第1項之製法，其中該墊介電層包含二氧化矽。
3. 如申請專利範圍第1項之製法，其中該墊介電層包含氮化矽。
4. 如申請專利範圍第1項之製法，其中該硬式罩幕層為硼矽玻璃。
5. 如申請專利範圍第1項之製法，其中該硬式罩幕層之移除係以稀釋氫氟酸，選擇性地進行。

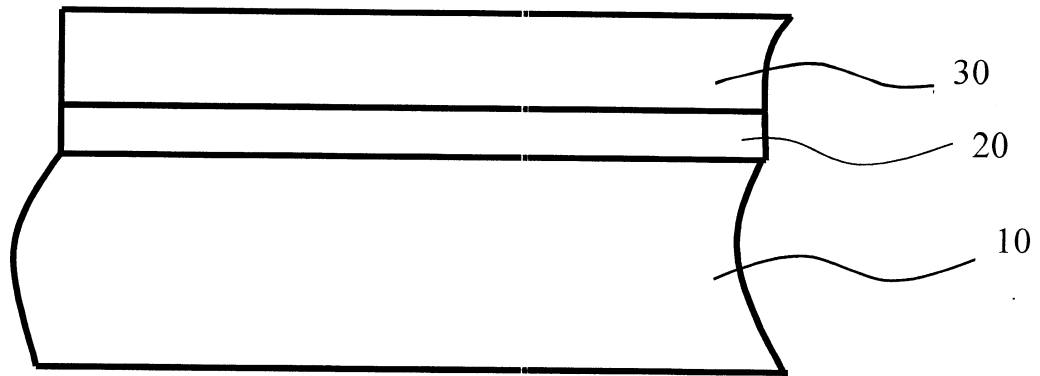




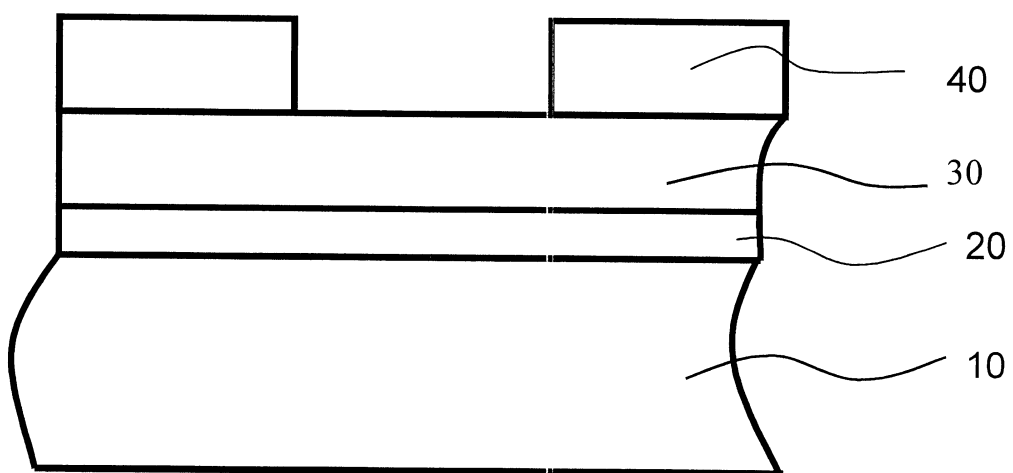
第一 A 圖



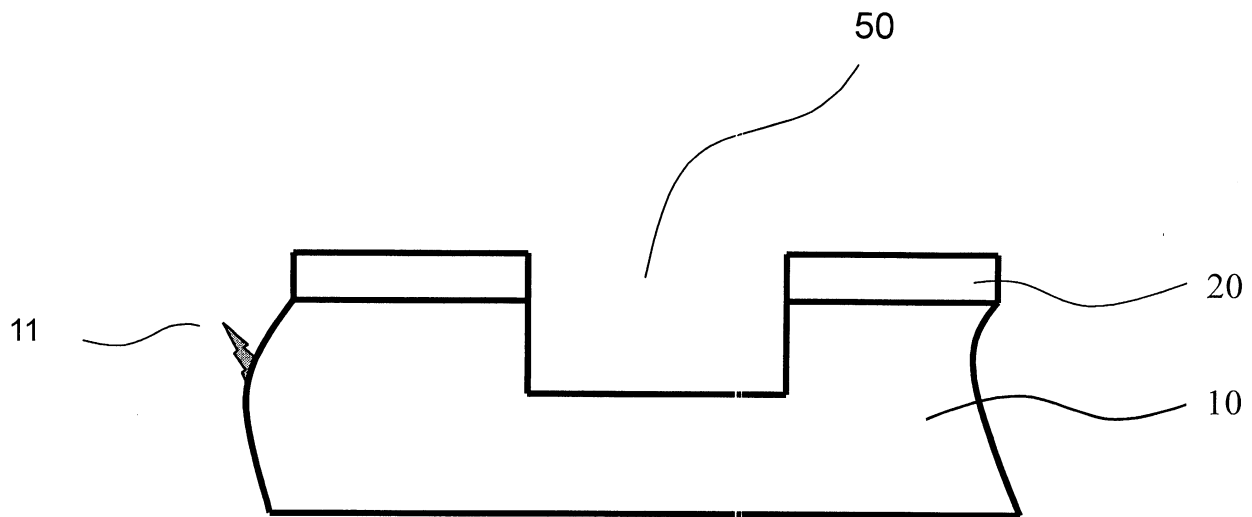
第一 B 圖



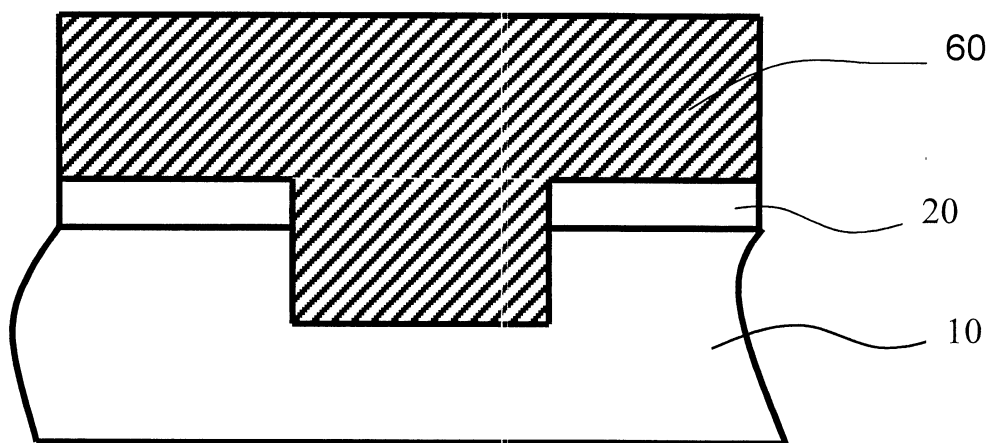
第二 A 圖



第二 B 圖



第二 C 圖



第二 D 圖