

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3948172号

(P3948172)

(45) 発行日 平成19年7月25日(2007.7.25)

(24) 登録日 平成19年4月27日(2007.4.27)

(51) Int. Cl.		F I	
HO 1 L 21/205	(2006.01)	HO 1 L 21/205	
HO 1 L 29/812	(2006.01)	HO 1 L 29/80	B
HO 1 L 21/338	(2006.01)		

請求項の数 2 (全 5 頁)

(21) 出願番号	特願平11-275430	(73) 特許権者	000005120 日立電線株式会社 東京都千代田区外神田四丁目14番1号
(22) 出願日	平成11年9月29日(1999.9.29)	(72) 発明者	和田 次郎 茨城県土浦市木田余町3550番地 日立電線株式会社アドバンスリサーチセンタ内
(65) 公開番号	特開2001-102308(P2001-102308A)	(72) 発明者	土屋 忠蔵 茨城県土浦市木田余町3550番地 日立電線株式会社アドバンスリサーチセンタ内
(43) 公開日	平成13年4月13日(2001.4.13)	(72) 発明者	五十嵐 淳一 茨城県日立市日高町5丁目1番1号 日立電線株式会社日高工場内
審査請求日	平成16年11月19日(2004.11.19)	審査官	池淵 立

最終頁に続く

(54) 【発明の名称】 化合物半導体エピタキシャルウェハの製造方法

(57) 【特許請求の範囲】

【請求項1】

有機金属気相成長法を用い、半絶縁性GaAs基板上にIII-V族化合物半導体から成るエピタキシャル層を成長する前に、アルシンとTMA_s若しくはTBA_sからなる有機砒素原料を同時に導入して基板表面をクリーニングすることを特徴とする化合物半導体エピタキシャルウェハの製造方法。

【請求項2】

請求項1記載の化合物半導体エピタキシャルウェハの製造方法において、基板表面のクリーニング温度が、基板表面温度で350 から900 の温度範囲であることを特徴とする化合物半導体エピタキシャルウェハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型トランジスタやヘテロバイポーラトランジスタ用として適した化合物半導体エピタキシャルウェハの製造方法に関するものである。

【0002】

【従来の技術】

化合物半導体ショットキーゲート電界効果トランジスタ(MESFET)用エピタキシャルウェハは、半絶縁性GaAs基板の上に有機金属気相成長(MOVPE)法により作成される。

10

20

【0003】

まず、鏡面に仕上げられた半絶縁性GaAs基板に硫酸系エッチングを施し、基板表面の不純物を除去する。この基板上にMOVPE法を用いて、図1に示すように、バッファ層として高抵抗のアンドープGaAsもしくは、アンドープGaAsとアンドープAlGaAsの多層構造のエピタキシャル結晶を、500～1000nm成長し、次いで能動層としてn型GaAs（キャリア濃度を $1 \sim 5 \times 10^{17} \text{ cm}^{-3}$ ）を100～500nm成長し、更にオーミックコンタクト層として n^+ 型GaAs（キャリア濃度を $1 \sim 3 \times 10^{18} \text{ cm}^{-3}$ ）を20～100nm成長する。

【0004】

【発明が解決しようとする課題】

しかしながら、問題点は、従来技術で述べたエピタキシャル結晶成長方法で作成されたエピタキシャルウェハにおいては、半絶縁性基板とエピタキシャル層の界面に低抵抗の導電層が存在することである。

【0005】

このようなエピタキシャルウェハを用いて電界効果トランジスタを作成すると、エピタキシャル層とウェハの界面の導電層を通じてソース電極とドレイン電極にリーク電流が流れ、トランジスタの電気特性を悪化させる。低抵抗層が形成される原因は、基板表面にもともとSiが付着しており、このSiがエピタキシャル結晶成長中に結晶内に取り込まれ、n型キャリアとなってしまうためである。この基板表面のSiを除去するため、エピタキシャル結晶成長前に基板のエッチング、洗浄を行うが、完全にSiを除去することはできない。

【0006】

そこで、本発明の目的は、上記課題を解決し、ソース-ドレイン電極間のリーク電流を低減した電界効果トランジスタを得ることができる化合物半導体エピタキシャルウェハの製造方法を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明による化合物半導体エピタキシャルウェハの製造方法は、有機金属気相成長(MOVPE)法を用い、半絶縁性GaAs基板の上にIII-V族化合物半導体から成るエピタキシャル層を成長する前に、アルシンとTMAs若しくはTBAAsからなる有機砒素原料を同時に導入して基板表面をクリーニングすることを特徴とするものである。

【0008】

通常基板の硫酸系エッチングと洗浄処理では、完全に基板表面のSiを除去することができないので、半絶縁性基板とエピタキシャル層の界面に低抵抗の導電層が存在することとなる。しかし、本発明により、基板上に化合物半導体のエピタキシャル層を成長させるに先立ち、アルシンとTMAs若しくはTBAAsからなる有機砒素原料を同時に導入して基板表面をクリーニングすると、上記洗浄で完全に除去しきれないSiを除去することができる。従って、例えば電界効果型トランジスタの製造に適用した場合、そのソース電極とドレイン電極間のリーク電流をなくし、当該トランジスタの電気特性を向上させることができる。

【0009】

この基板表面のクリーニング温度は、基板表面温度で350 から900 の温度範囲であることが好ましい(請求項2)。この基板表面のクリーニング温度が350 より下の温度ではクリーニング効果が低く、また900 より上の温度では表面が荒れてしまいFETの特性が劣化してしまうからである。

【0010】

【発明の実施の形態】

以下、本発明を図示の実施形態に基づいて説明する。

【0011】

10

20

30

40

50

図1に示すような断面構造の電界効果型トランジスタ用エピタキシャルウェハを製造した。

【0012】

まず半絶縁性GaAs基板1として、[011]方向に2°傾斜した(100)面を有する半絶縁性GaAs鏡面ウェハを用意した。この2°OFF(100)半絶縁性GaAs鏡面ウェハ表面にMOV法を用いて、図1のFET構造の化合物半導体エピタキシャル層を成長させた。

【0013】

その成長前に、本発明に従い、アルシンと有機砒素原料を同時に導入して、基板表面のクリーニングを行った。有機砒素原料としては、TMA_s(トリメチルアルシン)、TBA_s(ターシャリーブチルアルシン)をそれぞれ試した。このときの基板表面のクリーニング温度は、基板表面温度で350 から900 の温度範囲とした。

【0014】

その後、MOV法を用い、エピタキシャル成長温度において、先ずアンドープGaAsよりなる高抵抗バッファ層2を膜厚500nmに成長し、その上にSiドープn型GaAs(キャリア濃度 $1.7 \times 10^{17} \text{cm}^{-3}$)能動層3を膜厚200nmに成長し、更にSiドープn+型GaAs(キャリア濃度 $3 \times 10^{18} \text{cm}^{-3}$)オーミックコンタクト層4を膜厚50nmに順次成長し、電界効果型トランジスタ用エピタキシャルウェハを得た。そして、上記クリーニングの有機砒素原料にTMA_sを用いたものを実施例1とし、TBA_sを用いたものを実施例2とした。

【0015】

比較例として、昇温過程において有機V族原料(トリメチルアルシン)を導入しない従来型のエピタキシャルウェハの試料も作成した。

【0016】

これらの試料のエピタキシャル層の表面に、ソース電極、ゲート電極及びドレイン電極を付け、電界効果型トランジスタ(FET)を作成した。

【0017】

そして、これらのFETのゲート電極に、ピンチオフ電圧を印加したときのソース・ドレイン間のリーク電流を調べ、比較した。結果を表1に示す。

【0018】

【表1】

ソース・ドレイン間リーク電流比較

	クリーニングの有無 有機砒素原料	ソース・ドレイン間 リーク電流
実施例 1	あり TMA _s	15 μA
実施例 2	あり TBA _s	15 μA
比較例	なし	200 μA

【0019】

有機砒素原料を導入しクリーニング処理を行ってからエピタキシャル層を成長した実施例におけるFETのリーク電流は、15 μAであり、これは従来の方法で作成した比較例のFETにおけるリーク電流200 μAに比較して非常に小さく、良好な電気特性が得られた。

【0020】

また、アルシンと有機砒素原料を同時に導入を開始する温度が、350 以下ではリー

10

20

30

40

50

ク電流に変化が見られないことから、導入時の温度は350 以上であれば良いことがわかった。また、900 以上では表面が荒れてしまいFETの特性が劣化してしまった。

【0021】

【発明の効果】

以上説明したように本発明によれば、有機金属気相成長(MOVPE)法を用い、半絶縁性GaAs基板上にIII-V族化合物半導体から成る電界効果型トランジスタ用エピタキシャルウェハを成長する前に、アルシンと有機砒素原料を同時に導入して基板表面をクリーニングするので、通常の基板のエッチングと洗浄処理では完全に除去しきれないSiを除去することができる。従って、本発明の方法で作成した化合物半導体エピタキシャルウェハを用いて電界効果型トランジスタを作成することにより、ソース-ドレイン間のリーク電流を大幅に低減でき、優れた特性の電界効果型トランジスタを高い素子歩留で作成することができる。

10

【図面の簡単な説明】

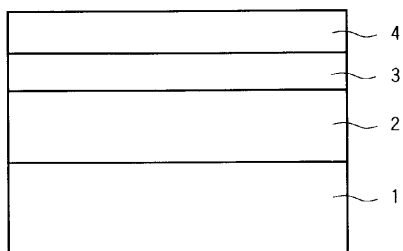
【図1】 本発明の製造方法の対象としたFET用エピタキシャルウェハの断面構造を示した図である。

【符号の説明】

- 1 半絶縁性GaAs基板
- 2 高抵抗GaAs(バッファ層)
- 3 n型GaAs(能動層)
- 4 n⁺型GaAs(オーミックコンタクト層)

20

【図1】



- 1 半絶縁性GaAs基板
- 2 高抵抗GaAs(バッファ層)
- 3 n型GaAs(能動層)
- 4 n⁺型GaAs(オーミックコンタクト層)

フロントページの続き

- (56)参考文献 特開平11-145059(JP,A)
特開平05-175150(JP,A)
特開2000-124138(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/205