

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-73123
(P2015-73123A)

(43) 公開日 平成27年4月16日(2015.4.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 K
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T
	HO 1 L 29/78	6 5 2 B
	HO 1 L 29/78	6 5 3 A

審査請求 有 請求項の数 16 O L (全 61 頁)

(21) 出願番号	特願2014-248468 (P2014-248468)	(71) 出願人	000116024 ローム株式会社
(22) 出願日	平成26年12月8日 (2014.12.8)		京都府京都市右京区西院溝崎町2-1番地
(62) 分割の表示	特願2011-529942 (P2011-529942) の分割	(74) 代理人	100087701 弁理士 稲岡 耕作
原出願日	平成22年9月2日 (2010.9.2)	(74) 代理人	100101328 弁理士 川崎 実夫
(31) 優先権主張番号	特願2009-206372 (P2009-206372)	(74) 代理人	100183450 弁理士 田村 太知
(32) 優先日	平成21年9月7日 (2009.9.7)	(72) 発明者	箕谷 周平 京都市右京区西院溝崎町2-1番地 ローム株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	中野 佑紀 京都市右京区西院溝崎町2-1番地 ローム株式会社内
(31) 優先権主張番号	特願2009-206373 (P2009-206373)		
(32) 優先日	平成21年9月7日 (2009.9.7)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願2009-206374 (P2009-206374)		
(32) 優先日	平成21年9月7日 (2009.9.7)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

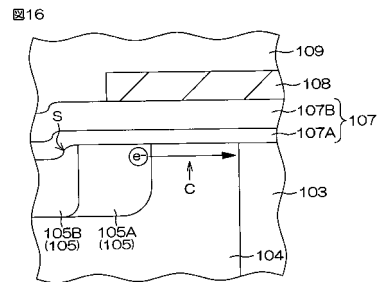
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】チャネル抵抗を低減することができる半導体装置を提供すること。

【解決手段】半導体装置は、第1導電型のSiCからなる半導体層と、半導体層の表層部に形成された第2導電型のウェル領域と、ウェル領域の表層部に形成された第1導電型のソース領域と、半導体層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成され、ゲート絶縁膜を挟んでウェル領域におけるチャネルが形成されるチャネル領域に対向するゲート電極とを含む。ソース領域において、チャネル領域に隣接する所定幅の第1領域の不純物濃度が当該第1領域以外の第2領域の不純物濃度よりも低い。

【選択図】 図16



【特許請求の範囲】

【請求項 1】

炭化シリコン基板と、
前記炭化シリコン基板上に形成された酸化シリコン膜と、
前記酸化シリコン膜上に形成された酸窒化アルミニウム膜と、
前記酸窒化アルミニウム膜上に形成され、アルミニウムを含む金属材料からなるゲート電極と、

前記炭化シリコン基板に設けられ、第 1 導電型の SiC からなる半導体層と、
前記半導体層の表層部に形成された第 2 導電型のウェル領域と、
前記ウェル領域の表層部に形成された第 1 導電型のソース領域と、
前記酸化シリコン膜および前記酸窒化アルミニウム膜を含み、前記半導体層上に形成されたゲート絶縁膜とを含み、

前記炭化シリコン基板と前記酸化シリコン膜との界面が水素終端していて、
前記ゲート電極は、前記ゲート絶縁膜を挟んで前記ウェル領域におけるチャンネルが形成されるチャンネル領域に対向し、

前記ソース領域において、前記チャンネル領域に隣接する所定幅の第 1 領域の不純物濃度が当該第 1 領域以外の第 2 領域の不純物濃度よりも低い、半導体装置。

【請求項 2】

前記第 1 領域の表面と前記第 2 領域の表面との間に段差が形成されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記ソース領域および前記チャンネル領域は、前記半導体層の上面に沿う方向に隣接して形成されており、

前記ゲート絶縁膜は、前記半導体層の上面に形成されている、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記ソース領域および前記チャンネル領域は、前記半導体層の上面と直交する方向に隣接して形成されており、

前記半導体層には、前記ソース領域の上面から掘り下がり、前記ソース領域および前記ウェル領域を貫通するトレンチが形成されており、

前記ゲート絶縁膜は、前記トレンチの内面に形成されている、請求項 1 または 2 に記載の半導体装置。

【請求項 5】

炭化シリコン層と、

前記炭化シリコン層上に形成された酸窒化シリコン膜と、

前記酸窒化シリコン膜上に形成された酸化シリコン膜と、

前記酸化シリコン膜上に形成された高誘電率絶縁膜と、

前記高誘電率絶縁膜上に形成されたゲート電極とを含む、半導体装置。

【請求項 6】

前記酸窒化シリコン膜および前記酸化シリコン膜の合計厚さは、1 nm 以上 10 nm 以下である、請求項 5 に記載の半導体装置。

【請求項 7】

前記高誘電率絶縁膜は、酸窒化アルミニウム膜である、請求項 5 または 6 に記載の半導体装置。

【請求項 8】

前記ゲート電極は、アルミニウムを含む金属材料からなる、請求項 5 ~ 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記炭化シリコン層は、第 1 導電型であり、

前記炭化シリコン層の表層部に形成された第 2 導電型のウェル領域と、

10

20

30

40

50

前記ウェル領域の表層部に形成された第 1 導電型のソース領域と、

前記酸化シリコン膜、前記酸化シリコン膜および前記高誘電率絶縁膜を含み、前記炭化シリコン層上に形成されたゲート絶縁膜とをさらに含み、

前記ゲート電極は、前記ゲート絶縁膜を挟んで前記ウェル領域におけるチャンネルが形成されるチャンネル領域に対向し、

前記ソース領域において、前記チャンネル領域に隣接する所定幅の第 1 領域の不純物濃度が当該第 1 領域以外の第 2 領域の不純物濃度よりも低い、請求項 5 ~ 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記第 1 領域の表面と前記第 2 領域の表面との間に段差が形成されている、請求項 9 に記載の半導体装置。

10

【請求項 11】

前記ソース領域および前記チャンネル領域は、前記炭化シリコン層の上面に沿う方向に隣接して形成されており、

前記ゲート絶縁膜は、前記炭化シリコン層の上面に形成されている、請求項 9 または 10 に記載の半導体装置。

【請求項 12】

前記ソース領域および前記チャンネル領域は、前記炭化シリコン層の上面と直交する方向に隣接して形成されており、

前記炭化シリコン層には、前記ソース領域の上面から掘り下がり、前記ソース領域および前記ウェル領域を貫通するトレンチが形成されており、

20

前記ゲート絶縁膜は、前記トレンチの内面に形成されている、請求項 9 または 10 に記載の半導体装置。

【請求項 13】

第 1 導電型の SiC からなる半導体層と、

前記半導体層の表層部に形成された第 2 導電型のウェル領域と、

前記ウェル領域の表層部に形成された第 1 導電型のソース領域と、

前記半導体層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記ゲート絶縁膜を挟んで前記ウェル領域におけるチャンネルが形成されるチャンネル領域に対向するゲート電極とを含み、

30

前記ソース領域において、前記チャンネル領域に隣接する所定幅の第 1 領域の不純物濃度が当該第 1 領域以外の第 2 領域の不純物濃度よりも低い、半導体装置。

【請求項 14】

前記第 1 領域の表面と前記第 2 領域の表面との間に段差が形成されている、請求項 13 に記載の半導体装置。

【請求項 15】

前記ソース領域および前記チャンネル領域は、前記半導体層の上面に沿う方向に隣接して形成されており、

前記ゲート絶縁膜は、前記半導体層の上面に形成されている、請求項 13 または 14 に記載の半導体装置。

40

【請求項 16】

前記ソース領域および前記チャンネル領域は、前記半導体層の上面と直交する方向に隣接して形成されており、

前記半導体層には、前記ソース領域の上面から掘り下がり、前記ソース領域および前記ウェル領域を貫通するトレンチが形成されており、

前記ゲート絶縁膜は、前記トレンチの内面に形成されている、請求項 13 または 14 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、半導体装置に関する。

【背景技術】

【0002】

S i C (炭化シリコン：シリコンカーバイド)は、S i (シリコン)よりも絶縁破壊耐性および熱伝導率などに優れている。そのため、S i Cは、たとえば、ハイブリッド自動車のインバータなどの用途に好適な半導体として注目されている。より具体的には、S i Cを用いたM I S F E T (Metal Insulator Semiconductor Field Effect Transistor)は、ハイブリッド自動車のインバータなどに好適な高耐圧デバイスとして期待されている。

【0003】

S i Cを用いたM I S F E Tの一例としてのM O S F E T (Metal Oxide Semiconductor Field Effect Transistor)は、S i C基板上にS i O₂ (酸化シリコン)からなるゲート絶縁膜を挟んでゲート電極を積層したS i C - M O S構造を有している。S i C基板の表層部には、ウェル領域が形成されている。ウェル領域の表層部には、ソース領域およびドレイン領域が互いに間隔を空けて形成されている。ゲート絶縁膜は、ソース領域およびドレイン領域の間の領域上に形成されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-16530号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

S i C - M O S構造は、S i C基板とゲート絶縁膜との界面(S i O₂ / S i C界面)に高密度の界面準位が生じるという問題を有している。界面準位(界面欠陥)は、S i O₂からなるゲート絶縁膜の厚さが大きくなるにつれて増加する。そこで、本願発明者らは、S i O₂の単層構造ではなく、比較的薄いS i O₂膜上にA l O N (酸窒化アルミニウム)膜を積層したA l O N / S i O₂積層構造のゲート絶縁膜の採用を検討している。

【0006】

たとえば、厚さ40nmのS i O₂単層のゲート絶縁膜と、厚さ65nmのA l O N膜および厚さ6nmのS i O₂膜の積層構造のゲート絶縁膜とを比較した場合、A l O N / S i O₂積層ゲート絶縁膜では、S i O₂膜の厚さが小さいので、界面準位密度の低減が期待される。

図11は、常温下におけるA l O N / S i O₂積層ゲート絶縁膜およびS i O₂単層ゲート絶縁膜の電界強度 - リーク電流特性(ゲート絶縁膜に生じる電界(Oxide Field)の強度とリーク電流密度(Gate Current Density)との関係)を示すグラフである。また、図12は、高温下におけるA l O N / S i O₂積層ゲート絶縁膜およびS i O₂単層ゲート絶縁膜の電界強度 - リーク電流特性を示すグラフである。

【0007】

図11, 12に示すように、A l O N / S i O₂積層ゲート絶縁膜では、常温(約25)下のみならず200の高温下においても、S i O₂単層ゲート絶縁膜よりもリーク電流が低減されることが確認されている。その低減の効果は、A l O N / S i O₂積層ゲート絶縁膜に生じる電界の強度が6MV/cmよりも大きい範囲でとくに大きい。

図13は、A l O N / S i O₂積層ゲート絶縁膜を採用したS i C - M I S構造およびS i O₂単層ゲート絶縁膜を採用したS i C - M O S構造の界面準位密度の評価結果を示すグラフである。このグラフにおいて、横軸は、ゲート絶縁膜の価電子端からのエネルギー(E_c - E)であり、縦軸は、界面準位密度D_{it}である。

【0008】

A l O N / S i O₂積層ゲート絶縁膜を採用したS i C - M I S構造およびS i O₂単

10

20

30

40

50

層ゲート絶縁膜を採用したSiC-MOS構造のそれぞれについて、高周波CV特性（たとえば、測定周波数100kHz）と低周波CV特性（準静的CV特性）を測定し、High-Low法により、高周波測定値と低周波測定値との差分を界面準位密度Ditとして算出した。

【0009】

AlON/SiO₂積層ゲート絶縁膜を採用したSiC-MIS構造では、SiO₂単層ゲート絶縁膜を採用したSiC-MOS構造と比較して、SiO₂膜の厚さの低減による界面準位密度の低減が期待されるが、図13に示す結果から、実際には界面準位密度が増大することがわかった。MISFETでは、界面準位密度の増大がチャネル移動度の低下の原因となる。

10

【0010】

本発明の目的は、炭化シリコン基板と酸化シリコン膜との界面の状態が良好な半導体装置を提供することである。また、本発明の目的は、チャネル抵抗を低減することができる半導体装置を提供することである。また、本発明の目的は、炭化シリコン層とゲート絶縁膜との界面における界面準位密度およびリーク電流の両方の低減を図ることができる半導体装置を提供することである。

【課題を解決するための手段】

【0011】

本発明の一の局面に係る半導体装置の製造方法は、炭化シリコン(SiC)基板上に酸化シリコン(SiO₂)膜を形成する工程と、水素を含むガス中で前記炭化シリコン基板および前記酸化シリコン膜をアニールする工程と、前記炭化シリコン基板および前記酸化シリコン膜のアニール後、前記酸化シリコン膜上に酸窒化アルミニウム(AlON)膜を形成する工程とを含む。

20

【0012】

炭化シリコン基板上に酸化シリコン膜が形成されたままの状態では、炭化シリコン基板と酸化シリコン膜との界面に、炭素(C)原子およびシリコン(Si)原子のダングリングボンドが存在する。酸化シリコン膜の形成後に、水素を含むガス中で炭化シリコン基板および酸化シリコン膜がアニールされることにより、炭素原子およびシリコン原子のダングリングボンドに水素(H)原子が結合し、炭化シリコン基板と酸化シリコン膜との界面が水素終端化される。その結果、炭化シリコン基板と酸化シリコン膜との界面の欠陥(界面準位密度)が減少し、界面の状態が改善される。

30

【0013】

炭化シリコン基板および酸化シリコン膜のアニール後、酸化シリコン膜上に酸窒化アルミニウム膜が形成される。酸化シリコン膜上に酸窒化アルミニウム膜が存在することにより、炭化シリコン基板および酸化シリコン膜からの水素抜けが防止される。そのため、水素終端化により改善された炭化シリコン基板と酸化シリコン膜との界面の状態が維持される。

【0014】

よって、本発明の一の局面に係る製造方法によれば、炭化シリコン基板と酸化シリコン膜との界面の状態を改善することができ、その改善された状態を維持することができる。その結果、炭化シリコン基板と酸化シリコン膜との界面の状態が良好な半導体装置を得ることができる。すなわち、本発明に係る製造方法により、炭化シリコン基板と、炭化シリコン基板上に形成された酸化シリコン膜と、酸化シリコン膜上に形成された酸窒化アルミニウム膜とを備え、炭化シリコン基板と酸化シリコン膜との界面が水素終端している半導体装置を製造することができる。

40

【0015】

半導体装置が酸化シリコン膜および酸窒化アルミニウム膜をゲート絶縁膜とするMISFETを備える場合、界面準位密度の低減により、チャネル移動度の向上を図ることができる。

酸窒化アルミニウム膜は、高誘電率膜(High-k膜)である。そのため、酸化シリ

50

コン膜および酸窒化アルミニウム膜からなるゲート絶縁膜では、酸化シリコン膜のみからなるゲート絶縁膜と比較して、酸窒化アルミニウム膜の厚さを大きくすることにより、同等以上の電気的特性を確保しつつ、リーク電流を低減することができる。その結果、ゲート絶縁膜の信頼性を向上することができる。

【0016】

また、酸窒化アルミニウム膜上に形成されるゲート電極は、アルミニウムを含む金属材料からなることが好ましい。これにより、ゲート電極が多結晶シリコンからなる構成と比較して、MISFETの動作速度の向上および消費電力の低減を図ることができる。

酸窒化アルミニウム膜の形成後に、酸窒化アルミニウム膜がアニール(PDA: Post Deposition Annealing)されることが好ましい。このアニールにより、酸窒化アルミニウム膜の結晶化度を上昇させることができ、酸窒化アルミニウム膜の膜質を向上させることができる。

10

【0017】

炭化シリコン基板および酸化シリコン膜のアニールは、FGA(Forming Gas Annealing)であることが好ましく、水素(H_2)と窒素(N_2)とを混合したフォーミングガス中で450~1000の温度条件下で行われるとよい。フォーミングガスは、水素を爆発限界より小さい割合で含むとよく、より具体的には、フォーミングガスは、3%の水素と97%の窒素とを含むとよい。そして、炭化シリコン基板および酸化シリコン膜のアニールは、そのフォーミングガス中で、1000の温度下で30分間行われた後、450の温度下で30分間行われるとよい。これにより、酸化シリコン膜中に水素原子を良好に導入することができ、炭化シリコン基板と酸化シリコン膜との界面に存在する炭素原子およびシリコン原子のダングリングボンドを効果的に減少させることができる。

20

【0018】

また、炭化シリコン基板および酸化シリコン膜のアニールの前に、酸化シリコン膜に窒素プラズマが照射されることが好ましい。これにより、炭化シリコン基板と酸化シリコン膜との界面において、Si-O-C結合およびC-Cクラスタを切断し、炭素原子およびシリコン原子のダングリングボンドを生じさせることができる。そして、窒素プラズマの照射後に炭化シリコン基板および酸化シリコン膜のアニールが行われることにより、炭化シリコン基板と酸化シリコン膜との界面に存在する炭素原子およびシリコン原子のダングリングボンドに水素原子を容易に結合させることができる。その結果、炭化シリコン基板と酸化シリコン膜との界面を良好に水素終端化させることができる。

30

【0019】

また、酸化シリコン膜は、窒素酸化物(NO_x)を含むガスを用いた熱酸化法により形成されることが好ましい。これにより、酸化シリコン膜中に窒素原子を導入することができ、酸化シリコン膜の比誘電率を高めることができる。その結果、リーク電流をさらに低減することができる。さらに、炭化シリコン基板と酸化シリコン膜との界面の窒素終端化による界面準位密度のさらなる低減を図ることができ、チャンネル移動度のさらなる向上(改善)を期待することができる。

【0020】

本発明の他の局面に係る半導体装置は、炭化シリコン層と、前記炭化シリコン層上に形成された酸窒化シリコン膜と、前記酸窒化シリコン膜上に形成された酸化シリコン膜と、前記酸窒化シリコン膜上に形成された高誘電率絶縁膜(High-k絶縁膜)と、前記高誘電率絶縁膜上に形成されたゲート電極とを備えている。

40

言い換えれば、本発明の他の局面に係る半導体装置は、炭化シリコン層と、前記炭化シリコン層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを備えている。そして、前記ゲート絶縁膜は、前記炭化シリコン層側から酸窒化シリコン膜、酸化シリコン膜および高誘電率絶縁膜を積層した構造を有している。

【0021】

炭化シリコン層と酸化シリコン膜との間に酸窒化シリコン膜が介在されることにより、ゲート絶縁膜が酸化シリコン膜のみからなる構造と比較して、炭化シリコン層とゲート絶

50

縁膜との界面における界面準位密度の低減を図ることができる。そして、界面準位密度の低減により、チャネル移動度の向上を図ることができる。

また、酸窒化シリコン膜および酸化シリコン膜の合計厚さを小さくし、高誘電率絶縁膜の厚さを大きくすることにより、炭化シリコン層とゲート絶縁膜との界面における界面準位密度の増大を抑制しつつ、ゲート絶縁膜の厚さの増大によるリーク電流の低減を図ることができる。

【0022】

よって、界面準位密度の低減によるチャネル移動度の向上およびリーク電流の低減によるゲート絶縁膜の信頼性の向上の両方を達成することができる。

酸窒化シリコン膜および酸化シリコン膜の合計厚さが1nm以上10nm以下である場合、炭化シリコン層とゲート絶縁膜との界面をとくに良好な状態にすることができる。高誘電率絶縁膜は、酸窒化アルミニウム膜であってもよい。

10

【0023】

ゲート電極は、アルミニウムを含む金属材料からなることが好ましい。これにより、ゲート電極が多結晶シリコンからなる構成と比較して、MISFETの動作速度の向上および消費電力の低減を図ることができる。

本発明のさらに他の局面に係る半導体装置は、第1導電型のSiCからなる半導体層と、前記半導体層の表層部に形成された第2導電型のウェル領域と、前記ウェル領域の表層部に形成された第1導電型のソース領域と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記ゲート絶縁膜を挟んで前記ウェル領域におけるチャネルが形成されるチャネル領域に対向するゲート電極とを備えている。前記ソース領域において、前記チャネル領域に隣接する所定幅の第1領域の不純物濃度は、当該第1領域以外の第2領域の不純物濃度よりも低い。

20

【0024】

このように、ソース領域におけるチャネル領域に隣接する第1領域の不純物濃度を低くすることにより、第1領域の表面における酸化膜の成長のレート（酸化レート）を低く抑えることができる。したがって、その酸化膜の除去後に第1領域の表面とチャネル領域（ウェル領域）の表面との間に大きな段差が形成されることを防止できる。その結果、ソース領域からチャネル領域を移動するキャリアの経路（移動経路）を直線に近づけることができ、これによりチャネル抵抗の低減を達成することができる。

30

【0025】

ソース領域における第1領域以外の第2領域の不純物濃度は、第1領域の不純物濃度よりも高いので、第1領域の表面と第2領域の表面の間には、第2領域の表面が第1領域の表面よりも一段低くなる段差が形成される。第1領域の表面と第2領域の表面との間に段差が形成されていても、その段差はチャネル領域におけるキャリアの流れに影響を与えない。よって、第1領域の不純物濃度を相対的に低くし、第2領域の不純物濃度を相対的に高くすることにより、ソース領域のキャリア濃度を低減させることなく、チャネル抵抗を低減することができる。

【0026】

ソース領域およびチャネル領域が半導体層の上面に沿う方向に隣接して形成される場合、ソース領域およびチャネル領域の各上面がそれらの表面となり、ゲート絶縁膜が半導体層の上面に形成される。そして、ゲート絶縁膜上に、ゲート電極がチャネル領域の上面に対向するように設けられる。すなわち、半導体装置は、プレーナゲート型MIS（Metal Insulator Semiconductor）構造を有する。

40

【0027】

また、ソース領域およびチャネル領域が半導体層の上面と直交する方向に隣接して形成される場合、半導体層にソース領域の上面から掘り下がったトレンチが形成され、ゲート絶縁膜がトレンチの内面に形成される。トレンチは、ソース領域およびウェル領域を貫通する。そして、ゲート電極は、ゲート絶縁膜の内側に設けられ、トレンチに埋設される。すなわち、半導体装置は、トレンチゲート型MIS構造を有する。

50

【0028】

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

【図面の簡単な説明】

【0029】

【図1】図1は、本発明の第1実施形態に係る半導体装置の模式的な断面図である。

【図2】図2は、SiC基板とSiO₂膜との界面の構造を図解的に示す断面図である。

【図3】図3は、図1に示す半導体装置の製造工程図である。

【図4】図4は、ゲート電圧(Gate Voltage)とドレイン電流(Drain Current)との関係を示すグラフである。

10

【図5】図5は、試料1, 2におけるゲート絶縁膜に生じる電界(Gate Oxide Field)の強度と電界効果移動度(Field Effect Mobility)との関係を示すグラフである。

【図6】図6は、試料1の電界効果移動度の温度依存性を示すグラフである。

【図7】図7は、試料2の電界効果移動度の温度依存性を示すグラフである。

【図8】図8は、図6, 7に示す温度依存性を調べたときの各温度と各温度における電界効果移動度の極大値との関係を示すグラフである。

【図9】図9は、試料1, 3におけるゲート電圧(Gate Voltage)とドレイン電流(Drain Current)との関係を示すグラフである。

【図10】図10は、ゲート絶縁膜に生じる電界(Gate Oxide Field)の強度と電界効果移動度(Field Effect Mobility)との関係を示すグラフである。

20

【図11】図11は、常温下におけるAlON/SiO₂積層ゲート絶縁膜およびSiO₂単層ゲート絶縁膜の電界強度-リーク電流特性(ゲート絶縁膜に生じる電界(Oxide Field)の強度とリーク電流密度(Gate Current Density)との関係)を示すグラフである。

【図12】図12は、高温下におけるAlON/SiO₂積層ゲート絶縁膜およびSiO₂単層ゲート絶縁膜の電界強度-リーク電流特性(ゲート絶縁膜に生じる電界(Oxide Field)の強度とリーク電流密度(Gate Current Density)との関係)を示すグラフである。

【図13】図13は、AlON/SiO₂積層ゲート絶縁膜を採用したSiC-MIS構造およびSiO₂単層ゲート絶縁膜を採用したSiC-MOS構造の界面準位密度の評価結果を示すグラフである。

30

【図14】図14は、本発明の第2実施形態に係る半導体装置の模式的な平面図である。

【図15】図15は、図14に示す切断線A-Aにおける半導体装置の模式的な断面図である。

【図16】図16は、図15に示すソース領域およびチャネル領域の近傍の模式的な拡大断面図である。

【図17】図17は、SiC基板とSiO₂膜との界面の構造を図解的に示す断面図である。

【図18A】図18Aは、半導体装置の製造工程を示す模式的な断面図である。

【図18B】図18Bは、図18Aの次の工程を示す模式的な断面図である。

40

【図18C】図18Cは、図18Bの次の工程を示す模式的な断面図である。

【図18D】図18Dは、図18Cの次の工程を示す模式的な断面図である。

【図18E】図18Eは、図18Dの次の工程を示す模式的な断面図である。

【図18F】図18Fは、図18Eの次の工程を示す模式的な断面図である。

【図18G】図18Gは、図18Fの次の工程を示す模式的な断面図である。

【図18H】図18Hは、図18Gの次の工程を示す模式的な断面図である。

【図18I】図18Iは、図18Hの次の工程を示す模式的な断面図である。

【図18J】図18Jは、図18Iの次の工程を示す模式的な断面図である。

【図18K】図18Kは、図18Jの次の工程を示す模式的な断面図である。

【図19】図19は、ゲート絶縁膜の製造工程図である。

50

- 【図 2 0】図 2 0 は、変形例に係る半導体装置の模式的な断面図である。
- 【図 2 1】図 2 1 は、別の変形例に係る半導体装置の模式的な断面図である。
- 【図 2 2】図 2 2 は、図 2 1 に示すソース領域およびチャネル領域の近傍の模式的な拡大断面図である。
- 【図 2 3】図 2 3 は、ゲート電圧 (Gate Voltage) とドレイン電流 (Drain Current) との関係を示すグラフである。
- 【図 2 4】図 2 4 は、試料 1 0 1 , 1 0 2 におけるゲート絶縁膜に生じる電界 (Gate Oxide Field) の強度と電界効果移動度 (Field Effect Mobility) との関係を示すグラフである。
- 【図 2 5】図 2 5 は、試料 1 0 1 の電界効果移動度の温度依存性を示すグラフである。 10
- 【図 2 6】図 2 6 は、試料 1 0 2 の電界効果移動度の温度依存性を示すグラフである。
- 【図 2 7】図 2 7 は、図 2 5 , 2 6 に示す温度依存性を調べたときの各温度と各温度における電界効果移動度の極大値との関係を示すグラフである。
- 【図 2 8】図 2 8 は、試料 1 0 1 , 1 0 3 におけるゲート電圧 (Gate Voltage) とドレイン電流 (Drain Current) との関係を示すグラフである。
- 【図 2 9】図 2 9 は、ゲート絶縁膜に生じる電界 (Gate Oxide Field) の強度と電界効果移動度 (Field Effect Mobility) との関係を示すグラフである。
- 【図 3 0】図 3 0 は、SiC を用いた参考例に係る半導体装置の模式的な断面図である。
- 【図 3 1】図 3 1 は、図 3 0 に示すソース領域およびチャネル領域の近傍の模式的な拡大断面図である。 20
- 【図 3 2】図 3 2 は、本発明の第 3 実施形態に係る半導体装置の模式的な断面図である。
- 【図 3 3】図 3 3 は、ゲート絶縁膜の製造工程図である。
- 【図 3 4】図 3 4 は、AlON/SiO₂/SiO_xN_y 積層ゲート絶縁膜を採用した SiC-MIS 構造および AlON/SiO₂ 積層ゲート絶縁膜を採用した SiC-MOS 構造の界面準位密度を示すグラフである。
- 【図 3 5】図 3 5 は、ゲート絶縁膜の別の製造工程図である。
- 【図 3 6】図 3 6 は、変形例に係る半導体装置の模式的な断面図である。
- 【図 3 7】図 3 7 は、別の変形例に係る半導体装置の模式的な断面図である。
- 【図 3 8】図 3 8 は、本発明の第 4 実施形態に係る半導体装置の模式的な平面図である。
- 【図 3 9】図 3 9 は、図 3 8 に示す切断線 B - B における半導体装置の模式的な断面図である。 30
- 【図 4 0】図 4 0 は、図 3 9 に示すソース領域およびチャネル領域の近傍の模式的な拡大断面図である。
- 【図 4 1 A】図 4 1 A は、半導体装置の製造工程を示す模式的な断面図である。
- 【図 4 1 B】図 4 1 B は、図 4 1 A の次の工程を示す模式的な断面図である。
- 【図 4 1 C】図 4 1 C は、図 4 1 B の次の工程を示す模式的な断面図である。
- 【図 4 1 D】図 4 1 D は、図 4 1 C の次の工程を示す模式的な断面図である。
- 【図 4 1 E】図 4 1 E は、図 4 1 D の次の工程を示す模式的な断面図である。
- 【図 4 1 F】図 4 1 F は、図 4 1 E の次の工程を示す模式的な断面図である。
- 【図 4 1 G】図 4 1 G は、図 4 1 F の次の工程を示す模式的な断面図である。 40
- 【図 4 1 H】図 4 1 H は、図 4 1 G の次の工程を示す模式的な断面図である。
- 【図 4 1 I】図 4 1 I は、図 4 1 H の次の工程を示す模式的な断面図である。
- 【図 4 1 J】図 4 1 J は、図 4 1 I の次の工程を示す模式的な断面図である。
- 【図 4 1 K】図 4 1 K は、図 4 1 J の次の工程を示す模式的な断面図である。
- 【図 4 2】図 4 2 は、ゲート絶縁膜の製造工程図である。
- 【図 4 3】図 4 3 は、AlON/SiO₂/SiO_xN_y 積層ゲート絶縁膜を採用した SiC-MIS 構造および AlON/SiO₂ 積層ゲート絶縁膜を採用した SiC-MOS 構造の界面準位密度を示すグラフである。
- 【図 4 4】図 4 4 は、ゲート絶縁膜の別の製造工程図である。
- 【図 4 5】図 4 5 は、変形例に係る半導体装置の模式的な断面図である。 50

【図 4 6】図 4 6 は、別の変形例に係る半導体装置の模式的な断面図である。

【図 4 7】図 4 7 は、図 4 6 に示すソース領域およびチャネル領域の近傍の模式的な拡大断面図である。

【図 4 8】図 4 8 は、さらに別の変形例に係る半導体装置の模式的な断面図である。

【図 4 9】図 4 9 は、本発明の第 5 実施形態に係る半導体装置の模式的な平面図である。

【図 5 0】図 5 0 は、図 4 9 に示す切断線 C - C における半導体装置の模式的な断面図である。

【図 5 1】図 5 1 は、図 5 0 に示すソース領域およびチャネル領域の近傍の模式的な拡大断面図である。

【図 5 2 A】図 5 2 A は、半導体装置の製造工程を示す模式的な断面図である。

10

【図 5 2 B】図 5 2 B は、図 5 2 A の次の工程を示す模式的な断面図である。

【図 5 2 C】図 5 2 C は、図 5 2 B の次の工程を示す模式的な断面図である。

【図 5 2 D】図 5 2 D は、図 5 2 C の次の工程を示す模式的な断面図である。

【図 5 2 E】図 5 2 E は、図 5 2 D の次の工程を示す模式的な断面図である。

【図 5 2 F】図 5 2 F は、図 5 2 E の次の工程を示す模式的な断面図である。

【図 5 2 G】図 5 2 G は、図 5 2 F の次の工程を示す模式的な断面図である。

【図 5 2 H】図 5 2 H は、図 5 2 G の次の工程を示す模式的な断面図である。

【図 5 2 I】図 5 2 I は、図 5 2 H の次の工程を示す模式的な断面図である。

【図 5 2 J】図 5 2 J は、図 5 2 I の次の工程を示す模式的な断面図である。

【図 5 2 K】図 5 2 K は、図 5 2 J の次の工程を示す模式的な断面図である。

20

【図 5 3】図 5 3 は、変形例に係る半導体装置の模式的な断面図である。

【図 5 4】図 5 4 は、別の変形例に係る半導体装置の模式的な断面図である。

【図 5 5】図 5 5 は、図 5 4 に示すソース領域およびチャネル領域の近傍の模式的な拡大断面図である。

【発明を実施するための形態】

【0030】

< 第 1 実施形態 >

図 1 は、本発明の第 1 実施形態に係る半導体装置の模式的な断面図である。

半導体装置 1 は、N 型不純物がドーピングされた SiC (炭化シリコン) からなる SiC 基板 2 を備えている。

30

SiC 基板 2 の表層部には、P 型のウェル領域 3 が形成されている。

【0031】

ウェル領域 3 の表層部には、SiC 基板 2 よりも N 型不純物が高濃度にドーピングされた N⁺ 型のソース領域 4 およびドレイン領域 5 が形成されている。ソース領域 4 およびドレイン領域 5 は、それぞれウェル領域 3 の周縁部との間に間隔を空け、かつ、互いに間隔を空けて形成されている。

また、ウェル領域 3 の表層部には、ウェル領域 3 よりも P 型不純物が高濃度にドーピングされた P⁺ 型のコンタクト領域 6 が形成されている。コンタクト領域 6 は、ソース領域 4 に対してドレイン領域 5 側と反対側に隣接して形成されている。

【0032】

40

ソース領域 4 とドレイン領域 5 との間の領域 (チャネル領域) 上には、ゲート絶縁膜 7 が形成されている。より具体的には、ゲート絶縁膜 7 は、ソース領域 4 とドレイン領域 5 との間の領域と対向し、ソース領域 4 の周縁部とドレイン領域 5 の周縁部とに跨っている。ゲート絶縁膜 7 は、N (窒素) を含む SiO₂ (酸化シリコン) からなる比較的薄い SiO₂ 膜 8 と、AlON (酸窒化アルミニウム) からなり、SiO₂ 膜 8 上に形成された AlON 膜 9 とを含む AlON/SiO₂ 積層構造を有している。SiO₂ 膜 8 の厚さは、1 ~ 20 nm である。AlON 膜 9 の厚さは、30 ~ 100 μm である。

【0033】

ゲート絶縁膜 7 上には、平面視でゲート絶縁膜 7 と同一形状のゲート電極 10 が形成されている。ゲート電極 10 は、Al (アルミニウム) を含む金属材料からなる。

50

ソース領域 4 およびコンタクト領域 6 上には、ソース電極 1 1 が形成されている。ソース電極 1 1 は、ソース領域 4 およびコンタクト領域 6 の表面に対してそれらに跨って接している。ソース電極 1 1 は、Al を含む金属材料からなる。

【0034】

ドレイン領域 5 上には、ドレイン電極 1 2 が形成されている。ドレイン電極 1 2 は、ドレイン領域 5 の表面に接している。ドレイン電極 1 2 は、Al を含む金属材料からなる。これにより、半導体装置 1 は、N チャネル M I S F E T (Negative-channel Metal Insulator Semiconductor Field Effect Transistor) を備えている。ソース電極 1 1 が接地され、ドレイン電極 1 2 に正電圧が印加された状態で、ゲート電極 1 0 に閾値以上の電圧が印加されることにより、ウェル領域 3 におけるゲート絶縁膜との界面近傍のチャンネル領域にチャンネルが形成され、ドレイン電極 1 2 からソース電極 1 1 に向けて電流が流れる。

10

【0035】

また、半導体装置 1 では、SiC 基板 2 のウェル領域 3 外の領域上に、容量膜 1 3 が選択的に形成されている。容量膜 1 3 は、N を含む SiO₂ からなる SiO₂ 膜 1 4 と、AlON からなり、SiO₂ 膜 1 4 上に形成された AlON 膜 1 5 とを含む AlON/SiO₂ 積層構造を有している。SiO₂ 膜 1 4 および AlON 膜 1 5 の厚さは、それぞれ SiO₂ 膜 8 および AlON 膜 9 の厚さと同じである。

【0036】

容量膜 1 3 上には、平面視で容量膜 1 3 と同一形状のキャパシタ電極 1 6 が形成されている。キャパシタ電極 1 6 は、ゲート電極 1 0 と同一材料からなり、ゲート電極 1 0 と同じ厚さを有している。

20

これにより、半導体装置 1 は、MIS キャパシタを備えている。

図 2 は、SiC 基板と SiO₂ 膜との界面の構造を図解的に示す断面図である。

【0037】

SiC 基板 2 と SiO₂ 膜 8, 1 4 との界面に存在する C (炭素) 原子および Si (シリコン) 原子のダングリングボンドは、少ないか、ほぼ存在せず、SiC 基板 2 と SiO₂ 膜 8, 1 4 との界面に存在する C 原子および Si 原子には、H (水素) 原子が結合している。すなわち、SiC 基板 2 と SiO₂ 膜 8, 1 4 との界面は、水素終端している。

図 3 は、半導体装置の製造工程図である。

【0038】

半導体装置 1 の製造の際には、SiO₂ 膜形成工程 (S 1)、窒素プラズマ照射工程 (S 2)、FGA (Forming Gas Annealing) 工程 (S 3)、AlON 膜形成工程 (S 4) および PDA (Post Deposition Annealing) 工程 (S 5) がこの順に行われる。

30

SiO₂ 膜形成工程 (S 1) では、N₂O (窒素酸化物) を含むガスを用いた熱酸化法により、SiC 基板 2 上に、N を含む SiO₂ からなる SiO₂ 膜が形成される。

【0039】

窒素プラズマ照射工程 (S 2) では、窒素プラズマが SiO₂ 膜に照射される。窒素プラズマは、たとえば、SiC 基板 2 が 500 °C まで加熱された状態で、30 分間にわたって照射され続ける。また、そのときの気圧および RF 出力は、たとえば、それぞれ 7.5 Torr および 50 W である。SiO₂ 膜に窒素プラズマが照射されることにより、SiC 基板 2 と SiO₂ 膜との界面において、Si-O-C 結合および C-C クラスタが切断され、C 原子および Si 原子のダングリングボンドが生じる。

40

【0040】

FGA 工程 (S 3) では、3% の H₂ (水素ガス) と 97% の N₂ (窒素ガス) とを含むフォーミングガス中で、SiC 基板 2 および SiO₂ 膜がアニールされる。たとえば、1000 °C の温度下でのアニールが 30 分間行われた後、450 °C の温度下でのアニールが 30 分間行われる。これにより、SiO₂ 膜中に H 原子が良好に導入され、SiC 基板 2 と SiO₂ 膜との界面に存在する C 原子および Si 原子のダングリングボンドが減少する。

【0041】

50

A1ON膜形成工程(S4)では、N₂およびO₂(酸素ガス)の混合ガスおよびAlターゲットを用いた反応性スパッタ法により、SiO₂膜上に、A1ON膜が形成される。

PDA工程(S5)では、N₂中で、A1ON膜がアニールされる。このアニールは、たとえば、900の温度下で30分間行われる。これにより、A1ON膜の結晶化度が上昇し、A1ON膜の膜質が向上する。

【0042】

その後、A1ON膜上に、ゲート電極10およびキャパシタ電極16が形成される。ゲート電極10およびキャパシタ電極16は、たとえば、マスクを用いて、A1ON膜の表面にゲート電極の材料(Al)を選択的に蒸着させることにより形成される。そして、フォトリソグラフィおよびエッチングにより、A1ON膜およびSiO₂膜の露出する部分(ゲート電極10およびキャパシタ電極16と対向していない部分)が除去され、A1ON膜およびSiO₂膜がそれぞれA1ON膜9, 15およびSiO₂膜8, 14に加工される。その後、ソース電極11およびドレイン電極12が形成されると、図1に示す半導体装置1が得られる。

【0043】

SiC基板2上にSiO₂膜が形成されたままの状態では、SiC基板2とSiO₂膜との界面に、C原子およびSi原子のダングリングボンドが存在する。そこで、SiO₂膜の形成後には、H₂を含むフォーミングガス中でSiC基板2およびSiO₂膜がアニールされる。これにより、C原子およびSi原子のダングリングボンドにH原子が結合し、SiC基板2とSiO₂膜との界面が水素終端化される。その結果、SiC基板2とSiO₂膜との界面の欠陥(界面準位密度)が減少し、その界面の状態が改善される。

【0044】

SiC基板2およびSiO₂膜のアニール後、SiO₂膜上にA1ON膜が形成される。SiO₂膜上にA1ON膜が存在することにより、SiC基板2およびSiO₂膜からの水素抜けが防止される。そのため、水素終端化により改善されたSiC基板2とSiO₂膜との界面の状態が維持される。

よって、SiC基板2とSiO₂膜との界面の状態を改善することができ、その改善された状態を維持することができる。

【0045】

したがって、図3に示す製造方法により製造される半導体装置1では、SiC基板2とSiO₂膜8, 14との界面が水素終端している。そのため、半導体装置1は、SiC基板とSiO₂膜との界面に多数のダングリングボンドを有する構造と比較して、界面準位密度が低く、高いチャネル移動度を発揮することができる。

また、SiO₂膜8およびA1ON膜9からなるゲート絶縁膜7では、SiO₂膜のみからなるゲート絶縁膜と比較して、A1ON膜9の厚さを大きくすることにより、同等以上の電気的特性を確保しつつ、リーク電流を低減することができる。よって、半導体装置1では、SiO₂膜のみからなるゲート絶縁膜を採用した構造と比較して、ゲート絶縁膜7の信頼性が高い。

【0046】

また、A1ON膜9上に形成されるゲート電極10は、Alを含む金属材料からなる。これにより、ゲート電極10が多結晶シリコンからなる構造と比較して、MISFETの動作速度の向上および消費電力の低減を図ることができる。

また、半導体装置1の製造工程において、A1ON膜の形成後に、A1ON膜がアニールされる。これにより、A1ON膜の結晶化度を上昇させることができ、A1ON膜の膜質を向上させることができる。

【0047】

さらに、SiC基板2およびSiO₂膜のアニールの前に、SiO₂膜に窒素プラズマが照射される。これにより、SiC基板2とSiO₂膜との界面において、Si-O-C結合およびC-Cクラスタを切断し、炭素原子およびシリコン原子のダングリングボンド

10

20

30

40

50

を生じさせることができる。そして、窒素プラズマの照射後にSiC基板2およびSiO₂膜のアニールが行われることにより、SiC基板2とSiO₂膜との界面に存在するC原子およびSi原子のダングリングボンドにH原子を容易に結合させることができる。その結果、SiC基板2とSiO₂膜との界面を良好に水素終端化させることができる。

【0048】

また、SiO₂膜は、窒素酸化物(N₂O)を含むガスを用いた熱酸化法により形成される。これにより、SiO₂膜中にN原子を導入することができ、SiO₂膜の比誘電率を高めることができる。その結果、リーク電流をさらに低減することができる。

(特性評価)

図1に示す構造のMISFETを有する試料1(A1ON/SiO₂)を図3に示す製造方法により作製した。この試料1において、SiO₂膜8の厚さは、10nmであり、A1ON膜9の厚さは、65nmである。

10

【0049】

また、SiC基板上にSiO₂の単層からなるゲート絶縁膜を挟んでゲート電極を積層した構造のMOSFETを有する試料2(SiO₂)を作製した。この試料2において、ゲート絶縁膜の厚さは、40nmである。

1. ドレイン電流

図4は、試料1, 2におけるゲート電圧(Gate Voltage)とドレイン電流(Drain Current)との関係を示すグラフである。

【0050】

試料1, 2のそれぞれについて、ゲート電圧を変化させたときのドレイン電流の大きさを調べた。

20

図4では、試料1におけるゲート電圧とドレイン電流との関係を曲線C1で示し、試料2におけるゲート電圧とドレイン電流との関係を曲線C2で示している。

2. 電界効果移動度

図5は、ゲート絶縁膜に生じる電界(Gate Oxide Field)の強度と電界効果移動度(Field Effect Mobility)との関係を示すグラフである。

【0051】

試料1, 2のそれぞれについて、ゲート絶縁膜に生じる電界を変化させたときの電界効果移動度の大きさを調べた。

30

図5では、試料1におけるゲート絶縁膜7に生じる電界の強度と電界効果移動度との関係を曲線C3で示し、試料2におけるゲート絶縁膜に生じる電界の強度と電界効果移動度との関係を曲線C4で示している。

【0052】

図4, 5に示す曲線C1~C4から、試料1, 2のトランジスタ動作特性がほぼ同じであることが理解される。そして、SiO₂膜8およびA1ON膜9からなるゲート絶縁膜7を採用したMISFETにおいても、SiO₂の単層からなるゲート絶縁膜を採用したMOSFETと電界効果移動度がほぼ同じであることから、SiO₂膜8上にA1ON膜9を積層することによる界面準位密度の増加はないと考えられる。

【0053】

40

よって、本願発明者らが先に実施した界面準位密度の評価(図13参照)において、A1ON/SiO₂積層ゲート絶縁膜を採用したSiC-MIS構造の界面準位密度がSiO₂単層ゲート絶縁膜を採用したSiC-MOS構造の界面準位密度よりも増加しているのは、トランジスタ動作特性に影響しない欠陥(たとえば、A1ON/SiO₂界面の欠陥)を反映した結果であると考えられる。この評価とは、具体的には、A1ON/SiO₂積層ゲート絶縁膜を採用したSiC-MIS構造およびSiO₂単層ゲート絶縁膜を採用したSiC-MOS構造の各界面準位密度をHigh-Low法により算出し、それらを比較した評価である。

3. 温度特性

図6は、試料1の電界効果移動度の温度依存性を示すグラフである。図7は、試料2の

50

電界効果移動度の温度依存性を示すグラフである。図8は、図6、7に示す温度依存性を調べたときの各温度と各温度における電界効果移動度の極大値との関係を示すグラフである。図6、7に示すグラフにおいて、横軸は、ゲート絶縁膜に生じる電界の強度であり、縦軸は、電界効果移動度である。

【0054】

試料1、2のそれぞれについて、SiC基板の温度を110K、150K、200K、250K、300K、400K、500Kおよび600Kとし、各温度におけるゲート絶縁膜に生じる電界の強度と電界効果移動度との関係を調べた。図6では、SiC基板の温度が110K、150K、200K、250K、300K、400K、500Kおよび600Kのときの関係を、それぞれ曲線C5、C6、C7、C8、C9、C10、C11、C12で示している。図7では、SiC基板の温度が110K、150K、200K、250K、300K、400K、500Kおよび600Kのときの関係を、それぞれ曲線C13、C14、C15、C16、C17、C18、C19、C20で示している。図8では、試料1における各温度におけるゲート絶縁膜7に生じる電界の強度と電界効果移動度との関係を曲線C21で示し、試料2における各温度におけるゲート絶縁膜に生じる電界の強度と電界効果移動度との関係を曲線C22で示している。

【0055】

図8に示す曲線C21、C22を比較して、試料1の各温度下における電界効果移動度の極大値は、試料2の各温度下における電界効果移動度の極大値よりも少し低くなるが、試料1の電界効果移動度の温度依存性は、試料2の電界効果移動度の温度依存性よりも小さいことが理解される。

また、図6に示す曲線C12と図7に示す曲線C20とを比較して、高温下でゲート絶縁膜に高電界(2MV/cm以上の電界)が形成される条件下では、試料1の電界効果移動度が試料2の電界効果移動度よりも大きいことが理解される。よって、試料1、つまり図1に示す構造のMISFETを有する半導体装置1は、ゲート絶縁膜7に3~4MV/cmの電界が生じる条件下で動作するパワーデバイスとして好適である。

【0056】

さらに、図1に示す構造のMISFETを有する試料3を図3に示す製造工程から窒素プラズマ照射工程(S2)およびFGA工程(S3)を省略した方法により作製した。この試料3において、SiO₂膜8の厚さは、10nmであり、AlON膜9の厚さは、65nmである。

4. ドレイン電流

図9は、試料1、3におけるゲート電圧(Gate Voltage)とドレイン電流(Drain Current)との関係を示すグラフである。

【0057】

試料1、3のそれぞれについて、ゲート電圧を変化させたときのドレイン電流の大きさを調べた。

図9では、試料1におけるゲート電圧とドレイン電流との関係を曲線C23で示し、試料3におけるゲート電圧とドレイン電流との関係を曲線C24で示している。

図9に示す曲線C23、24を比較して、試料1で得られるドレイン電流が試料3で得られるドレイン電流よりも大きいことが理解される。よって、窒素プラズマ照射工程(S2)およびFGA工程(S3)は、ドレイン電流の増大化に有効であると考えられる。

5. 電界効果移動度

図10は、ゲート絶縁膜に生じる電界(Gate Oxide Field)の強度と電界効果移動度(Field Effect Mobility)との関係を示すグラフである。

【0058】

試料1、3のそれぞれについて、ゲート絶縁膜に生じる電界を変化させたときの電界効果移動度の大きさを調べた。

図10では、試料1におけるゲート絶縁膜7に生じる電界の強度と電界効果移動度との関係を曲線C26で示し、試料3におけるゲート絶縁膜7に生じる電界の強度と電界効果

移動度との関係を曲線 C 2 5 で示している。

【 0 0 5 9 】

図 1 0 に示す曲線 C 2 5 , C 2 6 を比較して、試料 1 の電界効果移動度が試料 3 の電界効果移動度よりも大きいことが理解される。よって、窒素プラズマ照射工程 (S 2) および F G A 工程 (S 3) は、S i C 基板 2 と S i O ₂ 膜 8 , 1 4 との界面の状態を改善する方法として有効であると考えられる。

なお、前述の実施形態では、横型 M I S F E T を備える構造を例に挙げたが、本発明は、縦型 M I S F E T を備える構造に適用することもできる。

< 第 2 実施形態 >

図 3 0 は、この発明の第 2 実施形態を完成させる過程で発明者が検討した参考例に係る半導体装置の模式的な断面図である。

10

【 0 0 6 0 】

半導体装置 2 0 1 は、N 型 S i C 基板 2 0 2 を備えている。N 型 S i C 基板 2 0 2 上には、N 型 S i C 層 2 0 3 がエピタキシャル成長により形成されている。

N 型 S i C 層 2 0 3 の表層部には、P 型のウェル領域 2 0 4 が選択的に形成されている。ウェル領域 2 0 4 の表層部には、N⁺型のソース領域 2 0 5 がウェル領域 2 0 4 の周縁と間隔を空けて形成されている。

【 0 0 6 1 】

各ソース領域 2 0 5 の内側には、ウェル領域 2 0 4 よりも P 型不純物が高濃度にドーピングされた P⁺型のコンタクト領域 2 0 6 が形成されている。各コンタクト領域 2 0 6 は、ソース領域 2 0 5 を深さ方向に貫通して形成されている。

20

N 型 S i C 基板 2 0 2 上には、酸化シリコン (S i O ₂) からなるゲート酸化膜 2 0 7 が形成されている。

【 0 0 6 2 】

ゲート酸化膜 2 0 7 上には、N 型多結晶シリコン (N 型 P o l y - S i) からなるゲート電極 2 0 8 が形成されている。ゲート電極 2 0 8 は、ウェル領域 2 0 4 の周縁とソース領域 2 0 5 の周縁との間の領域 (チャネル領域) に対向している。

そして、N 型 S i C 層 2 0 3 上には、酸化シリコンからなる層間絶縁膜 2 0 9 が積層されている。

【 0 0 6 3 】

30

層間絶縁膜 2 0 9 には、各コンタクト領域 2 0 6 と対向する位置に、コンタクトホール 2 1 0 が形成されている。各コンタクトホール 2 1 0 は、ゲート酸化膜 2 0 7 を貫通している。各コンタクトホール 2 1 0 内には、コンタクト領域 2 0 6 の全域およびソース領域 2 0 5 におけるコンタクト領域 2 0 6 の周囲の部分が臨んでいる。

層間絶縁膜 2 0 9 上には、アルミニウム (A l) を主成分として含む金属材料からなるソースメタル 2 1 1 が形成されている。ソースメタル 2 1 1 は、層間絶縁膜 2 0 9 に形成された各コンタクトホール 2 1 0 に入り込み、ソース領域 2 0 5 およびコンタクト領域 2 0 6 に接続されている。

【 0 0 6 4 】

40

N 型 S i C 基板 2 0 2 の裏面には、ニッケル (N i) などからなるオーミックメタル 2 1 2 およびアルミニウムを主成分として含む金属材料からなるドレインメタル 2 1 3 が N 型 S i C 基板 2 0 2 側からこの順に形成されている。

ソースメタル 2 1 1 が接地され、ドレインメタル 2 1 3 に適当な正電圧が印加された状態で、ゲート電極 2 0 8 の電位 (ゲート電圧) が制御されることにより、ウェル領域 2 0 4 におけるゲート酸化膜 2 0 7 との界面近傍にチャネルが形成されて、ソースメタル 2 1 1 とドレインメタル 2 1 3 との間に電流が流れる。

【 0 0 6 5 】

半導体装置 2 0 1 の製造工程では、ソース領域 2 0 5 を形成するためのウェル領域 2 0 4 への N 型不純物の注入後に、その N 型不純物を活性化させるためのアニールが行われる。アニール後は、ウェル領域 2 0 4 およびソース領域 2 0 5 の上面を含む N 型 S i C 層 2

50

03の上面からアニール時に形成された酸化膜が除去される。また、ゲート酸化膜207の形成前に、N型SiC層203の上面の状態を良くするために、N型SiC層203の上面に熱酸化法による犠牲酸化膜を形成し、その犠牲酸化膜を除去する処理が行われることがある。

【0066】

ソース領域205は、N型SiC層203およびウェル領域204と比較して、不純物を高濃度に含んでいる。そのため、アニール時や熱酸化時には、ソース領域205の上面において、酸化膜の成長がN型SiC層203およびウェル領域204の上面よりも高レートで進む。その結果、図31にソース領域205の周縁部近傍を拡大して示すように、酸化膜を除去した後は、ソース領域205の上面がウェル領域204の上面よりも一段低くなる段差が形成される。

10

【0067】

このような段差が形成されていると、ソース領域205からチャンネル領域を経由してドレインメタル213に向けて流れる電子(e^-)は、ソース領域205からウェル領域204に移動し、ウェル領域204をその上面に向けて上昇した後、ウェル領域204の上面に沿って移動する。すなわち、チャンネル領域における電子の流れは、直線ではなく、ウェル領域204の上面に向かった後、ウェル領域204の上面に沿うように屈曲した経路となる。そのため、電子がウェル領域204の上面に向かって流れる経路分、チャンネル抵抗が大きくなる。

【0068】

そこで、第2実施形態は、チャンネル領域におけるキャリアの移動経路を直線に近づけることができ、これによりチャンネル抵抗を低減することができる、半導体装置を提供する。図14は、本発明の第2実施形態に係る半導体装置の模式的な平面図である。図15は、図14に示す切断線A-Aにおける半導体装置の模式的な断面図である。なお、図15では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。図16は、図15に示すソース領域の第1領域およびチャンネル領域の近傍の模式的な拡大断面図である。

20

【0069】

半導体装置101は、図14に示すように、平面視四角形状(略正形状)の外形を有している。

30

半導体装置101は、図15に示すように、半導体基板102を備えている。半導体基板102は、N型不純物がドーブされたSiC(N型SiC)からなる。半導体基板102上には、半導体層103がエピタキシャル成長により形成されている。すなわち、半導体層103は、N型SiCからなるエピタキシャル層である。

【0070】

半導体層103の表層部には、複数のP型のウェル領域104が形成されている。複数のウェル領域104は、平面視四角形状(略正形状)をなし、マトリクス状に配列されている。ウェル領域104の深さは、たとえば、 $0.5 \sim 2 \mu\text{m}$ である。そして、ウェル領域104は、たとえば、その上面からの深さが $0.5 \mu\text{m}$ 以下の部分のP型不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{cm}^{-3}$ である不純物濃度プロファイルを有している。

40

【0071】

各ウェル領域104の表層部には、N型のソース領域105がウェル領域104の周縁と間隔を空けて形成されている。ソース領域105の深さは、たとえば、 $0.2 \sim 1 \mu\text{m}$ である。

ソース領域105において、平面視でその周縁から所定幅(たとえば、 $0.2 \mu\text{m}$)の第1領域105Aは、N型不純物濃度が残余の第2領域(第1領域105Aの内側の領域)105BのN型不純物濃度よりも1~3桁低い。すなわち、ソース領域105は、N型不純物濃度が相対的に高いN⁺型の第2領域105Bと、第2領域105Bを取り囲む環状をなし、N型不純物濃度が相対的に低いN⁻型の第1領域105Aとを有している。そして、第1領域105Aは、たとえば、その上面からの深さが $0.2 \mu\text{m}$ 以下の部分のN

50

型不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$ である不純物濃度プロファイルを有している。第2領域105Bは、たとえば、その上面からの深さが $0.2 \mu\text{m}$ 以下の部分のN型不純物濃度が $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ である不純物濃度プロファイルを有している。

【0072】

第1領域105Aの上面と第2領域105Bの上面との間には、第2領域105Bの上面が第1領域105Aの上面よりも一段低くなる段差Sが形成されている（図16参照）。段差Sの大きさは、たとえば、 $0.2 \mu\text{m}$ である。第1領域105Aの上面とウェル領域104（チャンネル領域C）の上面との間には、大きな段差が形成されておらず、それらは、ほぼ面一をなしている。

10

【0073】

各ソース領域105の第2領域105Bの中央には、ウェル領域104よりもP型不純物が高濃度にドーブされたP⁺型のコンタクト領域106が形成されている。各コンタクト領域106は、第2領域105Bを深さ方向に貫通して形成され、最深部がソース領域105の下方に存在するウェル領域104に達している。

半導体層103上には、ゲート絶縁膜107が形成されている。ゲート絶縁膜107は、N（窒素）を含むSiO₂（酸化シリコン）からなる比較的薄いSiO₂膜107Aと、AlON（酸化アルミニウム）からなり、SiO₂膜107A上に形成されたAlON膜107Bとを含むAlON/SiO₂積層構造を有している。SiO₂膜107Aの厚さは、1~20nmである。AlON膜107Bの厚さは、30~100μmである。

20

【0074】

図17は、SiC基板とSiO₂膜との界面の構造を図解的に示す断面図である。

半導体層103とSiO₂膜107Aとの界面に存在するC（炭素）原子およびSi（シリコン）原子のダングリングボンドは、少ないか、ほぼ存在せず、半導体層103とSiO₂膜107Aとの界面に存在するC原子およびSi原子には、H（水素）原子が結合している。すなわち、半導体層103とSiO₂膜107Aとの界面は、水素終端している。

【0075】

図15に示すように、ゲート絶縁膜107（AlON膜107B）上には、ゲート電極108が形成されている。ゲート電極108は、ゲート絶縁膜107を挟んで、各ウェル領域104の間の半導体層103、各ウェル領域104の周縁とその内側のソース領域105の周縁との間のチャンネル領域Cおよびソース領域105の第1領域105Aの一部と対向している。ゲート電極108は、全体として、図14に示すように、平面視格子状に形成されている。これにより、半導体装置101は、プレーナゲート型MIS構造を有している。ゲート電極108は、N型不純物またはP型不純物がドーブされたポリシリコン、または、Al（アルミニウム）を含む金属材料からなる。

30

【0076】

なお、図14では、ゲート電極108が、後述する層間絶縁膜109およびソースメタル111を透過して示されている。

そして、半導体層103上には、図15に示すように、層間絶縁膜109が形成されている。層間絶縁膜109により、半導体層103の上面がゲート電極108とともに被覆されている。層間絶縁膜109は、たとえば、酸化シリコンからなる。

40

【0077】

層間絶縁膜109には、各コンタクト領域106と対向する位置に、コンタクトホール110が形成されている。各コンタクトホール110は、ゲート絶縁膜107を貫通し、各コンタクトホール110内には、コンタクト領域106の全域およびソース領域105におけるコンタクト領域106の周囲の部分が臨んでいる。

層間絶縁膜109上には、ソースメタル111が形成されている。ソースメタル111は、層間絶縁膜109に形成された各コンタクトホール110に入り込み、ソース領域105およびコンタクト領域106に接続されている。ソースメタル111は、たとえば、

50

アルミニウム (A 1) を主成分として含む金属材料からなる。

【 0 0 7 8 】

また、半導体装置 1 0 1 の一側縁に沿った部分の中央上において、層間絶縁膜 1 0 9 およびソースメタル 1 1 1 が選択的に除去されることにより、図 1 4 に示すように、ゲート電極 1 0 8 の一部を外部との接続のためのゲートパッド 1 1 2 として露出させる開口が形成されている。

図 1 5 に示すように、半導体基板 1 0 2 の裏面には、その全面に、ニッケル (N i) などからなるオーミックメタル 1 1 3 およびアルミニウムを主成分として含む金属材料からなるドレインメタル 1 1 4 が半導体基板 1 0 2 側からこの順に形成されている。

【 0 0 7 9 】

これにより、半導体装置 1 0 1 は、Nチャネル M I S F E T (Negative-channel Metal Insulator Semiconductor Field Effect Transistor) を備えている。

ソースメタル 1 1 1 が接地され、ドレインメタル 1 1 4 に適当な正電圧が印加された状態で、ゲート電極 1 0 8 の電位 (ゲート電圧) が制御されることにより、ウェル領域 1 0 4 におけるゲート絶縁膜 1 0 7 との界面近傍のチャネル領域 C にチャネルが形成されて、ソースメタル 1 1 1 とドレインメタル 1 1 4 との間に電流が流れる。

【 0 0 8 0 】

図 1 6 に示すように、半導体装置 1 0 1 では、ソース領域 1 0 5 におけるチャネル領域 C に隣接する第 1 領域 1 0 5 A の N 型不純物濃度が低くされることにより、第 1 領域 1 0 5 A の上面とチャネル領域 C (ウェル領域 1 0 4) の上面との間に大きな段差が形成されていない。

そのため、ソースメタル 1 1 1 とドレインメタル 1 1 4 との間を流れる電子 (e^-) は、ソース領域 1 0 5 から第 1 領域 1 0 5 A の上面に沿ってチャネル領域 C に移動し、チャネル領域 C をその上面に沿って移動する。すなわち、チャネル領域 C における電子の経路は、チャネル領域 C の上面に沿った直線経路となる。よって、半導体装置 1 0 1 のチャネル抵抗は、チャネル領域における電子の移動経路が屈曲経路となる図 3 0 の半導体装置のチャネル抵抗よりも低い。

【 0 0 8 1 】

図 1 8 A ~ 1 8 K は、半導体装置の製造工程を順に示す模式的な断面図である。なお、図 1 8 A ~ 1 8 K では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。図 1 9 は、ゲート絶縁膜の製造工程図である。半導体装置 1 0 1 の製造工程では、まず、C V D (Chemical Vapor Deposition : 化学気相成長) 法により、半導体層 1 0 3 上に、ポリシリコンの堆積層が形成される。そして、フォトリソグラフィおよびエッチングにより、そのポリシリコンの堆積層 (図示せず) が半導体層 1 0 3 におけるウェル領域 1 0 4 となるべき部分上から選択的に除去される。これにより、図 1 8 A に示すように、半導体層 1 0 3 上に、ポリシリコンからなるマスク 1 4 1 が形成される。その後、イオン注入法により、半導体層 1 0 3 におけるマスク 1 4 1 から露出する部分に、P型不純物 (たとえば、アルミニウム) がドーブされる。

【 0 0 8 2 】

次に、半導体層 1 0 3 およびマスク 1 4 1 を一括して覆うように、酸化シリコンからなる酸化膜 (図示せず) が形成される。その後、酸化膜上に、ポリシリコンの堆積層 (図示せず) が形成される。そして、ポリシリコンの堆積層が酸化膜をエッチストップパとしてエッチバックされ、その堆積層におけるマスク 1 4 1 の側面に接する所定部分のみが残されることにより、図 1 8 B に示すように、マスク 1 4 1 と一体をなすマスク 1 4 2 が形成される。つづいて、マスク 1 4 2 から露出している酸化膜が除去される。そして、フォトリソグラフィにより、半導体層 1 0 3 におけるコンタクト領域 1 0 6 となるべき部分上に、レジストパターン 1 4 3 が形成される。その後、イオン注入法により、半導体層 1 0 3 におけるマスク 1 4 1 , 1 4 2 およびレジストパターン 1 4 3 から露出する部分に、N型不純物 (たとえば、リン (P)) がドーブされる。

【 0 0 8 3 】

10

20

30

40

50

レジストパターン 143 が除去された後、半導体層 103 およびマスク 141, 142 を一括して覆うように、酸化シリコンからなる酸化膜 (図示せず) が再び形成される。その後、酸化膜上に、ポリシリコンの堆積層 (図示せず) が形成される。そして、ポリシリコンの堆積層が酸化膜をエッチストップとしてエッチバックされ、その堆積層におけるマスク 142 の側面に接する所定部分のみが残されることにより、図 18C に示すように、マスク 141, 142 と一体をなすマスク 144 が形成される。つづいて、マスク 144 から露出している酸化膜が除去される。そして、フォトリソグラフィにより、半導体層 103 におけるコンタクト領域 106 となるべき部分上に、レジストパターン 145 が形成される。その後、イオン注入法により、半導体層 103 におけるマスク 141, 142, 144 およびレジストパターン 145 から露出する部分に、N 型不純物が追加してドーブ 10

【0084】

なお、図 18B, 18C に示す工程において、レジストパターン 143, 145 の形成が省略されて、半導体層 103 におけるコンタクト領域 106 となるべき部分に N 型不純物がドーブされてもよい。こうすることにより、レジストパターン 143, 145 の形成に必要なフォトマスクを省略することができ、半導体装置 101 の製造工程を簡素化することができる。

【0085】

次いで、図 18D に示すように、半導体層 103 上に、レジストパターン 146 が形成 20

される。レジストパターン 146 は、半導体層 103 におけるコンタクト領域 106 となるべき部分のみを露出させる。そして、イオン注入法により、半導体層 103 におけるレジストパターン 146 から露出する部分に、P 型不純物がドーブされる。その後、半導体層 103 にドーブされた P 型不純物および N 型不純物を活性化させるためのアニールが行われ、図 18E に示すように、半導体層 103 の表層部に、ウェル領域 104、ソース領域 105 (第 1 領域 105A、第 2 領域 105B) およびコンタクト領域 106 が形成される。また、アニール時に、半導体層 103 の上面が熱酸化されることにより、酸化膜 147 が形成される。ソース領域 105 の第 2 領域 105B およびコンタクト領域 106 は、半導体層 103、ウェル領域 104 およびソース領域 105 の第 1 領域 105A と比較して、不純物濃度が高いので、酸化膜 147 は、第 2 領域 105B およ 30

【0086】

そのため、図 18F に示すように、酸化膜 147 が除去された後は、第 2 領域 105B およびコンタクト領域 106 の上面が半導体層 103、ウェル領域 104 およびソース領域 105 の第 1 領域 105A の上面よりも一段下がった状態となり、第 1 領域 105A と第 2 領域 105B との間に段差 S が形成される。

また、酸化膜 147 の除去後に、熱酸化法により、半導体層 103、ウェル領域 104、ソース領域 105 およびコンタクト領域 106 の上面に、犠牲酸化膜が形成され、この犠牲酸化膜が除去されることにより、半導体層 103、ウェル領域 104、ソース領域 105 およびコンタクト領域 106 の上面の状態が改善される場合がある。この場合、犠牲 40

【0087】

その後、図 18G に示すように、半導体層 103、ウェル領域 104、ソース領域 105 およびコンタクト領域 106 の上面に、ゲート絶縁膜 107 が形成される。

ゲート絶縁膜 107 を形成するために、図 19 に示すように、SiO₂ 膜形成工程 (S11)、窒素プラズマ照射工程 (S12)、FGA (Forming Gas Annealing) 工程 (S13)、ALON 膜形成工程 (S14) および PDA (Post Deposition Annealing) 工程 (S15) がこの順に行われる。

【0088】

10

20

30

40

50

SiO₂膜形成工程(S11)では、N₂O(窒素酸化物)を含むガスを用いた熱酸化法により、半導体層103、ウェル領域104、ソース領域105およびコンタクト領域106の上に、Nを含むSiO₂からなるSiO₂膜107Aが形成される。

窒素プラズマ照射工程(S12)では、窒素プラズマがSiO₂膜107Aに照射される。窒素プラズマは、たとえば、半導体基板102が500℃まで加熱された状態で、30分間にわたって照射され続ける。また、そのときの気圧およびRF出力は、たとえば、それぞれ7.5Torrおよび50Wである。SiO₂膜107Aに窒素プラズマが照射されることにより、半導体層103とSiO₂膜107Aとの界面において、Si-O-C結合およびC-Cクラスタが切断され、C原子およびSi原子のダングリングボンドが生じる。

10

【0089】

FGA工程(S13)では、3%のH₂(水素ガス)と97%のN₂(窒素ガス)とを含むフォーミングガス中で、半導体基板102(半導体層103)およびSiO₂膜107Aがアニールされる。たとえば、1000℃の温度下でのアニールが30分間行われた後、450℃の温度下でのアニールが30分間行われる。これにより、SiO₂膜107A中にH原子が良好に導入され、半導体層103とSiO₂膜107Aとの界面に存在するC原子およびSi原子のダングリングボンドが減少する。

【0090】

AlON膜形成工程(S14)では、N₂およびO₂(酸素ガス)の混合ガスおよびAlターゲットを用いた反応性スパッタ法により、SiO₂膜107A上に、AlON膜107Bが形成される。

20

PDA工程(S15)では、N₂中で、AlON膜107Bがアニールされる。このアニールは、たとえば、900℃の温度下で30分間行われる。これにより、AlON膜107Bの結晶化度が上昇し、AlON膜107Bの膜質が向上する。

【0091】

以上により、図18Gに示すように、ゲート絶縁膜107が形成される。

次いで、図18Hに示すように、CVD法により、ゲート絶縁膜107(AlON膜107B)上に、ポリシリコンの堆積層148が形成される。

次いで、図18Iに示すように、フォトリソグラフィおよびエッチングにより、堆積層148が選択的に除去され、ゲート絶縁膜107上に、ポリシリコンからなるゲート電極108が形成される。ここで、ゲート絶縁膜107上に、Al(アルミニウム)を含む金属材料の堆積層が形成されて、この堆積層が選択的に除去されることで、金属材料からなるゲート電極108が形成されてもよい。

30

【0092】

次いで、図18Jに示すように、CVD法により、ゲート絶縁膜107およびゲート電極108上に、層間絶縁膜109が形成される。

そして、図18Kに示すように、フォトリソグラフィおよびエッチングにより、層間絶縁膜109およびゲート絶縁膜107を貫通するコンタクトホール110が形成される。その後、スパッタ法により、層間絶縁膜109上に、ソースメタル111が形成される。そして、フォトリソグラフィおよびエッチングにより、ゲートパッド112が形成される。また、スパッタ法により、半導体基板102の裏面に、オーミックメタル113およびドレインメタル114が形成される。以上により、図15に示す半導体装置101が得られる。

40

【0093】

以上のように、ソース領域105におけるチャネル領域Cに隣接する第1領域105Aの不純物濃度を低くすることにより、第1領域105Aの上面における酸化膜147の成長のレート(酸化レート)を低く抑えることができる。したがって、その酸化膜147の除去後に第1領域105Aの上面とチャネル領域C(ウェル領域104)の上面との間に大きな段差が形成されることを防止できる。その結果、ソース領域105からチャネル領域Cを移動する電子の経路(移動経路)を直線に近づけることができ、これによりチャネ

50

ル抵抗の低減を達成することができる。

【0094】

ソース領域105における第1領域105A以外の第2領域105Bの不純物濃度は、第1領域105Aの不純物濃度よりも高いので、第1領域105Aの上面と第2領域105Bの上面との間には、第2領域105Bの上面が第1領域105Aの上面よりも一段低くなる段差Sが形成される。第1領域105Aの上面と第2領域105Bの上面との間に段差Sが形成されていても、その段差Sはチャンネル領域Cにおける電子の流れに影響を与えない。よって、第1領域105Aの不純物濃度を相対的に低くし、第2領域105Bの不純物濃度を相対的に高くすることにより、ソース領域105のキャリア濃度を低減させることなく、チャンネル抵抗を低減することができる。

10

【0095】

また、ゲート絶縁膜107の製造に関し、半導体基板102（半導体層103）上にSiO₂膜107Aが形成されたままの状態では、半導体基板102とSiO₂膜107Aとの界面に、C原子およびSi原子のダングリングボンドが存在する。そこで、SiO₂膜107Aの形成後には、H₂を含むフォーミングガス中で半導体基板102およびSiO₂膜107Aがアニールされる（図19のFGA工程S13）。これにより、C原子およびSi原子のダングリングボンドにH原子が結合し、半導体基板102とSiO₂膜107Aとの界面が水素終端化される。その結果、半導体基板102とSiO₂膜107Aとの界面の欠陥（界面準位密度）が減少し、その界面の状態が改善される。

20

【0096】

半導体基板102およびSiO₂膜107Aのアニール後、SiO₂膜107A上にAlON膜107Bが形成される（図19のAlON膜形成工程S14）。SiO₂膜107A上にAlON膜107Bが存在することにより、半導体基板102およびSiO₂膜107Aからの水素抜けが防止される。そのため、水素終端化により改善された半導体基板102とSiO₂膜107Aとの界面の状態が維持される。

【0097】

よって、半導体基板102とSiO₂膜107Aとの界面の状態を改善することができ、その改善された状態を維持することができる。

したがって、図19に示す製造方法によりゲート絶縁膜107が製造される半導体装置101では、半導体基板102とSiO₂膜107Aとの界面が水素終端している。そのため、半導体装置101は、SiC基板とSiO₂膜との界面に多数のダングリングボンドを有する構造と比較して、界面準位密度が低く、高いチャンネル移動度を発揮することができる。

30

【0098】

また、SiO₂膜107AおよびAlON膜107Bからなるゲート絶縁膜107では、SiO₂膜のみからなるゲート絶縁膜と比較して、AlON膜107Bの厚さを大きくすることにより、同等以上の電気的特性を確保しつつ、リーク電流を低減することができる。よって、半導体装置101では、SiO₂膜のみからなるゲート絶縁膜を採用した構造と比較して、ゲート絶縁膜107の信頼性が高い。

【0099】

また、AlON膜107B上に形成されるゲート電極108は、Alを含む金属材料からなるとよい。これにより、ゲート電極108が多結晶シリコンからなる構造と比較して、MISFETの動作速度の向上および消費電力の低減を図ることができる。

40

また、ゲート絶縁膜107の製造工程において、AlON膜107Bの形成後に、AlON膜107Bがアニールされる（図19のPDA工程S15）。これにより、AlON膜107Bの結晶化度を上昇させることができ、AlON膜107Bの膜質を向上させることができる。

【0100】

さらに、半導体基板102およびSiO₂膜107Aのアニールの前に、SiO₂膜107Aに窒素プラズマが照射される（図19の窒素プラズマ照射工程S12）。これによ

50

り、半導体基板102とSiO₂膜107Aとの界面において、Si-O-C結合およびC-Cクラスタを切断し、炭素原子およびシリコン原子のダングリングボンドを生じさせることができる。そして、窒素プラズマの照射後に半導体基板102およびSiO₂膜107Aのアニールが行われることにより、半導体基板102とSiO₂膜107Aとの界面に存在するC原子およびSi原子のダングリングボンドにH原子を容易に結合させることができる。その結果、半導体基板102とSiO₂膜107Aとの界面を良好に水素終端化させることができる。

【0101】

また、SiO₂膜107Aは、窒素酸化物(N₂O)を含むガスを用いた熱酸化法により形成される。これにより、SiO₂膜107A中にN原子を導入することができ、SiO₂膜107Aの比誘電率を高めることができる。その結果、リーク電流をさらに低減することができる。

図20は、変形例に係る半導体装置の模式的な断面図である。図20において、図15に示す各部に相当する部分には、それらの各部に付した参照符号と同一の参照符号を付している。そして、以下では、図20に示す構造について、図15に示す構造との相違点のみを説明し、同一の参照符号を付した各部の説明を省略する。また、図20では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

【0102】

図15に示す半導体装置101では、ソース領域105の第1領域105Aの深さと第2領域105Bの深さとがほぼ同じであるのに対し、図20に示す半導体装置151では、ソース領域105の第1領域105Aの深さが第2領域105Bの深さよりも小さい。半導体装置151のように、第1領域105Aの深さが第2領域105Bの深さよりも小さくても、図15に示す半導体装置101と同様の効果を奏することができる。

【0103】

図21は、別の変形例に係る半導体装置の模式的な断面図である。なお、図21では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

図15に示す半導体装置101および図20に示す半導体装置151は、プレーナゲート型MIS構造を有しているのに対し、図21に示す半導体装置161は、トレンチゲート型MIS構造を有している。

【0104】

半導体装置161は、半導体基板162を備えている。半導体基板162は、N型不純物がドーブされたSiC(N型SiC)からなる。半導体基板162上には、半導体層163がエピタキシャル成長により形成されている。すなわち、半導体層163は、N型SiCからなるエピタキシャル層である。

半導体層163の基層部は、エピタキシャル成長後のままの状態を維持し、N型のドレイン領域164をなしている。半導体層163の表層部は、P型不純物がドーブされることにより、P型のウェル領域165とされている。

【0105】

半導体層163には、ゲートトレンチ166がその表面から掘り下がって形成されている。ゲートトレンチ166は、たとえば、図14に示すゲート電極108と同様に、平面視格子状に形成されている。ゲートトレンチ166は、ウェル領域165を貫通し、その最深部がドレイン領域164に達している。

ゲートトレンチ166の内面には、ゲート絶縁膜167が形成されている。ゲート絶縁膜167は、N(窒素)を含むSiO₂(酸化シリコン)からなる比較的薄いSiO₂膜167Aと、AlON(酸窒化アルミニウム)からなるAlON膜167Bとを含むAlON/SiO₂積層構造を有している。SiO₂膜167Aは、ゲートトレンチ166の内面に接触し、AlON膜167Bは、SiO₂膜167A上に形成されている。

【0106】

10

20

30

40

50

そして、ゲート絶縁膜 167 の内側を N 型不純物または P 型不純物がドーブされたポリシリコンで埋め尽くすことにより、ゲートトレンチ 166 内には、そのドーブポリシリコンからなるゲート電極 168 が埋設されている。ここで、ゲート電極 168 は、Al (アルミニウム) を含む金属材料で形成されてもよい。

ウェル領域 165 の表層部には、N 型のソース領域 169 が形成されている。ソース領域 169 の深さ (後述する第 1 領域 169 A および第 2 領域 169 B の合計深さ) は、たとえば、 $0.5 \sim 2 \mu\text{m}$ である。

【0107】

ソース領域 169 において、その底部の所定深さ (たとえば、 $0.2 \mu\text{m}$) の第 1 領域 169 A は、N 型不純物濃度が残余の第 2 領域 (第 1 領域 169 A 上の領域) 169 B の N 型不純物濃度よりも 1 ~ 3 桁低い。すなわち、ソース領域 169 は、N 型不純物濃度が相対的に高い N⁺ 型の第 2 領域 169 B と、第 2 領域 169 B の下方に形成され、N 型不純物濃度が相対的に低い N⁻ 型の第 1 領域 169 A とを有している。第 1 領域 169 A の N 型不純物濃度は、たとえば、 $5 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であり、第 2 領域 169 B の N 型不純物濃度は、たとえば、 $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ である。

10

【0108】

第 1 領域 169 A および第 2 領域 169 B の N 型不純物濃度の差に起因して、第 1 領域 169 A の側面と第 2 領域 169 B の側面との間には、第 2 領域 169 B の側面が第 1 領域 169 A の側面よりもゲート電極 168 から離間した段差 S が形成されている。段差 S の大きさは、たとえば、 $0.1 \mu\text{m}$ である。第 1 領域 169 A の側面とウェル領域 165 (チャンネル領域 C) の側面との間には、大きな段差が形成されておらず、それらは、ほぼ面一をなしている。また、第 1 領域 169 A および第 2 領域 169 B の N 型不純物濃度の差に起因して、ゲート絶縁膜 167 は、第 2 領域 169 B の側面上において相対的に大きな厚さを有している。

20

【0109】

また、ウェル領域 165 の表層部には、ゲートトレンチ 166 に囲まれる各領域内において、ゲートトレンチ 166 に対して間隔を空けた位置に、P⁺ 型のコンタクト領域 170 がソース領域 169 を厚さ方向に貫通して形成されている。

半導体層 163 上には、層間絶縁膜 171 が積層されている。層間絶縁膜 171 は、たとえば、酸化シリコンからなる。

30

【0110】

層間絶縁膜 171 には、各コンタクト領域 170 と対向する位置に、コンタクトホール 172 が貫通形成されている。各コンタクトホール 172 内には、コンタクト領域 170 の全域およびソース領域 169 におけるコンタクト領域 170 の周囲の部分が臨んでいる。

層間絶縁膜 171 上には、ソースメタル 173 が形成されている。ソースメタル 173 は、各コンタクトホール 172 に入り込み、ソース領域 169 およびコンタクト領域 170 に接続されている。ソースメタル 173 は、たとえば、Al を主成分として含む金属材料からなる。

【0111】

40

半導体基板 162 の裏面には、その全面に、ニッケル (Ni) などからなるオーミックメタル 174 およびアルミニウムを主成分として含む金属材料からなるドレインメタル 175 が半導体基板 162 側からこの順に形成されている。

ソースメタル 173 が接地され、ドレインメタル 175 に適当な正電圧が印加された状態で、ゲート電極 168 の電位 (ゲート電圧) が制御されることにより、ウェル領域 165 におけるゲート絶縁膜 167 との界面近傍のチャンネル領域 C にチャンネルが形成されて、ソースメタル 173 とドレインメタル 175 との間に電流が流れる。

【0112】

図 22 は、図 21 に示すソース領域の第 1 領域およびチャンネル領域の近傍の模式的な拡大断面図である。

50

半導体装置 161 では、ソース領域 169 におけるチャンネル領域 C に隣接する第 1 領域 169 A の N 型不純物濃度が低くされることにより、第 1 領域 169 A の側面とチャンネル領域 C (ウェル領域 165) の側面との間に大きな段差が形成されていない。

【0113】

そのため、ソースメタル 173 とドレインメタル 175 との間を流れる電子 (e^-) は、ソース領域 169 から第 1 領域 169 A の側面 (ゲートトレンチ 166 の内面) に沿ってチャンネル領域 C に移動し、チャンネル領域 C をその側面に沿って移動する。すなわち、チャンネル領域 C における電子の経路は、チャンネル領域 C の側面に沿った直線経路となる。よって、半導体装置 161 の構造によっても、半導体装置 101, 151 と同様の作用効果を発揮することができ、半導体装置 161 のチャンネル抵抗は、チャンネル領域における電子の移動経路が屈曲経路となる従来の半導体装置のチャンネル抵抗よりも低い。

10

【0114】

また、半導体基板 102, 162 上に、半導体層 103, 163 が積層されている構造を取り上げたが、半導体層 103, 163 が省略されて、半導体基板 102, 162 の表層部に、ウェル領域 104, 165 およびソース領域 105, 169 などが形成されてもよい。

また、各部の導電型が反転されてもよい。すなわち、第 1 導電型が N 型であり、第 2 導電型が P 型である場合を取り上げたが、第 1 導電型が P 型であり、第 2 導電型が N 型であってもよい。

20

(特性評価)

図 15 に示す構造の MISFET を有する試料 101 ($AlON/SiO_2$) を図 18 ~ 図 19 に示す製造方法により作製した。この試料 101 において、 SiO_2 膜 107 A の厚さは、10 nm であり、 $AlON$ 膜 107 B の厚さは、65 nm である。

【0115】

また、半導体基板 102 上に SiO_2 の単層からなるゲート絶縁膜を挟んでゲート電極を積層した構造の MOSFET を有する試料 102 (SiO_2) を作製した。この試料 102 において、ゲート絶縁膜の厚さは、40 nm である。

1. ドレイン電流

図 23 は、試料 101, 102 におけるゲート電圧 (Gate Voltage) とドレイン電流 (Drain Current) との関係を示すグラフである。

30

【0116】

試料 101, 102 のそれぞれについて、ゲート電圧を変化させたときのドレイン電流の大きさを調べた。

図 23 では、試料 101 におけるゲート電圧とドレイン電流との関係を示す曲線に C101 を付し、試料 102 におけるゲート電圧とドレイン電流との関係を示す曲線に C102 を付している。

2. 電界効果移動度

図 24 は、ゲート絶縁膜に生じる電界 (Gate Oxide Field) の強度と電界効果移動度 (Field Effect Mobility) との関係を示すグラフである。

【0117】

40

試料 101, 102 のそれぞれについて、ゲート絶縁膜に生じる電界を変化させたときの電界効果移動度の大きさを調べた。

図 24 では、試料 101 におけるゲート絶縁膜 107 に生じる電界の強度と電界効果移動度との関係を示す曲線に C103 を付し、試料 102 におけるゲート絶縁膜に生じる電界の強度と電界効果移動度との関係を示す曲線に C104 を付している。

【0118】

図 23, 24 に示す曲線 C101 ~ C104 から、試料 101, 102 のトランジスタ動作特性がほぼ同じであることが理解される。そして、 SiO_2 膜 107 A および $AlON$ 膜 107 B からなるゲート絶縁膜 107 を採用した MISFET においても、 SiO_2 の単層からなるゲート絶縁膜を採用した MOSFET と電界効果移動度がほぼ同じである

50

ことから、 SiO_2 膜107A上にAlON膜107Bを積層することによる界面準位密度の増加はないと考えられる。

【0119】

よって、本願発明者らが先に実施した界面準位密度の評価(図13参照)において、AlON/ SiO_2 積層ゲート絶縁膜を採用したSiC-MIS構造の界面準位密度が SiO_2 単層ゲート絶縁膜を採用したSiC-MOS構造の界面準位密度よりも増加しているのは、トランジスタ動作特性に影響しない欠陥(たとえば、AlON/ SiO_2 界面の欠陥)を反映した結果であると考えられる。この評価とは、具体的には、AlON/ SiO_2 積層ゲート絶縁膜を採用したSiC-MIS構造および SiO_2 単層ゲート絶縁膜を採用したSiC-MOS構造の各界面準位密度をHigh-Low法により算出し、それら

10

3. 温度特性

図25は、試料101の電界効果移動度の温度依存性を示すグラフである。図26は、試料102の電界効果移動度の温度依存性を示すグラフである。図27は、図25、26に示す温度依存性を調べたときの各温度と各温度における電界効果移動度の極大値との関係を示すグラフである。図25、26に示すグラフにおいて、横軸は、ゲート絶縁膜に生じる電界の強度であり、縦軸は、電界効果移動度である。

【0120】

試料101、102のそれぞれについて、半導体基板(SiC基板)の温度を110K、150K、200K、250K、300K、400K、500Kおよび600Kとし、各温度におけるゲート絶縁膜に生じる電界の強度と電界効果移動度との関係を調べた。図25では、SiC基板の温度が110K、150K、200K、250K、300K、400K、500Kおよび600Kのときの関係を、それぞれ曲線C105、C106、C107、C108、C109、C110、C111、C112で示している。図26では、SiC基板の温度が110K、150K、200K、250K、300K、400K、500Kおよび600Kのときの関係を、それぞれ曲線C113、C114、C115、C116、C117、C118、C119、C120で示している。図27では、試料101における各温度におけるゲート絶縁膜107に生じる電界の強度と電界効果移動度との関係を曲線C121で示し、試料102における各温度におけるゲート絶縁膜に生じる電界の強度と電界効果移動度との関係を曲線C122で示している。

20

30

【0121】

図27に示す曲線C121、C122を比較して、試料101の各温度下における電界効果移動度の極大値は、試料102の各温度下における電界効果移動度の極大値よりも少し低くなるが、試料101の電界効果移動度の温度依存性は、試料102の電界効果移動度の温度依存性よりも小さいことが理解される。

また、図25に示す曲線C112と図26に示す曲線C120とを比較して、高温下でゲート絶縁膜に高電界(2MV/cm以上の電界)が形成される条件下では、試料101の電界効果移動度が試料102の電界効果移動度よりも大きいことが理解される。よって、試料101、つまり図15に示す構造のMISFETを有する半導体装置101は、ゲート絶縁膜107に3~4MV/cmの電界が生じる条件下で動作するパワーデバイスとして好適である。

40

【0122】

さらに、図15に示す構造のMISFETを有する試料103を図19に示す製造工程から窒素プラズマ照射工程(S12)およびFGA工程(S13)を省略した方法により作製した。この試料103において、 SiO_2 膜107Aの厚さは、10nmであり、AlON膜107Bの厚さは、65nmである。

4. ドレイン電流

図28は、試料101、103におけるゲート電圧(Gate Voltage)とドレイン電流(Drain Current)との関係を示すグラフである。

【0123】

50

試料 101, 103 のそれぞれについて、ゲート電圧を変化させたときのドレイン電流の大きさを調べた。

図 28 では、試料 101 におけるゲート電圧とドレイン電流との関係を曲線 C123 で示し、試料 103 におけるゲート電圧とドレイン電流との関係を曲線 C124 で示している。

【0124】

図 28 に示す曲線 C123, 124 を比較して、試料 101 で得られるドレイン電流が試料 103 で得られるドレイン電流よりも大きいことが理解される。よって、窒素プラズマ照射工程 (S12) および FGA 工程 (S13) は、ドレイン電流の増大化に有効であると考えられる。

5. 電界効果移動度

図 29 は、ゲート絶縁膜に生じる電界 (Gate Oxide Field) の強度と電界効果移動度 (Field Effect Mobility) との関係を示すグラフである。

【0125】

試料 101, 103 のそれぞれについて、ゲート絶縁膜 107 に生じる電界を変化させたときの電界効果移動度の大きさを調べた。

図 29 では、試料 101 におけるゲート絶縁膜 107 に生じる電界の強度と電界効果移動度との関係を曲線 C126 で示し、試料 103 におけるゲート絶縁膜 107 に生じる電界の強度と電界効果移動度との関係を曲線 C125 で示している。

【0126】

図 29 に示す曲線 C125, C126 を比較して、試料 101 の電界効果移動度が試料 103 の電界効果移動度よりも大きいことが理解される。よって、窒素プラズマ照射工程 (S12) および FGA 工程 (S13) は、半導体基板 102 と SiO₂ 膜 107A との界面の状態を改善する方法として有効であると考えられる。

< 第 3 実施形態 >

前述のとおり、SiC を用いた MOSFET (SiC-MOSFET) において、SiC 基板とゲート絶縁膜との界面 (SiO₂/SiC 界面) に高密度の界面準位 (界面欠陥) が生じる。そのため、SiC-MOSFET は、チャネル移動度が低い。

【0127】

SiO₂/SiC 界面における界面準位の密度 (界面準位密度) は、SiO₂ からなるゲート絶縁膜を薄くすることにより下げることができる。しかしながら、ゲート絶縁膜を薄くすると、それに伴って、リーク電流が増加する。

そこで、第 3 実施形態は、炭化シリコン層とゲート絶縁膜との界面における界面準位密度およびリーク電流の両方の低減を図ることができる、半導体装置を提供する。

【0128】

図 32 は、本発明の第 3 実施形態に係る半導体装置の模式的な断面図である。

半導体装置 301 は、N 型不純物がドーブされた SiC (N 型 SiC) からなる SiC 基板 302 を備えている。SiC 基板 302 上には、N 型 SiC からなる SiC 層 303 がエピタキシャル成長により形成されている。

SiC 層 303 の表層部には、複数の P 型のウェル領域 304 が形成されている。複数のウェル領域 304 は、平面視四角形状 (略正形状) をなし、マトリクス状に配列されている。

【0129】

各ウェル領域 304 の表層部には、ソース領域 305 がウェル領域 304 の周縁と間隔を空けて形成されている。ソース領域 305 は、SiC 層 303 よりも N 型不純物が高濃度にドーブされることにより、N⁺ 型の導電型を示す。

各ソース領域 305 の中央には、コンタクト領域 306 が形成されている。コンタクト領域 306 は、ソース領域 305 を深さ方向に貫通して形成され、最深部がソース領域 305 の下方に存在するウェル領域 304 に達している。コンタクト領域 306 は、ウェル領域 304 よりも P 型不純物が高濃度にドーブされることにより、P⁺ 型の導電型を示す

10

20

30

40

50

。

【0130】

SiC層303上には、ゲート絶縁膜307が形成されている。ゲート絶縁膜307は、各ウェル領域304の間のSiC層303、各ウェル領域304の周縁とその内側のソース領域305の周縁との間の領域（チャンネル領域）およびソース領域305の一部と対向している。ゲート絶縁膜307は、全体として、平面視格子状に形成されている。

ゲート絶縁膜307は、 SiO_xN_y （酸化窒素シリコン）からなるSiON膜307Aと、 SiO_2 （酸化シリコン）からなり、SiON膜307A上に形成された SiO_2 膜307Bと、高誘電率（High-k）絶縁材料であるAlON（酸化アルミニウム）からなり、 SiO_2 膜307B上に形成されたAlON膜307Cとを含むAlON/SiON/SiO₂/SiO_xN_y積層構造を有している。

10

【0131】

SiON膜307Aの厚さは、1～5nmである。SiO₂膜307Bの厚さは、1～5nmである。そして、SiON膜307AおよびSiO₂膜307Bの合計厚さは、2～10nmである。AlON膜307Cの厚さは、10～200nmである。各範囲には、その下限値および上限値が含まれる。

ゲート絶縁膜307上には、ゲート電極308が形成されている。これにより、半導体装置301は、プレーナゲート型MIS構造を有している。ゲート電極308は、Al（アルミニウム）を主成分として含む金属材料からなる。

20

【0132】

そして、SiC層303上には、層間絶縁膜309が形成されている。層間絶縁膜309により、SiC層303の上面がゲート絶縁膜307およびゲート電極308とともに被覆されている。層間絶縁膜309は、たとえば、SiO₂からなる。

層間絶縁膜309には、各コンタクト領域306と対向する位置に、コンタクトホール310が形成されている。各コンタクトホール310内には、コンタクト領域306の全域およびソース領域305におけるコンタクト領域306の周囲の部分が臨んでいる。

【0133】

層間絶縁膜309上には、ソースメタル311が形成されている。ソースメタル311は、層間絶縁膜309に形成された各コンタクトホール310に入り込み、ソース領域305およびコンタクト領域306に接続されている。ソースメタル311は、たとえば、Alを主成分として含む金属材料からなる。

30

SiC基板302の裏面には、その全面に、Ni（ニッケル）などからなるオーミックメタル（図示せず）を介して、Alを主成分として含む金属材料からなるドレインメタル312が形成されている。

【0134】

ソースメタル311が接地され、ドレインメタル312に適当な正電圧が印加された状態で、ゲート電極308の電位（ゲート電圧）が制御されることにより、ウェル領域304におけるゲート絶縁膜307との界面近傍のチャンネル領域にチャンネルが形成されて、ソースメタル311とドレインメタル312との間に電流が流れる。

図33は、ゲート絶縁膜の製造工程図である。

40

【0135】

半導体装置301の製造の際には、エピタキシャル成長法により、SiC基板302上に、SiC層303が形成される。そして、イオン注入法などを含む公知の手法により、SiC層303に、ウェル領域304、ソース領域305およびコンタクト領域306が形成される。その後、ゲート絶縁膜307を形成するために、NO_x熱酸化工程（S21）、O₂熱酸化工程（S22）、FGA（Forming Gas Annealing）工程（S23）、AlON膜形成工程（S24）およびPDA（Post Deposition Annealing）工程（S25）がこの順に行われる。

【0136】

NO_x熱酸化工程（S21）では、N₂O（窒素酸化物）を含むガスを用いた熱酸化法

50

により、 SiC 層303上に、 SiO_xN_y からなる SiON 膜が形成される。

O_2 熱酸化工程(S22)では、 O_2 のドライガスを用いた熱酸化法により、 SiON 膜上に、 SiO_2 からなる SiO_2 膜が形成される。

FGA工程(S23)では、3%の H_2 (水素ガス)と97%の N_2 (窒素ガス)とを含むフォーミングガス中で、 SiO_2 膜がアニールされる。たとえば、1000の温度下でのアニールが30分間行われた後、450の温度下でのアニールが30分間行われる。これにより、 SiO_2 膜中にH原子が良好に導入され、 SiC 層303と SiON 膜との界面に存在するC原子およびSi原子のダングリングボンドが減少する。

【0137】

AlON膜形成工程(S24)では、 N_2 および O_2 (酸素ガス)の混合ガスおよびAlターゲットを用いた反応性スパッタ法により、 SiO_2 膜上に、AlON膜が形成される。

PDA工程(S25)では、 N_2 中で、AlON膜がアニールされる。このアニールは、たとえば、900の温度下で10分間行われる。これにより、AlON膜の結晶化度が上昇し、AlON膜の膜質が向上する。

【0138】

その後、AlON膜上に、ゲート電極308が形成される。ゲート電極308は、たとえば、マスクを用いて、AlON膜の表面にゲート電極の材料(Al)を選択的に蒸着させることにより形成される。そして、フォトリソグラフィおよびエッチングにより、AlON膜、 SiO_2 膜およびSiON膜の露出する部分(ゲート電極308と対向していない部分)がこの順に除去され、AlON膜、 SiO_2 膜およびSiON膜がそれぞれAlON膜307C、 SiO_2 膜307BおよびSiON膜307Aに加工される。この後、公知の手法により、層間絶縁膜309、コンタクトホール310、ソースメタル311およびドレインメタル312が形成されると、図32に示す半導体装置301が得られる。

【0139】

以上のように、ゲート絶縁膜307は、 SiC 層303側からSiON膜307A、 SiO_2 膜307BおよびAlON膜307Cを積層した構造を有している。

SiC 層303と SiO_2 膜307Bとの間にSiON膜307Aが介在されることにより、ゲート絶縁膜が酸化シリコン膜のみからなる構造と比較して、 SiC 層303(SiC)とゲート絶縁膜307との界面における界面準位密度Ditの低減を図ることができる。そして、界面準位密度Ditの低減により、チャネル移動度の向上を図ることができる。

【0140】

また、SiON膜307Aおよび SiO_2 膜307Bの合計厚さを小さくし、AlON膜307Cの厚さを大きくすることにより、 SiC 層303とゲート絶縁膜307との界面における界面準位密度の増大を抑制しつつ、ゲート絶縁膜307の厚さの増大によるリーク電流の低減を図ることができる。

よって、界面準位密度Ditの低減によるチャネル移動度の向上およびリーク電流の低減によるゲート絶縁膜307の信頼性の向上の両方を達成することができる。

【0141】

また、ゲート電極308は、Alを含む金属材料からなる。これにより、ゲート電極308が多結晶シリコンからなる構造と比較して、 SiC 層303、ゲート絶縁膜307およびゲート電極308などで構成されるMISFET(プレーナゲート型MIS構造の電界効果トランジスタ)の動作速度の向上および消費電力の低減を図ることができる。

(界面準位密度)

図32に示すSiC-MIS構造(SiC上にAlON/ SiO_2 / SiO_xN_y 積層ゲート絶縁膜を備える構造)を有する試料201を作成した。この試料201において、SiON膜307Aの厚さは、5nmであり、 SiO_2 膜307Bの厚さは、5nmであり、AlON膜307Cの厚さは、80nmである。

【0142】

10

20

30

40

50

また、 AlON/SiO_2 積層ゲート絶縁膜 (SiC 上に SiO_2 からなる SiO_2 膜および AlON からなる AlON 膜をこの順に積層した構造のゲート絶縁膜) を採用した $\text{SiC}-\text{MIS}$ 構造を有する試料 202 を作成した。この試料 202 において、 SiO_2 膜の厚さは、 10nm であり、 AlON 膜の厚さは、 80nm である。

そして、試料 201, 202 のそれぞれについて、高周波 CV 特性 (たとえば、測定周波数 100kHz) と低周波 CV 特性 (準静的 CV 特性) を測定し、High-Low 法により、高周波測定値と低周波測定値との差分を界面準位密度 D_{it} として算出した。その結果を、図 34 に示す。図 34 において、横軸は、ゲート絶縁膜の価電子端からのエネルギー ($E_c - E$) であり、縦軸は、界面準位密度 D_{it} である。

【0143】

図 34 に示す結果から、試料 201 における界面準位密度 D_{it} は、試料 202 の界面準位密度 D_{it} よりも低いことが理解される。

図 35 は、ゲート絶縁膜の別の製造工程図である。

図 32 に示すゲート絶縁膜 307 は、図 33 に示す製造工程を含む手法以外に、図 35 に示す製造工程を含む手法により形成することができる。図 35 に示す製造工程には、窒素プラズマ照射工程 (S31)、 O_2 熱酸化工程 (S32)、FGA 工程 (S33)、 AlON 膜形成工程 (S34) および PDA 工程 (S35) がこの順に行われる。

【0144】

窒素プラズマ照射工程 (S31) では、窒素プラズマが SiC 層 303 に照射される。窒素プラズマは、たとえば、 SiC 層 303 が 500°C に加熱された状態で、30 分間にわたって照射され続ける。また、そのときの気圧および RF 出力は、たとえば、それぞれ 9.5Torr および 50W である。これにより、 SiC 層 303 上に、 SiON 膜が形成される。

【0145】

O_2 熱酸化工程 (S32) では、 O_2 のドライガスを用いた熱酸化法により、 SiON 膜上に、 SiO_2 からなる SiO_2 膜が形成される。

FGA 工程 (S33)、 AlON 膜形成工程 (S34) および PDA 工程 (S35) では、それぞれ図 33 に示す FGA 工程 (S23)、 AlON 膜形成工程 (S24) および PDA 工程 (S25) と同様の処理が行われる。

【0146】

図 36 は、変形例に係る半導体装置の模式的な断面図である。

図 32 に示す半導体装置 301 は、プレーナゲート型 MIS 構造を有しているのに対し、図 36 に示す半導体装置 351 は、トレンチゲート型 MIS 構造を有している。

半導体装置 351 は、N 型 SiC からなる SiC 基板 352 を備えている。 SiC 基板 352 上には、N 型 SiC からなる SiC 層 353 がエピタキシャル成長により形成されている。

【0147】

SiC 層 353 の基層部は、エピタキシャル成長後のままの状態を維持し、N 型のドレイン領域 354 をなしている。 SiC 層 353 の表層部は、P 型不純物がドーピングされることにより、P 型のウェル領域 355 とされている。

SiC 層 353 には、ゲートトレンチ 356 がその表面から掘り下がって形成されている。ゲートトレンチ 356 は、たとえば、平面視格子状に形成されている。ゲートトレンチ 356 は、ウェル領域 355 を貫通し、その最深部がドレイン領域 354 に達している。

【0148】

ゲートトレンチ 356 の内面には、ゲート絶縁膜 357 が形成されている。ゲート絶縁膜 357 の周縁部は、ゲートトレンチ 356 外で SiC 層 353 の上面に接している。ゲート絶縁膜 357 は、 SiO_xN_y からなる SiON 膜 357A と、 SiO_2 からなり、 SiON 膜 357A 上に形成された SiO_2 膜 357B と、高誘電率絶縁材料である AlON からなり、 SiO_2 膜 357B 上に形成された AlON 膜 357C とを含む AlON

10

20

30

40

50

/ SiO₂ / SiO_xN_y 積層構造を有している。

【0149】

SiON膜357Aの厚さは、1～5nmである。SiO₂膜357Bの厚さは、1～5nmである。そして、SiON膜357AおよびSiO₂膜357Bの合計厚さは、2～10nmである。AlON膜357Cの厚さは、10～200nmである。各範囲には、その下限値および上限値が含まれる。

そして、ゲート絶縁膜357上には、Alを主成分として含む金属材料からなるゲート電極358が形成されている。

【0150】

ウェル領域355の表層部には、N型のソース領域359が形成されている。

10

また、ウェル領域355の表層部には、ゲートトレンチ356に囲まれる各領域内において、ゲートトレンチ356に対して間隔を空けた位置に、コンタクト領域360がソース領域359を厚さ方向に貫通して形成されている。コンタクト領域360は、ウェル領域355よりもP型不純物が高濃度にドーピングされることにより、P⁺型の導電型を示す。

【0151】

SiC層353上には、層間絶縁膜361が積層されている。層間絶縁膜361は、たとえば、酸化シリコンからなる。

層間絶縁膜361には、各コンタクト領域360と対向する位置に、コンタクトホール362が貫通形成されている。各コンタクトホール362内には、コンタクト領域360の全域およびソース領域359におけるコンタクト領域360の周囲の部分が臨んでいる。

20

【0152】

層間絶縁膜361上には、ソースメタル363が形成されている。ソースメタル363は、各コンタクトホール362に入り込み、ソース領域359およびコンタクト領域360に接続されている。ソースメタル363は、たとえば、Alを主成分として含む金属材料からなる。

SiC基板352の裏面には、その全面に、Niなどからなるオーミックメタル（図示せず）を介して、Alを主成分として含む金属材料からなるドレインメタル364が形成されている。

【0153】

30

ソースメタル363が接地され、ドレインメタル364に適当な正電圧が印加された状態で、ゲート電極358の電位（ゲート電圧）が制御されることにより、ウェル領域355におけるゲート絶縁膜357との界面近傍のチャンネル領域にチャンネルが形成されて、ソースメタル363とドレインメタル364との間に電流が流れる。

この半導体装置351においても、図32に示す半導体装置301と同様の作用効果を奏することができる。

【0154】

図37は、別の変形例に係る半導体装置の模式的な断面図である。

図32に示す半導体装置301および図36に示す半導体装置351は、縦型MISFETを備えているのに対し、図37に示す半導体装置381は、横型MISFETを備えている。

40

半導体装置381は、N型SiCからなる炭化シリコン層としてのSiC基板382を備えている。

【0155】

SiC基板382の表層部には、P型のウェル領域383が形成されている。

ウェル領域383の表層部には、ソース領域384およびドレイン領域385が形成されている。ソース領域384およびドレイン領域385は、それぞれウェル領域383の周縁部との間に間隔を空け、かつ、互いに間隔を空けて形成されている。ソース領域384およびドレイン領域385は、SiC基板382よりもN型不純物が高濃度にドーピングされることにより、N⁺型の導電型を示す。

50

【0156】

また、ウェル領域383の表層部には、コンタクト領域386が形成されている。コンタクト領域386は、ソース領域384に対してドレイン領域385側と反対側に隣接して形成されている。コンタクト領域386は、ウェル領域383よりもP型不純物が高濃度にドーピングされることにより、P⁺型の導電型を示す。

ソース領域384とドレイン領域385との間の領域（チャネル領域）上には、ゲート絶縁膜387が形成されている。より具体的には、ゲート絶縁膜387は、ソース領域384とドレイン領域385との間の領域と対向し、ソース領域384の周縁部とドレイン領域385の周縁部とに跨っている。ゲート絶縁膜387は、SiO_xN_yからなるSiON膜387Aと、SiO₂からなり、SiON膜387A上に形成されたSiO₂膜387Bと、高誘電率絶縁材料であるAlONからなり、SiO₂膜387B上に形成されたAlON膜387Cとを含むAlON/SiO₂/SiO_xN_y積層構造を有している。

10

【0157】

SiON膜387Aの厚さは、1～5nmである。SiO₂膜387Bの厚さは、1～5nmである。そして、SiON膜387AおよびSiO₂膜387Bの合計厚さは、2～10nmである。AlON膜387Cの厚さは、10～200nmである。各範囲には、その下限値および上限値が含まれる。

ゲート絶縁膜387上には、平面視でゲート絶縁膜387と同一形状のゲート電極388が形成されている。ゲート電極388は、Alを含む金属材料からなる。

20

【0158】

ソース領域384およびコンタクト領域386上には、ソース電極389が形成されている。ソース電極389は、ソース領域384およびコンタクト領域386の表面に対してそれらに跨って接している。ソース電極389は、Alを含む金属材料からなる。

ドレイン領域385上には、ドレイン電極390が形成されている。ドレイン電極390は、ドレイン領域385の表面に接している。ドレイン電極390は、Alを含む金属材料からなる。

【0159】

ソース電極389が接地され、ドレイン電極390に正電圧が印加された状態で、ゲート電極388に閾値以上の電圧が印加されることにより、ウェル領域383におけるゲート絶縁膜との界面近傍のチャネル領域にチャネルが形成され、ドレイン電極390からソース電極389に向けて電流が流れる。

30

この半導体装置381においても、図32に示す半導体装置301と同様の作用効果を奏することができる。

【0160】

また、SiC基板302, 352上に、SiC層303, 353が積層されている構造を取り上げたが、SiC層303, 353が省略されて、SiC基板302, 352の表層部に、ウェル領域304, 355およびソース領域305, 359などが形成されてもよい。

また、半導体装置301, 351, 381の各部の導電型が反転されてもよい。

40

【0161】

ゲート電極308, 358, 388の材料は、Alを含む金属材料に限らず、N型不純物またはP型不純物がドーピングされたポリシリコンであってもよい。

高誘電率絶縁膜として、AlON膜307C、AlON膜357CおよびAlON膜387Cを例示したが、高誘電率絶縁膜の材料は、AlONに限らず、Al₂O₃（酸化アルミニウム）、ZrO（酸化ジルコニウム）、HfO（酸化ハフニウム）、AlN（窒化アルミニウム）などの高誘電率材料であってもよい。

<第4実施形態>

第4実施形態は、チャネル領域におけるキャリアの移動経路を直線に近づけることができ、これによりチャネル抵抗を低減することができる、半導体装置を提供する。

50

【0162】

図38は、本発明の第4実施形態に係る半導体装置の模式的な平面図である。図39は、図38に示す切断線B-Bにおける半導体装置の模式的な断面図である。なお、図39では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

半導体装置401は、図38に示すように、平面視四角形状（略正形状）の外形を有している。

【0163】

半導体装置401は、図39に示すように、半導体基板（SiC基板）402を備えている。半導体基板402は、N型不純物がドーパされたSiC（N型SiC）からなる。半導体基板402上には、半導体層（SiC層）403がエピタキシャル成長により形成されている。すなわち、半導体層403は、N型SiCからなるエピタキシャル層である。

10

【0164】

半導体層403の表層部には、複数のP型のウェル領域404が形成されている。複数のウェル領域404は、平面視四角形状（略正形状）をなし、マトリクス状に配列されている。ウェル領域404の深さは、たとえば、 $0.5 \sim 2 \mu\text{m}$ である。そして、ウェル領域404は、たとえば、その上面からの深さが $0.5 \mu\text{m}$ 以下の部分のP型不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である不純物濃度プロファイルを有している。

20

【0165】

各ウェル領域404の表層部には、ソース領域405がウェル領域404の周縁と間隔を空けて形成されている。ソース領域405は、半導体層403よりもN型不純物が高濃度にドーパされることにより、N⁺型の導電型を示す。ソース領域405の深さは、たとえば、 $0.2 \sim 1 \mu\text{m}$ である。

ソース領域405において、平面視でその周縁から所定幅（たとえば、 $0.2 \mu\text{m}$ ）の第1領域405Aは、N型不純物濃度が残余の第2領域（第1領域405Aの内側の領域）405BのN型不純物濃度よりも1～3桁低い。すなわち、ソース領域405は、N型不純物濃度が相対的に高いN⁺型の第2領域405Bと、第2領域405Bを取り囲む環状をなし、N型不純物濃度が相対的に低いN⁻型の第1領域405Aとを有している。そして、第1領域405Aは、たとえば、その上面からの深さが $0.2 \mu\text{m}$ 以下の部分のN型不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$ である不純物濃度プロファイルを有している。第2領域405Bは、たとえば、その上面からの深さが $0.2 \mu\text{m}$ 以下の部分のN型不純物濃度が $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ である不純物濃度プロファイルを有している。

30

【0166】

第1領域405Aの上面と第2領域405Bの上面との間には、第2領域405Bの上面が第1領域405Aの上面よりも一段低くなる段差Sが形成されている。段差Sの大きさは、たとえば、 $0.2 \mu\text{m}$ である。第1領域405Aの上面とウェル領域404（チャンネル領域C）の上面との間には、大きな段差が形成されておらず、それらは、ほぼ面一をなしている。

40

【0167】

各ソース領域405の第2領域405Bの中央には、ウェル領域404よりもP型不純物が高濃度にドーパされたP⁺型のコンタクト領域406が形成されている。各コンタクト領域406は、第2領域405Bを深さ方向に貫通して形成され、最深部がソース領域405の下方に存在するウェル領域404に達している。

半導体層403上には、ゲート絶縁膜407が形成されている。ゲート絶縁膜407は、各ウェル領域404の間の半導体層403、各ウェル領域404の周縁とその内側のソース領域405の周縁との間の領域（チャンネル領域）およびソース領域405の一部と対向している。ゲート絶縁膜407は、全体として、平面視格子状に形成されている。

【0168】

50

ゲート絶縁膜407は、 SiO_xN_y （酸窒化シリコン）からなる SiON 膜407Aと、 SiO_2 （酸化シリコン）からなり、 SiON 膜407A上に形成された SiO_2 膜407Bと、高誘電率（High-k）絶縁材料である AlON （酸窒化アルミニウム）からなり、 SiO_2 膜407B上に形成された AlON 膜407Cとを含む $\text{AlON}/\text{SiO}_2/\text{SiO}_x\text{N}_y$ 積層構造を有している。

【0169】

SiON 膜407Aの厚さは、1～5nmである。 SiO_2 膜407Bの厚さは、1～5nmである。そして、 SiON 膜407Aおよび SiO_2 膜407Bの合計厚さは、2～10nmである。 AlON 膜407Cの厚さは、10～200nmである。各範囲には、その下限値および上限値が含まれる。

10

ゲート絶縁膜407上には、ゲート電極408が形成されている。ゲート電極408は、ゲート絶縁膜407を挟んで、各ウェル領域404の間の半導体層403、各ウェル領域404の周縁とその内側のソース領域405の周縁との間のチャンネル領域Cおよびソース領域405の第1領域405Aの一部と対向している。ゲート電極408は、全体として、図38に示すように、平面視格子状に形成されている。これにより、半導体装置401は、プレーナゲート型MIS構造を有している。ゲート電極408は、N型不純物またはP型不純物がドーパされたポリシリコン、または、Al（アルミニウム）を主成分として含む金属材料からなる。

【0170】

なお、図38では、ゲート電極408が、後述する層間絶縁膜409およびソースメタル411を透過して示されている。

20

そして、半導体層403上には、図39に示すように、層間絶縁膜409が形成されている。層間絶縁膜409により、半導体層403の上面がゲート絶縁膜407およびゲート電極408とともに被覆されている。層間絶縁膜409は、たとえば、酸化シリコンからなる。

【0171】

層間絶縁膜409には、各コンタクト領域406と対向する位置に、コンタクトホール410が形成されている。各コンタクトホール410は、ゲート絶縁膜407を貫通し、各コンタクトホール410内には、コンタクト領域406の全域およびソース領域405におけるコンタクト領域406の周囲の部分が臨んでいる。

30

層間絶縁膜409上には、ソースメタル411が形成されている。ソースメタル411は、層間絶縁膜409に形成された各コンタクトホール410に入り込み、ソース領域405およびコンタクト領域406に接続されている。ソースメタル411は、たとえば、アルミニウム（Al）を主成分として含む金属材料からなる。

【0172】

また、半導体装置401の一侧縁に沿った部分の中央上において、層間絶縁膜409およびソースメタル411が選択的に除去されることにより、図38に示すように、ゲート電極408の一部を外部との接続のためのゲートパッド412として露出させる開口が形成されている。

半導体基板402の裏面には、その全面に、ニッケル（Ni）などからなるオーミックメタル413およびアルミニウムを主成分として含む金属材料からなるドレインメタル414が半導体基板402側からこの順に形成されている。

40

【0173】

ソースメタル411が接地され、ドレインメタル414に適当な正電圧が印加された状態で、ゲート電極408の電位（ゲート電圧）が制御されることにより、ウェル領域404におけるゲート絶縁膜407との界面近傍のチャンネル領域Cにチャンネルが形成されて、ソースメタル411とドレインメタル414との間に電流が流れる。

図40は、図39に示すソース領域の第1領域およびチャンネル領域の近傍の模式的な拡大断面図である。

【0174】

50

半導体装置 401 では、ソース領域 405 におけるチャネル領域 C に隣接する第 1 領域 405 A の N 型不純物濃度が低くされることにより、第 1 領域 405 A の上面とチャネル領域 C (ウェル領域 404) の上面との間に大きな段差が形成されていない。

そのため、ソースメタル 411 とドレインメタル 414 との間を流れる電子 (e^-) は、ソース領域 405 から第 1 領域 405 A の上面に沿ってチャネル領域 C に移動し、チャネル領域 C をその上面に沿って移動する。すなわち、チャネル領域 C における電子の経路は、チャネル領域 C の上面に沿った直線経路となる。よって、半導体装置 401 のチャネル抵抗は、チャネル領域における電子の移動経路が屈曲経路となる図 30 の半導体装置のチャネル抵抗よりも低い。

【0175】

図 41A ~ 41K は、半導体装置の製造工程を順に示す模式的な断面図である。なお、図 41A ~ 41K では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。図 42 は、ゲート絶縁膜の製造工程図である。半導体装置 401 の製造工程では、まず、CVD (Chemical Vapor Deposition: 化学気相成長) 法により、半導体層 403 上に、ポリシリコンの堆積層が形成される。そして、フォトリソグラフィおよびエッチングにより、そのポリシリコンの堆積層 (図示せず) が半導体層 403 におけるウェル領域 404 となるべき部分上から選択的に除去される。これにより、図 41A に示すように、半導体層 403 上に、ポリシリコンからなるマスク 441 が形成される。その後、イオン注入法により、半導体層 403 におけるマスク 441 から露出する部分に、P 型不純物 (たとえば、アルミニウム) がドーブされる。

10

20

【0176】

次に、半導体層 403 およびマスク 441 を一括して覆うように、酸化シリコンからなる酸化膜 (図示せず) が形成される。その後、酸化膜上に、ポリシリコンの堆積層 (図示せず) が形成される。そして、ポリシリコンの堆積層が酸化膜をエッチストップパとしてエッチバックされ、その堆積層におけるマスク 441 の側面に接する所定部分のみが残されることにより、図 41B に示すように、マスク 441 と一体をなすマスク 442 が形成される。つづいて、マスク 442 から露出している酸化膜が除去される。そして、フォトリソグラフィにより、半導体層 403 におけるコンタクト領域 406 となるべき部分上に、レジストパターン 443 が形成される。その後、イオン注入法により、半導体層 403 におけるマスク 441, 442 およびレジストパターン 443 から露出する部分に、N 型不純物 (たとえば、リン (P)) がドーブされる。

30

【0177】

レジストパターン 443 が除去された後、半導体層 403 およびマスク 441, 442 を一括して覆うように、酸化シリコンからなる酸化膜 (図示せず) が再び形成される。その後、酸化膜上に、ポリシリコンの堆積層 (図示せず) が形成される。そして、ポリシリコンの堆積層が酸化膜をエッチストップパとしてエッチバックされ、その堆積層におけるマスク 442 の側面に接する所定部分のみが残されることにより、図 41C に示すように、マスク 441, 442 と一体をなすマスク 444 が形成される。つづいて、マスク 444 から露出している酸化膜が除去される。そして、フォトリソグラフィにより、半導体層 403 におけるコンタクト領域 406 となるべき部分上に、レジストパターン 445 が形成される。その後、イオン注入法により、半導体層 403 におけるマスク 441, 442, 444 およびレジストパターン 445 から露出する部分に、N 型不純物が追加してドーブされる。N 型不純物のドーブ後、マスク 441, 442, 444 およびレジストパターン 445 が除去される。

40

【0178】

なお、図 41B, 41C に示す工程において、レジストパターン 443, 445 の形成が省略されて、半導体層 403 におけるコンタクト領域 406 となるべき部分に N 型不純物がドーブされてもよい。こうすることにより、レジストパターン 443, 445 の形成に必要なフォトマスクを省略することができ、半導体装置 401 の製造工程を簡素化することができる。

50

【 0 1 7 9 】

次いで、図 4 1 D に示すように、半導体層 4 0 3 上に、レジストパターン 4 4 6 が形成される。レジストパターン 4 4 6 は、半導体層 4 0 3 におけるコンタクト領域 4 0 6 となるべき部分のみを露出させる。そして、イオン注入法により、半導体層 4 0 3 におけるレジストパターン 4 4 6 から露出する部分に、P 型不純物がドーブされる。

その後、半導体層 4 0 3 にドーブされた P 型不純物および N 型不純物を活性化させるためのアニールが行われ、図 4 1 E に示すように、半導体層 4 0 3 の表層部に、ウェル領域 4 0 4、ソース領域 4 0 5 (第 1 領域 4 0 5 A、第 2 領域 4 0 5 B) およびコンタクト領域 4 0 6 が形成される。また、アニール時に、半導体層 4 0 3 の上面が熱酸化されることにより、酸化膜 4 4 7 が形成される。ソース領域 4 0 5 の第 2 領域 4 0 5 B およびコンタクト領域 4 0 6 は、半導体層 4 0 3、ウェル領域 4 0 4 およびソース領域 4 0 5 の第 1 領域 4 0 5 A と比較して、不純物濃度が高いので、酸化膜 4 4 7 は、第 2 領域 4 0 5 B およびコンタクト領域 4 0 6 上において相対的に厚く成長する。

10

【 0 1 8 0 】

そのため、図 4 1 F に示すように、酸化膜 4 4 7 が除去された後は、第 2 領域 4 0 5 B およびコンタクト領域 4 0 6 の上面が半導体層 4 0 3、ウェル領域 4 0 4 およびソース領域 4 0 5 の第 1 領域 4 0 5 A の上面よりも一段下がった状態となり、第 1 領域 4 0 5 A と第 2 領域 4 0 5 B との間に段差 S が形成される。

また、酸化膜 4 4 7 の除去後に、熱酸化法により、半導体層 4 0 3、ウェル領域 4 0 4、ソース領域 4 0 5 およびコンタクト領域 4 0 6 の上面に、犠牲酸化膜が形成され、この犠牲酸化膜が除去されることにより、半導体層 4 0 3、ウェル領域 4 0 4、ソース領域 4 0 5 およびコンタクト領域 4 0 6 の上面の状態が改善される場合がある。この場合、犠牲酸化膜の除去後、第 1 領域 4 0 5 A と第 2 領域 4 0 5 B との間に、より大きな段差 S が形成される。

20

【 0 1 8 1 】

その後、図 4 1 G に示すように、熱酸化法により、半導体層 4 0 3、ウェル領域 4 0 4、ソース領域 4 0 5 およびコンタクト領域 4 0 6 の上面に、ゲート絶縁膜 4 0 7 が形成される。

ゲート絶縁膜 4 0 7 を形成するために、図 4 2 に示すように、 NO_x 熱酸化工程 (S 4 1)、 O_2 熱酸化工程 (S 4 2)、FGA (Forming Gas Annealing) 工程 (S 4 3)、AlON 膜形成工程 (S 4 4) および PDA (Post Deposition Annealing) 工程 (S 4 5) がこの順に行われる。

30

【 0 1 8 2 】

NO_x 熱酸化工程 (S 4 1) では、 N_2O (窒素酸化物) を含むガスを用いた熱酸化法により、半導体層 4 0 3 上に、 SiO_xN_y からなる SiON 膜 4 0 7 A が形成される。

O_2 熱酸化工程 (S 4 2) では、 O_2 のドライガスを用いた熱酸化法により、 SiON 膜 4 0 7 A 上に、 SiO_2 からなる SiO_2 膜 4 0 7 B が形成される。

FGA 工程 (S 4 3) では、3% の H_2 (水素ガス) と 97% の N_2 (窒素ガス) とを含むフォーミングガス中で、 SiO_2 膜 4 0 7 B がアニールされる。たとえば、1000 の温度下でのアニールが 30 分間行われた後、450 の温度下でのアニールが 30 分間行われる。これにより、 SiO_2 膜 4 0 7 B 中に H 原子が良好に導入され、半導体層 4 0 3 と SiON 膜 4 0 7 A との界面に存在する C 原子および Si 原子のダングリングボンドが減少する。

40

【 0 1 8 3 】

AlON 膜形成工程 (S 4 4) では、 N_2 および O_2 (酸素ガス) の混合ガスおよび Al ターゲットを用いた反応性スパッタ法により、 SiO_2 膜 4 0 7 B 上に、AlON 膜 4 0 7 C が形成される。

PDA 工程 (S 4 5) では、 N_2 中で、AlON 膜 4 0 7 C がアニールされる。このアニールは、たとえば、900 の温度下で 10 分間行われる。これにより、AlON 膜 4 0 7 C の結晶化度が上昇し、AlON 膜 4 0 7 C の膜質が向上する。

50

【0184】

以上により、図41Gに示すようにゲート絶縁膜407が形成される。

次いで、図41Hに示すように、CVD法により、ゲート絶縁膜407上に、ポリシリコンの堆積層448が形成される。

次いで、図41Iに示すように、フォトリソグラフィおよびエッチングにより、堆積層448が選択的に除去され、ゲート絶縁膜407上に、ポリシリコンからなるゲート電極408が形成される。ここで、ゲート絶縁膜407上に、Al（アルミニウム）を含む金属材料の堆積層が形成されて、この堆積層が選択的に除去されることで、金属材料からなるゲート電極408が形成されてもよい。

【0185】

10

次いで、図41Jに示すように、CVD法により、ゲート絶縁膜407およびゲート電極408上に、層間絶縁膜409が形成される。

そして、図41Kに示すように、フォトリソグラフィおよびエッチングにより、層間絶縁膜409およびゲート絶縁膜407を貫通するコンタクトホール410が形成される。その後、スパッタ法により、層間絶縁膜409上に、ソースメタル411が形成される。そして、フォトリソグラフィおよびエッチングにより、ゲートパッド412が形成される。また、スパッタ法により、半導体基板402の裏面に、オーミックメタル413およびドレインメタル414が形成される。以上により、図39に示す半導体装置401が得られる。

【0186】

20

以上のように、ソース領域405におけるチャンネル領域Cに隣接する第1領域405Aの不純物濃度を低くすることにより、第1領域405Aの上面における酸化膜447の成長のレート（酸化レート）を低く抑えることができる。したがって、その酸化膜447の除去後に第1領域405Aの上面とチャンネル領域C（ウェル領域404）の上面との間に大きな段差が形成されることを防止できる。その結果、ソース領域405からチャンネル領域Cを移動する電子の経路（移動経路）を直線に近づけることができ、これによりチャンネル抵抗の低減を達成することができる。

【0187】

ソース領域405における第1領域405A以外の第2領域405Bの不純物濃度は、第1領域405Aの不純物濃度よりも高いので、第1領域405Aの上面と第2領域405Bの上面との間には、第2領域405Bの上面が第1領域405Aの上面よりも一段低くなる段差Sが形成される。第1領域405Aの上面と第2領域405Bの上面との間に段差Sが形成されていても、その段差Sはチャンネル領域Cにおける電子の流れに影響を与えない。よって、第1領域405Aの不純物濃度を相対的に低くし、第2領域405Bの不純物濃度を相対的に高くすることにより、ソース領域405のキャリア濃度を低減させることなく、チャンネル抵抗を低減することができる。

30

【0188】

また、ゲート絶縁膜407は、半導体層403側からSiON膜407A、SiO₂膜407BおよびAlON膜407Cを積層した構造を有している。

半導体層403とSiO₂膜407Bとの間にSiON膜407Aが介在されることにより、ゲート絶縁膜が酸化シリコン膜のみからなる構造と比較して、半導体層403（SiC）とゲート絶縁膜407との界面における界面準位密度D_{it}の低減を図ることができる。そして、界面準位密度D_{it}の低減により、チャンネル移動度の向上を図ることができる。

40

【0189】

また、SiON膜407AおよびSiO₂膜407Bの合計厚さを小さくし、AlON膜407Cの厚さを大きくすることにより、半導体層403とゲート絶縁膜407との界面における界面準位密度の増大を抑制しつつ、ゲート絶縁膜407の厚さの増大によるリーク電流の低減を図ることができる。

よって、界面準位密度D_{it}の低減によるチャンネル移動度の向上およびリーク電流の低減

50

によるゲート絶縁膜407の信頼性の向上の両方を達成することができる。

【0190】

また、ゲート電極408は、Alを含む金属材料からなるとよい。これにより、ゲート電極408が多結晶シリコンからなる構造と比較して、半導体層403、ゲート絶縁膜407およびゲート電極408などで構成されるMISFET（プレーナゲート型MIS構造の電界効果トランジスタ）の動作速度の向上および消費電力の低減を図ることができる。

（界面準位密度）

図39に示すSiC-MIS構造（SiC上にAlON/SiO₂/SiO_xN_y積層ゲート絶縁膜を備える構造）を有する試料301を作成した。この試料301において、SiON膜407Aの厚さは、5nmであり、SiO₂膜407Bの厚さは、5nmであり、AlON膜407Cの厚さは、80nmである。

10

【0191】

また、AlON/SiO₂積層ゲート絶縁膜（SiC上にSiO₂からなるSiO₂膜およびAlONからなるAlON膜をこの順に積層した構造のゲート絶縁膜）を採用したSiC-MIS構造を有する試料302を作成した。この試料302において、SiO₂膜の厚さは、10nmであり、AlON膜の厚さは、80nmである。

そして、試料301, 302のそれぞれについて、高周波CV特性（たとえば、測定周波数100kHz）と低周波CV特性（準静的CV特性）を測定し、High-Low法により、高周波測定値と低周波測定値との差分を界面準位密度D_{it}として算出した。その結果を、図43に示す。図43において、横軸は、ゲート絶縁膜の価電子端からのエネルギー（E_c-E）であり、縦軸は、界面準位密度D_{it}である。

20

【0192】

図43に示す結果から、試料301における界面準位密度D_{it}は、試料302の界面準位密度D_{it}よりも低いことが理解される。

図44は、ゲート絶縁膜の別の製造工程図である。

図39に示すゲート絶縁膜407は、図42に示す製造工程を含む手法以外に、図44に示す製造工程を含む手法により形成することができる。図44に示す製造工程には、窒素プラズマ照射工程（S51）、O₂熱酸化工程（S52）、FGA工程（S53）、AlON膜形成工程（S54）およびPDA工程（S55）がこの順に行われる。

30

【0193】

窒素プラズマ照射工程（S51）では、窒素プラズマが半導体層403に照射される。窒素プラズマは、たとえば、半導体層403が500℃に加熱された状態で、30分間にわたって照射され続ける。また、そのときの気圧およびRF出力は、たとえば、それぞれ9.5Torrおよび50Wである。これにより、半導体層403上に、SiON膜407Aが形成される。

【0194】

O₂熱酸化工程（S52）では、O₂のドライガスを用いた熱酸化法により、SiON膜407A上に、SiO₂からなるSiO₂膜407Bが形成される。

FGA工程（S53）、AlON膜形成工程（S54）およびPDA工程（S55）では、それぞれ図42に示すFGA工程（S43）、AlON膜形成工程（S44）およびPDA工程（S45）と同様の処理が行われる。

40

【0195】

図45は、変形例に係る半導体装置の模式的な断面図である。図45において、図39に示す各部に相当する部分には、それらの各部に付した参照符号と同一の参照符号を付している。そして、以下では、図45に示す構造について、図39に示す構造との相違点のみを説明し、同一の参照符号を付した各部の説明を省略する。また、図45では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

【0196】

50

図39に示す半導体装置401では、ソース領域405の第1領域405Aの深さと第2領域405Bの深さとがほぼ同じであるのに対し、図45に示す半導体装置451では、ソース領域405の第1領域405Aの深さが第2領域405Bの深さよりも小さい。半導体装置451のように、第1領域405Aの深さが第2領域405Bの深さよりも小さくても、図39に示す半導体装置401と同様の効果を奏することができる。

【0197】

図46は、別の変形例に係る半導体装置の模式的な断面図である。なお、図46では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

図39に示す半導体装置401および図45に示す半導体装置451は、プレーナゲート型MIS構造を有しているのに対し、図46に示す半導体装置461は、トレンチゲート型MIS構造を有している。

【0198】

半導体装置461は、半導体基板462を備えている。半導体基板462は、N型不純物がドーピングされたSiC(N型SiC)からなる。半導体基板462上には、半導体層463がエピタキシャル成長により形成されている。すなわち、半導体層463は、N型SiCからなるエピタキシャル層である。

半導体層463の基層部は、エピタキシャル成長後のままの状態を維持し、N⁻型のドレイン領域464をなしている。半導体層463の表層部は、P型不純物がドーピングされることにより、P型のウェル領域465とされている。

【0199】

半導体層463には、ゲートトレンチ466がその表面から掘り下がって形成されている。ゲートトレンチ466は、たとえば、図38に示すゲート電極408と同様に、平面視格子状に形成されている。ゲートトレンチ466は、ウェル領域465を貫通し、その最深部がドレイン領域464に達している。

ゲートトレンチ466の内面には、ゲート絶縁膜467が形成されている。ゲート絶縁膜467は、SiO_xN_yからなるSiON膜467Aと、SiO₂からなり、SiON膜467A上に形成されたSiO₂膜467Bと、高誘電率絶縁材料であるAlONからなり、SiO₂膜467B上に形成されたAlON膜467Cとを含むAlON/SiO₂/SiO_xN_y積層構造を有している。

【0200】

SiON膜467Aの厚さは、1~5nmである。SiO₂膜467Bの厚さは、1~5nmである。そして、SiON膜467AおよびSiO₂膜467Bの合計厚さは、2~10nmである。AlON膜467Cの厚さは、10~200nmである。各範囲には、その下限値および上限値が含まれる。

そして、ゲート絶縁膜467の内側をN型不純物またはP型不純物がドーピングされたポリシリコンで埋め尽くすことにより、ゲートトレンチ466内には、そのドープトポリシリコンからなるゲート電極468が埋設されている。ここで、ゲート電極468は、Al(アルミニウム)を含む金属材料で形成されてもよい。

【0201】

ウェル領域465の表層部には、N型のソース領域469が形成されている。ソース領域469の深さ(後述する第1領域469Aおよび第2領域469Bの合計深さ)は、たとえば、0.5~2μmである。

ソース領域469において、その底部の所定深さ(たとえば、0.2μm)の第1領域469Aは、N型不純物濃度が残余の第2領域(第1領域469A上の領域)469BのN型不純物濃度よりも1~3桁低い。すなわち、ソース領域469は、N型不純物濃度が相対的に高いN⁺型の第2領域469Bと、第2領域469Bの下方に形成され、N型不純物濃度が相対的に低いN⁻型の第1領域469Aとを有している。第1領域469AのN型不純物濃度は、たとえば、 $5 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であり、第2領域469BのN型不純物濃度は、たとえば、 $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ である。

10

20

30

40

50

【0202】

第1領域469Aおよび第2領域469BのN型不純物濃度の差に起因して、第1領域469Aの側面と第2領域469Bの側面との間には、第2領域469Bの側面が第1領域469Aの側面よりもゲート電極468から離間した段差Sが形成されている。段差Sの大きさは、たとえば、 $0.1\ \mu\text{m}$ である。第1領域469Aの側面とウェル領域465（チャンネル領域C）の側面との間には、大きな段差が形成されておらず、それらは、ほぼ面一をなしている。また、第1領域469Aおよび第2領域469BのN型不純物濃度の差に起因して、ゲート絶縁膜467は、第2領域469Bの側面上において相対的に大きな厚さを有している。

【0203】

また、ウェル領域465の表層部には、ゲートトレンチ466に囲まれる各領域内において、ゲートトレンチ466に対して間隔を空けた位置に、 P^+ 型のコンタクト領域470がソース領域469を厚さ方向に貫通して形成されている。

半導体層463上には、層間絶縁膜471が積層されている。層間絶縁膜471は、たとえば、酸化シリコンからなる。

【0204】

層間絶縁膜471には、各コンタクト領域470と対向する位置に、コンタクトホール472が貫通形成されている。各コンタクトホール472内には、コンタクト領域470の全域およびソース領域469におけるコンタクト領域470の周囲の部分が臨んでいる。

層間絶縁膜471上には、ソースメタル473が形成されている。ソースメタル473は、各コンタクトホール472に入り込み、ソース領域469およびコンタクト領域470に接続されている。ソースメタル473は、たとえば、Alを主成分として含む金属材料からなる。

【0205】

半導体基板462の裏面には、その全面に、ニッケル(Ni)などからなるオーミックメタル474およびアルミニウムを主成分として含む金属材料からなるドレインメタル475が半導体基板462側からこの順に形成されている。

ソースメタル473が接地され、ドレインメタル475に適当な正電圧が印加された状態で、ゲート電極468の電位（ゲート電圧）が制御されることにより、ウェル領域465におけるゲート絶縁膜467との界面近傍のチャンネル領域Cにチャンネルが形成されて、ソースメタル473とドレインメタル475との間に電流が流れる。

【0206】

図47は、図46に示すソース領域の第1領域およびチャンネル領域の近傍の模式的な拡大断面図である。

半導体装置461では、ソース領域469におけるチャンネル領域Cに隣接する第1領域469AのN型不純物濃度が低くされることにより、第1領域469Aの側面とチャンネル領域C（ウェル領域465）の側面との間に大きな段差が形成されていない。

【0207】

そのため、ソースメタル473とドレインメタル475との間を流れる電子(e^-)は、ソース領域469から第1領域469Aの側面（ゲートトレンチ466の内面）に沿ってチャンネル領域Cに移動し、チャンネル領域Cをその側面に沿って移動する。すなわち、チャンネル領域Cにおける電子の経路は、チャンネル領域Cの側面に沿った直線経路となる。よって、半導体装置461の構造によっても、半導体装置401、451と同様の作用効果を発揮することができ、半導体装置461のチャンネル抵抗は、チャンネル領域における電子の移動経路が屈曲経路となる図30の半導体装置のチャンネル抵抗よりも低い。

【0208】

また、この半導体装置461においても、図39に示す半導体装置401と同様に、チャンネル移動度の向上およびゲート絶縁膜467の信頼性の向上の両方を達成することができる。

10

20

30

40

50

図 4 8 は、さらに別の変形例に係る半導体装置の模式的な断面図である。

図 3 9 に示す半導体装置 4 0 1 および図 4 5 に示す半導体装置 4 5 1 は、縦型 M I S F E T を備えているのに対し、図 4 8 に示す半導体装置 4 8 1 は、横型 M I S F E T を備えている。

【 0 2 0 9 】

半導体装置 4 8 1 は、N 型 S i C からなる炭化シリコン層としての S i C 基板 4 8 2 を備えている。

S i C 基板 4 8 2 の表層部には、P 型のウェル領域 4 8 3 が形成されている。

ウェル領域 4 8 3 の表層部には、ソース領域 4 8 4 およびドレイン領域 4 8 5 が形成されている。ソース領域 4 8 4 およびドレイン領域 4 8 5 は、それぞれウェル領域 4 8 3 の周縁部との間に間隔を空け、かつ、互いに間隔を空けて形成されている。ソース領域 4 8 4 およびドレイン領域 4 8 5 は、S i C 基板 4 8 2 よりも N 型不純物が高濃度にドーブされることにより、N⁺型の導電型を示す。

10

【 0 2 1 0 】

また、ウェル領域 4 8 3 の表層部には、コンタクト領域 4 8 6 が形成されている。コンタクト領域 4 8 6 は、ソース領域 4 8 4 に対してドレイン領域 4 8 5 側と反対側に隣接して形成されている。コンタクト領域 4 8 6 は、ウェル領域 4 8 3 よりも P 型不純物が高濃度にドーブされることにより、P⁺型の導電型を示す。

ソース領域 4 8 4 とドレイン領域 4 8 5 との間の領域（チャネル領域）上には、ゲート絶縁膜 4 8 7 が形成されている。より具体的には、ゲート絶縁膜 4 8 7 は、ソース領域 4 8 4 とドレイン領域 4 8 5 との間の領域と対向し、ソース領域 4 8 4 の周縁部とドレイン領域 4 8 5 の周縁部とに跨っている。ゲート絶縁膜 4 8 7 は、S i O_x N_y からなる S i O N 膜 4 8 7 A と、S i O₂ からなり、S i O N 膜 4 8 7 A 上に形成された S i O₂ 膜 4 8 7 B と、高誘電率絶縁材料である A l O N からなり、S i O₂ 膜 4 8 7 B 上に形成された A l O N 膜 4 8 7 C とを含む A l O N / S i O₂ / S i O_x N_y 積層構造を有している。

20

【 0 2 1 1 】

S i O N 膜 4 8 7 A の厚さは、1 ~ 5 n m である。S i O₂ 膜 4 8 7 B の厚さは、1 ~ 5 n m である。そして、S i O N 膜 4 8 7 A および S i O₂ 膜 4 8 7 B の合計厚さは、2 ~ 1 0 n m である。A l O N 膜 4 8 7 C の厚さは、1 0 ~ 2 0 0 n m である。各範囲には、その下限値および上限値が含まれる。

30

ゲート絶縁膜 4 8 7 上には、平面視でゲート絶縁膜 4 8 7 と同一形状のゲート電極 4 8 8 が形成されている。ゲート電極 4 8 8 は、A l を含む金属材料からなる。

【 0 2 1 2 】

ソース領域 4 8 4 およびコンタクト領域 4 8 6 上には、ソース電極 4 8 9 が形成されている。ソース電極 4 8 9 は、ソース領域 4 8 4 およびコンタクト領域 4 8 6 の表面に対してそれらに跨って接している。ソース電極 4 8 9 は、A l を含む金属材料からなる。

ドレイン領域 4 8 5 上には、ドレイン電極 4 9 0 が形成されている。ドレイン電極 4 9 0 は、ドレイン領域 4 8 5 の表面に接している。ドレイン電極 4 9 0 は、A l を含む金属材料からなる。

40

【 0 2 1 3 】

ソース電極 4 8 9 が接地され、ドレイン電極 4 9 0 に正電圧が印加された状態で、ゲート電極 4 8 8 に閾値以上の電圧が印加されることにより、ウェル領域 4 8 3 におけるゲート絶縁膜 4 8 7 との界面近傍のチャネル領域にチャネルが形成され、ドレイン電極 4 9 0 からソース電極 4 8 9 に向けて電流が流れる。

この半導体装置 4 8 1 においても、図 3 9 に示す半導体装置 4 0 1 と同様の作用効果を奏することができる。

【 0 2 1 4 】

また、半導体基板（S i C 基板）4 0 2 , 4 6 2 上に、半導体層 4 0 3 , 4 6 3 が積層されている構造を取り上げたが、半導体層 4 0 3 , 4 6 3 が省略されて、S i C 基板 4 0

50

2, 462の表層部に、ウェル領域404, 465およびソース領域405, 469などが形成されてもよい。

また、半導体装置401, 451, 461, 481の各部の導電型が反転されてもよい。すなわち、第1導電型がN型であり、第2導電型がP型である場合を取り上げたが、第1導電型がP型であり、第2導電型がN型であってもよい。

【0215】

ゲート電極408, 468, 488の材料は、Alを含む金属材料に限らず、N型不純物またはP型不純物がドーブされたポリシリコンであってもよい。

高誘電率絶縁膜として、AlON膜407C、AlON膜467CおよびAlON膜487Cを例示したが、高誘電率絶縁膜の材料は、AlONに限らず、 Al_2O_3 (酸化アルミニウム)、ZrO (酸化ジルコニウム)、HfO (酸化ハフニウム)、AlN (窒化アルミニウム)などの高誘電率材料であってもよい。

<第5実施形態>

第5実施形態は、チャンネル領域におけるキャリアの移動経路を直線に近づけることができ、これによりチャンネル抵抗を低減することができる、半導体装置を提供する。

【0216】

図49は、本発明の第5実施形態に係る半導体装置の模式的な平面図である。図50は、図49に示す切断線C-Cにおける半導体装置の模式的な断面図である。なお、図50では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

半導体装置601は、図49に示すように、平面視四角形状(略正方形)の外形を有している。

【0217】

半導体装置601は、図50に示すように、半導体基板602を備えている。半導体基板602は、N型不純物がドーブされたSiC(N型SiC)からなる。半導体基板602上には、半導体層603がエピタキシャル成長により形成されている。すなわち、半導体層603は、N型SiCからなるエピタキシャル層である。

半導体層603の表層部には、複数のP型のウェル領域604が形成されている。複数のウェル領域604は、平面視四角形状(略正方形)をなし、マトリクス状に配列されている。ウェル領域604の深さは、たとえば、 $0.5 \sim 2 \mu m$ である。そして、ウェル領域604は、たとえば、その上面からの深さが $0.5 \mu m$ 以下の部分のP型不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19} cm^{-3}$ である不純物濃度プロファイルを有している。

【0218】

各ウェル領域604の表層部には、N型のソース領域605がウェル領域604の周縁と間隔を空けて形成されている。ソース領域605の深さは、たとえば、 $0.2 \sim 1 \mu m$ である。

ソース領域605において、平面視でその周縁から所定幅(たとえば、 $0.2 \mu m$)の第1領域605Aは、N型不純物濃度が残余の第2領域(第1領域605Aの内側の領域)605BのN型不純物濃度よりも1~3桁低い。すなわち、ソース領域605は、N型不純物濃度が相対的に高いN⁺型の第2領域605Bと、第2領域605Bを取り囲む環状をなし、N型不純物濃度が相対的に低いN⁻型の第1領域605Aとを有している。そして、第1領域605Aは、たとえば、その上面からの深さが $0.2 \mu m$ 以下の部分のN型不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19} cm^{-3}$ である不純物濃度プロファイルを有している。第2領域605Bは、たとえば、その上面からの深さが $0.2 \mu m$ 以下の部分のN型不純物濃度が $5 \times 10^{19} \sim 5 \times 10^{20} cm^{-3}$ である不純物濃度プロファイルを有している。

【0219】

第1領域605Aの上面と第2領域605Bの上面との間には、第2領域605Bの上面が第1領域605Aの上面よりも一段低くなる段差Sが形成されている。段差Sの大きさは、たとえば、 $0.2 \mu m$ である。第1領域605Aの上面とウェル領域604(チャ

10

20

30

40

50

ネル領域C)の上面との間には、大きな段差が形成されておらず、それらは、ほぼ面一をなしている。

【0220】

各ソース領域605の第2領域605Bの中央には、ウェル領域604よりもP型不純物が高濃度にドーピングされたP⁺型のコンタクト領域606が形成されている。各コンタクト領域606は、第2領域605Bを深さ方向に貫通して形成され、最深部がソース領域605の下方に存在するウェル領域604に達している。

半導体層603上には、ゲート絶縁膜607が形成されている。ゲート絶縁膜607は、たとえば、酸化シリコン(SiO₂)からなる。

【0221】

ゲート絶縁膜607上には、ゲート電極608が形成されている。ゲート電極608は、ゲート絶縁膜607を挟んで、各ウェル領域604の間の半導体層603、各ウェル領域604の周縁とその内側のソース領域605の周縁との間のチャンネル領域Cおよびソース領域605の第1領域605Aの一部と対向している。ゲート電極608は、全体として、図49に示すように、平面視格子状に形成されている。これにより、半導体装置601は、プレーナゲート型MIS構造を有している。ゲート電極608は、N型不純物またはP型不純物がドーピングされたポリシリコンからなる。

【0222】

なお、図49では、ゲート電極608が、後述する層間絶縁膜609およびソースメタル611を透過して示されている。

そして、半導体層603上には、図50に示すように、層間絶縁膜609が形成されている。層間絶縁膜609により、半導体層603の上面がゲート電極608とともに被覆されている。層間絶縁膜609は、たとえば、酸化シリコンからなる。

【0223】

層間絶縁膜609には、各コンタクト領域606と対向する位置に、コンタクトホール610が形成されている。各コンタクトホール610は、ゲート絶縁膜607を貫通し、各コンタクトホール610内には、コンタクト領域606の全域およびソース領域605におけるコンタクト領域606の周囲の部分が臨んでいる。

層間絶縁膜609上には、ソースメタル611が形成されている。ソースメタル611は、層間絶縁膜609に形成された各コンタクトホール610に入り込み、ソース領域605およびコンタクト領域606に接続されている。ソースメタル611は、たとえば、アルミニウム(Al)を主成分として含む金属材料からなる。

【0224】

また、半導体装置601の一侧縁に沿った部分の中央上において、層間絶縁膜609およびソースメタル611が選択的に除去されることにより、図49に示すように、ゲート電極608の一部を外部との接続のためのゲートパッド612として露出させる開口が形成されている。

図50に示すように、半導体基板602の裏面には、その全面に、ニッケル(Ni)などからなるオーミックメタル613およびアルミニウムを主成分として含む金属材料からなるドレインメタル614が半導体基板602側からこの順に形成されている。

【0225】

ソースメタル611が接地され、ドレインメタル614に適当な正電圧が印加された状態で、ゲート電極608の電位(ゲート電圧)が制御されることにより、ウェル領域604におけるゲート絶縁膜607との界面近傍のチャンネル領域Cにチャンネルが形成されて、ソースメタル611とドレインメタル614との間に電流が流れる。

図51は、図50に示すソース領域の第1領域およびチャンネル領域の近傍の模式的な拡大断面図である。

【0226】

半導体装置601では、ソース領域605におけるチャンネル領域Cに隣接する第1領域605AのN型不純物濃度が低くされることにより、第1領域605Aの上面とチャンネル

10

20

30

40

50

領域 C (ウェル領域 6 0 4) の上面との間に大きな段差が形成されていない。

そのため、ソースメタル 6 1 1 とドレインメタル 6 1 4 との間を流れる電子 (e^-) は、ソース領域 6 0 5 から第 1 領域 6 0 5 A の上面に沿ってチャネル領域 C に移動し、チャネル領域 C をその上面に沿って移動する。すなわち、チャネル領域 C における電子の経路は、チャネル領域 C の上面に沿った直線経路となる。よって、半導体装置 6 0 1 のチャネル抵抗は、チャネル領域における電子の移動経路が屈曲経路となる図 3 0 の半導体装置のチャネル抵抗よりも低い。

【 0 2 2 7 】

図 5 2 A ~ 5 2 K は、半導体装置の製造工程を順に示す模式的な断面図である。なお、図 5 2 A ~ 5 2 K では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

半導体装置 6 0 1 の製造工程では、まず、CVD (Chemical Vapor Deposition : 化学気相成長) 法により、半導体層 6 0 3 上に、ポリシリコンの堆積層が形成される。そして、フォトリソグラフィおよびエッチングにより、そのポリシリコンの堆積層 (図示せず) が半導体層 6 0 3 におけるウェル領域 6 0 4 となるべき部分上から選択的に除去される。これにより、図 5 2 A に示すように、半導体層 6 0 3 上に、ポリシリコンからなるマスク 6 4 1 が形成される。その後、イオン注入法により、半導体層 6 0 3 におけるマスク 6 4 1 から露出する部分に、P 型不純物 (たとえば、アルミニウム) がドーブされる。

【 0 2 2 8 】

次に、半導体層 6 0 3 およびマスク 6 4 1 を一括して覆うように、酸化シリコンからなる酸化膜 (図示せず) が形成される。その後、酸化膜上に、ポリシリコンの堆積層 (図示せず) が形成される。そして、ポリシリコンの堆積層が酸化膜をエッチストップパとしてエッチバックされ、その堆積層におけるマスク 6 4 1 の側面に接する所定部分のみが残されることにより、図 5 2 B に示すように、マスク 6 4 1 と一体をなすマスク 6 4 2 が形成される。つづいて、マスク 6 4 2 から露出している酸化膜が除去される。そして、フォトリソグラフィにより、半導体層 6 0 3 におけるコンタクト領域 6 0 6 となるべき部分上に、レジストパターン 6 4 3 が形成される。その後、イオン注入法により、半導体層 6 0 3 におけるマスク 6 4 1 , 6 4 2 およびレジストパターン 6 4 3 から露出する部分に、N 型不純物 (たとえば、リン (P)) がドーブされる。

【 0 2 2 9 】

レジストパターン 6 4 3 が除去された後、半導体層 6 0 3 およびマスク 6 4 1 , 6 4 2 を一括して覆うように、酸化シリコンからなる酸化膜 (図示せず) が再び形成される。その後、酸化膜上に、ポリシリコンの堆積層 (図示せず) が形成される。そして、ポリシリコンの堆積層が酸化膜をエッチストップパとしてエッチバックされ、その堆積層におけるマスク 6 4 2 の側面に接する所定部分のみが残されることにより、図 5 2 C に示すように、マスク 6 4 1 , 6 4 2 と一体をなすマスク 6 4 4 が形成される。つづいて、マスク 6 4 4 から露出している酸化膜が除去される。そして、フォトリソグラフィにより、半導体層 6 0 3 におけるコンタクト領域 6 0 6 となるべき部分上に、レジストパターン 6 4 5 が形成される。その後、イオン注入法により、半導体層 6 0 3 におけるマスク 6 4 1 , 6 4 2 , 6 4 4 およびレジストパターン 6 4 5 から露出する部分に、N 型不純物が追加してドーブされる。N 型不純物のドーブ後、マスク 6 4 1 , 6 4 2 , 6 4 4 およびレジストパターン 6 4 5 が除去される。

【 0 2 3 0 】

なお、図 5 2 B , 5 2 C に示す工程において、レジストパターン 6 4 3 , 6 4 5 の形成が省略されて、半導体層 6 0 3 におけるコンタクト領域 6 0 6 となるべき部分に N 型不純物がドーブされてもよい。こうすることにより、レジストパターン 6 4 3 , 6 4 5 の形成に必要なフォトマスクを省略することができ、半導体装置 6 0 1 の製造工程を簡素化することができる。

【 0 2 3 1 】

次いで、図 5 2 D に示すように、半導体層 6 0 3 上に、レジストパターン 6 4 6 が形成

される。レジストパターン 646 は、半導体層 603 におけるコンタクト領域 606 となるべき部分のみを露出させる。そして、イオン注入法により、半導体層 603 におけるレジストパターン 646 から露出する部分に、P 型不純物がドーブされる。

その後、半導体層 603 にドーブされた P 型不純物および N 型不純物を活性化させるためのアニールが行われ、図 52E に示すように、半導体層 603 の表層部に、ウェル領域 604、ソース領域 605 (第 1 領域 605A、第 2 領域 605B) およびコンタクト領域 606 が形成される。また、アニール時に、半導体層 603 の上面が熱酸化されることにより、酸化膜 647 が形成される。ソース領域 605 の第 2 領域 605B およびコンタクト領域 606 は、半導体層 603、ウェル領域 604 およびソース領域 605 の第 1 領域 605A と比較して、不純物濃度が高いので、酸化膜 647 は、第 2 領域 605B およびコンタクト領域 606 上において相対的に厚く成長する。

10

【0232】

そのため、図 52F に示すように、酸化膜 647 が除去された後は、第 2 領域 605B およびコンタクト領域 606 の上面が半導体層 603、ウェル領域 604 およびソース領域 605 の第 1 領域 605A の上面よりも一段下がった状態となり、第 1 領域 605A と第 2 領域 605B との間に段差 S が形成される。

また、酸化膜 647 の除去後に、熱酸化法により、半導体層 603、ウェル領域 604、ソース領域 605 およびコンタクト領域 606 の上面に、犠牲酸化膜が形成され、この犠牲酸化膜が除去されることにより、半導体層 603、ウェル領域 604、ソース領域 605 およびコンタクト領域 606 の上面の状態が改善される場合がある。この場合、犠牲酸化膜の除去後、第 1 領域 605A と第 2 領域 605B との間に、より大きな段差 S が形成される。

20

【0233】

その後、図 52G に示すように、熱酸化法により、半導体層 603、ウェル領域 604、ソース領域 605 およびコンタクト領域 606 の上面に、ゲート絶縁膜 607 が形成される。

次いで、図 52H に示すように、CVD 法により、ゲート絶縁膜 607 上に、ポリシリコンの堆積層 648 が形成される。

【0234】

次いで、図 52I に示すように、フォトリソグラフィおよびエッチングにより、堆積層 648 が選択的に除去され、ゲート絶縁膜 607 上に、ポリシリコンからなるゲート電極 608 が形成される。

30

次いで、図 52J に示すように、CVD 法により、ゲート絶縁膜 607 およびゲート電極 608 上に、層間絶縁膜 609 が形成される。

【0235】

そして、図 52K に示すように、フォトリソグラフィおよびエッチングにより、層間絶縁膜 609 およびゲート絶縁膜 607 を貫通するコンタクトホール 610 が形成される。その後、スパッタ法により、層間絶縁膜 609 上に、ソースメタル 611 が形成される。そして、フォトリソグラフィおよびエッチングにより、ゲートパッド 612 が形成される。また、スパッタ法により、半導体基板 602 の裏面に、オーミックメタル 613 およびドレインメタル 614 が形成される。以上により、図 50 に示す半導体装置 601 が得られる。

40

【0236】

以上のように、ソース領域 605 におけるチャネル領域 C に隣接する第 1 領域 605A の不純物濃度を低くすることにより、第 1 領域 605A の上面における酸化膜 647 の成長のレート (酸化レート) を低く抑えることができる。したがって、その酸化膜 647 の除去後に第 1 領域 605A の上面とチャネル領域 C (ウェル領域 604) の上面との間に大きな段差が形成されることを防止できる。その結果、ソース領域 605 からチャネル領域 C を移動する電子の経路 (移動経路) を直線に近づけることができ、これによりチャネル抵抗の低減を達成することができる。

50

【0237】

ソース領域605における第1領域605A以外の第2領域605Bの不純物濃度は、第1領域605Aの不純物濃度よりも高いので、第1領域605Aの上面と第2領域605Bの上面との間には、第2領域605Bの上面が第1領域605Aの上面よりも一段低くなる段差Sが形成される。第1領域605Aの上面と第2領域605Bの上面との間に段差Sが形成されていても、その段差Sはチャンネル領域Cにおける電子の流れに影響を与えない。よって、第1領域605Aの不純物濃度を相対的に低くし、第2領域605Bの不純物濃度を相対的に高くすることにより、ソース領域605のキャリア濃度を低減させることなく、チャンネル抵抗を低減することができる。

【0238】

図53は、変形例に係る半導体装置の模式的な断面図である。図53において、図50に示す各部に相当する部分には、それらの各部に付した参照符号と同一の参照符号を付している。そして、以下では、図53に示す構造について、図50に示す構造との相違点のみを説明し、同一の参照符号を付した各部の説明を省略する。また、図53では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

10

【0239】

図50に示す半導体装置601では、ソース領域605の第1領域605Aの深さと第2領域605Bの深さとがほぼ同じであるのに対し、図53に示す半導体装置651では、ソース領域605の第1領域605Aの深さが第2領域605Bの深さよりも小さい。半導体装置651のように、第1領域605Aの深さが第2領域605Bの深さよりも小さくても、図50に示す半導体装置601と同様の効果を奏することができる。

20

【0240】

図54は、別の変形例に係る半導体装置の模式的な断面図である。なお、図54では、導体からなる部分にのみハッチングが付され、その他の部分に対するハッチングの付与が省略されている。

図50に示す半導体装置601および図53に示す半導体装置651は、プレーナゲート型MIS構造を有しているのに対し、図54に示す半導体装置661は、トレンチゲート型MIS構造を有している。

【0241】

半導体装置661は、半導体基板662を備えている。半導体基板662は、N型不純物がドーブされたSiC(N型SiC)からなる。半導体基板662上には、半導体層663がエピタキシャル成長により形成されている。すなわち、半導体層663は、N型SiCからなるエピタキシャル層である。

30

半導体層663の基層部は、エピタキシャル成長後のままの状態を維持し、N型のドレイン領域664をなしている。半導体層663の表層部は、P型不純物がドーブされることにより、P型のウェル領域665とされている。

【0242】

半導体層663には、ゲートトレンチ666がその表面から掘り下がって形成されている。ゲートトレンチ666は、たとえば、図49に示すゲート電極608と同様に、平面視格子状に形成されている。ゲートトレンチ666は、ウェル領域665を貫通し、その最深部がドレイン領域664に達している。

40

ゲートトレンチ666の内面には、ゲート絶縁膜667が形成されている。ゲート絶縁膜667は、たとえば、酸化シリコンからなる。

【0243】

そして、ゲート絶縁膜667の内側をN型不純物またはP型不純物がドーブされたポリシリコンで埋め尽くすことにより、ゲートトレンチ666内には、そのドーブトポリシリコンからなるゲート電極668が埋設されている。

ウェル領域665の表層部には、N型のソース領域669が形成されている。ソース領域669の深さ(後述する第1領域669Aおよび第2領域669Bの合計深さ)は、た

50

例えば、 $0.5 \sim 2 \mu\text{m}$ である。

【0244】

ソース領域669において、その底部の所定深さ（例えば、 $0.2 \mu\text{m}$ ）の第1領域669Aは、N型不純物濃度が残余の第2領域（第1領域669A上の領域）669BのN型不純物濃度よりも1～3桁低い。すなわち、ソース領域669は、N型不純物濃度が相対的に高いN⁺型の第2領域669Bと、第2領域669Bの下方に形成され、N型不純物濃度が相対的に低いN⁻型の第1領域669Aとを有している。第1領域669AのN型不純物濃度は、例えば、 $5 \times 10^{17} \sim 5 \times 10^{19} \text{cm}^{-3}$ であり、第2領域669BのN型不純物濃度は、例えば、 $5 \times 10^{19} \sim 5 \times 10^{20} \text{cm}^{-3}$ である。

【0245】

第1領域669Aおよび第2領域669BのN型不純物濃度の差に起因して、第1領域669Aの側面と第2領域669Bの側面との間には、第2領域669Bの側面が第1領域669Aの側面よりもゲート電極668から離間した段差Sが形成されている。段差Sの大きさは、例えば、 $0.1 \mu\text{m}$ である。第1領域669Aの側面とウェル領域665（チャンネル領域C）の側面との間には、大きな段差が形成されておらず、それらは、ほぼ面一をなしている。また、第1領域669Aおよび第2領域669BのN型不純物濃度の差に起因して、ゲート絶縁膜667は、第2領域669Bの側面上において相対的に大きな厚さを有している。

【0246】

また、ウェル領域665の表層部には、ゲートトレンチ666に囲まれる各領域内において、ゲートトレンチ666に対して間隔を空けた位置に、P⁺型のコンタクト領域670がソース領域669を厚さ方向に貫通して形成されている。

半導体層663上には、層間絶縁膜671が積層されている。層間絶縁膜671は、例えば、酸化シリコンからなる。

【0247】

層間絶縁膜671には、各コンタクト領域670と対向する位置に、コンタクトホール672が貫通形成されている。各コンタクトホール672内には、コンタクト領域670の全域およびソース領域669におけるコンタクト領域670の周囲の部分が臨んでいる。

層間絶縁膜671上には、ソースメタル673が形成されている。ソースメタル673は、各コンタクトホール672に入り込み、ソース領域669およびコンタクト領域670に接続されている。ソースメタル673は、例えば、Alを主成分として含む金属材料からなる。

【0248】

半導体基板662の裏面には、その全面に、ニッケル（Ni）などからなるオーミックメタル674およびアルミニウムを主成分として含む金属材料からなるドレインメタル675が半導体基板662側からこの順に形成されている。

ソースメタル673が接地され、ドレインメタル675に適当な正電圧が印加された状態で、ゲート電極668の電位（ゲート電圧）が制御されることにより、ウェル領域665におけるゲート絶縁膜667との界面近傍のチャンネル領域Cにチャンネルが形成されて、ソースメタル673とドレインメタル675との間に電流が流れる。

【0249】

図55は、図54に示すソース領域の第1領域およびチャンネル領域の近傍の模式的な拡大断面図である。

半導体装置661では、ソース領域669におけるチャンネル領域Cに隣接する第1領域669AのN型不純物濃度が低くされることにより、第1領域669Aの側面とチャンネル領域C（ウェル領域665）の側面との間に大きな段差が形成されていない。

【0250】

そのため、ソースメタル673とドレインメタル675との間を流れる電子（e⁻）は、ソース領域669から第1領域669Aの側面（ゲートトレンチ666の内面）に沿っ

10

20

30

40

50

てチャンネル領域Cに移動し、チャンネル領域Cをその側面に沿って移動する。すなわち、チャンネル領域Cにおける電子の経路は、チャンネル領域Cの側面に沿った直線経路となる。よって、半導体装置661の構造によっても、半導体装置601, 651と同様の作用効果を発揮することができ、半導体装置661のチャンネル抵抗は、チャンネル領域における電子の移動経路が屈曲経路となる図30の半導体装置のチャンネル抵抗よりも低い。

【0251】

前述した実施形態では、半導体基板602, 662上に、半導体層603, 663が積層されている構造を取り上げたが、半導体層603, 663が省略されて、半導体基板602, 662の表層部に、ウェル領域604, 665およびソース領域605, 669などが形成されてもよい。

また、各部の導電型が反転されてもよい。すなわち、第1導電型がN型であり、第2導電型がP型である場合を取り上げたが、第1導電型がP型であり、第2導電型がN型であってもよい。

【0252】

本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。この出願は、2009年9月7日に日本国特許庁に提出された特願2009-206372号、特願2009-206373号および特願2009-206374号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

【符号の説明】

【0253】

- 1 半導体装置
- 2 SiC基板(炭化シリコン基板)
- 8 SiO₂膜(酸化シリコン膜)
- 9 AlON膜(酸窒化アルミニウム膜)
- 10 ゲート電極
- 14 SiO₂膜(酸化シリコン膜)
- 15 AlON膜(酸窒化アルミニウム膜)
- 16 キャパシタ電極
- 101 半導体装置
- 102 半導体基板(半導体層、炭化シリコン基板)
- 103 半導体層(半導体層)
- 104 ウェル領域
- 105 ソース領域
- 105A 第1領域
- 105B 第2領域
- 107 ゲート絶縁膜
- 107A SiO₂膜(酸化シリコン膜)
- 107B AlON膜(酸窒化アルミニウム膜)
- 108 ゲート電極
- 151 半導体装置
- 161 半導体装置
- 162 半導体基板(半導体層)
- 163 半導体層(半導体層)
- 165 ウェル領域
- 166 ゲートトレンチ
- 167 ゲート絶縁膜
- 168 ゲート電極
- 169 ソース領域

10

20

30

40

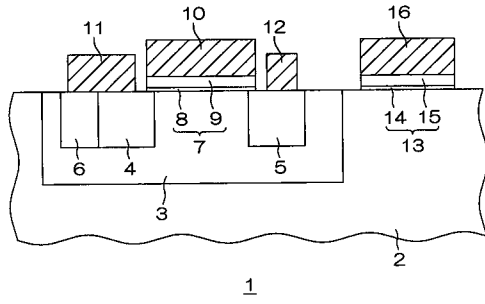
50

1 6 9 A	第 1 領域	
1 6 9 B	第 2 領域	
3 0 1	半 導 体 装 置	
3 0 3	S i C 層 (炭 化 シ リ コ ン 層)	
3 0 7	ゲ ー ト 絶 縁 膜	
3 0 7 A	S i O N 膜 (酸 窒 化 シ リ コ ン 膜)	
3 0 7 B	S i O ₂ 膜 (酸 化 シ リ コ ン 膜)	
3 0 7 C	A l O N 膜 (高 誘 電 率 絶 縁 膜)	
3 0 8	ゲ ー ト 電 極	
3 5 1	半 導 体 装 置	10
3 5 3	S i C 層 (炭 化 シ リ コ ン 層)	
3 5 7	ゲ ー ト 絶 縁 膜	
3 5 7 A	S i O N 膜 (酸 窒 化 シ リ コ ン 膜)	
3 5 7 B	S i O ₂ 膜 (酸 化 シ リ コ ン 膜)	
3 5 7 C	A l O N 膜 (高 誘 電 率 絶 縁 膜)	
3 5 8	ゲ ー ト 電 極	
3 8 1	半 導 体 装 置	
3 8 2	S i C 基 板 (炭 化 シ リ コ ン 層)	
3 8 7	ゲ ー ト 絶 縁 膜	
3 8 7 A	S i O N 膜 (酸 窒 化 シ リ コ ン 膜)	20
3 8 7 B	S i O ₂ 膜 (酸 化 シ リ コ ン 膜)	
3 8 7 C	A l O N 膜 (高 誘 電 率 絶 縁 膜)	
3 8 8	ゲ ー ト 電 極	
4 0 1	半 導 体 装 置	
4 0 2	半 導 体 基 板 (半 導 体 層)	
4 0 3	半 導 体 層 (半 導 体 層 、 炭 化 シ リ コ ン 層)	
4 0 4	ウ ェ ル 領 域	
4 0 5	ソ ー ス 領 域	
4 0 5 A	第 1 領 域	
4 0 5 B	第 2 領 域	30
4 0 7	ゲ ー ト 絶 縁 膜	
4 0 8	ゲ ー ト 電 極	
4 5 1	半 導 体 装 置	
4 5 3	S i C 層 (炭 化 シ リ コ ン 層)	
4 5 7	ゲ ー ト 絶 縁 膜	
4 5 7 A	S i O N 膜 (酸 窒 化 シ リ コ ン 膜)	
4 5 7 B	S i O ₂ 膜 (酸 化 シ リ コ ン 膜)	
4 5 7 C	A l O N 膜 (高 誘 電 率 絶 縁 膜)	
4 5 8	ゲ ー ト 電 極	
4 6 1	半 導 体 装 置	40
4 6 2	半 導 体 基 板 (半 導 体 層)	
4 6 3	半 導 体 層 (半 導 体 層)	
4 6 5	ウ ェ ル 領 域	
4 6 6	ゲ ー ト ト レ ン チ	
4 6 7	ゲ ー ト 絶 縁 膜	
4 6 8	ゲ ー ト 電 極	
4 6 9	ソ ー ス 領 域	
4 6 9 A	第 1 領 域	
4 6 9 B	第 2 領 域	
4 7 1	S i O N 膜 (酸 窒 化 シ リ コ ン 膜)	50

4 7 2	S i O ₂ 膜 (酸化シリコン膜)	
4 7 3	A l O N 膜 (高誘電率絶縁膜)	
4 8 1	半導体装置	
4 8 2	S i C 基板 (炭化シリコン層)	
4 8 7	ゲート絶縁膜	
4 8 7 A	S i O N 膜 (酸化シリコン膜)	
4 8 7 B	S i O ₂ 膜 (酸化シリコン膜)	
4 8 7 C	A l O N 膜 (高誘電率絶縁膜)	
4 8 8	ゲート電極	
6 0 1	半導体装置	10
6 0 2	半導体基板 (半導体層)	
6 0 3	半導体層 (半導体層)	
6 0 4	ウェル領域	
6 0 5	ソース領域	
6 0 5 A	第 1 領域	
6 0 5 B	第 2 領域	
6 0 7	ゲート絶縁膜	
6 0 8	ゲート電極	
6 5 1	半導体装置	
6 6 1	半導体装置	20
6 6 2	半導体基板 (半導体層)	
6 6 3	半導体層 (半導体層)	
6 6 5	ウェル領域	
6 6 6	ゲートトレンチ	
6 6 7	ゲート絶縁膜	
6 6 8	ゲート電極	
6 6 9	ソース領域	
6 6 9 A	第 1 領域	
6 6 9 B	第 2 領域	
C	チャンネル領域	30
S	段差	
S 1	S i O ₂ 膜形成工程	
S 2	窒素プラズマ照射工程	
S 3	F G A 工程	
S 4	A l O N 膜形成工程	
S 5	P D A 工程	

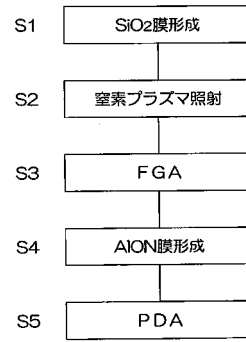
【 図 1 】

図1



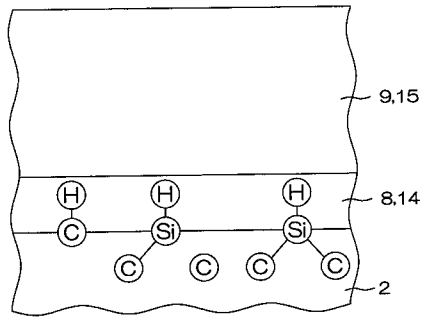
【 図 3 】

図3



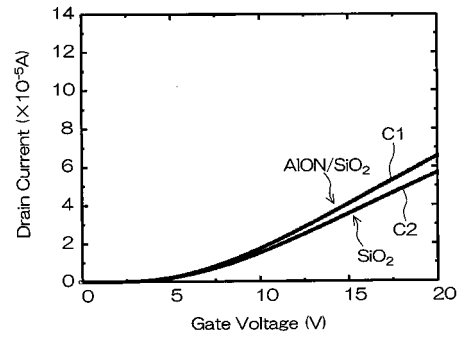
【 図 2 】

図2



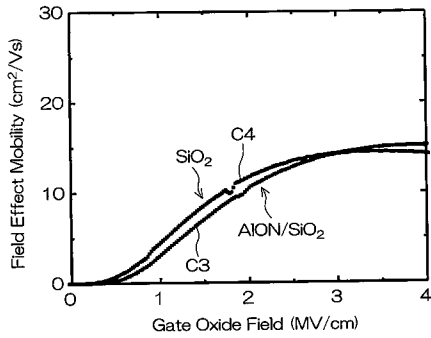
【 図 4 】

図4



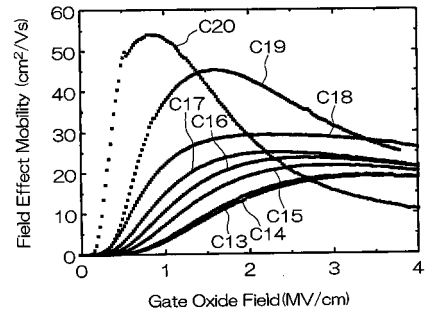
【 図 5 】

図5



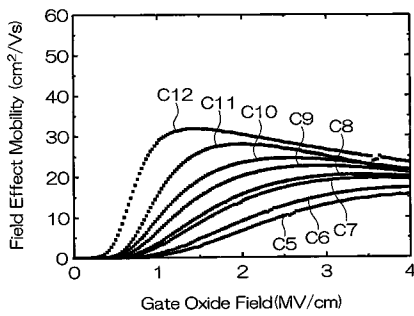
【 図 7 】

図7



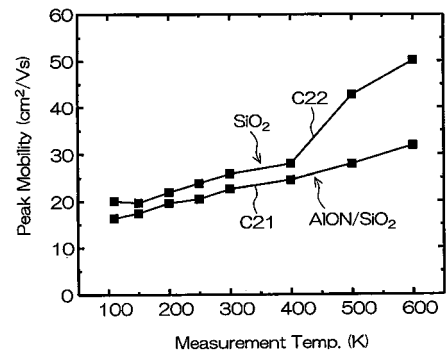
【 図 6 】

図6

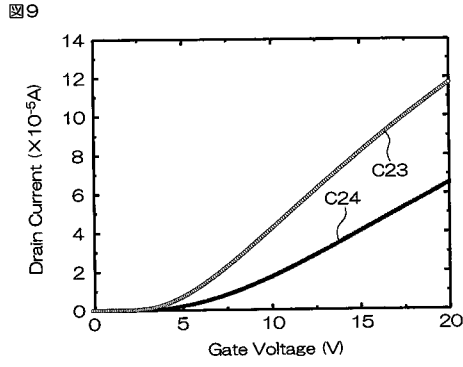


【 図 8 】

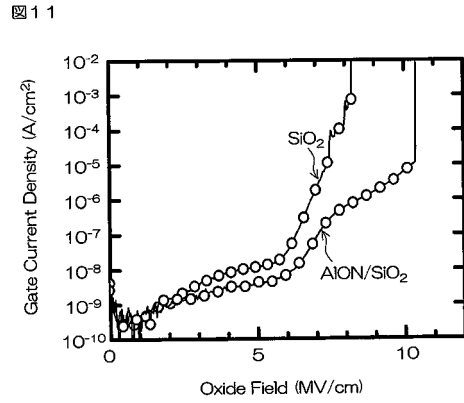
図8



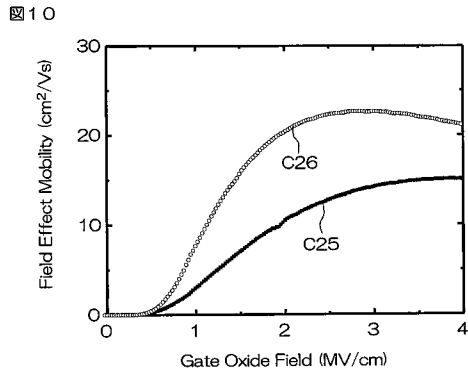
【 図 9 】



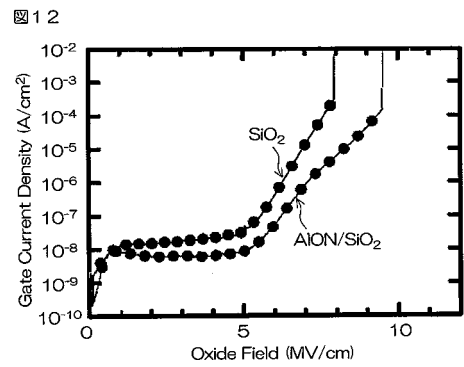
【 図 1 1 】



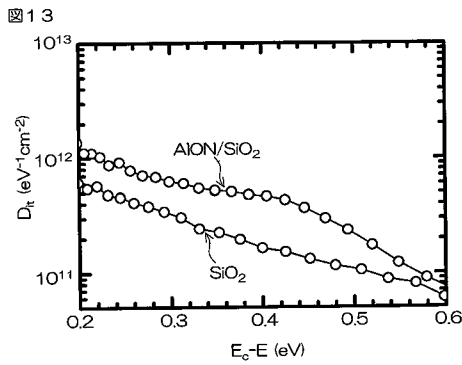
【 図 1 0 】



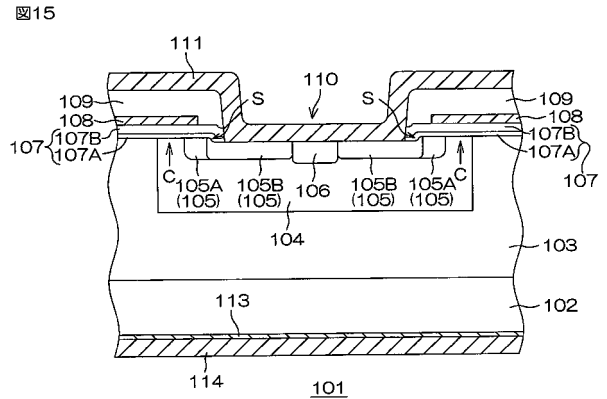
【 図 1 2 】



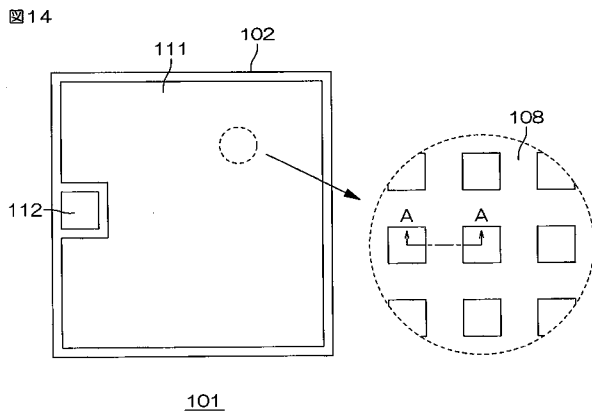
【 図 1 3 】



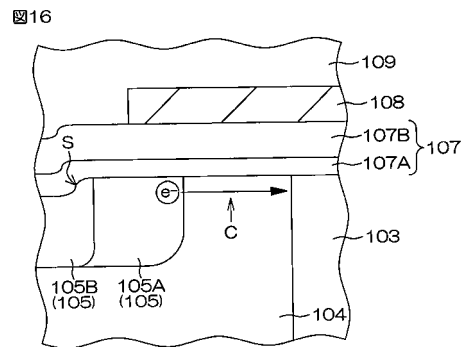
【 図 1 5 】



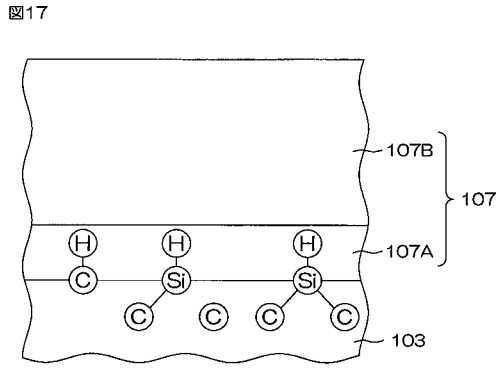
【 図 1 4 】



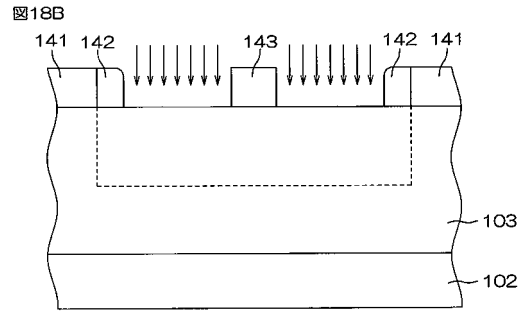
【 図 1 6 】



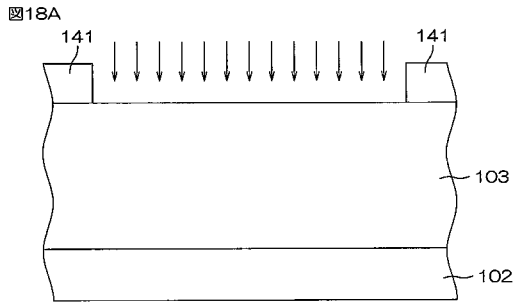
【 図 1 7 】



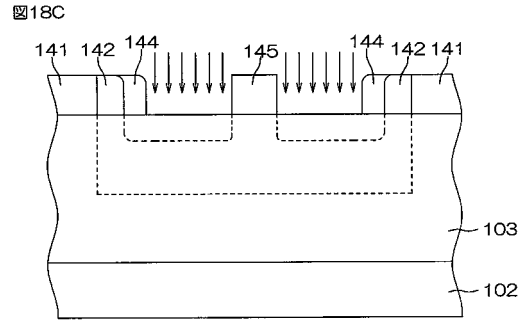
【 図 1 8 B 】



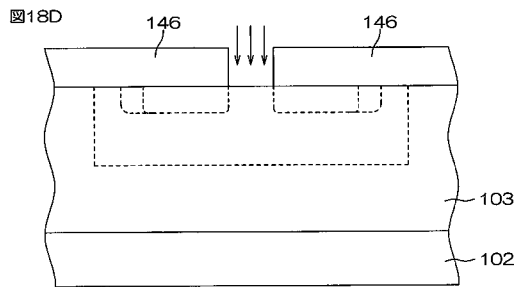
【 図 1 8 A 】



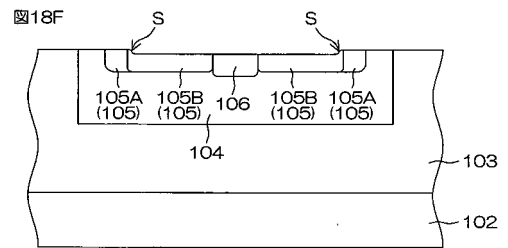
【 図 1 8 C 】



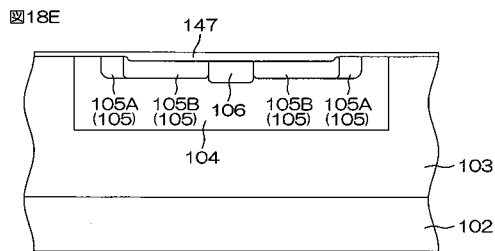
【 図 1 8 D 】



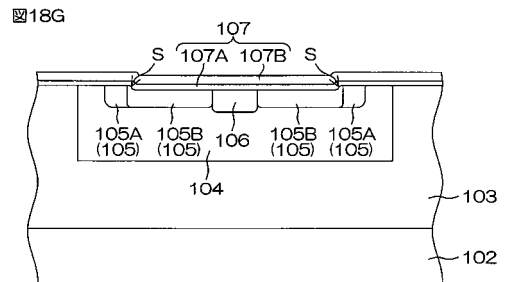
【 図 1 8 F 】



【 図 1 8 E 】

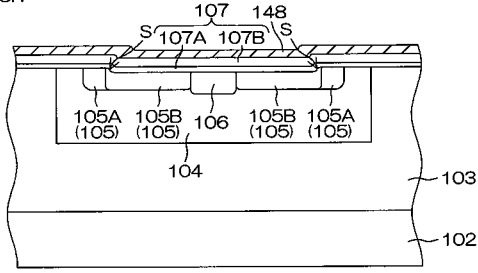


【 図 1 8 G 】



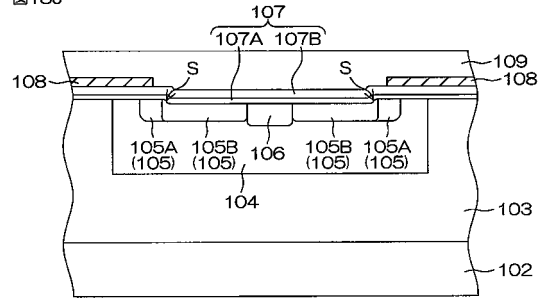
【図18H】

図18H



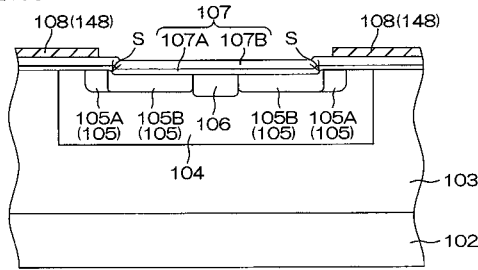
【図18J】

図18J



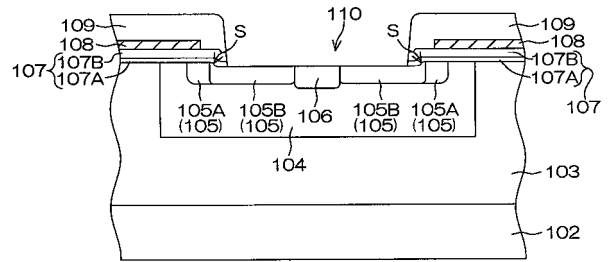
【図18I】

図18I



【図18K】

図18K



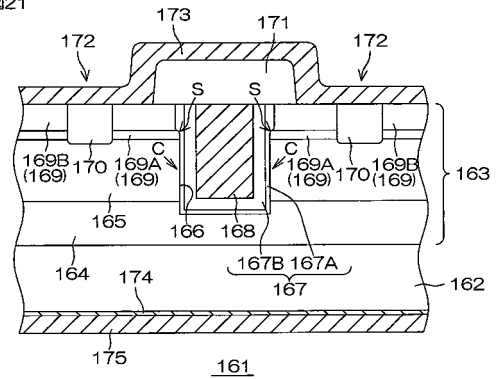
【図19】

図19



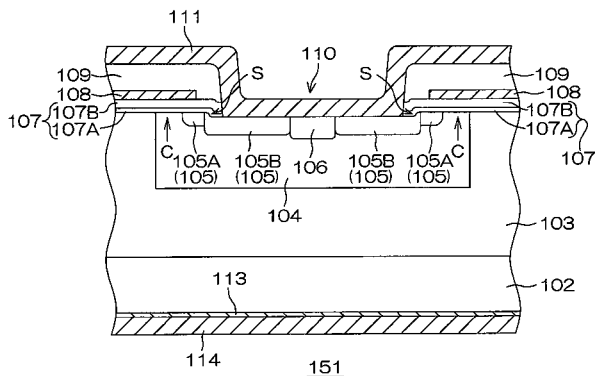
【図21】

図21



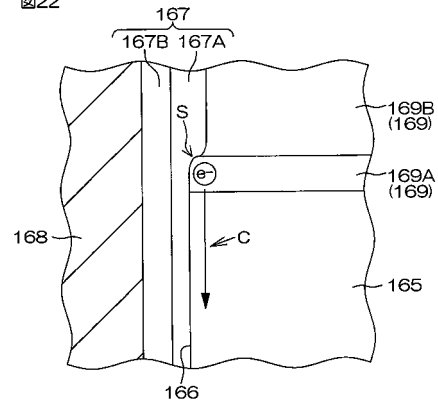
【図20】

図20

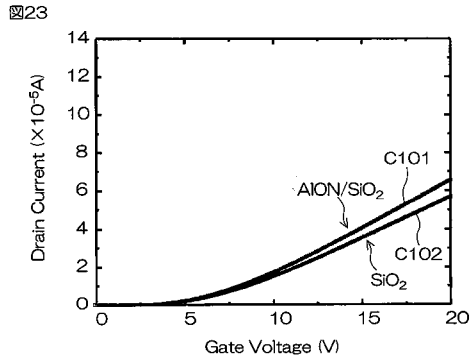


【図22】

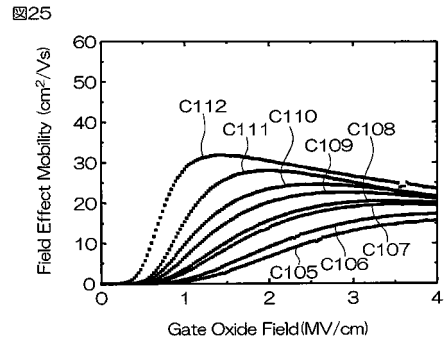
図22



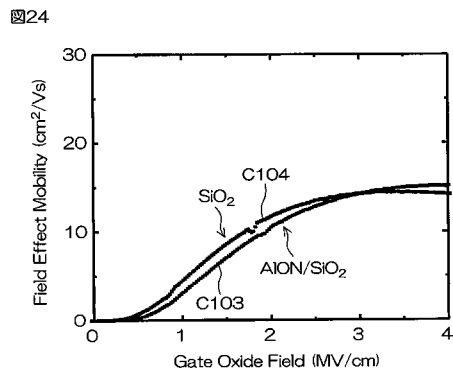
【 図 2 3 】



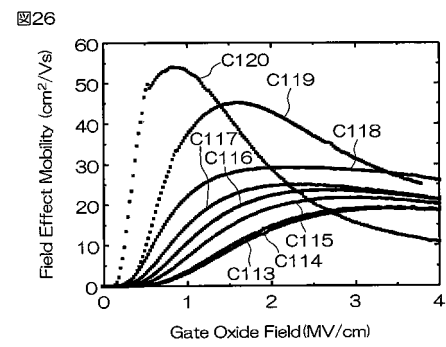
【 図 2 5 】



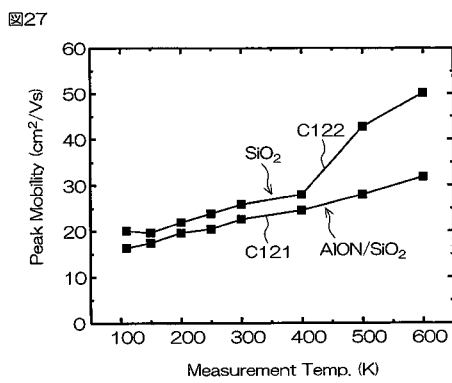
【 図 2 4 】



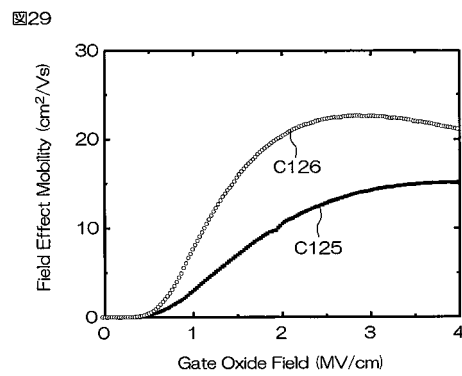
【 図 2 6 】



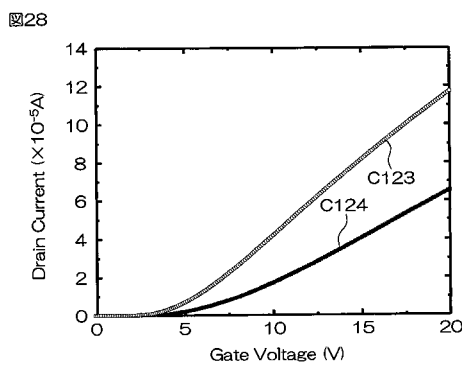
【 図 2 7 】



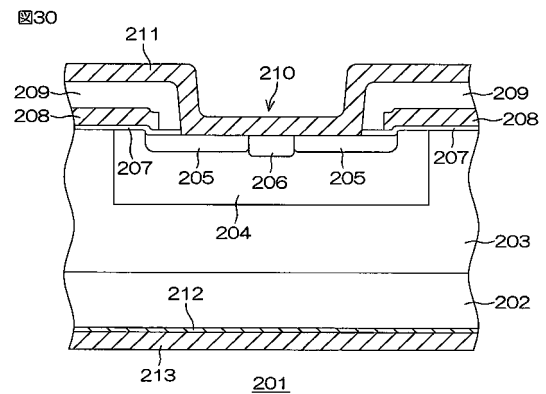
【 図 2 9 】



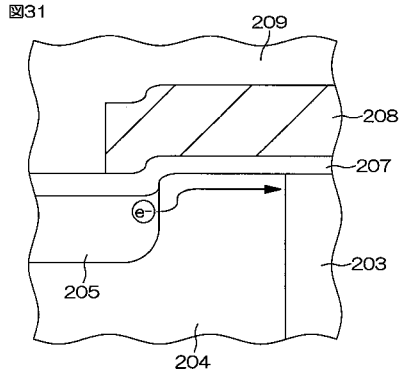
【 図 2 8 】



【 図 3 0 】

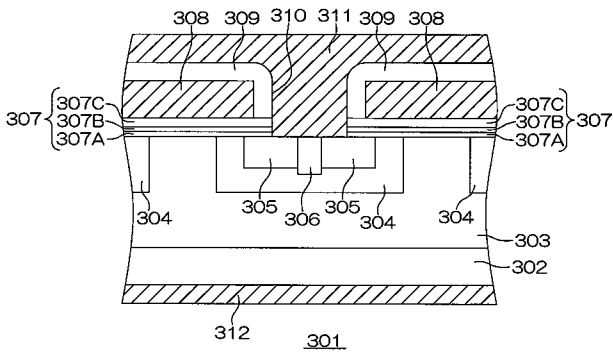


【 図 3 1 】



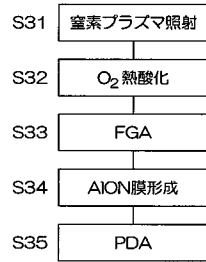
【 図 3 2 】

図32



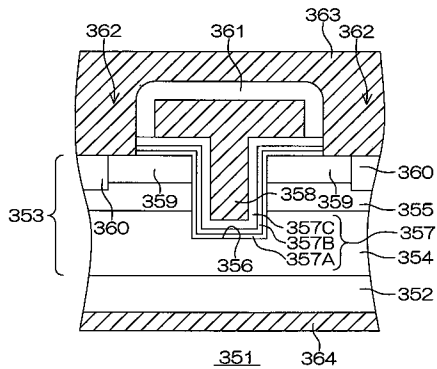
【 図 3 5 】

図35



【 図 3 6 】

図36



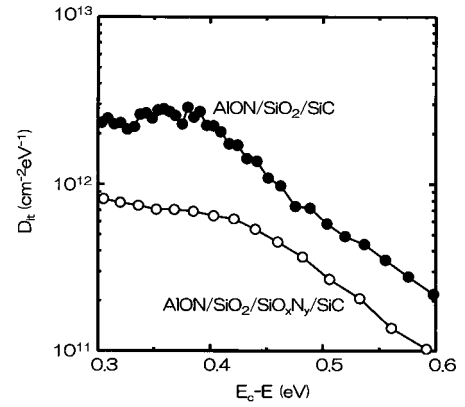
【 図 3 3 】

図33



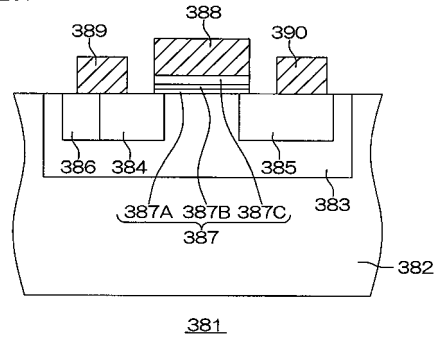
【 図 3 4 】

図34



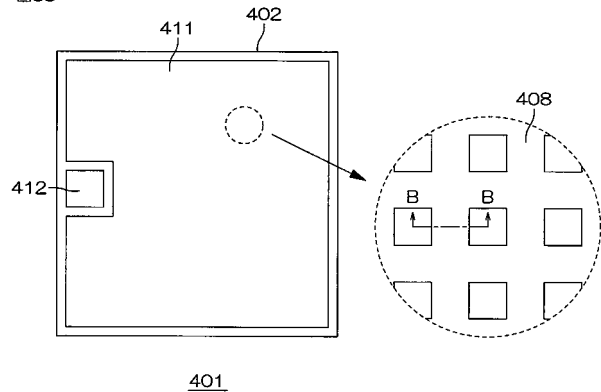
【 図 3 7 】

図37



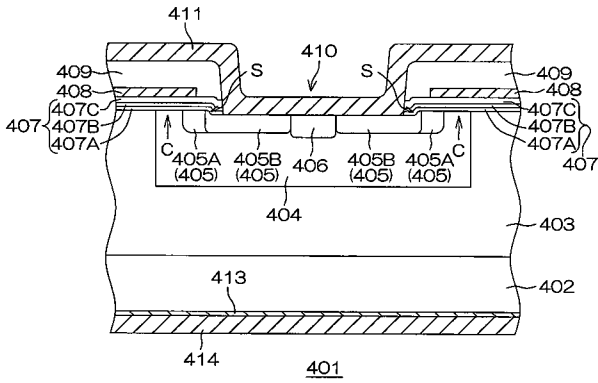
【 図 3 8 】

図38



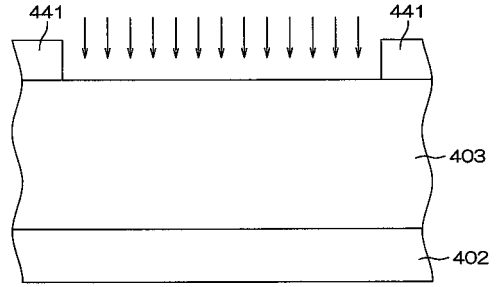
【 図 3 9 】

図39



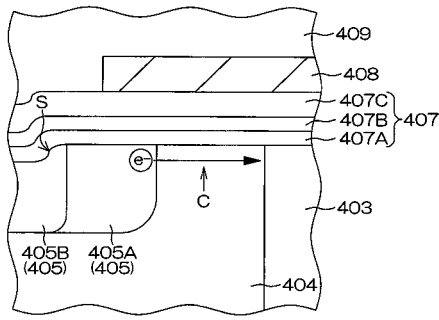
【 図 4 1 A 】

図41A



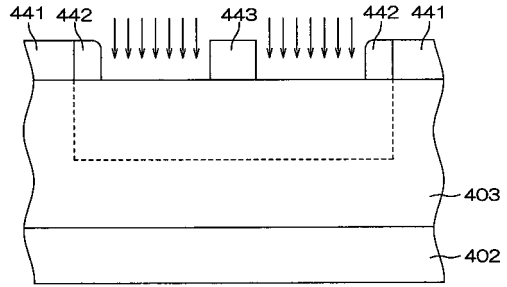
【 図 4 0 】

図40



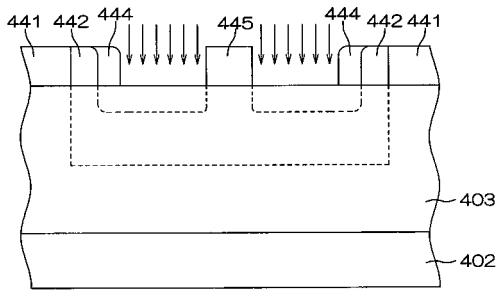
【 図 4 1 B 】

図41B



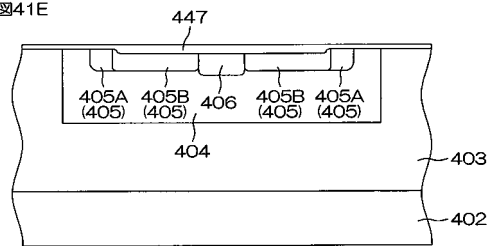
【 図 4 1 C 】

図41C



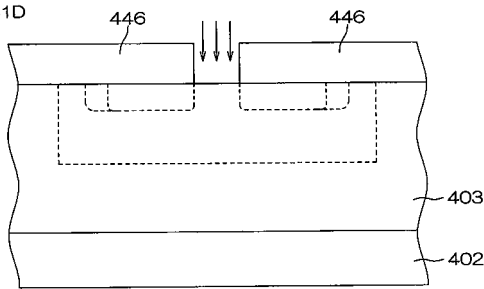
【 図 4 1 E 】

図41E



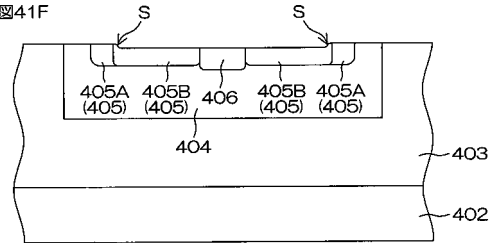
【 図 4 1 D 】

図41D

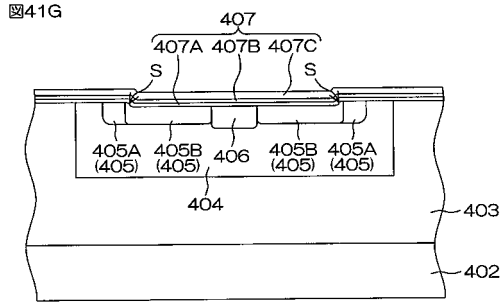


【 図 4 1 F 】

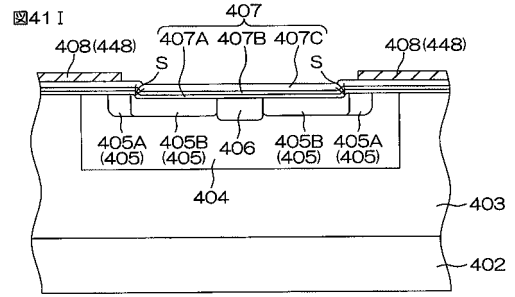
図41F



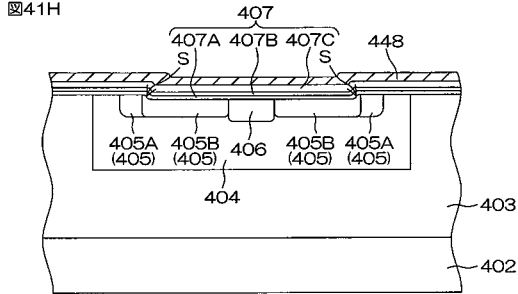
【図41G】



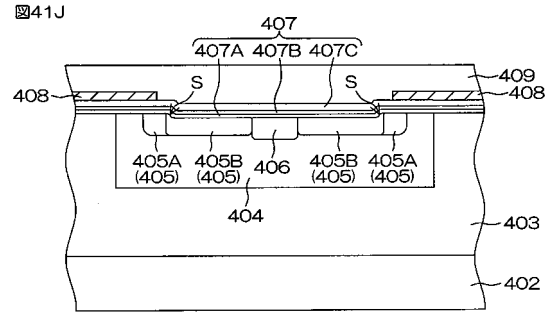
【図41I】



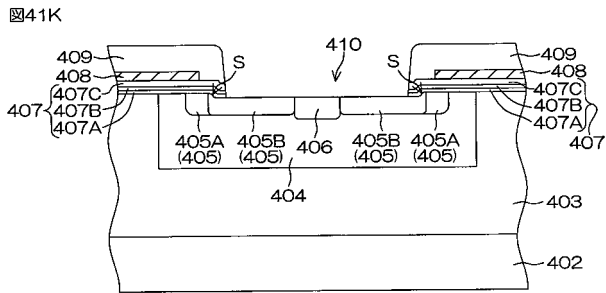
【図41H】



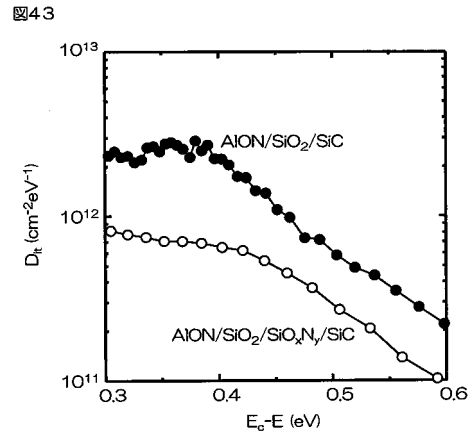
【図41J】



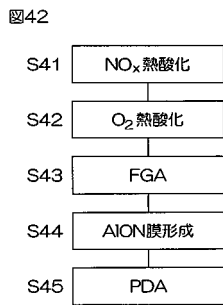
【図41K】



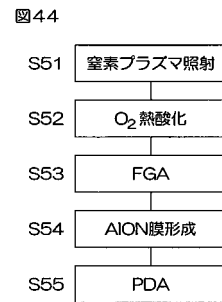
【図43】



【図42】

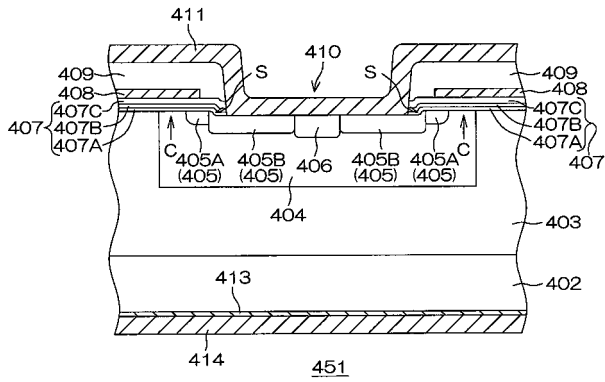


【図44】



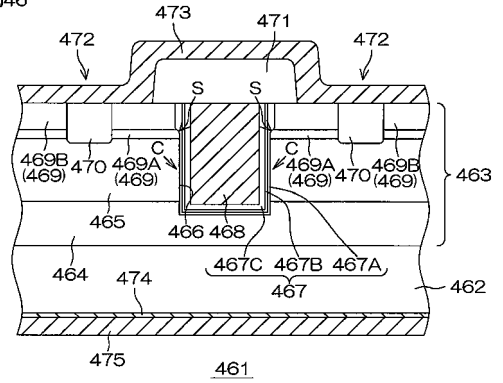
【 図 4 5 】

図45



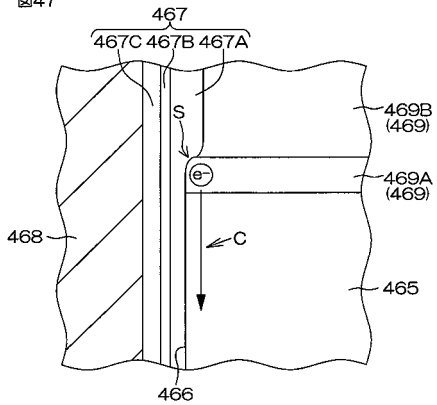
【 図 4 6 】

図46



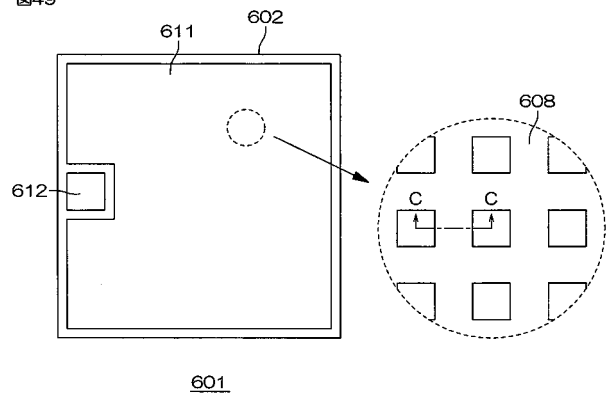
【 図 4 7 】

図47



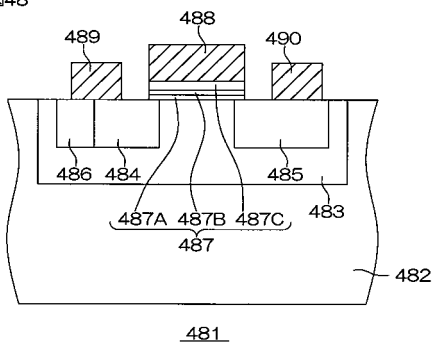
【 図 4 9 】

図49



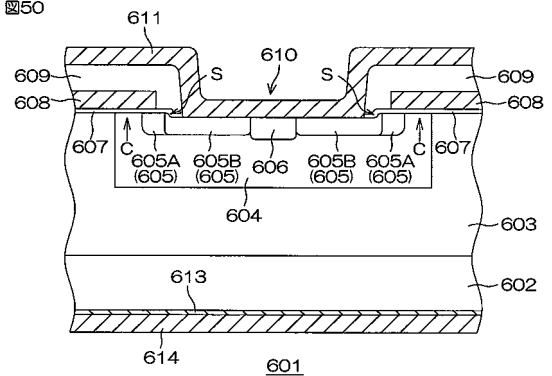
【 図 4 8 】

図48

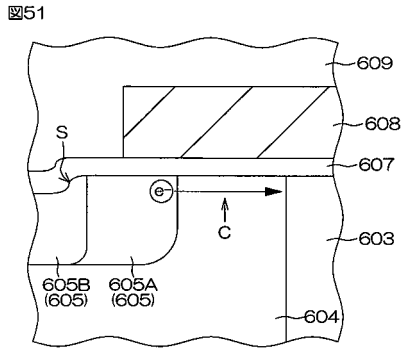


【 図 5 0 】

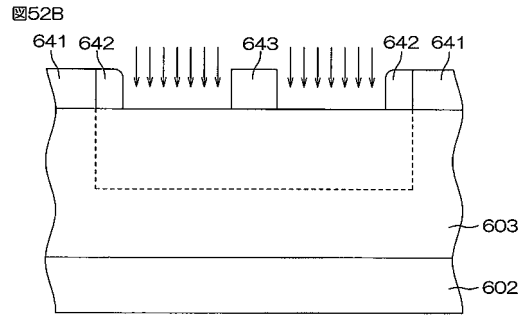
図50



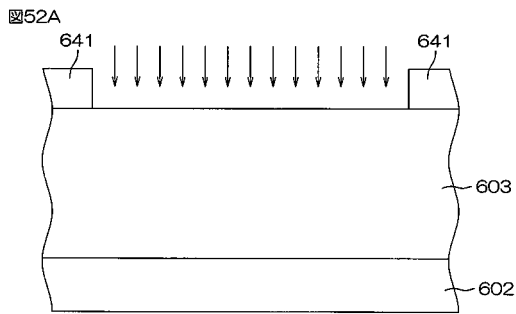
【 図 5 1 】



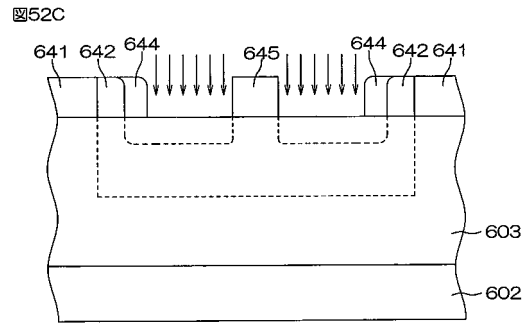
【 図 5 2 B 】



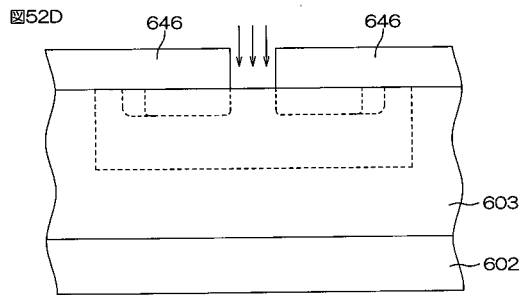
【 図 5 2 A 】



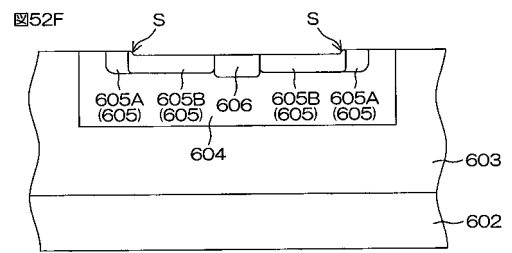
【 図 5 2 C 】



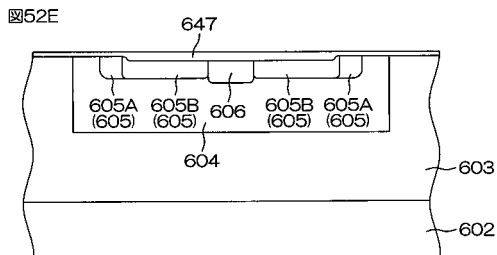
【 図 5 2 D 】



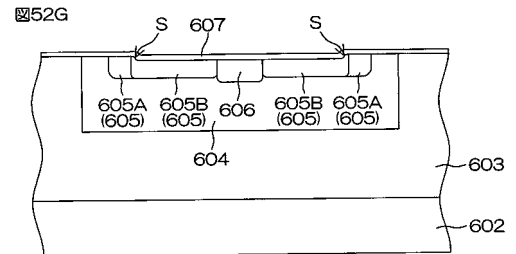
【 図 5 2 F 】



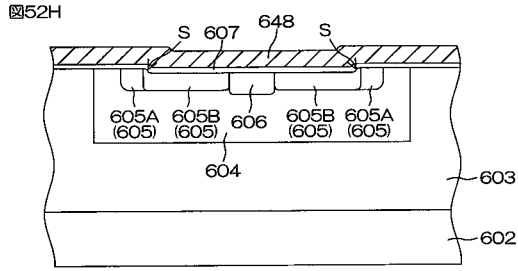
【 図 5 2 E 】



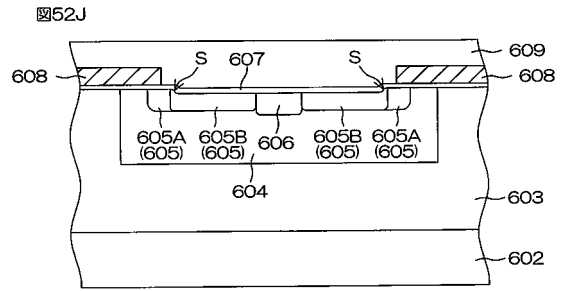
【 図 5 2 G 】



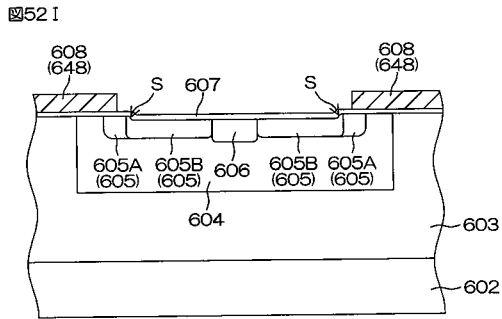
【 図 5 2 H 】



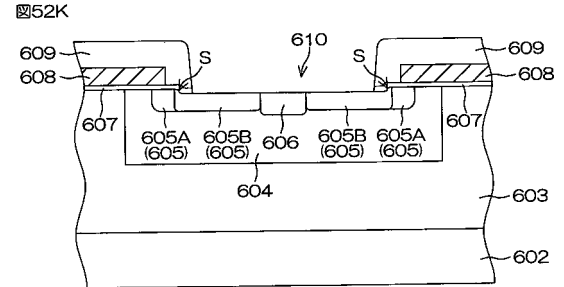
【 図 5 2 J 】



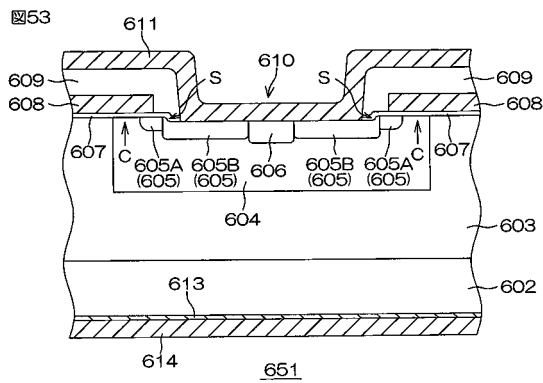
【 図 5 2 I 】



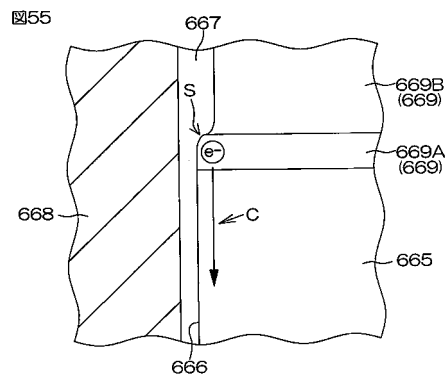
【 図 5 2 K 】



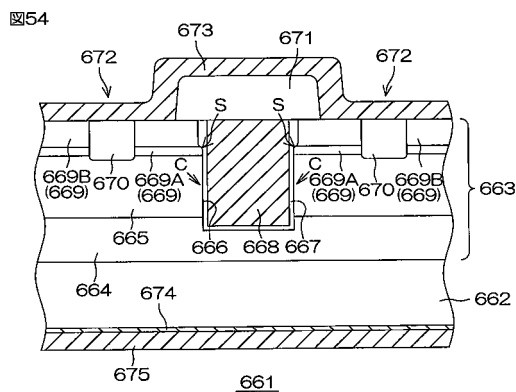
【 図 5 3 】



【 図 5 5 】



【 図 5 4 】



フロントページの続き

- (72)発明者 渡部 平司
大阪府箕面市小野原東 6 - 8 - 2 8
- (72)発明者 志村 考功
大阪府池田市渋谷 3 - 1 1 - 2 5
- (72)発明者 細井 卓治
大阪府茨木市郡 5 - 1 3 - 1 7 ラークヒル 4 0 1
- (72)発明者 桐野 嵩史
大阪府吹田市山田東 4 - 1 2 - 1 3 第二ハイツ上野 2 0 3 号