

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 03806429.4

[45] 授权公告日 2008 年 8 月 27 日

[11] 授权公告号 CN 100414713C

[22] 申请日 2003.7.11 [21] 申请号 03806429.4

[30] 优先权

[32] 2003.1.20 [33] JP [31] PCT/JP03/00443

[86] 国际申请 PCT/JP2003/008869 2003.7.11

[87] 国际公布 WO2004/066394 日 2004.8.5

[85] 进入国家阶段日期 2004.9.20

[73] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 德田法史 楠 茂

[56] 参考文献

JP2002-16266A 2002.1.18

JP2002-170963A 2002.6.14

JP5-190831A 1993.7.30

JP2002-76326A 2002.3.15

审查员 高 伟

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

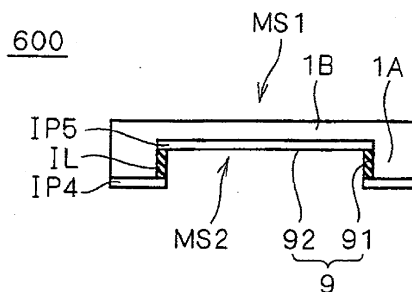
权利要求书 2 页 说明书 28 页 附图 21 页

[54] 发明名称

半导体器件

[57] 摘要

本发明涉及半导体器件，其目的在于特别是在半导体衬底的厚度方向上流过主电流的半导体器件中提供不仅能满足性能和耐压、而且能满足半导体衬底的机械强度的、此外在光刻的工序中不需要对曝光装置等的调整花费工夫的半导体器件。而且，为了实现上述目的，具备：在与第 1 主面相反一侧的第 2 主面上具有由侧面(91)和底面(92)规定的凹部的半导体衬底；在半导体衬底的凹部的底面(92)的表面内配置的半导体区(IP5)；在第 2 主面一侧的周边区域 1A 的表面内配置的半导体区(IP4)；以及在凹部的侧面(91)上配置的、对半导体区(IP4)与(IP5)进行电绝缘的绝缘膜(IL)。



1. 一种半导体器件, 具备在半导体衬底的第 1 主面上设置的第 1 主电极和在上述半导体衬底的第 2 主面上设置的第 2 主电极, 在上述半导体衬底的厚度方向上流过主电流, 其特征在于:

上述半导体衬底具有在上述第 2 主面上设置的至少 1 个凹部, 从而至少具备具有第 1 厚度的第 1 区域和具有比上述第 1 厚度薄的第 2 厚度的第 2 区域,

上述第 2 区域与上述至少 1 个凹部的形成区相对应,

在上述至少 1 个凹部内配置上述第 2 主电极,

将上述第 2 厚度设定为维持上述半导体器件的耐压的厚度,

上述半导体衬底的导电类型为第 1 导电类型,

上述半导体器件还具备:

在上述半导体衬底的上述第 1 主面的整个表面内配置的第 2 导电类型的第 1 半导体区;

被配置成从上述第 1 主面的表面起贯通上述第 1 半导体区的沟槽;

覆盖上述沟槽的内壁面的栅绝缘膜;

在由上述栅绝缘膜包围的上述沟槽内填埋的栅电极;

在上述第 1 半导体区的表面内选择性配置的、其一部分与上述栅绝缘膜接触的第 1 导电类型的第 2 半导体区;

在与上述至少 1 个凹部的底面对应的上述半导体衬底的表面内设置的第 2 导电类型的第 3 半导体区;

在上述第 2 主面一侧的上述第 1 区域的表面内设置的第 1 导电类型的第 4 半导体区; 以及

被设置成与上述第 4 半导体区接触的第 3 主电极,

将上述第 1 主电极配置成与上述第 2 半导体区接触,

上述第 2 主电极电连接到上述第 3 半导体区上。

2. 如权利要求 1 中所述的半导体器件, 其特征在于:

利用导体层填埋上述至少 1 个凹部，上述第 3 半导体区与上述导体层接触，在上述导体层的表面上配置上述第 2 主电极。

3. 如权利要求 2 中所述的半导体器件，其特征在于：

将上述第 2 主电极和上述第 3 主电极作为共同主电极配置成横跨上述第 4 半导体区的表面和上述导体层的表面这两者。

4. 如权利要求 1 中所述的半导体器件，其特征在于：

还具备在上述第 1 区域中的与上述第 3 半导体区相比靠近上述第 2 主面的位置上设置的、缩短了载流子的寿命的寿命控制区。

5. 如权利要求 1 中所述的半导体器件，其特征在于：

还具备在上述第 1 区域中的与上述第 3 半导体区相比靠近上述第 1 主面的位置上设置的、缩短了载流子的寿命的寿命控制区。

6. 如权利要求 1 中所述的半导体器件，其特征在于：

还具备在与上述凹部的侧面对应的上述半导体衬底的表面上配置的绝缘膜。

7. 如权利要求 1 中所述的半导体器件，其特征在于：

将上述凹部的深度设定为上述第 3 半导体区的底部与上述沟槽的底部的距离为 $100 \sim 200\mu\text{m}$ 。

8. 如权利要求 1 中所述的半导体器件，其特征在于：

将上述凹部的宽度设定为 $0.2 \sim 100\mu\text{m}$ 的范围。

半导体器件

技术领域

本发明涉及半导体器件，特别是涉及在半导体衬底的厚度方向上流过主电流的半导体器件。

背景技术

在半导体衬底的厚度方向上流过主电流的半导体器件中，一般来说，在由衬底电阻率决定的规定厚度的范围内，半导体衬底的厚度越厚，耐压就越高，在上述规定的厚度以上，成为大致恒定的耐压。另一方面，随着半导体衬底的厚度变厚，导通电阻提高，功耗增加，性能下降。

根据以上所述，在半导体衬底的厚度方向上流过主电流的半导体器件中，考虑性能和耐压的平衡来决定最佳的衬底厚度。

另一方面，在半导体器件的制造中，从防止处理工序中途的半导体衬底的裂纹、缺陷、半导体衬底的翘曲等问题的观点来看，存在最佳的衬底厚度。

例如，在特开平 8-213292 号公报（称为专利文献 1）中，公开了减轻半导体晶片的重量的结构，但也公开了通过在背面一侧设置多个凹部来减轻重量而不使机械强度下降的结构。

在特开平 11-31208 号公报（称为专利文献 2）中，公开了为了防止在半导体芯片中设置的电路图形被不正当地解读，通过在半导体芯片的背面上设置多个凹部，从而在不正当的解读时半导体芯片容易破碎的结构。

此外，在利用光刻在半导体衬底上形成规定的图形时，如果半导体衬底的厚度极端地薄，则必须用已有的曝光装置等调整焦点深度，由于需要花费很大的工夫，故从光刻工艺的观点来看，存在最佳的衬

底厚度。

因而，在半导体衬底的厚度方向上流过主电流的半导体器件中，必须不仅考虑性能和耐压、而且考虑半导体衬底的机械强度、光刻工艺来决定衬底厚度。为了满足这些条件，提出了使用外延生长衬底，但为了加厚外延生长层的厚度是很花费时间的，在成本方面也很贵。

发明内容

本发明的目的在于在半导体衬底的厚度方向上流过主电流的半导体器件中，提供不仅能满足性能和耐压、而且能满足半导体衬底的机械强度的、此外在光刻的工序中不需要对曝光装置等的调整花费工夫的半导体器件。

关于与本发明有关的半导体器件的第1形态，在具备在半导体衬底的第1主面上设置的第1主电极和在上述半导体衬底的第2主面上设置的第2主电极并在上述半导体衬底的厚度方向上流过主电流的半导体器件中，上述半导体衬底具有在上述第2主面上设置的至少1个凹部，从而至少具备具有第1厚度的第1区域和具有比上述第1厚度薄的第2厚度的第2区域，上述第2区域与上述至少1个凹部的形成区相对应，在上述至少1个凹部内配置上述第2主电极，将上述第2厚度设定为维持上述半导体器件的耐压的厚度，上述半导体衬底的导电类型为第1导电类型，上述半导体器件还具备：在上述半导体衬底的上述第1主面的整个表面内配置的第2导电类型的第1半导体区；被配置成从上述第1主面的表面起贯通上述第1半导体区的沟槽；覆盖上述沟槽的内壁面的栅绝缘膜；在由上述栅绝缘膜包围的上述沟槽内填埋的栅电极；在上述第1半导体区的表面内选择性配置的、其一部分与上述栅绝缘膜接触的第1导电类型的第2半导体区；在与上述至少1个凹部的底面对应的上述半导体衬底的表面内设置的第2导电类型的第3半导体区；在上述第2主面一侧的上述第1区域的表面内设置的第1导电类型的第4半导体区；以及被设置成与上述第4半导体区接触的第3主电极，将上述第1主电极配置成与上述第2半导体

区接触，上述第2主电极电连接到上述第3半导体区上。

按照与本发明有关的半导体器件的第1形态，例如通过在制造过程中将第1厚度设定为在半导体晶片中难以产生裂纹或缺陷、而且不需要曝光装置中的特别的焦点深度调整的厚度，可得到能减少制造时的不良发生、降低制造成本、同时能取得导通电阻的降低和耐压的维持之间的平衡的半导体器件。

关于与本发明有关的半导体器件的第2形态，在具备在半导体衬底的第1主面上设置的第1主电极和在上述半导体衬底的第2主面上设置的第2主电极并在上述半导体衬底的厚度方向上流过主电流的半导体器件中，上述半导体衬底通过具有在上述第2主面上设置的至少1个凹部，至少具备具有第1厚度的第1区域和具有比上述第1厚

度薄的第2厚度的第2区域，将上述第2厚度设定为维持上述半导体器件的耐压的厚度，上述第2区域与上述至少1个凹部的形成区相对应，在上述至少1个凹部内填充导体层，在上述导体层的表面上配置上述第2主电极。

按照与本发明有关的半导体器件的第1形态，例如通过在制造过程中将第1厚度设定为在半导体晶片中难以产生裂纹或缺陷、而且不需要曝光装置中的特别的焦点深度调整的厚度，可得到能减少制造时的不良发生、降低制造成本、同时能取得导通电阻的降低和耐压的维持之间的平衡的半导体器件。此外，通过在至少1个凹部内填充导体层，可提高半导体衬底的机械强度，可使半导体器件的制造工艺中的半导体衬底的处理变得容易。

通过以下的详细的说明和附图，本发明的目的、特征、方面和优点会变得更加明白。

附图说明

图1是示出在与本发明有关的半导体器件中使用的半导体衬底的结构剖面图。

图2是示出在与本发明有关的半导体器件中使用的半导体衬底的结构平面图。

图3是示出在与本发明有关的半导体器件中使用的半导体衬底在晶片状态下的结构的平面图。

图4是示出与本发明有关的半导体器件的实施例1的结构剖面图。

图5是示出与本发明有关的半导体器件的实施例2的结构剖面图。

图6是示出与本发明有关的半导体器件的实施例3的结构剖面图。

图7是示出与本发明有关的半导体器件的实施例4的结构剖面图。

图 8 是示出与本发明有关的半导体器件的实施例 5 的结构的剖面图。

图 9 是示出与本发明有关的半导体器件的实施例 6 的结构的剖面图。

图 10 是示出在与本发明有关的半导体器件中使用的半导体衬底的另一结构例的剖面图。

图 11 是示出在与本发明有关的半导体器件中使用的半导体衬底的另一结构例的剖面图。

图 12 是示出在与本发明有关的半导体器件中使用的半导体衬底的另一结构例的剖面图。

图 13 是示出在与本发明有关的半导体器件中使用的半导体衬底的结构平面图。

图 14 是示出在与本发明有关的半导体器件中使用的半导体衬底在晶片状态下的结构的平面图。

图 15 是示出切割线的配置位置的平面图。

图 16 是示出切割线的配置位置的剖面图。

图 17 是示出设定了切割线的状态的半导体晶片的结构的平面图。

图 18 是示出设定了切割线的状态的半导体晶片的结构的平面图。

图 19 是示出场接触环的配置位置的平面图。

图 20 是示出场接触环的配置位置的剖面图。

图 21 是示出具有多个凹部的半导体衬底的结构平面图。

图 22 是示出具有多个凹部的半导体衬底的在晶片状态下的结构的平面图。

图 23 是示出具有多个凹部的半导体衬底的结构平面图。

图 24 是示出在与本发明有关的半导体器件中使用的半导体衬底的变形例的结构例的剖面图。

图 25 是示出在与本发明有关的半导体器件中使用的半导体衬底的结构剖面图。

图 26 是示出在与本发明有关的半导体器件中使用的半导体衬底

的结构平面图。

图 27 是示出在与本发明有关的半导体器件中使用的半导体衬底的结构平面图。

图 28 是示出与本发明有关的半导体器件的实施例 7 的结构剖面图。

图 29 是说明与本发明有关的半导体器件的实施例 7 的制造工序的剖面图。

图 30 是说明与本发明有关的半导体器件的实施例 7 的制造工序的剖面图。

图 31 是说明与本发明有关的半导体器件的实施例 7 的制造工序的剖面图。

图 32 是说明与本发明有关的半导体器件的实施例 7 的制造工序的剖面图。

图 33 是说明与本发明有关的半导体器件的实施例 7 的制造工序的剖面图。

图 34 是示出与本发明有关的半导体器件的实施例 7 的更具体的结构的剖面图。

图 35 是在与本发明有关的半导体器件的实施例 7 的结构中示出更限定的使用形态的剖面图。

图 36 是示出与本发明有关的半导体器件的实施例 7 的变形例 1 的结构剖面图。

图 37 是示出与本发明有关的半导体器件的实施例 7 的变形例 2 的结构剖面图。

具体实施方式

在与本发明有关的实施例的说明之前，使用图 1~图 3 说明在实施例中共同的半导体衬底的结构。

图 1 是示出在实施例中共同的半导体衬底 1 的剖面图。

图 1 中示出的半导体衬底 1 在与第 1 主面 MS1 相反一侧的第 2

主面 MS2 上具有由侧面 91 和底面 92 规定的凹部 9。半导体衬底 1 通过具有凹部 9 而成为具有厚度 A 的周边区域 1A (第 1 区域) 和比厚度 A 薄的厚度 B 的中央区域 1B (第 2 区域) 的结构。

即, 从凹部 9 的底面 92 到第 1 主面 MS1 的垂直方向的厚度为厚度 B, 比厚度 A 薄。

在此, 将厚度 A 设定为在半导体晶片中难以产生裂纹或缺陷、而且在光刻工艺中不需要曝光装置中的特别的焦点深度调整的程度的厚度。例如, 如果采取 6 英寸的半导体晶片为例, 则设定为 $500 \sim 650 \mu\text{m}$ 。

另一方面, 考虑导通电阻的减少和耐压来决定厚度 B, 例如, 在设想了 600V 的耐压的半导体器件的情况下, 设定为 $60 \mu\text{m}$ 。

在图 2 中示出从第 1 主面 MS1 一侧看半导体衬底 1 的情况的平面图。如图 2 中所示, 在半导体衬底 1 的大致中央部设置凹部 9, 其平面形状为矩形。而且, 凹部 9 的周围成为厚度 A 的周边区域 1A。再有, 图 2 中的 X-X 线上的箭头方向的剖面相当于图 1。当然, 凹部 9 的平面形状可以是圆形的、椭圆形的、此外, 也可以是更复杂的形状。

再有, 图 1 和图 2 中示出的半导体衬底 1 是加工成半导体芯片的状态的半导体衬底, 但凹部 9 的形成是在半导体晶片的状态下作为晶片工艺中的 1 个来进行的。在图 3 中示出了在半导体晶片 WF1 中以与各芯片对应的方式设置了凹部 9 的状态, 在半导体晶片 WF1 的一个主面上以矩阵状配置了多个凹部 9。通过按照规定的切割线切割该半导体晶片 WF1, 可得到多个半导体衬底 1。

这样, 通过使用具有厚度不同的部分的半导体衬底 1 来制造在厚度方向上流过主电流的半导体器件, 在制造过程中难以产生裂纹或缺陷、而且不需要曝光装置中的特别的焦点深度调整, 可起到取得导通电阻的降低和耐压的维持之间的平衡的半导体器件的第 1 效果。

此外, 如图 3 中所示, 在半导体晶片 WF1 中, 厚度薄的部分的各个面积比晶片的全部面积小, 可抑制厚度薄的部分的翘曲。此外, 由于半导体芯片对应部分是全部相同的结构, 故例如即使发生翘曲,

在半导体芯片间也成为同样的翘曲，可起到能减小半导体芯片间的特性的离散的第2效果。

此外，如果以 IGBT（绝缘栅双极型晶体管）为例，则通过在厚度薄的中央区域 1B 中形成与 IGBT 的特性有关的部分，可降低为了控制载流子的寿命而照射的能束（电子束、离子束等）的照射能量。其结果，提高了寿命控制区的形成深度的精度，可形成分布宽度小的寿命控制区，可起到能得到特性离散小的半导体器件的第3效果。

以下，作为与本发明有关的实施例 1~6，说明使用半导体衬底 1 构成的半导体器件的结构。

A. 实施例 1

在图 4 中示出与实施例 1 有关的半导体器件 100 的结构。如图 4 中所示，半导体器件 100 具备使用图 1 已说明的半导体衬底 1 和包含该半导体衬底 1 的凹部 9 的侧面 91 上和底面 92 上在第 2 主面 MS2 的整个面上配置的、用对于半导体衬底 1 进行欧姆接触（或肖特基接触）的材料构成的电极 ML。

在此，在半导体衬底 1 的材料是硅的情况下，作为进行欧姆接触的材料，使用铝（Al）或铝的合金。

此外在半导体衬底 1 的材料是硅的情况下，作为进行肖特基接触的材料，使用钛（Ti）、铪（Hf）、镍（Ni）和钨（W）等。

在欧姆接触中，在金属与半导体层的接合部中不形成势垒，可双向地流过电流。另一方面，在肖特基接触中，在金属与半导体层的接合部中形成势垒，可在一个方向上流过电流，但不能在相反的方向上流过电流。因而，肖特基接触其本身可构成二极管（肖特基二极管）。

在此，通过用欧姆接触材料构成在半导体衬底 1 的具有凹部 9 的第 2 主面上配置的电极 ML，构成以该欧姆电极为集电极的 IGBT 或以该欧姆电极作为阳极电极的二极管，可减小流过了电流的状态下的元件电阻，成为适合于工作频率比较低的低频元件的结构。

此外，通过用肖特基接触的材料构成电极 ML，构成以该肖特基电极为集电极的 IGBT 或以该肖特基电极为阳极电极的二极管，可得

到开关时的功率损耗小的元件，成为适合于工作频率比较高的高频元件的结构。

再有，通过使用半导体衬底 1，当然可起到在前面已说明的第 1~第 3 效果。

B. 实施例 2

在图 5 中示出与实施例 2 有关的半导体器件 200 的结构。如图 5 中所示，半导体器件 200 具备使用图 1 已说明的半导体衬底 1 和包含该半导体衬底 1 的凹部 9 的表面内的在第 2 主面 MS2 的整个表面上配置的半导体区 IP1。

在此，将半导体区 IP1 的杂质浓度设定得比半导体衬底 1 的杂质浓度高。

例如，如果半导体衬底 1 的杂质浓度定为 $1 \times 10^{13}/\text{cm}^3 \sim 1 \times 10^{15}/\text{cm}^3$ ，则将半导体区 IP1 的杂质浓度设定为 $1 \times 10^{20}/\text{cm}^3$ 以上。

这样，通过在半导体衬底 1 的具有凹部 9 的第 2 主面 MS2 的表面内形成高浓度的半导体区 IP1，可减薄肖特基势垒，可使第 2 主面 MS2 表面成为适合于欧姆接触的状态。

因而，通过在具有考虑了导通电阻的减少和耐压的厚度 B 的中央区域 1B 上形成与元件特性有关的电极、即阳极、阴极、集电极和漏极等，可得到在工作特性方面良好的 IGBT 或二极管、MOSFET (MOS 场效应晶体管)。

再有，通过使用半导体衬底 1，当然可起到在前面已说明的第 1~第 3 效果。

C. 实施例 3

在图 6 中示出与实施例 3 有关的半导体器件 300 的结构。如图 6 中所示，半导体器件 300 具备使用图 1 已说明的半导体衬底 1 和包含该半导体衬底 1 的凹部 9 的表面内的在第 2 主面 MS2 的整个表面上配置的半导体区 IP2。

在此，将半导体区 IP2 的杂质的导电类型设定成与半导体衬底 1 的杂质的导电类型相反的导电类型。

例如，在半导体衬底 1 的杂质的导电类型为 N 型的情况下，将半导体区 IP2 的杂质的导电类型设定成 P 型。由此，可得到第 2 主面 MS2 一侧为阳极的二极管。

再有，在调换半导体衬底 1 的杂质的导电类型和半导体区 IP2 的杂质的导电类型的情况下，可得到第 2 主面 MS2 一侧为阴极的二极管。

再有，通过使用半导体衬底 1，当然可起到在前面已说明的第 1~第 3 效果。

D. 实施例 4

在图 7 中示出与实施例 4 有关的半导体器件 400 的结构。如图 7 中所示，半导体器件 400 具备使用图 1 已说明的半导体衬底 1 和包含该半导体衬底 1 的凹部 9 的表面内的在第 2 主面 MS2 的整个表面上配置的半导体区 IP3。

在此，将半导体区 IP3 的杂质的导电类型设定成与半导体衬底 1 的杂质的导电类型相同的导电类型。

例如，在半导体衬底 1 的杂质的导电类型为 N 型的情况下，将半导体区 IP2 的杂质的导电类型设定成 N 型。而且，通过在第 1 主面 MS1 一侧设置 P 型的半导体区（未图示），可得到第 2 主面 MS2 一侧为阴极的二极管。

再有，如果将半导体区 IP3 的杂质浓度设定得比半导体衬底 1 的杂质浓度高，则与使用图 5 已说明的实施例 2 同样，可使第 2 主面 MS2 表面成为适合于欧姆接触的状态。

再有，通过使用半导体衬底 1，当然可起到在前面已说明的第 1~第 3 效果。

E. 实施例 5

在图 8 中示出与实施例 5 有关的半导体器件 500 的结构。如图 8 中所示，半导体器件 500 具备使用图 1 已说明的半导体衬底 1、在该半导体衬底 1 的凹部 9 的底面 92 上配置的电极 ML2、在第 2 主面 MS2 一侧的周边区域 1A 上配置的电极 ML1 和在凹部 9 的侧面 91 上配置的、对电极 ML1 与 ML2 进行电绝缘的绝缘膜 IL。

这样，通过对在半导体衬底 1 的凹部 9 的底面 92 上配置的电极 ML2 与在第 2 主面 MS2 一侧的周边区域 1A 上配置的电极 ML1 进行电绝缘，可在具有考虑了导通电阻的减少和耐压的厚度 B 的中央区域 1B 和周边区域 1A 上形成具有不同的功能或特性的半导体元件。

F. 实施例 6

在图 9 中示出与实施例 6 有关的半导体器件 600 的结构。如图 9 中所示，半导体器件 600 具备使用图 1 已说明的半导体衬底 1、在该半导体衬底 1 的凹部 9 的底面 92 的表面内配置的半导体区 IP5、在第 2 主面 MS2 一侧的周边区域 1A 上配置的半导体区 IP4 和在凹部 9 的侧面 91 上配置的、对电极 ML1 与 ML2 进行电绝缘的绝缘膜 IL。

这样，通过对在半导体衬底 1 的凹部 9 的底面 92 的表面内配置的半导体区 IP5 与在第 2 主面 MS2 一侧的周边区域 1A 上配置的半导体区 IP4 进行电绝缘，可在具有考虑了导通电阻的减少和耐压的厚度 B 的中央区域 1B 和周边区域 1A 上形成具有不同的功能或特性的半导体元件。

例如，将半导体衬底 1 定为高电阻的 N 型衬底，在第 1 主面 MS1 上形成控制电极和第 1 主电极，在第 1 主面 MS1 一侧形成 MOS 晶体管。而且，将凹部 9 的底面 92 的表面内配置的半导体区 IP5 定为 P 型半导体区，将周边区域 1A 的表面内的半导体区 IP4 定为 N 型半导体区，在半导体区 IP4 和 IP5 上分别配置第 2 主电极。

由此，用 P 型的半导体区 IP5、N 型的半导体衬底 1 和 N 沟道 MOS 晶体管构成 IGBT，用 N 型的半导体区 IP4、N 型的半导体衬底 1 和构成 N 沟道 MOS 晶体管的 P 型的半导体区构成二极管。

再有，上述 IGBT 和二极管通过改变对第 1 和第 2 主电极供给的电位而互补地工作，可构成半桥电路。

再有，半导体区 IP4 和 IP5 上的第 2 主电极分别作为阴极电极和集电极来工作，但通过改变凹部 9 的面积，可改变阴极电极与集电极的面积比。

此外，从第 2 主面 MS2 一侧起对周边区域 1A 照射载流子的寿命

控制用的能束（电子束、离子束），形成寿命控制区，也可只在周边区域 1A 中进行寿命控制。由此，也可减少二极管的恢复时间而不损害 IGBT 的工作。

再有，关于半导体器件 600 的具体的结构，在后面在实施例 7 中进一步地说明。

G. 半导体衬底的其它的结构例

在以上已说明的实施例 1~6 中，以使用具有图 1 中示出的 2 种厚度的半导体衬底 1 为前提，但作为具有厚度不同的区域的半导体衬底，不限于图 1。

例如，也可象图 10 中示出的半导体衬底 2 那样是具有 3 种厚度的结构。即，在与第 1 主面 MS1 相反一侧的第 2 主面 MS2 上具备在不同的深度具有底面 93 和 94 的 2 段结构的凹部 9A。因此，半导体衬底 2 成为具有厚度 A 的周边区域 2A（第 1 区域）、厚度 B 的第 1 中央区域 2B（第 2 区域）和厚度 C 的第 2 中央区域 2C（第 3 区域）的结构。

即，周边区域 2A 的厚度 A 最厚，从凹部 9A 的底面 93 起到第 1 主面 MS1 的垂直方向的厚度是最薄的厚度 B，从凹部 9A 的底面 94 起到第 1 主面 MS1 的垂直方向的厚度是厚度 C，成为厚度 A 和厚度 B 的中间的厚度。

在此，如果与半导体衬底 1 同样地以 6 英寸的半导体晶片为例，则分别将厚度 A 和厚度 B 设定为 500~650 μm 和 60 μm ，例如在设想了 1200V 的耐压的半导体器件的情况下，将厚度 C 设定为 120 μm 。

这样，半导体衬底 2 通过具备在不同的深度具有底面 93 和 94 的凹部 9A 而具有 3 种厚度，可增加所形成的半导体元件的种类。

此外，也可象图 11 中示出的半导体衬底 3 是具有 3 种厚度的结构。即，在与第 1 主面 MS1 相反一侧的第 2 主面 MS2 上具备凹部 9 和凹部 9B。因此，半导体衬底 3 成为具有厚度 A 的周边区域 3A（第 1 区域）、与凹部 9 的位置对应的厚度 B 的最薄区域 3B（第 2 区域）和与凹部 9B 的位置对应的厚度 C 的中间厚度区域 3C 的结构。厚度 A、

厚度 B 和厚度 C 的大小关系与半导体衬底 2 是同样的。

以上说明了具有 3 种厚度的半导体衬底，但不限于 3 种厚度，通过设置多段结构的凹部或深度不同的多个凹部，可得到具有 3 种以上的厚度的半导体衬底。

此外，作为具有 2 种厚度的半导体衬底的结构，不限于图 1 的半导体衬底 1，也可以是图 12 中示出的结构。

即，图 12 中示出的半导体衬底 4 在第 2 主面 MS2 的一侧具有凹部 9，具有与凹部 9 的位置对应的厚度 B 的最薄区域 4B（第 2 区域）和第 1 区域 4B 的周围的厚度 A 的周边区域 4A（第 1 区域）。再有，在与设置了凹部 9 的一侧相反一侧没有凹部，成为只是单一的厚度 A 的单一厚度区域 4C（第 1 区域）。

在这样的结构的半导体衬底 4 中，在最薄区域 4B 和周边区域 4A 中与半导体衬底 1 同样地形成在衬底的厚度方向上流过主电流的半导体器件，在单一厚度区域 4C 中，通过形成在衬底的平面方向上流过主电流的半导体器件，可形成具有不同的功能或特性的多种半导体元件。

此外，半导体衬底 1 的凹部 9 的平面形状如使用图 2 已说明的那样是被周边区域 1A 包围的矩形，但如图 13 中所示，也可以是条状的形状。即，图 13 中示出的半导体衬底 5 只在沿该平行的 2 边的部分上具有周边区域 5A（第 1 区域），被该周边区域 5A 夹住的区域是中央区域 5B（第 2 区域），由于该处与凹部 90 的配置位置相对应，故凹部 90 成为条状。再有，图 13 中的在 Y-Y 线上的箭头方向的剖面相当于图 1。

再有，通过象半导体衬底 1 那样用周边区域 1A 包围凹部 9 的周围或象半导体衬底 5 那样在凹部 90 的两侧设置周边区域 5A，凹部 9 或凹部 90 位于衬底的大致中央。因而，在使用这些半导体衬底制作半导体芯片的情况下，在管芯粘接时可将该半导体芯片水平地安装在管芯底座上。即，由于 4 边或平行的 2 边中设置的周边区域与管芯底座接触，故半导体芯片不会相对于管芯底座倾斜。因而，在用引线键合

进行布线时，可总是用相同的角度键合引线于半导体芯片，可实现均匀的引线键合。其结果，可防止因键合部分的接触电阻的不均匀引起的电流集中。

再有，在图 14 中示出得到图 13 中示出的半导体衬底 5 用的半导体晶片的平面结构。在图 14 中，示出了在半导体晶片 WF2 中设置了条状的凹部 90 的状态，在半导体晶片 WF2 的一个主面上并列地配置了条状的多个凹部 90。

通过按照规定的切割线切割该半导体晶片 WF2，可得到多个半导体衬底 5。

H.切割线与凹部的关系

在结束了半导体晶片的状态下的制造过程（晶片工艺）后，通过按照规定的切割线切割，将实施例 1~6 中已说明的半导体器件 100~600 分割为各个小片，成为独立的芯片。

例如使用图 1 和图 2 中示出的半导体衬底 1 的情况的切割线与半导体衬底 1 的位置关系成为图 15 中示出的关系。

即，利用纵方向的切割线 DL1 和横方向的切割线 DL2 包围了半导体衬底 1。

在此，在图 16 中示出图 15 中的 W-W 线的剖面图。如图 16 中所示，切割线 DL1 和 DL2 的配置区域的厚度成为厚度 A，即使在切割时切割刀的刀刃接触晶片而施加了力的情况下，也可防止半导体衬底 1 发生挠曲，可防止半导体衬底 1 因挠曲而破损或切割线变形。

在图 17 中示出对于得到半导体衬底 1 用的半导体晶片 WF1 设定了切割线 DL1 和 DL2 的状态的平面图。

此外，在图 18 中示出对于得到半导体衬底 5 用的半导体晶片 WF2 设定了切割线 DL1 和 DL2 的状态的平面图。

再有，在图 18 中示出的半导体晶片 WF2 中，纵方向的切割线 DL1 横断了条状的凹部 90 上，切断厚度薄的部分，但如前面已说明的那样，由于凹部 90 的两侧成为厚的周边区域 5A，故防止了半导体衬底 1 在切割时发生挠曲。

I.场接触环与凹部的关系

在实施例 1~6 中已说明的半导体器件 100~600 中,未特别提及第 1 主面的结构,但在高电压的半导体器件中,为了缓和半导体芯片的周边部的电场,大多是第 1 主面的表面内具有场接触环(也称为场限制环)的结构。

对于场接触环来说,包含与衬底的导电类型相反的导电类型的杂质而被构成,以便在与衬底之间形成结,因为必须缓和大致沿衬底形状的电场,故希望设置在厚度厚的区域上,有时厚度因凹部而变薄的区域对于场接触环可以说不一定是最佳的区域。

因此,如图 19 中所示,通过在包围凹部 9 的周边区域 1A 上设置场接触环 FCR,可有效地进行与衬底主面垂直的方向的电场的缓和。

在图 20 中示出图 19 中的 Z-Z 线上的剖面图。如图 20 中所示,由于在场接触环 FCR 的下部确保了充分的厚度,故可得到对于过度的耗尽层的延伸的容限。

再有,即使在具有使用图 13 已说明的条状的凹部 90 的半导体衬底 5 中,设置场接触环 FCR 也不是不可能的。即,如果使与凹部 90 的位置对应的中央区域 5B 的厚度 B 比场接触环 FCR 的形成深度厚,则由于可设置场接触环 FCR,故不仅可在半导体衬底 5 的周边区域 5A 上设置场接触环 FCR,而且也可将场接触环 FCR 设置成横断中央区域 5B。

再有,在图 19 中,由场接触环 FCR 包围的凹部 9 只是 1 个,但象使用图 11 已说明的半导体衬底 3 那样,即使在具有多个凹部的结构中,也能设置场接触环。

在图 21 中示出在由场接触环 FCR 包围的区域上具有 2 个凹部 19 的半导体衬底 6 的结构。在图 21 中,凹部 19 的形成区域以外的区域是厚度厚的区域,可以说图 21 中的 U-U 线上的箭头方向剖面相当于使用图 11 已说明的半导体衬底 3 的剖面结构,V-V 线上的箭头方向剖面相当于使用图 12 已说明的半导体衬底 4 的剖面结构。

在图 22 中示出得到象图 21 中示出的半导体衬底 6 那样具有多个

凹部的半导体衬底用的半导体晶片的平面结构。在图 22 中，示出了在半导体晶片 WF3 中在与各芯片对应的位置上分别设置了多个凹部 19 的状态，在半导体晶片 WF3 的一个主面上以矩阵状配置了多个凹部 19。通过按照规定的切割线切割该半导体晶片 WF3，可得到多个半导体衬底 6。

再有，在半导体衬底上设置的凹部不限定于 2 个，此外，也不限定于全部为相同的形状，也不限定于各自的配置位置呈对称的位置关系。

例如，图 23 中示出的半导体衬底 60 具有平面形状为矩形的凹部 191 和 192、平面形状为 L 字形的凹部 193。凹部 191 和凹部 192 的形状都是矩形，但面积不同，凹部 191 是 1 个，但设置了多个凹部 192。

得到具有这些凹部的半导体衬底用的半导体晶片的平面结构成为在半导体晶片的一个主面上密集了多个点状的凹部的结构。

J. 半导体衬底的变形例

在以上已说明的半导体衬底 1~6 中，将构成凹部的侧面形成为与衬底主面垂直，因此，在从第 2 主面一侧看凹部的情况下，不能看到凹部的侧面。

但是，也可构成为象图 24 中示出的半导体衬底 7 的凹部 9C 那样构成凹部 9C 的侧面 96 相对于衬底主面形成超过 90° 的角度 θ 。由此，在从第 2 主面一侧看凹部的情况下，可看到凹部的侧面。在此，周边区域 7A（第 1 区域）具有厚度 A，中央区域 7B（第 1 区域）具有厚度 B。

再有，在图 24 中，示出了侧面 96 对于底面 95 的倾斜角度为角度 θ ，但这是以底面 95 与衬底主面平行这一点为前提的方便的显示。再有，角度 θ 的最大值约为 175° 。

这样，通过将侧面 96 的倾斜角度定为超过 90° 的角度，在以滑动方式运送形成了凹部 9C 的状态的半导体晶片那样的情况下，可防止因凹部 9C 的角部被运送装置的某个突起部勾住引起的运送错误或角部的缺损。

此外,也可防止凹部 9C 的底面 95 的角部上蓄积污染物质或多余的堆积物。

此外,如图 4 中所示那样在第 2 主面 MS2 的整个面上形成电极 ML 的情况或如图 5 中所示那样在第 2 主面 MS2 的表面内形成半导体区 IP1 的情况下,对于侧面的电极 ML 和半导体区 IP1 的形成变得容易。

再有,在如图 8 中所示那样在侧面上形成绝缘膜 IL 的情况下,当然绝缘膜 IL 的形成也变得容易。

K. 实施例 7

通过象使用图 11 已说明的半导体衬底 3 那样具有深度不同的多个凹部,可得到具有多个厚度的半导体衬底,也可象图 25 中所示那样,通过设置多个相同的深度的凹部,形成相同的种类的多个元件的结构。

即,图 25 中示出的半导体衬底 8 在与第 1 主面 MS1 相反一侧的第 2 主面 MS2 上具备多个由侧面 97 和底面 98 规定的凹部 9D。因此,成为具有与凹部 9D 的位置对应的厚度 B 的凹部区域 8B (第 2 区域)和在凹部区域 8B 以外厚度 A 的台形区域 8A (第 1 区域)的结构。

在图 26 中示出从第 2 主面一侧看半导体衬底 8 的平面形状的一例。如图 26 中所示,凹部 9D 的形状为条状,在半导体衬底 8 的主面内并列地配置了多个条状的凹部 9D。再有,在图 26 中,以横切多个凹部 9D 的方式切断的剖面相当于图 25 的剖面结构。

再有,在图 27 中示出半导体衬底 8 的平面形状的另一例。如图 27 中所示,凹部 9D 的平面形状为矩形,在半导体衬底 8 的主面内以矩阵状配置了多个矩形的凹部 9D。

K-1. 器件结构

以下,在与本发明有关的实施例 7 中,说明使用图 25 中示出的半导体衬底 8 构成的半导体器件 700 的结构。再有,设想图 26 中示出的形状作为半导体衬底 8 的平面形状。

在图 28 中示出与本发明有关的实施例 6 的半导体器件 700 的剖面结构。再有,图 28 中示出的剖面结构示出了与图 25 中示出的半导

体衬底 8 中的 1 个凹部 9D 对应地形成的半导体器件的结构。再有，将半导体衬底 8 作为高电阻率的 N 型衬底来处理。

在图 28 中示出的半导体器件 700 中，在半导体衬底 8 的第 1 主面 MS1 的整个表面内形成了 P 型半导体区 902。

而且，设置了从第 1 主面 MS1 的表面起贯通 P 型半导体区 902 到达半导体衬底 8 内的 2 个沟槽 903，用栅绝缘膜 904 覆盖了沟槽 903 的内壁面。再者，在由栅绝缘膜 904 包围的沟槽 903 内的区域中填埋导电体，构成了栅电极 905。

此外，在 P 型半导体区 902 的表面内配置了以其至少一部分与栅绝缘膜 904 接触的方式有选择地形成的浓度较高的 N 型半导体区 906。在 2 个沟槽 903 的各自的两侧设置了 N 型半导体区 906，但在沟槽间在相对的 N 型半导体区 906 之间设置了浓度较高的 P 型半导体区 907。再有，P 型半导体区 907 是得到对于 P 型半导体区 902 的良好的电接触用的结构。

而且，将第 1 主电极 908 配置成互相邻接的 N 型半导体区 906 与 P 型半导体区 907 的上部接触。

第 1 主电极 908 是从外部端子 ET 对 N 型半导体区 906 和 P 型半导体区 907 供给电位的电极。再有，如果第 1 主电极 908 根据半导体器件 700 的工作也有起到发射极的功能的情况，则也有起到阳极电极或源电极的功能的情况。此外，从外部端子 GT 对栅电极 905 供给控制电压。

此外，在半导体衬底 8 的第 2 主面 MS2 上设置的凹部 9D 中在与底面 98 对应的半导体衬底 8 的表面内设置了 P 型接触区 912。

此外，在第 2 主面 MS2 一侧的台形区域 8A 的表面内设置了 N 型半导体区 913。而且，在凹部 9D 的侧面上设置了侧壁绝缘膜 914，成为进行 P 型接触区 912 与 N 型半导体区 913 的在衬底表面上的电隔离的结构。

而且，将第 2 主电极 916a 和第 3 主电极 916b 配置成 P 型接触区 912 与 N 型半导体区 913 接触。

第2主电极916a是从外部端子CT对P型接触区912供给电位的电极，第3主电极916b是从外部端子KT对N型半导体区913供给电位的电极。再有，第2主电极916a起到集电极的功能，如果第3主电极916b根据半导体器件700的工作也有起到阴极电极的功能的情况，则也有起到漏电极的功能的情况。

此外，在台形区域8A内的靠近第2主面MS2的位置上设置了载流子的寿命缩短了的寿命控制区915。该区域是利用电子束或质子、He等的离子束的照射形成的区域。

在此，半导体器件700根据对第1~第3主电极供给的电压条件作为IGBT、二极管和MOSFET来工作。即，在外部端子ET为接地电位、外部端子CT为正电位的情况下，按照对外部端子GT供给的信号作为IGBT来工作。

此外，在外部端子ET为接地电位、外部端子KT为负电位、对外部端子GT供给了关断信号的情况下，作为二极管来工作。

此外，在外部端子ET为接地电位、外部端子KT为正电位的情况下，按照对外部端子GT供给的信号作为MOSFET来工作。

在半导体器件700中，在外部端子CT与外部端子KT为同一正电位的情况下，设定成P型接触区912与N型半导体区913(阴极区)的距离离开较远，以便作为IGBT来工作。即，在阴极中流过被设定了的微小电流的情况下，这样来设定其间的距离(即电阻值)，使得集电极区域附近的半导体衬底的电位为PN结的功函数差以上。

在此，在作为IGBT工作的情况下，第1主电极908成为发射极，第2主电极916a成为集电极，在第1主面MS1上形成的N型半导体区906成为发射区，P型半导体区902成为包含沟道区的体区，P型半导体区907成为体接触区。

此外，在作为二极管工作的情况下，第1主电极908成为阳极电极，第3主电极916b成为阴极电极，在第1主面MS1上形成的P型半导体区902成为阳极区，P型半导体区907成为阳极接触区，在第2主面MS2一侧的台形区域8A的表面内设置的N型半导体区913成

为阴极区。

此外，在作为 MOSFET 工作的情况下，第 1 主电极 908 成为源电极，第 3 主电极 916b 成为漏电极，N 型半导体区 906 成为源区，P 型半导体区 902 成为包含沟道区的体区，P 型半导体区 907 成为体接触区，N 型半导体区 913 成为漏区。

K-2. 制造方法

以下，使用按顺序示出制造工序的图 29 ~ 图 33 说明半导体器件 700 的制造方法。

首先，使用图 28 说明半导体衬底 8 和第 1 主面 MS1 一侧的结构制造工序。

再有，由于经过与迄今为止已知的一般的 IGBT 或 MOSFET 同样的制造工序来形成第 1 主面 MS1 一侧的结构，故关于已知的技术省略说明。

关于高电阻率的 N 型的半导体衬底 8，其电阻率或 P 型接触区 912 的底部与沟槽 903 的底部的距离 L 根据耐压等级不同而不同，但例如在耐压 1200V 等级的情况下，将电阻率设定为 $40 \sim 60 \Omega\text{cm}$ ，将距离 L 设定为 $100 \sim 200 \mu\text{m}$ ，如果耐压等级比其低，则降低电阻率，缩短距离 L。

由于在作为 MOSFET 和 IGBT 工作的情况下 P 型半导体区 902 成为包含沟道区的体区，故根据 MOSFET 或 IGBT 的阈值电压来设定杂质浓度或深度。

再有，根据离子注入条件或热扩散条件来决定杂质浓度或扩散深度。例如，对于杂质浓度来说，通常在与 MOSFET 的源电极或 IGBT 的发射极接触的区域中，将杂质浓度设定为 $1 \times 10^{17}/\text{cm}^3 \sim 1 \times 10^{18}/\text{cm}^3$ ，以不超过沟槽 903 的程度，将扩散深度设定为几 μm 的深度。

此外，对于沟槽 903 来说，利用刻蚀以 $2 \sim 10 \mu\text{m}$ 的间距来设置，将宽度设定为 $0.5 \sim 3.0 \mu\text{m}$ ，将深度设定为 $3 \sim 20 \mu\text{m}$ 。

在沟槽 903 的内壁表面上配置的栅绝缘膜 904 是构成 MOSFET 的绝缘膜，根据栅驱动电压或饱和电流、电容等，将该绝缘膜的厚度

设定为最佳的厚度。一般来说，使用 10~200nm 的厚度的氧化硅膜，利用热氧化或淀积等来形成。

用高杂质浓度的多晶硅膜或例如硅化钨等的高熔点金属材料、或其多层膜构成在沟槽 903 内填埋的栅电极 905。一般来说，在第 1 主面 MS1 上淀积了沟槽 903 的宽度的一半以上的厚度的导电膜后，利用各向异性刻蚀等进行平坦化可得到该栅电极 905，但在利用光刻形成了规定图形的掩模后，淀积导电膜并进行刻蚀也可得到该栅电极 905。

在此，P 型半导体区 902 的最佳浓度根据栅电极 905 的材料的功函数值而改变，在极端的情况下，也有沿沟槽 903 的侧面设置 N 型半导体区、在与栅绝缘膜接触的区域中作成设置了与发射区为同一导电类型（N 型）的薄的层的填埋沟道区的结构的情况。

N 型半导体区 906、P 型半导体区 907 都是由利用光刻的构图和离子注入来形成的，将其表面浓度例如设定为 $1 \times 10^{20}/\text{cm}^3$ 以上。

利用光刻和刻蚀对以覆盖 N 型半导体区 906 和 P 型半导体区 907 的方式形成的层间绝缘膜（未图示）有选择地进行开口，淀积并形成例如用铝和硅的化合物构成的导电膜。

此外，在第 1 主电极 908 上形成未图示的保护膜，经在上述保护膜规定的部分上设置的开口孔部连接到外部电源上。

其次，使用图 29~图 33 说明第 2 主面 MS2 一侧的结构的制造工序。再有，在以下的说明中，假定在第 1 主面 MS1 一侧中第 1 主电极 908 以下的层的结构已形成完毕。

首先，在第 1 主面 MS1 一侧形成了第 1 主电极 908 以下的层的结构后，在图 29 中示出的工序中用抗蚀剂掩模 RM1 覆盖第 1 主面 MS1 上。

然后，在第 2 主面 MS2 上形成具有设置凹部 9D 用的开口部的抗蚀剂掩模 RM2，使用该抗蚀剂掩模 RM2 并利用各向异性刻蚀来刻蚀半导体衬底 8，形成凹部 9D。

将凹部 9D 的深度设定为根据半导体器件 700 的耐压等级、半导体衬底 8 的最终厚度和成本等进行了最佳化的值。再有，在成本许可

的范围内，如上所述，例如按耐压 1200V 等级，将 P 型接触区 912 与沟槽 903 的底部的距离 L（参照图 28）设定为 100 ~ 200 μm ，如果耐压等级比其低，则设定成缩短距离 L。

在对作为 IGBT 的集电极的 P 型接触区 912、作为 MOSFET 的漏区 913（参照图 28）供给同一电位并对栅电极 905 施加了沟道为导通的条件的电压的情况下，将凹部 9D 的最小值设定为 IGBT 工作。

因而，根据半导体衬底 8 的台形区域 8A 的电阻率、P 型接触区 912 的杂质浓度、P 型接触区 912 与 N 型半导体区 913 的面积比、额定电流密度、从 MOSFET 工作变化为 IGBT 工作时的电压与电流的关系的容许范围、即急速返回（snap back）的容许范围等来设定凹部 9D 的深度。

再有，可任意地设定凹部 9D 的宽度或间距，宽度为 0.2 ~ 100 μm 是代表值，如上所述，设定成在 P 型接触区 912 与 N 型半导体区 913 的面积比中不产生非平衡。

此外，凹部 9D 的形成时间不限定于上述的时间，但一般来说，如果考虑因用重金属构成的电极材料引起的金属污染，则希望该形成时间在形成第 1 主电极 908 之前。

其次，在除去了抗蚀剂掩模 RM2 后，在图 30 中示出的工序中，在第 2 主面的整个面上形成绝缘膜 IL1。利用选择氧化或淀积来形成绝缘膜 IL1。

然后，在图 31 中示出的工序中，进行各向异性刻蚀，使之只在凹部 9D 的侧面 97 上作为侧壁绝缘膜 914 而留下。

再有，可在 P 型接触区 912 和 N 型半导体区 913 的形成前后的任一时间形成侧壁绝缘膜 914，但在 N 型半导体区 913 和 P 型接触区 912 的形成时，由于存在在与凹部 9D 的侧面 97 对应的区域中注入相当于对 N 型半导体区 913 和 P 型接触区 912 注入的杂质的几% ~ 几十% 的量的杂质的可能性，故希望在 N 型半导体区 913 和 P 型接触区 912 的形成前形成侧壁绝缘膜 914。

其次，在第 2 主面 MS2 一侧的台形区域 8A 的表面内利用离子注

入形成了 N 型半导体区 913 后, 在图 32 中示出的工序中, 在第 2 主面 MS2 上配置抗蚀剂掩模 RM3。然后, 利用离子注入在与凹部 9D 的底面 98 对应的半导体衬底 8 的表面内形成 P 型接触区 912。关于在 P 型接触区 912 的形成时的离子注入, 希望采用通过使衬底倾斜并使之旋转而从倾斜方向注入的倾斜旋转离子注入。

再有, 将 P 型接触区 912 和 N 型半导体区 913 的杂质浓度都设定在 $1 \times 10^{16}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ 的范围内。此外, 形成顺序基本上是任意的, 但如后面说明的那样, 希望先形成 P 型接触区 912。

其次, 在除去了抗蚀剂掩模 RM3 后, 在图 33 中示出的工序中, 用抗蚀剂掩模 RM4 覆盖了凹部 9D 内后, 通过从第 2 主面 MS2 一侧起照射电子线、质子或 He 离子等, 在靠近台形区域 8A 内的第 2 主面 MS2 的位置上形成结晶缺陷区域, 形成缩短了载流子的寿命的寿命控制区 915。

再有, 寿命控制区 915 的形成时间不限定于上述的时间, 但由于由寿命控制区 915 的退火导致的激活的程度可比 P 型接触区 912 和 N 型半导体区 913 的激活的程度小, 故希望在 P 型接触区 912 和 N 型半导体区 913 的退火后来形成。

在半导体器件 700 作为二极管工作的情况下, 寿命控制区 915 可抑制载流子放大率以提高恢复特性。

以后, 在除去了抗蚀剂掩模 RM1 和 RM4 后, 通过在第 1 主面 MS1 上形成第 1 主电极 908、在第 2 主面 MS2 上形成第 2 主电极 916a 和第 3 主电极 916b 来完成半导体器件 700。

再有, 由于第 2 主电极 916a 和第 3 主电极 916b 用包含金或银的多层金属膜来形成, 故为了防止金属污染, 希望在晶片工艺的最终工序中来形成。

再有, 在图 28 中示出的半导体器件 700 中, 示出了在凹部 9D 的底面 98 上配置第 2 主电极 916a 以便直接与 P 型接触区 912 接触、第 3 主电极 916b 连接到外部端子 CT 上的结构, 但实际上不在凹部 9D 的底面 98 上配置第 2 主电极 916a, 例如采取如图 34 中所示那样用导

体层 920 填埋凹部 9D 中、在导体层 920 的表面上形成第 2 主电极 916a 的结构。通过这样做，可容易地进行与外部端子 CT 的连接，同时由于用导体层 920 填埋了凹部 9D，故增加了半导体衬底 8 的机械强度，半导体器件的制造工序中的半导体衬底 8 的处理变得容易。

在此，导体层 920 用钨 (W) 或钛 (Ti) 等高熔点金属层来构成即可，在使用图 32 已说明的 P 型接触区 912 的形成后填埋凹部 9D。再有，希望在制造工序的早期阶段中进行凹部 9D 的填埋，在填埋了凹部 9D 后，通过形成 N 型半导体区 913 或寿命控制区 915，对增加了机械强度的半导体衬底 8 进行离子注入，半导体衬底 8 的运送等的处理变得容易。

此外，在图 28 中示出的半导体器件 700 中，示出了将第 2 主电极 916a 和第 3 主电极 916b 作为彼此独立的电极的结构，但也可如图 35 中示出的半导体器件 700A 那样作成用导体层 920 填埋了凹部 9D 的结构，作成配置了共同主电极 916 使其横跨 N 型半导体区 913 的表面和导体层 920 的表面上这两者的结构。再有，共同主电极 916 连接到外部端子 CT 上。

在这样的结构中，在对 N 型半导体区 913 和 P 型接触区 912 供给了同一正电位的情况下，由于将 P 型接触区 912 与 N 型半导体区 913(阴极区)的距离设定得离开较远，故半导体器件 700A 可作为 IGBT 来工作。

再有，在半导体器件 700A 作为 IGBT 工作的情况下，第 1 主电极 908 成为发射极，共同主电极 916 成为集电极，在第 1 主面 MS1 上形成的 N 型半导体区 906 成为发射区，P 型半导体区 902 成为包含沟道区的体区，P 型半导体区 907 成为体接触区。

此外，在外部端子 ET 为接地电位、共同主电极 916 为负电位、对外部端子 GT 供给了关断信号的情况下，作为二极管来工作。

此时，第 1 主电极 908 成为阳极电极，共同主电极 916 成为阴极电极，在第 1 主面 MS1 上形成的 P 型半导体区 902 成为阳极区，P 型半导体区 907 成为阳极接触区，在第 2 主面 MS2 一侧的台形区域 8A

的表面内设置的 N 型半导体区 913 成为阴极区。

此外,在半导体器件 700A 中,由于可在第 2 主面 MS2 上设置共同主电极 916,故与在第 2 主面 MS2 一侧设置多个主电极图形的情况相比,可简化制造工序。

L.变形例 1

在以上已说明的实施例 7 的半导体器件 700 和半导体器件 700A 中,示出了在第 2 主面 MS2 一侧的台形区域 8A 的表面内设置了 N 型半导体区 913 的结构,但也可如图 36 中示出的半导体器件 700B 那样,作成设置了 P 型半导体区 912a 来代替 N 型半导体区 913 的结构。

在采取这样的结构的情况下,由于没有必要进行 P 型接触区 912 与 P 型半导体区 912a 的电隔离,故没有必要在凹部 9D 的侧面上设置侧壁绝缘膜。

而且,在半导体器件 700B 中,作成用导体层 920 填埋了凹部 9D 的结构,配置了共同主电极 916,使其横跨 P 型半导体区 912a 的表面和导体层 920 的表面上这两者。再有,共同主电极 916 连接到外部端子 CT 上。

在这样的结构中,在对 P 型接触区 912 和 P 型半导体区 912a 供给了同一正电位的情况下,半导体器件 700B 可作为 IGBT 来工作。

即,在半导体器件 700B 作为 IGBT 工作的情况下,第 1 主电极 908 成为发射极,共同主电极 916 成为集电极,在第 1 主面 MS1 上形成的 N 型半导体区 906 成为发射区, P 型半导体区 902 成为包含沟道区的体区, P 型半导体区 907 成为体接触区。

再有,在半导体器件 700B 中,如前面已说明的那样,在凹部 9D 的侧面上不存在侧壁绝缘膜,通过用导体层 920 填埋凹部 9D,由于导体层 920 与规定凹部 9D 的侧面的 N 型的半导体衬底 8 接触,在 IGBT 工作时电子容易经导体层 920 流到外部端子 CT 中,故可实现高速工作。

M.变形例 2

在以上已说明的实施例 7 的半导体器件 700 和半导体器件 700A

中,示出了在第2主面MS2一侧的台形区域8A的表面内设置了N型半导体区913的结构,但也可如图37中示出的半导体器件700C那样,设置P型半导体区912a、进而在规定凹部9D的侧面的N型的半导体衬底8的表面内设置P型半导体区912b来代替P型接触区912,作成利用P型半导体区912b导电性地连接P型接触区912与P型半导体区912a的结构。

而且,在半导体器件700C中,作成用导体层920填埋了凹部9D的结构,配置了共同主电极916,使其横跨P型半导体区912a的表面和导体层920的表面上这两者。再有,共同主电极916连接到外部端子CT上。

在这样的结构中,在对P型接触区912和P型半导体区912a供给了同一正电位的情况下,半导体器件700C可作为IGBT来工作。

即,在半导体器件700C作为IGBT工作的情况下,第1主电极908成为发射极,共同主电极916成为集电极,在第1主面MS1上形成的N型半导体区906成为发射区,P型半导体区902成为包含沟道区的体区,P型半导体区907成为体接触区。

再有,在半导体器件700C中,如前面已说明的那样,在规定凹部9D的侧面的N型的半导体衬底8的表面内配置P型半导体区912b,由于用导体层920填埋了凹部9D,故在IGBT工作时空穴容易经P型半导体区912b从外部端子CT流到半导体器件700C内,故可实现高速工作。

此外,由于P型杂质区的面积因P型接触区912、P型半导体区912a和P型半导体区912b的存在增加了,故增加了IGBT工作时的电流,可降低导通电压。

再有,通过利用在与凹部9D的底面98对应的半导体衬底8的表面内形成P型接触区912时的倾斜旋转离子注入,可形成P型半导体区912b而不使制造工序变得复杂。此时,与P型接触区912的形成时相比,通过使衬底倾斜,可形成P型半导体区912b。

N.应用例

在作为实施例7已说明的半导体器件700中，示出了在第1主面MS1一侧形成了一般的沟槽型元件的结构，但可采用在第1主面MS1一侧对沟槽型元件进行了变形的结构，也可采用平面型元件。此外，也可不采用晶体管结构而是采用闸流管结构。

此外，在半导体器件700中，以半导体衬底8为N型的为前提，但当然也可以是P型的。

再者，在半导体器件700中，在凹部9D的底面上设置了P型接触区912，但也可利用凹部9D的底面的结晶性的粗糙度等，在即使不导入P型杂质凹部9D的底面也实质上起到P型区的功能的情况下，可省略P型接触区。

再有，关于底面的粗糙度，其粗糙度越粗，就越成为接近于P型的特性，即使在导入P型杂质的情况下，由于凹部底面越粗，在锐角部的载流子发射能量就越小，故可容易引起空穴的注入，可降低导通电压。

这样，因加粗形成P型接触区的区域的表面粗糙度导致的导通电压的降低效果即使对于在半导体衬底8的第2主面MS2上没有凹部、P型接触区的深度为 $2.0\mu\text{m}$ 以下的所谓的NPT（非穿通）型IGBT也可应用。

此外，在半导体器件700中，示出了将第2主电极916a和第3主电极916b分别连接到外部端子CT和外部端子KT上的结构，但也可作成经侧壁绝缘膜914上连接了第2主电极916a与第3主电极916b的结构。

此外，在半导体器件700中，为了抑制作为二极管的恢复时间，设置了寿命控制区915，但也有根据半导体器件700的规格可省略的情况。

相反，根据P型接触区912的杂质浓度，也有希望在与P型接触区912相比靠近第1主面MS1的位置上也设置寿命控制区915的情况，此外，也有在半导体衬底8的大致整个区域中设置寿命控制区的情况。

已详细地说明了本发明，但上述的说明在全部的方面中是例示，

并不是将本发明限定于上述的说明。在不偏离本发明的范围的情况下，可设想未例示的无数的变形例。

图1

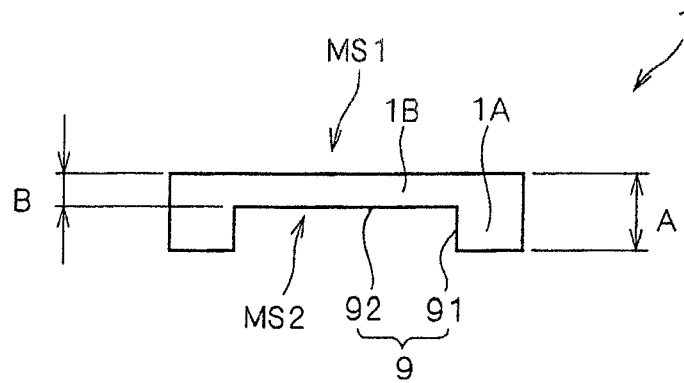


图2

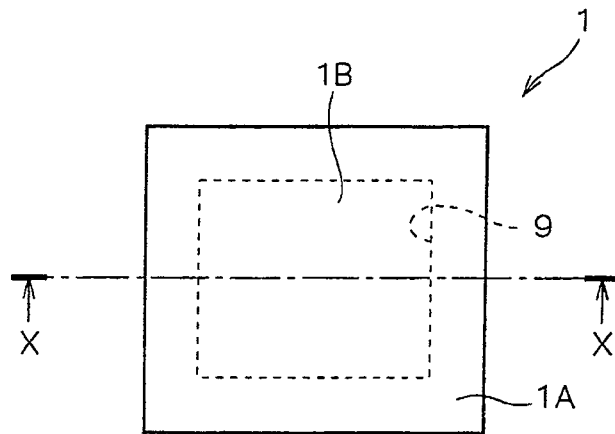


图3

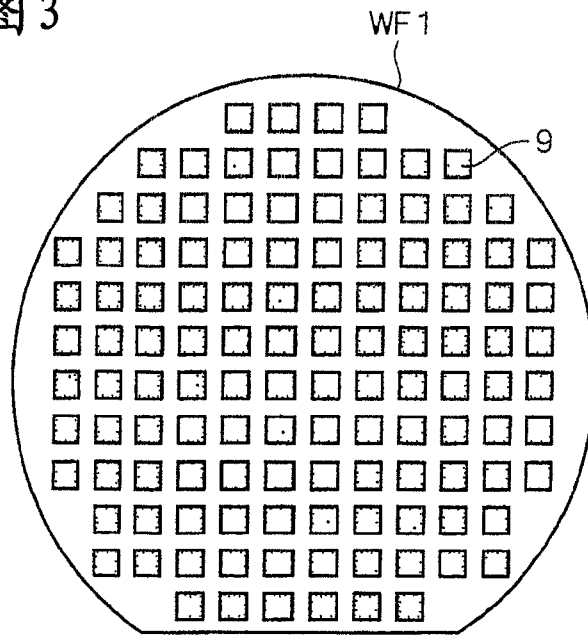


图4

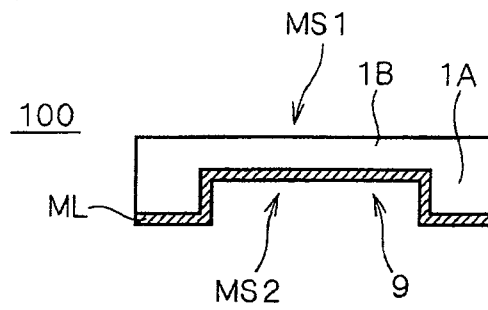


图5

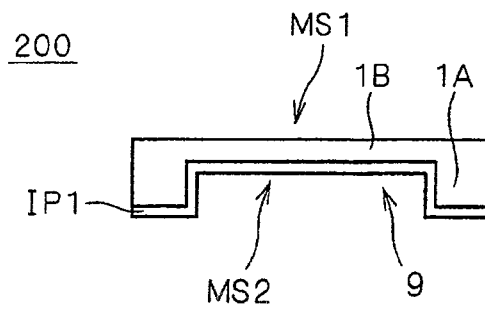


图6

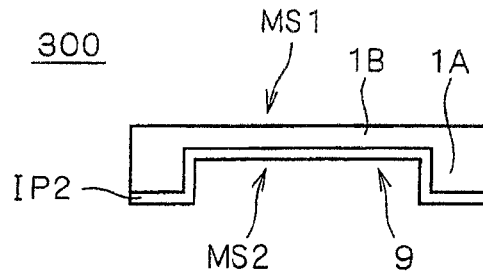


图7

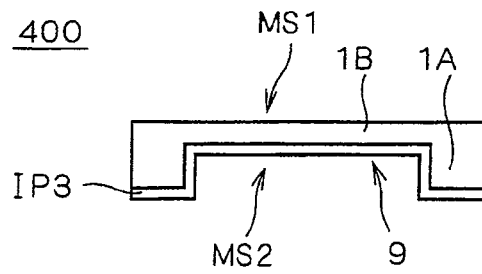


图8

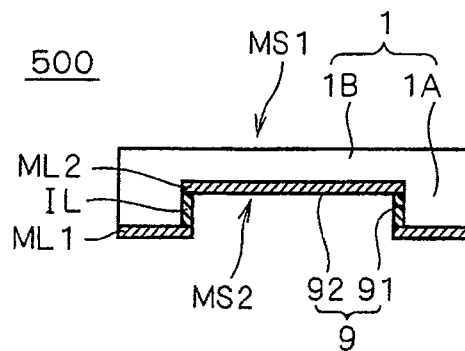


图9

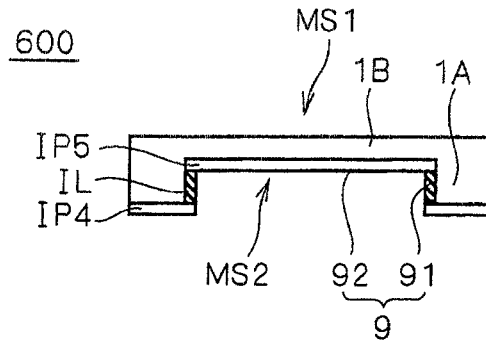


图10

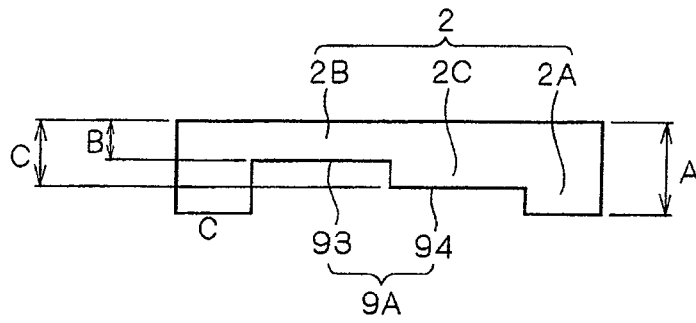


图11

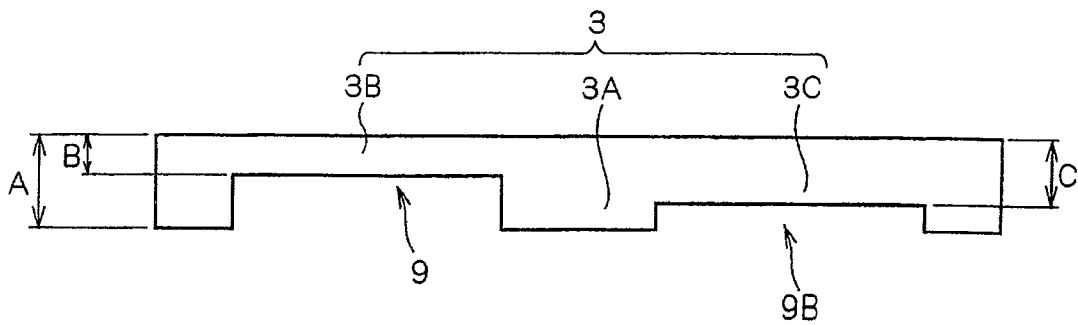


图12

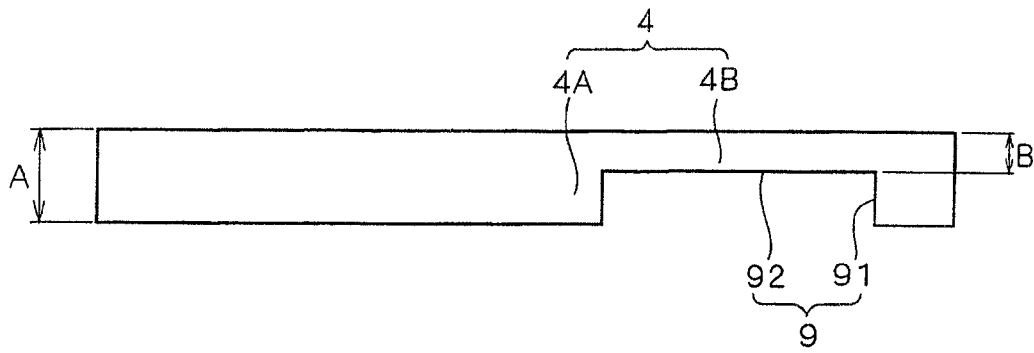


图13

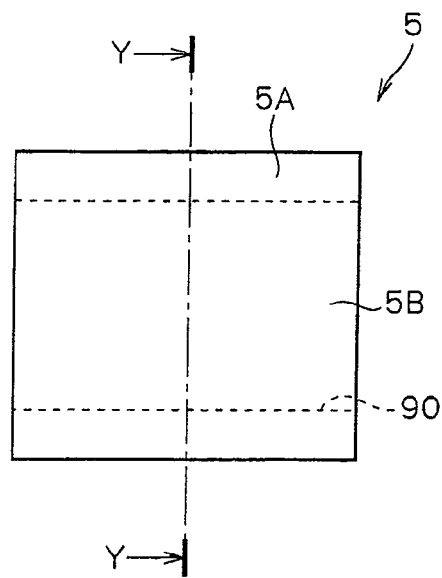


图14

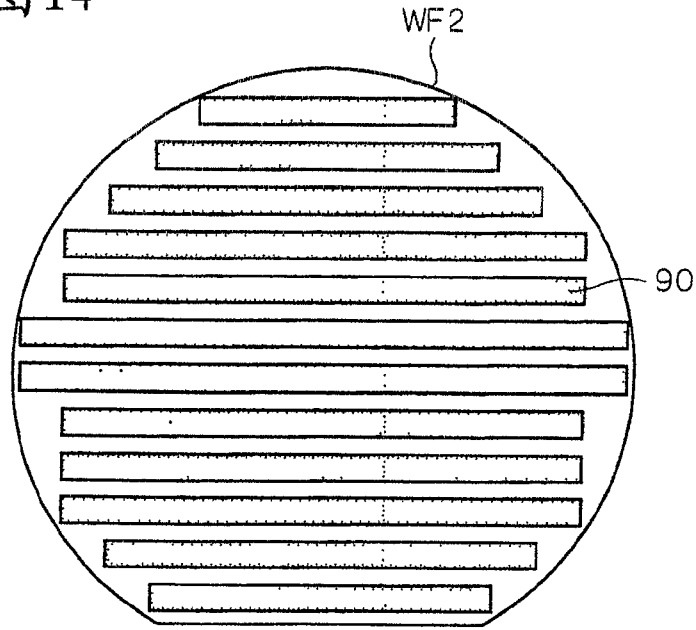


图15

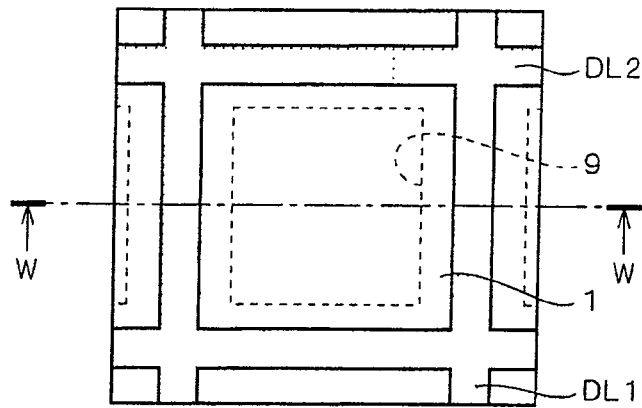


图16

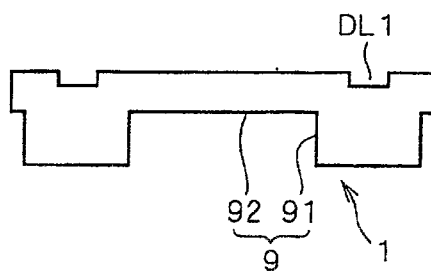


图17

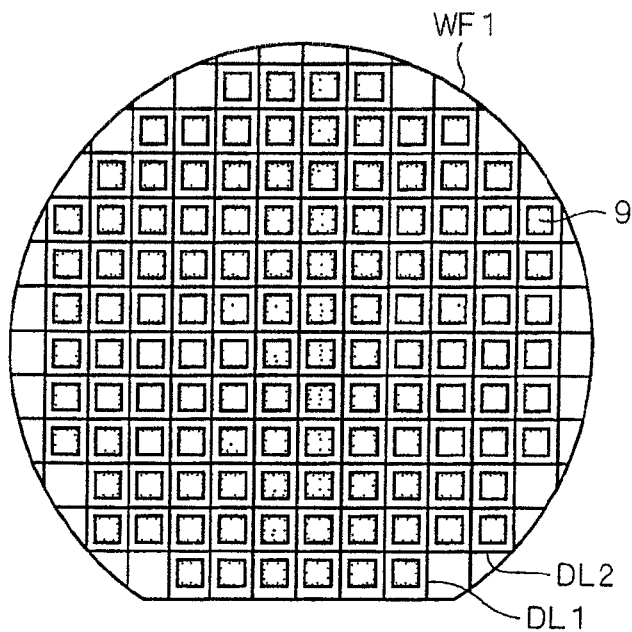


图18

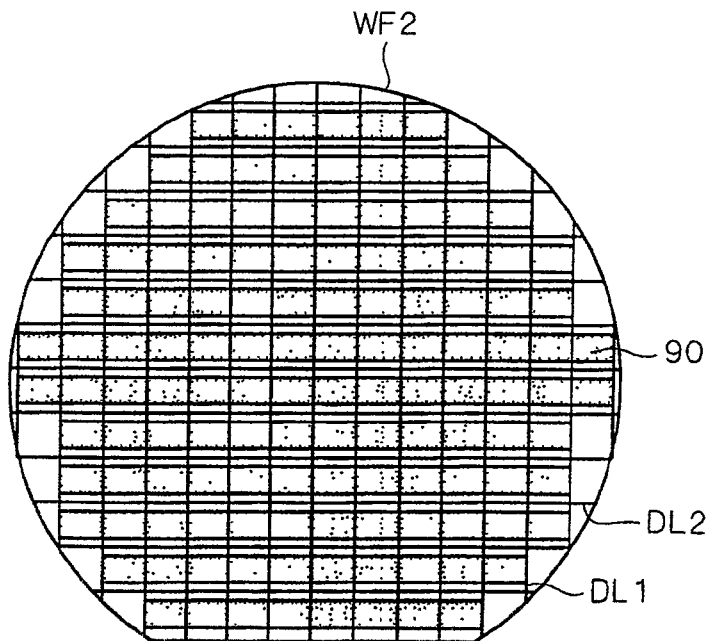


图19

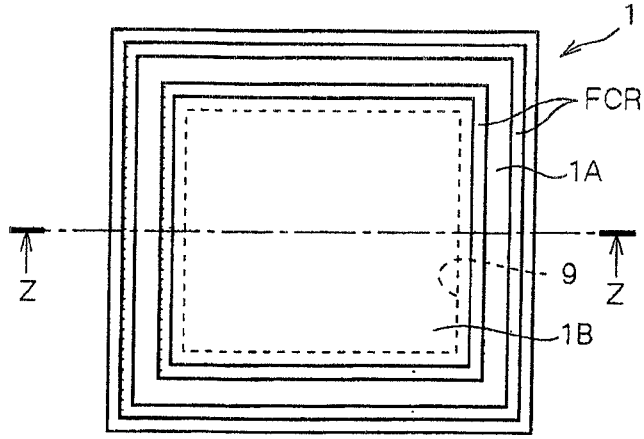


图20

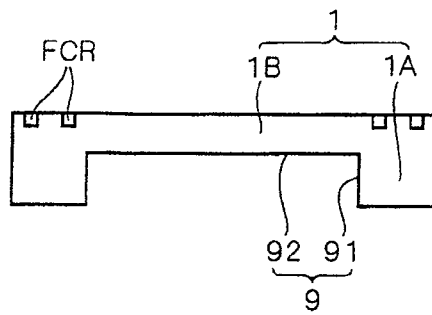


图21

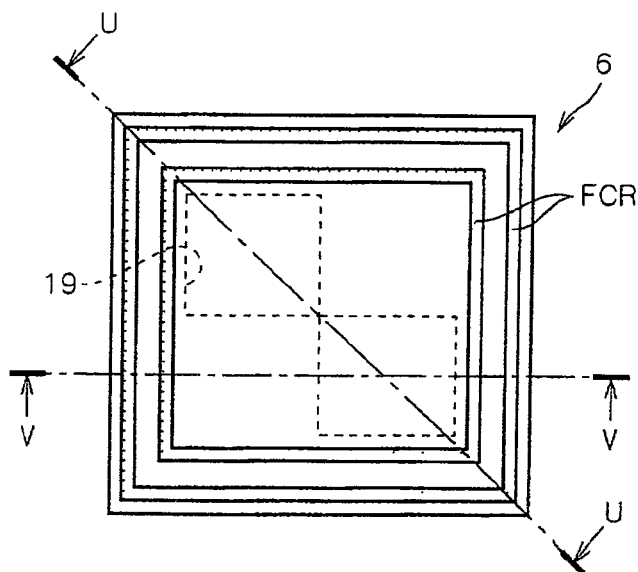


图 22

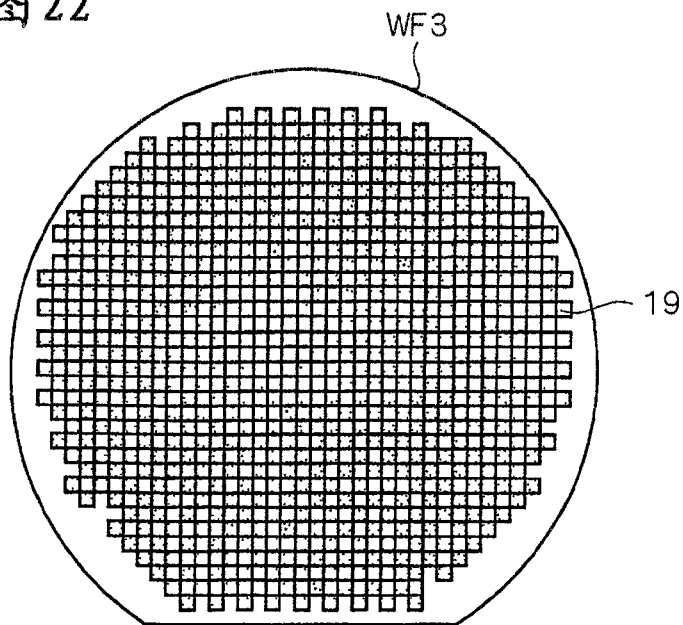


图 23

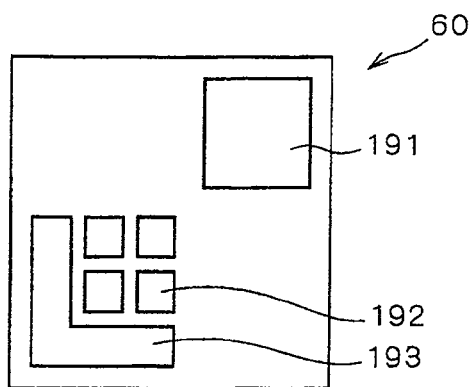


图 24

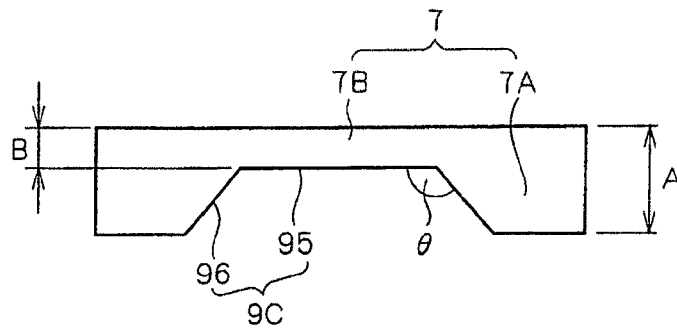


图 25

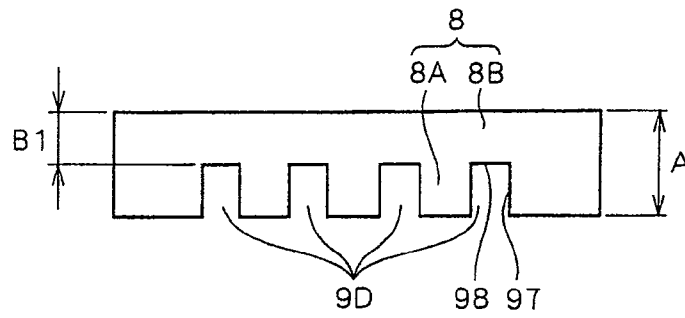


图26

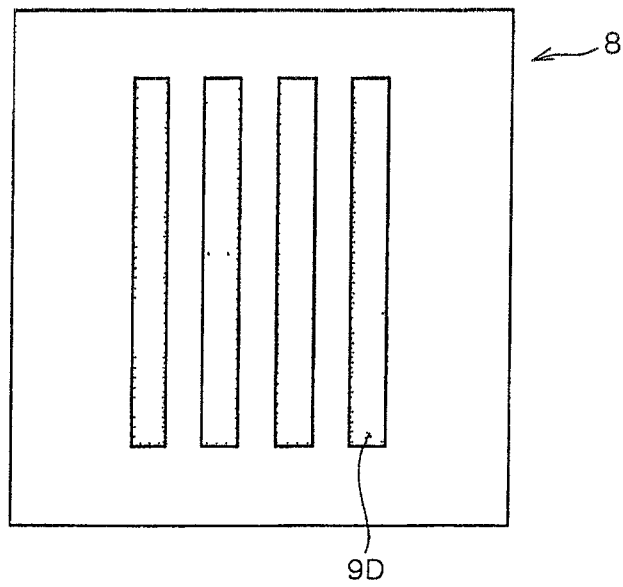


图27

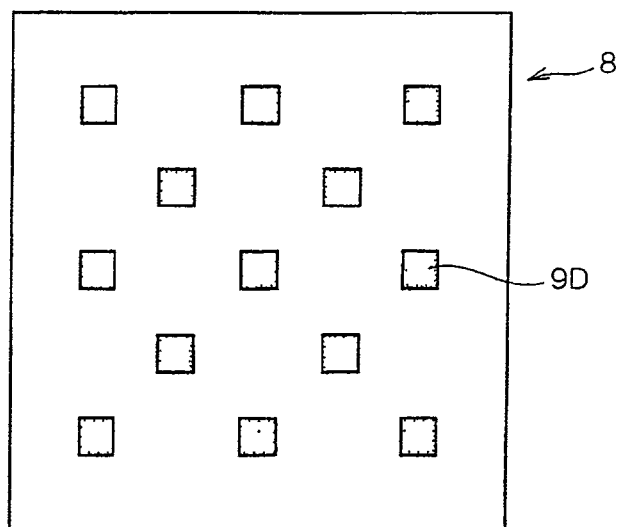


图 28

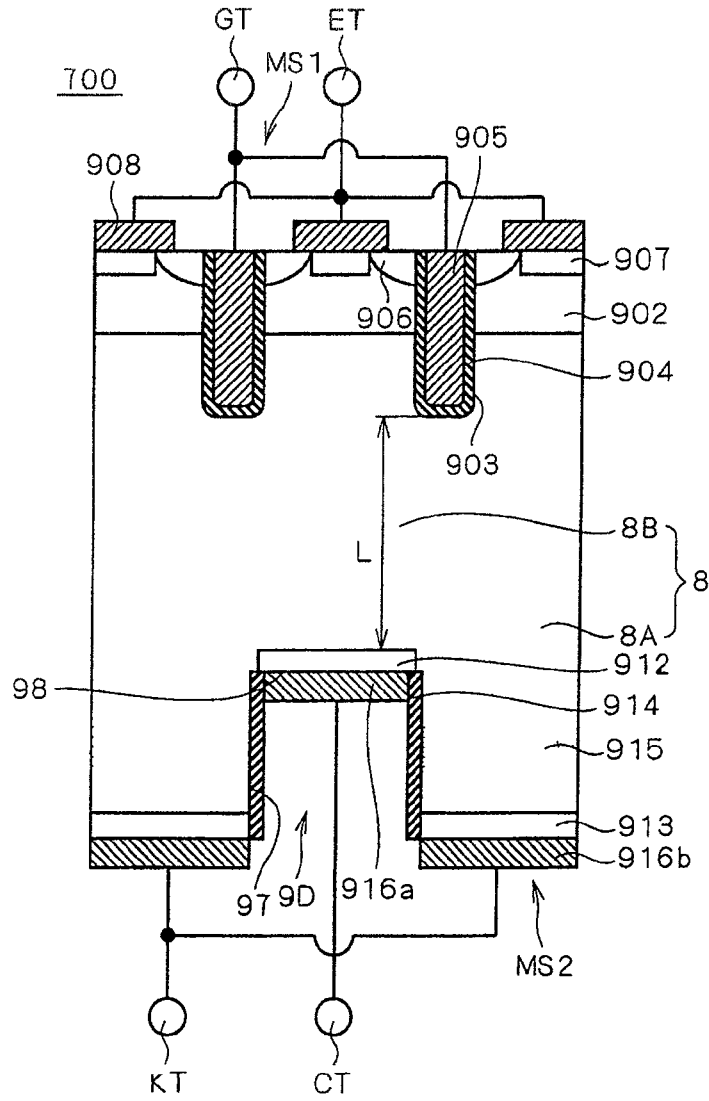


图 29

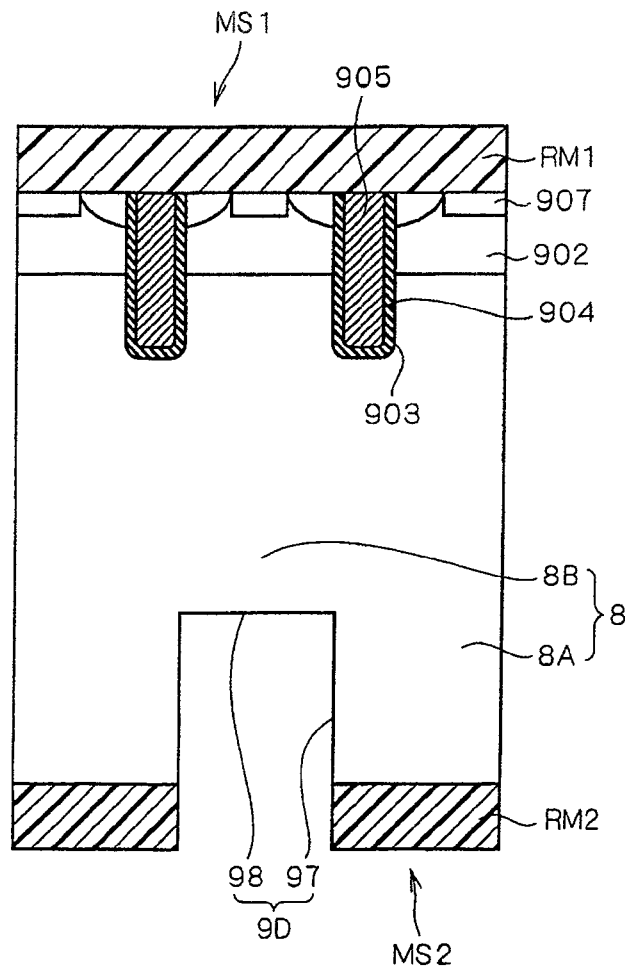


图 30

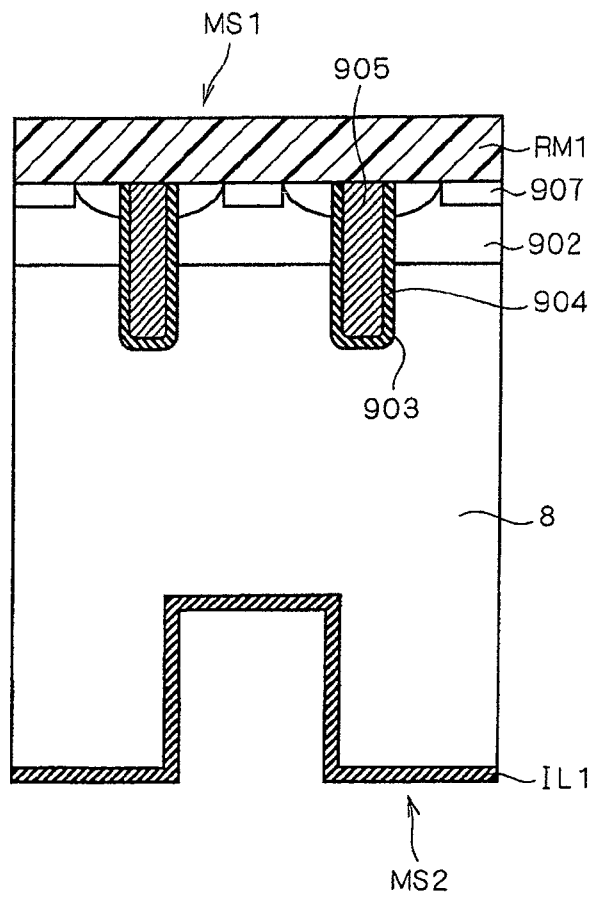


图 31

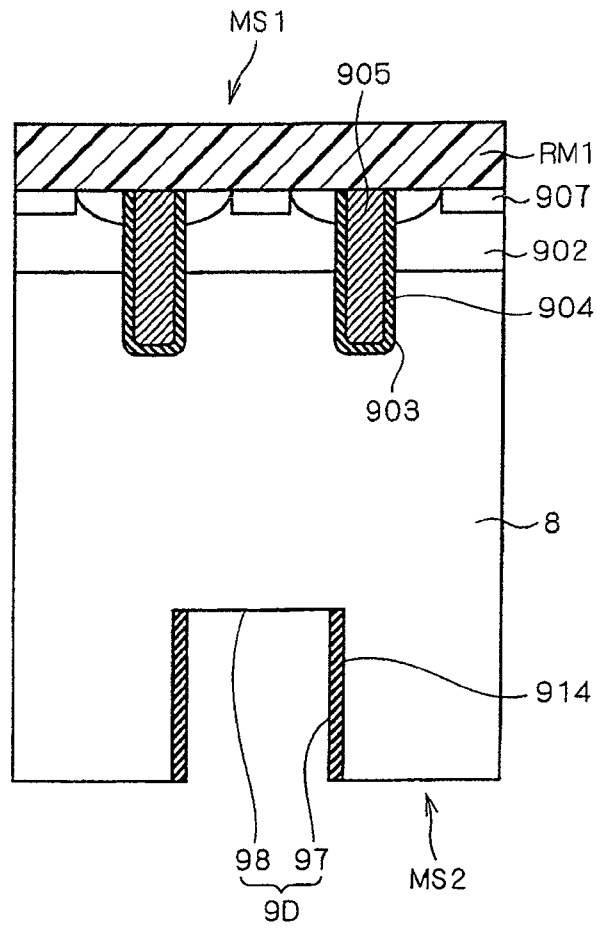


图 32

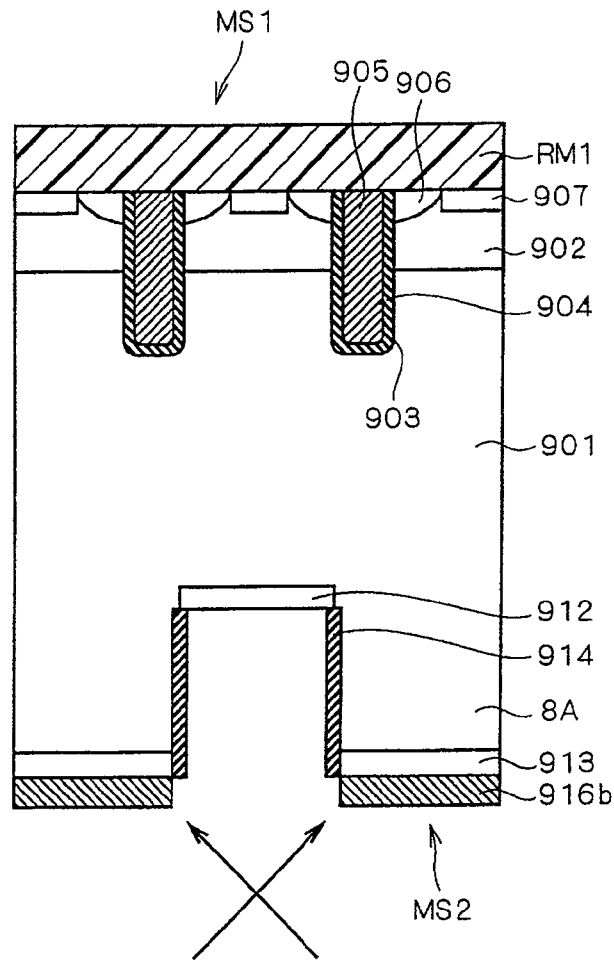


图 33

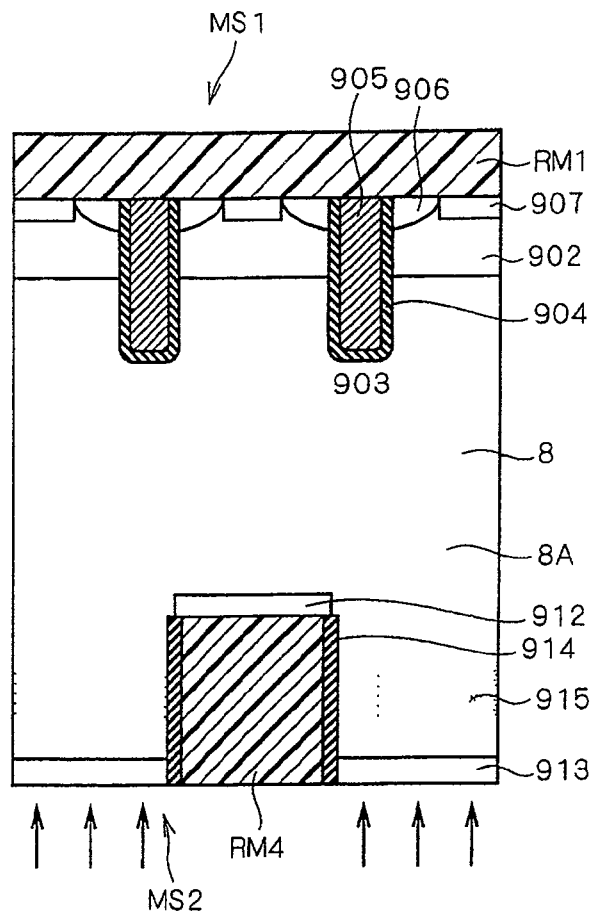


图 34

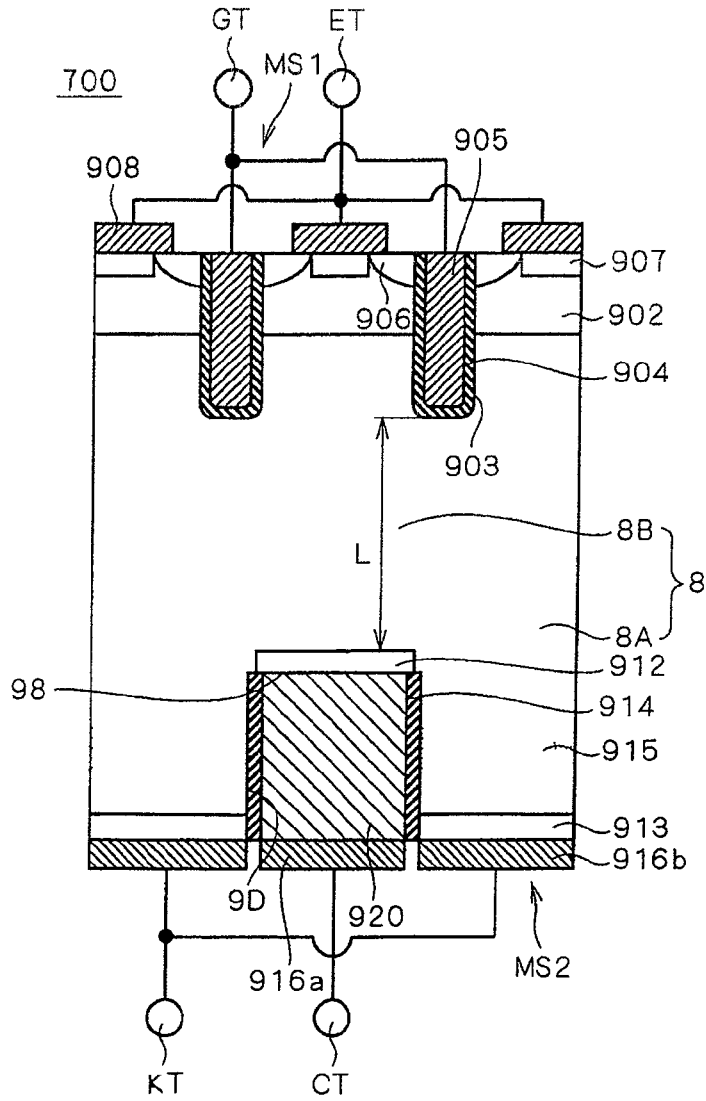


图 35

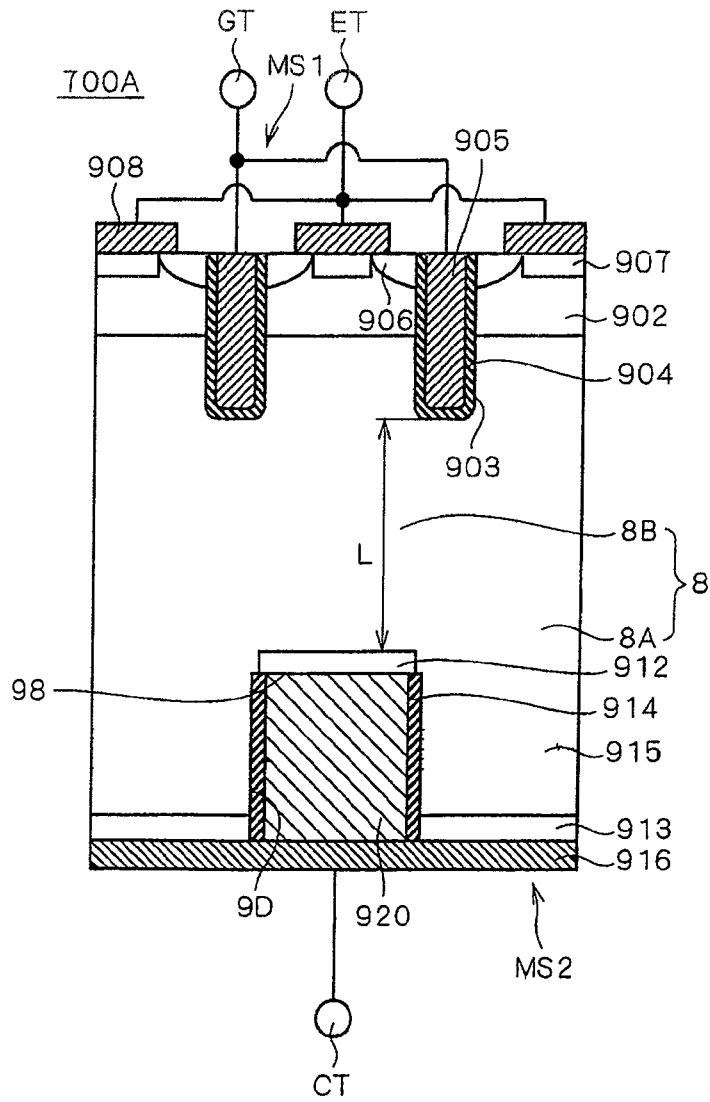


图 36

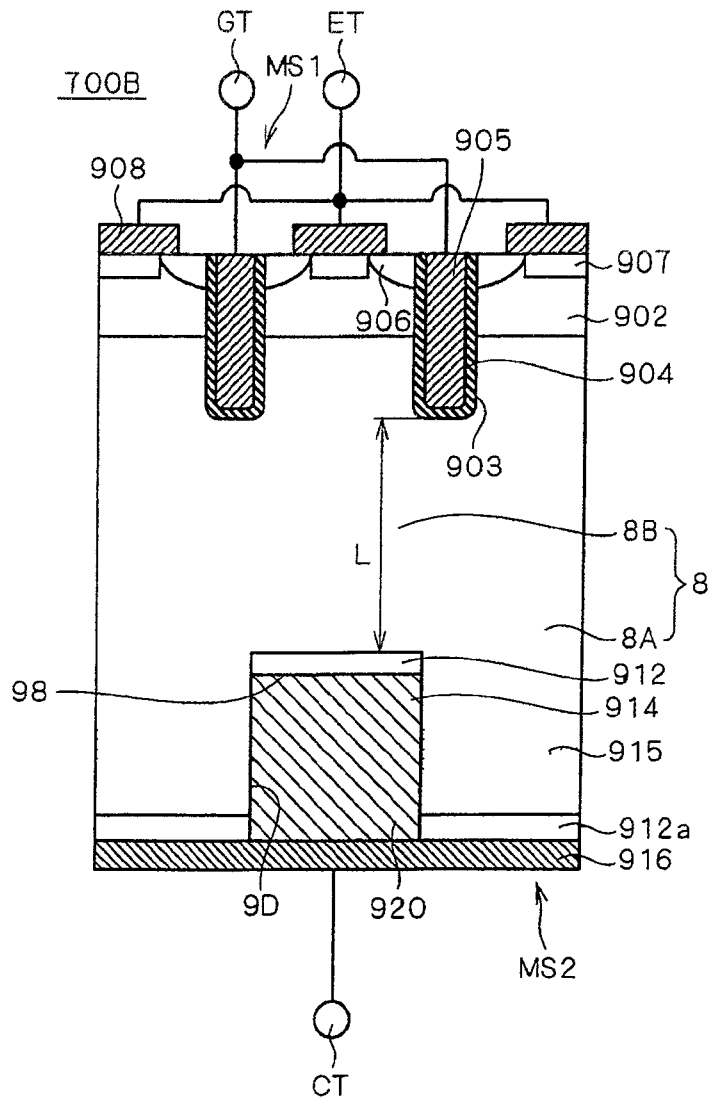


图 37

