



(12)发明专利

(10)授权公告号 CN 107004634 B

(45)授权公告日 2020.10.30

(21)申请号 201480083608.3

(22)申请日 2014.12.24

(65)同一申请的已公布的文献号

申请公布号 CN 107004634 A

(43)申请公布日 2017.08.01

(85)PCT国际申请进入国家阶段日

2017.05.24

(86)PCT国际申请的申请数据

PCT/US2014/072393 2014.12.24

(87)PCT国际申请的公布数据

W02016/105423 EN 2016.06.30

(73)专利权人 英特尔公司

地址 美国加利福尼亚

(72)发明人 R·L·布里斯托尔 M·昌德霍克

J·S·沙瓦拉 F·格瑟特莱恩

E·韩 R·胡拉尼 R·E·申克尔

T·R·扬金 K·林

(74)专利代理机构 永新专利商标代理有限公司
72002

代理人 林金朝 王英

(51)Int.Cl.

H01L 21/768(2006.01)

H01L 21/3205(2006.01)

(56)对比文件

US 2004/0113279 A1,2004.06.17

CN 1518093 A,2004.08.04

US 2009/0053890 A1,2009.02.26

审查员 张虹

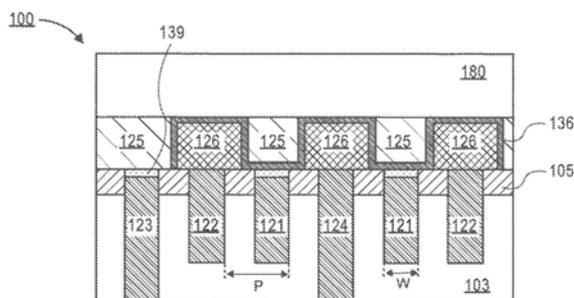
权利要求书3页 说明书15页 附图17页

(54)发明名称

互连结构及其形成方法

(57)摘要

本发明的实施例包括一种互连结构和用于形成这种结构的方法。在实施例中,所述互连结构可以包括层间电介质(ILD),其中第一硬掩模层在所述ILD的顶表面之上。某些实施例包括所述ILD中的一条或多条第一互连线、以及置于所述第一互连线的每者上方的第一电介质盖。例如,所述第一电介质盖的表面可以接触第一硬掩模层的顶表面。实施例还可以包括在所述ILD中的以与所述第一互连线交替的图案布置的一条或多条第二互连线。在实施例中,在所述第二互连线的每者的顶表面之上形成第二电介质盖。例如,所述第二电介质盖的表面接触第一硬掩模层的顶表面。



1. 一种互连结构,包括:
层间电介质ILD,其中第一硬掩模层在所述ILD的顶表面之上;
所述ILD中的一条或多条第一互连线;
置于所述第一互连线的每者上方的第一电介质盖,其中,所述第一电介质盖的表面接触所述第一硬掩模层的顶表面;
所述ILD中的一条或多条第二互连线,所述一条或多条第二互连线布置成与所述第一互连线交替的图案;以及
位于所述第二互连线的每者的顶表面之上的第二电介质盖,其中,所述第二电介质盖的表面接触所述第一硬掩模层的顶表面。
2. 根据权利要求1所述的互连结构,还包括置于所述第一互连线的每者的顶表面之上的选择性盖。
3. 根据权利要求2所述的互连结构,其中,所述选择性盖与所述第二互连线具有不同的表面化学物质。
4. 根据权利要求3所述的互连结构,其中,所述选择性盖是钨或者氧化钨。
5. 根据权利要求2所述的互连结构,其中,所述选择性盖的厚度小于所述第一硬掩模层的厚度。
6. 根据权利要求5所述的互连结构,其中,所述选择性盖的厚度小于5nm。
7. 根据权利要求2所述的互连结构,其中,所述第一电介质盖和所述第二电介质盖的侧壁大体上竖直。
8. 根据权利要求1所述的互连结构,其中,所述第一电介质盖和所述第二电介质盖的侧壁非大体上竖直。
9. 根据权利要求8所述的互连结构,其中,所述第二电介质盖的侧壁与所述第一电介质盖的侧壁是互补的。
10. 根据权利要求1所述的互连结构,其中,所述第二电介质盖的侧壁的第一部分大体上竖直,并且所述第二电介质盖的侧壁的第二部分非大体上竖直。
11. 根据权利要求1所述的互连结构,还包括蚀刻停止衬垫,所述蚀刻停止衬垫至少置于所述第二电介质盖的每者的侧壁和顶表面之上。
12. 根据权利要求1所述的互连结构,其中,所述第一互连线与所述第二互连线的间隔小于30nm。
13. 根据权利要求1所述的互连结构,其中,所述第一互连线和所述第二互连线是不同的材料。
14. 一种形成互连结构的方法,包括:
形成穿过第一硬掩模层并进入形成于所述第一硬掩模层下方的层间电介质ILD的一个或多个第一沟槽;
将第一金属设置到所述一个或多个第一沟槽中,以形成第一互连线;
在所述第一互连线的每者之上形成选择性盖;
与所述第一沟槽交替的图案将一个或多个第二沟槽形成到所述ILD中;
将第二金属设置到所述一个或多个第二沟槽中以形成第二互连线;
在所述选择性盖和所述第二互连线的顶表面之上设置定向自组装DSA层,其中,所述

DSA层分离成处于所述选择性盖之上的第一聚合物区和处于所述第二互连线之上的第二聚合物区；

去除所述第二聚合物区，以暴露所述第二互连线；

在所述第二互连线之上形成第二电介质盖；

去除所述第一聚合物区，以暴露所述选择性盖；以及

在所述选择性盖之上形成第一电介质盖。

15. 根据权利要求14所述的方法，其中，所述DSA层是二嵌段共聚物。

16. 根据权利要求15所述的方法，其中，所述二嵌段共聚物是聚苯乙烯-b-聚甲基丙烯酸甲酯(PS-b-PMMA)，并且其中，所述第一聚合物区是PS并且所述第二聚合物区是PMMA。

17. 根据权利要求15所述的方法，其中，在将所述DSA层设置在所述选择性盖和所述第二互连线的顶表面之上以前将聚苯乙烯(PS)刷移植到所述选择性盖上。

18. 根据权利要求14所述的方法，其中，形成所述第一沟槽包括：

在所述第一硬掩模层上方形成骨干层；

在所述骨干层上形成间隔体，其中，所述第一硬掩模层的部分保持被暴露在所述间隔体之间；以及

蚀刻穿过所述第一硬掩模层的暴露部分并进入所述第一硬掩模层的所述暴露部分下面的所述ILD中。

19. 根据权利要求18所述的方法，其中，形成所述第二沟槽包括：

蚀刻穿过所述骨干层；以及

蚀刻穿过所述第一硬掩模层的部分并进入所述ILD中。

20. 根据权利要求19所述的方法，还包括：

在将所述第一金属设置到所述第一沟槽中之前，蚀刻穿过所述ILD的形成在一个或多个所述第一沟槽下面的部分；以及

在将所述第二金属设置到所述第二沟槽中之前，蚀刻穿过所述ILD的位于一个或多个所述第二沟槽下面的部分。

21. 一种形成互连结构的方法，包括：

形成穿过第一硬掩模层并进入形成于所述第一硬掩模层下方的层间电介质ILD的一个或多个第一沟槽；

将第一金属设置到所述一个或多个第一沟槽中以形成第一互连线；

将与所述第一沟槽交替的图案将一个或多个第二沟槽形成到所述ILD中；

将牺牲硬掩模材料设置到所述一个或多个第二沟槽中；

在所述第一互连线之上形成第一电介质盖，其中，所述第一电介质盖的侧壁非大体上竖直；

从所述一个或多个第二沟槽去除所述牺牲硬掩模材料；

将第二金属设置到所述一个或多个第二沟槽中以形成第二互连线；

使所述第二互连线凹陷，以使所述一条或多条第二互连线的每者的顶表面处于所述第一硬掩模层的顶表面下方；以及

在所述第二互连线之上形成第二电介质盖，其中，所述一个或多个第二电介质盖的每者的侧壁的至少一部分非大体上竖直。

22. 根据权利要求21所述的方法,其中,所述第二电介质盖的侧壁与所述第一电介质盖的侧壁是互补的。

23. 根据权利要求21所述的方法,其中,所述第二电介质盖的侧壁的第一部分大体上竖直,并且所述第二电介质盖的侧壁的第二部分非大体上竖直。

24. 一种互连结构,包括:

层间电介质ILD,其中第一硬掩模层在所述ILD的顶表面之上;

所述ILD中的一条或多条第一互连线;

置于所述第一互连线的每者的顶表面之上的选择性盖,其中,所述选择性盖的厚度小于第一硬掩模层的厚度;

置于所述选择性盖的每者上方的第一电介质盖,其中,所述第一电介质盖的表面接触所述第一硬掩模层的顶表面;

所述ILD中的一条或多条第二互连线,所述一条或多条第二互连线与所述第一互连线成交替图案;

位于所述第二互连线的每者的顶表面之上的第二电介质盖,其中,所述第二电介质盖的表面接触所述第一硬掩模层的顶表面;以及

蚀刻停止衬垫,其至少置于所述第二电介质盖的每者的侧壁以及顶表面之上。

25. 根据权利要求24所述的互连结构,其中,所述第一电介质盖和所述第二电介质盖是 $\text{SiO}_x\text{C}_y\text{N}_z$ 材料、金属氧化物材料或者金属氮化物材料,并且其中,所述蚀刻停止衬垫是氧化铝或氧化钪材料。

互连结构及其形成方法

技术领域

[0001] 本发明的实施例总体上涉及半导体器件的制造。具体而言，本发明的实施例涉及半导体器件的互连结构以及制造这样的器件的方法。

背景技术

[0002] 现代化集成电路使用导电互连层连接芯片上的个体器件和/或发送和/或接收器件外部的信号。互连层的常见类型包括耦合到个体器件的铜和铜合金互连线，包括通过互连通孔的其他互连线。罕有的是具有多级互连的集成电路。例如，两个或更多互连层可以由电介质材料彼此分开。将互连级分开的电介质层通常称为层间电介质 (ILD)。

[0003] 由于这些互连层利用具有较小间距的互连线来制造以便适应对较小芯片的需求，所以越来越难以将通孔与期望的互连层适当地对准。具体而言，在制造期间，由于固有的制造偏差，通孔边缘相对于其要接触的互连层或线的位置可能未对准。然而，通孔必须要允许将一个互连层的一条互连线连接到期望的下方层或线，而不会错误地连接到不同互连层或线。如果通孔未对准并接触错误的金属特征，芯片可能短路，导致电气性能降低。解决这个问题的一种方案是减小通孔尺寸，例如，通过将通孔制造得更窄。然而，减小通孔尺寸导致电阻增大，并降低了制造期间的收益。

附图说明

[0004] 图1A是根据实施例的包括形成于第一硬掩模层之上的第一电介质盖和第二电介质盖的互连结构的截面图。

[0005] 图1B是根据额外实施例的包括形成于第一硬掩模层之上的第一电介质盖和第二电介质盖的互连结构的截面图。

[0006] 图1C是根据实施例的包括形成于第一硬掩模层之上的第一电介质盖和第二电介质盖以及形成于第一电介质盖和第二电介质盖之间的蚀刻停止衬垫的互连结构的截面图。

[0007] 图2A-2P是根据实施例的示出形成具有第一和第二电介质盖的互连结构的方法的截面图。

[0008] 图3是根据实施例的示出在包括第一和第二电介质盖的互连结构中形成的接触开口的截面图。

[0009] 图4A-4H是根据实施例的示出形成具有第一和第二电介质盖的互连结构的方法的截面图。

[0010] 图5A-5K是根据实施例的示出形成具有第一和第二电介质盖的互连结构的方法的截面图。

[0011] 图6是实施本发明的一个或多个实施例的内插件的截面图。

[0012] 图7是根据本发明的实施例构建的计算装置的示意图。

具体实施方式

[0013] 文中描述了包括互连结构的系统,所述互连结构允许通往紧密间距互连线的接触部形成,并且还描述了形成这样的器件的方法。在以下描述中,将使用本领域技术人员通常采用的术语描述例示性实施方式的各个方面,以向本领域其他技术人员传达他们工作的实质。然而,对于本领域的技术人员显而易见的是,可以仅利用所述方面的一些实践本发明。出于解释的目的,阐述了具体的数字、材料和配置以便提供对例示性实施方式的透彻理解。然而,对于本领域的技术人员显而易见的是,可以无需具体细节来实践本发明。在其他情况下,为了不使例示性实施方式难以理解,省略或简化了公知特征。

[0014] 将以最有助于理解本发明的方式将各种操作依次描述为多个分立操作,然而,不应将描述的次序解释为暗示这些操作必须依赖该次序。具体而言,这些操作不必按照描述的次序执行。

[0015] 可以在诸如半导体衬底的衬底上形成或执行本发明的实施方式。在一种实施方式中,半导体衬底可以是使用体硅或绝缘体上硅子结构形成的晶体衬底。在其他实施方式中,可以使用替代的材料(可以或可以不与硅组合)形成半导体衬底,替代材料包括但不限于锗、锑化铟、碲化铅、砷化铟、磷化铟、砷化镓、砷化铟镓、锑化镓、或III-V族或IV族材料的其他组合。尽管本文描述了可以形成衬底的材料的一个示例,但可以充当在其上构建半导体器件的基础的任何材料都落在本发明的范围之内。

[0016] 图1A是根据本发明的实施例的互连结构100的截面图。互连结构100可以结合利用一个或多个互连层的任何半导体器件(例如IC电路等)使用。互连结构100形成于层间电介质(ILD)103中。本发明的实施例利用本领域通常公知用作ILD的低k电介质材料,例如二氧化硅。根据本发明的实施例,适于形成ILD 103的低k电介质材料还可以包括但不限于诸如掺碳二氧化硅、多孔二氧化硅或氮化硅的材料。本发明的额外实施例可以包括由具有小于5的k值的电介质材料形成的ILD 103。实施例还可以包括k值小于2的ILD。根据额外的实施例,ILD 103可以包括空气隙并具有k值1。根据本发明的实施例,ILD 103可以小于100nm厚。根据额外的实施例,ILD 103可以小于40nm厚。本发明的额外实施例还可以包括厚度介于40nm和80nm之间的ILD 103。额外的实施例包括大约60nm厚的ILD 103。

[0017] 在实施例中,第一硬掩模层105形成于ILD 103的顶表面之上。例如,第一硬掩模层105可以是电介质材料,例如氮化物或氧化物。根据实施例,第一硬掩模层105抵抗可以用于蚀刻穿透第二互连层180的蚀刻工艺,第二互连层例如是用于形成互连的额外ILD层,其可以形成于第一硬掩模层105上方。本发明的实施例包括3nm和10nm厚之间的第一硬掩模层105。

[0018] 根据实施例,互连结构100包括以交替图案形成到ILD 103中的第一和第二互连线121、122,如图1A所示。第一和第二互连线121、122由导电材料形成。例如,但并非限制,用于形成互连线的导电材料可以包括Ag、Au、Co、Cu、Mo、Ni、NiSi、Pt、Ru、TiN或W。在实施例中,使用相同的导电材料形成第一和第二互连线121、122。根据替代的实施例,第一和第二互连线121、122由不同导电材料形成。

[0019] 互连线121、122彼此间隔开间距P。本发明的实施例包括间距P小于60nm的高密度互连线。本发明的其他实施例包括小于30nm的间距P。本发明的实施例包括小于30nm的互连线宽度W。本发明的额外实施例可以包括小于15nm的互连线宽度W。在实施例中,第一和第二

互连线121、122具有与第一硬掩模层105的顶表面大体上共平面的顶表面。

[0020] 根据实施例,第一互连线121还可以包括选择性盖139。选择性盖139可以是用于将第一互连线121的表面与第二互连线122的表面区分开的导电材料。所暴露的表面的差异用于确保在定向自组装(DSA)工艺期间聚合物的适当分离,定向自组装(DSA)工艺用于形成在其中形成第一电介质盖125和第二电介质盖126的图案。下文将关于图2A-2P更加详细地描述DSA工艺。在实施例中,形成于第一互连线121之上的选择性盖139作为用于形成互连结构100的处理操作的残留物而保留在最终结构中。通过示例而非限制的方式,选择性盖139可以是金属(例如,钨(W))、氧化物(例如,氧化铪(HfO_x)或其合金(例如,钨和钴合金)。在某些实施例中,选择性盖具有与用于第一和/或第二互连线121、122的金属不同的电阻率。例如,在将钨用于选择性盖139时,其电阻率高于很多常用的互连材料(例如,铜)的电阻率。相应地,使选择性盖的厚度最小化可以是有利的。在实施例中,选择性盖139的厚度可以低于第一硬掩模层105的厚度。在具体实施例中,选择性盖139的厚度可以低于10nm。额外实施例可以包括具有低于5nm的厚度的选择性盖139。

[0021] 根据实施例,第一电介质盖125可以形成于第一互连线121上方,并且第二电介质盖126可以形成于第二互连线122上方。如图所示,第一和第二电介质盖125、126形成于第一硬掩模层105上方。相应地,不需要第一和第二互连线的深金属凹陷来形成电介质盖。替代使用在其中形成第一和第二互连线121、122以使电介质盖对准的沟槽,本发明的实施例依赖于DSA工艺在可以在其中形成第一和第二电介质盖125、126的第一硬掩模层105上方形成图案。由于电介质盖定位在其中形成第一和第二互连线的沟槽上方,因而本发明的实施例可以包括横向延伸到互连的边缘以外的第一和第二电介质盖125、126。因而,实施例可以包括与第一硬掩模层105的顶表面直接接触的第一和第二电介质盖125、126。

[0022] 本发明的实施例包括由电介质材料制成的第一和第二电介质盖125、126,所述电介质材料可以例如是 SiO_xCyN_z 、 SiO_xCy 、诸如但不限于 TiO 、 ZrO 、 TiAlZrO 、 AlO 的非导电金属氧化物和氮化物、或者有机材料。根据实施例,第一电介质盖125和第二电介质盖126由不同材料制成。例如,第一电介质盖125由在蚀刻工艺期间相对于第二电介质盖126具有高选择性的材料构成。如文中所使用的,在将第一材料陈述为相对于第二材料具有高选择性时,在给定蚀刻工艺期间,第一材料以比第二材料快的速率蚀刻。例如,对于给定蚀刻工艺,第一电介质盖125可以相对于第二电介质盖具有大约10:1或更大的蚀刻选择性(即,对于给定蚀刻工艺,第一电介质盖以比蚀刻第二电介质盖的速率大大约十倍的速率被蚀刻)。根据另一实施例,第二电介质盖126由相对于第一电介质盖125具有高选择性的材料制成。例如,对于给定蚀刻工艺,第二电介质盖126可以相对于第一电介质盖125具有大约10:1或更大的蚀刻选择性。本发明的额外实施例包括由在蚀刻工艺期间相对于第一硬掩模层105具有高选择性的材料形成第一和第二电介质盖125、126。例如,对于给定蚀刻工艺,第一和第二电介质盖可以都相对于第一硬掩模层105具有大约10:1或更大的蚀刻选择性。

[0023] 本发明的实施例还可以包括相对于蚀刻停止衬垫136被选择性蚀刻的第一和第二电介质盖125、126。根据实施例,蚀刻停止衬垫136可以是沉积于第一和第二电介质盖125、126的一者或多者的表面之上以及第一硬掩模层105之上的共形层。例如,蚀刻停止衬垫136可以具有大约5nm或更低的厚度。额外的实施例包括厚度处于大约2.0nm和3.0nm之间的蚀刻停止衬垫136。蚀刻停止衬垫136可以是电介质材料。例如,蚀刻停止衬垫可以是氧化铝或

氧化铅。例如，蚀刻停止衬垫可以相对于第一和第二电介质盖具有大约10:1或更大的蚀刻选择性。本发明的额外实施例可以包括相对于第一和第二电介质盖具有大约20:1或更大的蚀刻选择性的蚀刻停止衬垫。例如，第一和第二电介质盖可以是容易利用干法蚀刻工艺去除的材料，而蚀刻停止衬垫136是抵抗干法蚀刻工艺，但可以利用湿法蚀刻工艺选择性去除的材料。

[0024] 利用相对于第一和第二电介质盖125、126具有高蚀刻选择性的蚀刻停止衬垫136的实施例提供了额外的益处。例如，在蚀刻停止衬垫136形成于第一电介质盖125或第二电介质盖126的顶表面132之上的实施例中，第一和第二电介质盖125、126之间的蚀刻选择性不需要很高。可以减小第一和第二电介质盖125、126之间的蚀刻选择性，因为蚀刻停止衬垫136保护一组电介质盖不受蚀刻工艺影响，而留下另一组电介质盖被暴露。

[0025] 例如，在图1A中，第一电介质盖125不被蚀刻停止衬垫136覆盖，第二电介质盖126被蚀刻停止衬垫136覆盖。因此，第一和第二电介质盖125、126可以相对于彼此具有小于大约10:1的蚀刻选择性。在一些实施例中，第一和第二电介质盖125、126可以是相同材料，因此，相对于彼此没有蚀刻选择性。尽管在图1A中将第二电介质盖126示为被覆盖，但要认识到，实施例不限于这样的配置。替代的实施例还可以包括使第二电介质盖126被蚀刻停止衬垫136覆盖，并且第一电介质盖125不被蚀刻停止衬垫136覆盖。

[0026] 根据实施例，互连结构100还可以包括一个或多个第一通孔123和/或一个或多个第二通孔124。根据本发明的实施例，第一和第二通孔123、124被集成到第一和第二互连线121、122的交替图案中。因而，在本发明的实施例中，第一通孔123形成在否则将形成第一互连线121的地方。类似地，实施例包括将第二通孔124形成在否则将形成第二互连线122的地方。

[0027] 第一通孔123大体上类似于第一互连线121，只是形成第一通孔123的洞延伸穿透ILD 103。因此，第一通孔123提供了通过ILD 103制作通往较低层级的电连接的能力。例如，可以将通往较低层级的电连接制作为导线、晶体管器件的S/D接触部或需要电连接的半导体器件的任何其他特征。类似地，第二通孔124大体上类似于第二互连线122，只是形成第二通孔124的洞延伸穿透ILD 103。类似地，第二通孔124提供了通过ILD 103制作通往较低层级的电连接的能力。本发明的附图中给出的图示省去了可能由第一和第二通孔接触的较低层级的结构，以免不必要地使本发明难以理解。此外，应当认识到第一和第二通孔123、124可以不沿其中形成这二者的沟槽的整个长度延伸(即，在第三维度(进出页面)中，第一和第二通孔123、124可以仅沿沟槽的一部分形成，并且可以将沟槽的剩余部分形成到大体上与第一和第二互连线121、122类似的深度)。

[0028] 本发明的实施例还包括形成于包含第一和第二通孔123、124的沟槽上方的第一和第二电介质盖125、126，其与上文关于形成于第一和第二互连线121、122上方的电介质盖所描述的那些大体上类似。在实施例中，还可以在第二通孔124的顶表面之上以及在第三维度上填充沟槽的导电材料(例如，第一互连线121)的顶表面之上形成选择性盖139，如上文所述。在第一通孔123之上提供选择性盖139确保用于形成第一和第二电介质盖的DSA图案化工艺在通孔上方仍然继续。

[0029] 现在参考图1B，示出了根据额外实施例的互连结构101。互连结构101与图1A所示的互连结构100大体上类似，除了省略选择性盖以及第一电介质盖137和第二电介质盖146

的形状。选择性盖139的省略是可能的,因为用于形成电介质盖的处理可以不依赖于DSA工艺。相反,第一电介质盖137可以是仅在第一互连线121之上选择性地沉积或生长的金属氧化物。例如,适当的氧化物可以包括氧化钪、氧化锆、氧化钛、氧化铝等。本发明的实施例包括利用相对于第一电介质盖137被选择性蚀刻的材料而形成的第二电介质盖146。

[0030] 根据实施例,第一电介质盖137的形状可以取决于氧化物的生长或沉积特性。如所示,第一电介质盖可以形成“铆钉头”形状。然而,应当认识到,第一电介质盖137的确切生长图案不限于图1B所示的图案。在实施例中,互连结构101中的第一电介质盖可以以具有非大体上竖直的侧壁为特征。在实施例中,第一电介质盖137还可以在第二硬掩模层105的接近第一互连线和第一通孔的顶表面之上延伸。

[0031] 根据实施例,第二电介质盖也可以以具有非大体上竖直的侧壁为特征。在实施例中,第二电介质盖146可以具有以具有和第一电介质盖的侧壁互补的形状为特征的侧壁。在图示的实施例中,第二电介质盖146可以具有大体上“倒置铆钉头”的形状。本发明的额外实施例可以包括互连结构101,其包括凹陷到第二硬掩模层105的顶表面下方的第二互连线122。在这样的实施例中,第二电介质盖的侧壁可以以大体上竖直的第一部分和非大体上竖直的第二部分为特征。侧壁的竖直部分由其中形成第二互连线122的沟槽的侧壁限定,并且第二部分由第一电介质盖137的侧壁的形状限定。

[0032] 现在参考图1C,示出了根据额外实施例的互连结构102。互连结构102与图1B所示的互连结构101大体上类似,只是增加了蚀刻停止衬垫136。根据实施例,图1C所示的蚀刻停止衬垫136与上文关于图1A描述的蚀刻停止衬垫大体上类似,因此这里不再对其重复描述。

[0033] 可以根据关于图2A-2P描述的工艺制造根据本发明的实施例的互连结构。现在参考图2A,示出了ILD层203。例如,ILD层203可以是本领域已知的任何ILD材料,诸如掺碳二氧化硅、多孔二氧化硅或氮化硅。根据实施例,可以在ILD层203之上形成第二硬掩模层205,例如氮化物或氧化物材料。根据实施例,ILD 203可以形成于一个或多个额外的互连结构(未示出)之上,或者ILD 203可以形成于器件衬底之上,器件衬底例如是在上面形成电路的半导体衬底(未示出)。

[0034] 骨干层216可以形成于第二硬掩模层205上方。骨干216可以是适于形成硬掩模层的任何材料,例如非晶硅、多晶硅、非晶碳、氮化硅、碳化硅、锆等。可以用诸如光刻、蚀刻、湿法清洁的任何常规图案化工艺对骨干216图案化。在具体实施例中,可以用多重图案化工艺形成骨干216,以获得预期间距。

[0035] 现在参考图2B,可以沿骨干216的侧壁形成间隔体209。可以使用间隔体形成沉积和蚀刻工艺形成间隔体209。例如,可以在骨干216和第二硬掩模层205的表面之上均厚沉积间隔体材料的共形层。在均厚沉积之后可以实施间隔体形成蚀刻。实施例包括各向异性干法蚀刻工艺,其选择性地去除形成于水平表面上的沉积层的部分,由此留下沿骨干216的侧壁间隔体209。根据实施例,间隔体209可以是共形材料,例如但不限于 SiO_2 、 SiN 、 HfO_2 、 TiO 、 ZrO 、 AlN 、 AlO 及其组合。根据本发明的实施例,用于形成骨干216的材料可以在给定蚀刻工艺期间相对于用于形成间隔体209的材料具有高蚀刻选择性。根据这样的实施例,间隔体209抵抗将容易蚀刻掉骨干216的蚀刻工艺。例如,在骨干216由非晶硅构成时,间隔体209可以由二氧化钛构成。

[0036] 现在参考图2C,第一沟槽蚀刻工艺用于形成穿过第二硬掩模层205并进入ILD 203

的第一沟槽241。第一沟槽蚀刻工艺利用间隔体209作为掩模,以便在第一沟槽241之间提供适当间隔并且形成具有预期宽度W的第一沟槽241。根据本发明的实施例,宽度W小于大约30nm。本发明的额外实施例包括小于15nm的宽度W。在实施例中,第一沟槽241可以具有处于大约20nm和大约60nm之间的深度。本发明的额外实施例包括将第一沟槽241形成到大约40nm的深度。

[0037] 现在参考图2D,可以根据本发明的实施例实施通孔掩蔽工艺。将碳硬掩模235形成到沟槽241中并且在间隔体209上方。如图2D所示,碳硬掩模235可以被图案化以在第一沟槽241之一上方形成开口230。根据实施例,用于限定碳硬掩模的边缘的允许误差边界约为间距P的四分之三,因为只有第一沟槽241是已经形成的。因而,可以将碳硬掩模235的边缘对准到着落在紧邻希望通孔开口230所在的位置的骨干216的中心上。例如,如果接下来将形成到骨干216下方的第二沟槽244已经形成,那么必须将硬掩模235的边缘置于最邻近的间隔体209的中心上而不是置于最邻近的骨干216的中心之上。因而,本发明的实施例允许硬掩模235中的开口的尺寸变化,并且硬掩模235的开口的相对布置约为现有技术的三倍。具体而言,本发明的实施例所允许的图案化碳硬掩模235的侧壁的对准误差约为间距P的四分之三,而现有技术允许的对准误差仅为间距P的四分之一。

[0038] 现在参考图2E,通孔蚀刻工艺蚀刻穿过第一沟槽的底部下方的ILD203的剩余部分,以形成第一通孔开口242。由于第一通孔开口242是穿过第一沟槽的底部形成的,因而应当认识到该通孔开口与第一沟槽241自对准。第一通孔开口242可以提供与ILD 203下方的层或特征的连接。在实施例中,通孔蚀刻工艺还可以蚀刻穿过较低互连级的一个或多个层,例如,蚀刻停止层(未示出)。尽管只示出了单个第一通孔开口242,但是实施例还可以包括具有不止一个第一通孔开口242的互连级。在通孔蚀刻工艺之后,去除碳硬掩模层235的剩余部分。

[0039] 现在参考图2F,根据实施例,可以在第一沟槽241中形成导电层,以形成第一互连线221和第一通孔223。本发明的实施例包括利用导电材料形成的第一互连线221和第一通孔223,所述导电材料可以是用于互连线的任何导电金属,例如Ag、Au、Co、Cu、Mo、Ni、NiSi、Pt、Ru、TiN或W。实施例包括利用本领域已知的沉积工艺(例如但不限于化学气相沉积(CVD)、原子层沉积(ALD)或电镀)将导电材料设置到第一沟槽241和通孔开口242中。根据实施例,可以使第一互连线221的顶表面232与间隔体209的顶表面平面化,以便去除来自金属沉积的溢出材料。根据实施例,可以利用诸如化学机械平面化(CMP)或蚀刻工艺等工艺执行平面化。

[0040] 现在参考图2G,蚀刻掉骨干216,并且可以将第二沟槽243和第二通孔开口244形成到ILD 203中。根据实施例,间隔体209的剩余部分提供用于蚀刻第二沟槽243和第二通孔开口244的掩模层。根据实施例,第二沟槽243的深度可以与第一沟槽241的深度大体上类似。根据替代的实施例,第二沟槽243的深度可以大于或者小于第一沟槽241的深度。根据实施例,用于形成第二通孔开口244的工艺与上文关于图2D和图2E描述的用于形成第一通孔开口242的工艺大体上类似,因此这里不再复述。

[0041] 现在参考图2H,硬掩模材料235被沉积到第二沟槽243和第二通孔开口244中。在实施例中,可以利用例如CMP工艺或者蚀刻工艺去除来自沉积工艺的任何过载的沉积物。

[0042] 现在参考图2I,对互连结构往回抛光,以去除间隔体209。例如,抛光工艺可以是

CMP工艺。在抛光工艺期间,使第一互连线221和第一通孔223凹陷并在它们的顶表面之上形成选择性盖239。例如,通过增加化学机械抛光操作的化学部分而使金属材料选择性凹陷。例如,可以通过本领域技术人员已知的各种技术来沉积选择性盖239,例如,所述技术可以包括物理气相沉积(PVD)、化学气相沉积(CVD)、原子层沉积(ALD)等。选择性盖239可以是用于将第一互连线221的表面与将在接下来的处理操作中形成的第二互连线222的表面区分开的导电材料。不同表面用于确保在定向自组装(DSA)工艺期间聚合物的适当分离,所述DSA工艺用于形成在其中形成第一电介质盖225和第二电介质盖226的图案。根据实施例,选择性盖是所具有的表面化学物质与用于形成第二互连线222的材料的表面化学物质不同的任何导电材料。在实施例中,选择性盖239可以被更改为具有不同的极性、表面能量或者具有设置在其顶表面之上的刷层。在具体实施例中,聚苯乙烯(PS)刷(未示出)被选择性地移植到选择性盖239上。例如而非限制,选择性盖可以是金属(例如,钨(W))、氧化物(例如氧化钪(HfO_x))或其合金(例如钨和钴合金)。

[0043] 在某些实施例中,选择性盖具有与用于第一互连线221的金属不同的电阻率。例如,在将钨用于选择性盖239时,其电阻率高于很多常用的互连材料(例如,铜)的电阻率。相应地,使选择性盖的厚度最小化可以是有利的。在实施例中,选择性盖239的厚度可以小于第一硬掩模层205的厚度。在具体实施例中,选择性盖239的厚度可以小于10nm。额外实施例可以包括具有小于5nm的厚度的选择性盖239。在额外的实施例中,可以在选择性盖239之上设置牺牲硬掩模层(未示出),以在用于形成第二互连线222的金属沉积和抛光操作期间保护所述盖。

[0044] 现在参考图2J,去除硬掩模235。例如,可以用灰化工艺去除硬掩模235。此外,用导电材料填充第二沟槽243和第二通孔开口244,并对任何过载的沉积物往回抛光,以形成第二互连222和第二通孔224。在实施例中,导电材料可以与用于形成第一互连222的导电材料相同。在额外实施例中,导电材料可以与用于第一互连221的金属不同。例如,导电材料可以是通常用于互连线的任何金属,例如铜、钴、钨、钌等。在利用选择性盖239之上的牺牲硬掩模的实施例中,可以在第二互连线222的平面化之后实施湿法或干法蚀刻工艺,以暴露选择性盖239。

[0045] 现在参考图2K,在互连结构的顶表面之上形成包括第一聚合物区248和第二聚合物区249的DSA层。DSA层被选择为使第一聚合物区选择性地形成于选择性盖239之上,并且第二聚合物区选择性地形成于第二互连线222之上。根据实施例,DSA层是二嵌段共聚物。例如,二嵌段共聚物可以是聚苯乙烯-b-聚甲基丙烯酸甲酯(PS-b-PMMA)。在这样的实施例中,将PS部分(即,第一聚合物区248)朝选择性盖239驱动,同时将PMMA部分(即,第二聚合物区249)驱动远离选择性盖239。包括形成于选择性盖239的表面之上的PS刷的实施例还可以改善PS部分248和PMMA部分249的分离。例如,PS刷的尾端上的硫醇化学物质可以将PS部分248吸引到选择性盖239。尽管硫醇化学物质被用作示例性实施例,但是其他尾端化学物质也可以选择性地吸引第一聚合物区248(例如,膦酸选择性地吸引PS部分248)。根据实施例,还可以通过对DSA层退火而驱动或者加快DSA层的分隔。尽管PS-b-PMMA被描述为示例性实施例,但是应当认识到可以使用很多不同材料,例如二嵌段共聚物、三嵌段共聚物(例如,ABA或ABC)或者均聚物的自分离组合。

[0046] 现在参考图2L,选择性地去除第二聚合物区249。例如,可以用湿法或干法蚀刻化

学物质去除第二聚合物区249。在利用PS-b-PMMA二嵌段共聚物的实施例中,湿法或干法蚀刻工艺将选择性地去除PMMA部分249。第二聚合物区249的去除导致选择性地形成于第二互连线222上方的开口292的形成,同时第一互连线仍然被第一聚合物区248覆盖。

[0047] 现在参考图2M,利用第二电介质盖226填充开口292。例如,可以利用CVD、PVD或旋涂工艺沉积第二电介质盖226。根据实施例,可以利用诸如CMP工艺的平面化工艺使任何过载的沉积物凹陷,以使第二电介质盖226的顶表面大体上与第一聚合物区248的顶表面共平面。本发明的实施例可以将诸如 $\text{SiO}_x\text{C}_y\text{N}_z$ 、 SiO_xC_y 、非导电金属氧化物或金属氮化物等材料用于第二电介质盖226。本发明的额外实施例可以选择用于第二电介质盖226的材料,其相对于第一硬掩模层205具有高蚀刻选择性。

[0048] 现在参考图2N,可以去除第一聚合物区248。例如,可以利用灰化工艺去除第一聚合物区248。因而,在第一电介质盖221和第一通孔223之上形成了开口293。

[0049] 现在参考图2O,可以将电介质材料沉积到开口293中,以形成第一电介质盖225。例如,可以利用CVD、PVD或旋涂工艺沉积第一电介质盖225。本发明的实施例可以将诸如 $\text{SiO}_x\text{C}_y\text{N}_z$ 、 SiO_xC_y 、非导电金属氧化物或金属氮化物等材料用于第一电介质盖225。本发明的额外实施例可以选择用于第一电介质盖225的材料,其相对于第一硬掩模层205具有高蚀刻选择性。根据实施例,在沉积用于第一电介质盖225的第一电介质材料之前,可以在第二电介质盖226、第一硬掩模205和选择性盖339的表面之上形成蚀刻停止衬垫236。

[0050] 现在参考图2P,可以利用诸如CMP工艺的平面化工艺使来自第一电介质盖的任何过载的材料凹陷,以使第一电介质盖的顶表面大体上与蚀刻停止衬垫236的顶表面共平面。在省略蚀刻停止衬垫236的实施例中,第一电介质盖225的顶表面可以大体上与第二电介质盖226的顶表面共平面。此后,根据实施例,可以在所述顶表面之上沉积第二ILD层280,以允许对额外的互连层图案化。

[0051] 本发明的实施例允许改进通往紧密间距的互连线的接触部形成。如上所述,紧密间距的互连线需要越来越精确的对准以形成通往预期互连线的接触部。然而,在如图3所示的接触部形成工艺中所示,由于电介质盖、硬掩模层和蚀刻停止衬垫的蚀刻选择性,包括第一和第二电介质盖325、326和蚀刻停止衬垫336的互连结构允许接触部更宽,并且具有更大的对准误差边界。

[0052] 现在参考图3,示出了与图1A中的互连结构100大体上类似的互连结构300。互连结构300还包括形成于第二ILD 381之上的牺牲材料385。牺牲材料385可以被图案化(例如,利用光刻工艺),以形成第一开口396和第二开口397。可以利用蚀刻工艺将第一开口396和第二开口397的图案转移到第二ILD 381中。蚀刻工艺还可以选择性地去除形成在开口中的暴露的第一电介质盖325。由于第一电介质盖325、第二电介质盖326和蚀刻停止衬垫336之间的蚀刻选择性,蚀刻工艺可以选择性地仅去除第一电介质盖325,尽管第二电介质盖326和蚀刻停止衬垫336也暴露于每个所述开口中。

[0053] 蚀刻选择性允许第一和第二开口具有大于间距P的宽度 W_0 。例如,第一开口在相邻的第二通孔324之上延伸,并且第二开口在两个相邻的互连之上延伸。然而,由于蚀刻选择性,只有第一互连线321将被接触。如所示,蚀刻停止衬垫336仍然形成于第一互连线之上。相应地,可以实施额外的蚀刻工艺,以选择性地去除蚀刻停止衬垫336。由于蚀刻停止衬垫336相对于第二电介质盖326具有高选择性,蚀刻工艺允许仅暴露第一互连线321。例如,可

以利用不显著去除第二电介质盖326的湿法蚀刻工艺蚀刻蚀刻停止衬垫336。相应地,接触部的宽度可以大于在其他情况下可能获得的宽度,并且非对准误差不会导致与相邻互连的不希望的短路。接触部的较大宽度还放宽了对制造设备的要求,并且可以提供较高的收益。

[0054] 根据本发明的实施例,图1B和图1C所示的互连结构101和/或102可以根据关于图4A-4H描述的工艺来制造。现在参考图4A,示出了与图2G所示的结构大体上类似的结构。相应地,用于形成图4A中所示的结构的操作可以大体上与上文关于图2A-2G描述的操作类似,并且因此这里将不再重复描述。现在参考图4B,将牺牲硬掩模材料435沉积到第二沟槽443和第二通孔开口444中。

[0055] 现在参考图4C,往回抛光互连结构,以去除间隔体409和来自牺牲硬掩模沉积工艺的任何过载的材料435。例如,抛光工艺可以是CMP工艺。如所示,第一互连线421、第一硬掩模405和牺牲硬掩模435的顶表面可以大体上相互共平面。

[0056] 现在参考图4D,在第一互连线421的顶表面之上形成第一电介质盖437。在实施例中,第一电介质盖437可以是仅在第一互连线421之上选择性地沉积或生长的金属氧化物。第一电介质盖437选择性地形成于第一互连线和通孔的金属表面之上,但不形成于非金属的第一硬掩模层405和牺牲硬掩模435之上。例如,适当的氧化物可以包括氧化铪、氧化锆、氧化钛、氧化铝等。根据实施例,第一电介质盖437的形状可以取决于氧化物的沉积或生长特性。如所示,第一电介质盖可以形成“铆钉头”形状。然而,应当认识到,第一电介质盖437的确切生长或沉积图案不限于图4D所示的图案。在实施例中,第一电介质盖437可以具有非大体上竖直的侧壁为特征。在实施例中,第一电介质盖437可以在第一硬掩模层405的接近第一互连线421的顶表面之上延伸。

[0057] 现在参考图4E,去除硬掩模435。例如,可以利用灰化工艺去除硬掩模435。此外,利用导电材料452填充第二沟槽和第二通孔开口,以形成第二互连422和第二通孔424。在实施例中,导电材料452可以与用于形成第一互连422的导电材料相同。在额外实施例中,导电材料452可以与用于第一互连421的金属不同。例如,导电材料可以是通常用于互连线的任何金属,例如铜、钴、钨、钌等。

[0058] 现在参考图4F,可以利用例如CMP工艺对过载的导电材料452的一部分往回抛光。根据实施例,一旦暴露了第一电介质盖437的顶表面就可以停止所述抛光工艺。然而,CMP工艺的化学部分可以使导电材料452凹陷,以使导电材料的顶表面形成到第一电介质盖437的顶表面下方。

[0059] 现在参考图4G,蚀刻掉剩余的过载的导电材料452。在实施例中,蚀刻工艺可以在第二互连线422和第二通孔424上方形成凹陷471。在实施例中,凹陷暴露了在其中形成第二互连线422和第二通孔424的沟槽的部分。例如,蚀刻工艺可以是湿法或干法蚀刻工艺,取决于用于导电材料的材料。

[0060] 现在参考图4H,在第二互连线422和第二通孔424之上形成第二电介质盖446。根据实施例,第二电介质盖也可以具有非大体上竖直的侧壁为特征。例如,第二电介质盖446所具有的侧壁可以具有和第一电介质盖的侧壁互补的形状为特征。在图示的实施例中,第二电介质盖446可以具有大体上“倒置铆钉头”的形状。额外实施例可以包括以具有大体上竖直的第一部分和非大体上竖直的第二部分为特征的第二电介质盖446的侧壁。侧壁的竖直部分由在其中形成第二互连线422和第二通孔424的沟槽的侧壁限定,并且第二部分由

第一电介质盖137的侧壁的形状限定。在实施例中,第二电介质盖可以是相对于第一电介质盖437被选择性蚀刻的任何电介质材料。例如,第二电介质盖可以是SiC、SiN、SiO₂或者旋涂金属氧化物,例如ZrO₂、TiO₂等。在实施例中,来自第二电介质盖446的沉积的任何过载的材料可以被往回抛光,以使第一电介质盖437的顶表面与第二电介质盖的顶表面大体上共平面。根据额外实施例,在沉积第二电介质盖446之前,可以在第一电介质盖437、第一硬掩模层405、第二互连线422和第二通孔424的表面之上形成蚀刻停止衬垫(未示出)。在这样的实施例中,可以使第二电介质盖446的顶表面与蚀刻停止衬垫的形成于第一电介质盖437的顶表面上方的部分的顶表面平面化。

[0061] 现在参考图5A-5K,示出了用于形成具有形成于互连线之上的第一电介质盖和第二电介质盖的互连结构的工艺。根据该额外实施例,使用DSA工艺中的聚合物区的自分离,以便在DSA层中形成图案,该图案之后可以用于蚀刻用于第二互连线的沟槽。

[0062] 现在参考图5A,示出了与图2F中所示的结构大体上类似的结构。相应地,用于形成图5A所示的结构的处理操作可以大体上与上文关于图2A-2F描述的处理操作类似,因此这里将不再重复描述。现在参考图5B,去除间隔体509和骨干516。例如,可以利用诸如CMP工艺等抛光工艺来去除间隔体509和骨干516。抛光工艺暴露出第一互连线521、第一通孔523和第一硬掩模层505。

[0063] 现在参考图5C,将凹陷形成到第一互连线521和第一通孔523中。根据实施例,凹陷572可以使第一互连线521和第一通孔523的顶表面大体上与第一硬掩模层505的底表面共平面。在不同的实施例中,凹陷572可以使第一互连线521和第一通孔523的顶表面处于第一硬掩模层505的底表面上方或下方。

[0064] 现在参考图5D,利用选择性盖539填充凹陷572。在实施例中,选择性盖539可以大体上与上文更加详细地描述的选择性盖139类似。例如,选择性盖可以是金属(例如,钨(W))、氧化物(例如,氧化钬(HfO_x))或其合金(例如,钨和钴合金)。在实施例中,可以通过本领域技术人员已知的各种技术来沉积选择性盖539,例如,所述技术可以包括物理气相沉积(PVD)、化学气相沉积(CVD)、原子层沉积(ALD)等。此外,本发明的实施例可以包括选择性盖539,其明显厚于上文关于图1A描述的选择性盖139。根据实施例,选择性盖539的厚度可以大于上文描述的选择性盖,因为选择性盖539将不会被包括在最终的互连结构中。因而,选择性盖539的提高了的电阻率不会降低根据关于图5A-5K描述的实施例所形成的最终器件的效率。

[0065] 现在参考图5E,在互连结构的顶表面之上形成包括第一聚合物区548和第二聚合物区549的DSA层。DSA层被选择为使第一聚合物区548选择性地形成于选择性盖539之上,并且第二聚合物区549形成于第一硬掩模层505之上。在一个实施例中,图案相乘也是可能的,以使第一聚合物区548和第二聚合物区549。例如,相可以与相对于选择性盖539大于1:1的频率对准,但是由于用于微相分离的DSA层的自然趋势的原因,仍然保持周期性几何结构。在图5E所示的实施例中,第一聚合物区548可以相对于选择性盖539按照2:1的频率重复。例如,可以通过调节DSA层中的聚合物的长度或者通过对DSA层退火而对图案相乘的程度进行修改。

[0066] 根据实施例,DSA层是二嵌段共聚物。例如,二嵌段共聚物可以是聚苯乙烯-b-聚甲基丙烯酸甲酯(PS-b-PMMA)。在这样的实施例中,将PS部分(即,第一聚合物区548)朝选择性

盖539驱动,同时将PMMA部分(即,第二聚合物区549)驱动远离选择性盖539。根据实施例,还可以通过对DSA层退火而驱动或者加快DSA层的分离。尽管PS-b-PMMA被描述为示例性实施例,但是应当认识到可以使用很多不同的材料,例如二嵌段共聚物、三嵌段共聚物(例如,ABA或ABC)或者均聚物的自分离的组合。

[0067] 现在参考图5F,选择性地去除第二聚合物区549。例如,可以利用湿法或干法蚀刻化学物质去除第二聚合物区549。在利用PS-b-PMMA二嵌段共聚物的实施例中,湿法或干法蚀刻工艺将选择性地去除PMMA部分549。第二聚合物区549的去除导致选择性地形成于第一硬掩模层505上方的开口588的形成,同时第一互连线仍然被第一聚合物区548覆盖。

[0068] 现在参考图5G,可以利用牺牲硬掩模材料567填充开口588。例如,牺牲硬掩模材料可以是利用CVD工艺沉积的碳硬掩模。在实施例中,利用例如CMP工艺使牺牲硬掩模材料567与第一聚合物区548的顶表面平面化。

[0069] 现在参考图5H,去除第一聚合物区548。例如,可以利用相对于牺牲硬掩模材料567具有选择性的湿法或干法蚀刻工艺去除第一聚合物区。在去除第一聚合物区548之后,在第一互连线521上方以及第一硬掩模层505之上形成开口589。

[0070] 现在参考图5I,牺牲硬掩模材料567被用作蚀刻掩模以选择性地形成穿过第一硬掩模层505并进入ILD 503的第二沟槽543。在实施例中,可以利用相对于形成在第一互连线521之上的选择性盖539具有选择性的湿法或干法蚀刻工艺去除硬掩模层505和ILD 503。相应地,使用DSA工艺形成牺牲硬掩模567允许按照与第一互连线521交替的图案形成第二沟槽。

[0071] 现在参考图5J,可以在第二沟槽543中沉积导电材料,以形成第二互连线522。在实施例中,可以对任何过载的材料往回抛光或蚀刻。在额外的实施例中,可以使第二互连线522的顶表面凹陷到第一硬掩模层505下方。例如,蚀刻工艺可以选择性地使第二互连线522凹陷,而大体上不蚀刻掉选择性盖539。

[0072] 现在参考图5K,可以将第二电介质盖526形成在第二互连线522中的每者上方。例如,可以利用CVD、PVD或旋涂工艺沉积电介质材料。根据实施例,可以利用诸如CMP工艺的平面化工艺使任何过载的材料凹陷,以使第二电介质盖526的顶表面大体上与第一硬掩模层505的顶表面共平面。本发明的实施例可以将诸如 $\text{SiO}_x\text{C}_y\text{N}_z$ 、 SiO_xC_y 、非导电金属氧化物或金属氮化物等材料用于第二电介质盖526。本发明的额外实施例可以选择用于第二电介质盖526的材料,其相对于第一硬掩模层505并且相对于第一电介质盖525具有高蚀刻选择性。

[0073] 在沉积第二电介质盖526之后,可以利用例如湿法或干法蚀刻工艺去除选择性盖539。在实施例中,之后可以在第一互连线521和第一通孔523上方形成第一电介质盖525。例如,可以利用CVD、PVD或旋涂工艺沉积电介质材料。根据实施例,可以利用诸如CMP工艺的平面化工艺使任何过载的材料凹陷,以使第一电介质盖525的顶表面大体上与第一硬掩模层505的顶表面共平面。本发明的实施例可以将诸如 $\text{SiO}_x\text{C}_y\text{N}_z$ 、 SiO_xC_y 、非导电金属氧化物或金属氮化物等材料用于第一电介质盖525。本发明的额外实施例可以选择用于第一电介质盖525的材料,其相对于第一硬掩模层505并且相对于第二电介质盖526具有高蚀刻选择性。

[0074] 相应地,本发明的实施例允许第一互连线和第二互连线按照交替的图案形成,其中具有不同蚀刻选择性的电介质盖形成在第一互连线和第二互连线之上。本发明的实施例包括使用能够实施图案相乘的DSA工艺,以便形成第一互连线和第二互连线的交替图案。

[0075] 图6示出了包括本发明的一个或多个实施例的内插件1000。内插件1000是用于将第一衬底1002桥接至第二衬底1004的中间衬底。第一衬底1002可以是例如集成电路管芯。第二衬底1004可以是例如存储器模块、计算机主板或另一集成电路管芯。一般而言,内插件1000的目的在于将连接扩展至更宽的间距或者将连接重新布线至另一不同连接。例如,内插件1000可以将集成电路管芯耦合至球栅阵列(BGA)1006,球栅阵列(BGA)1006接下来能够耦合至第二衬底1004。在一些实施例中,第一和第二衬底1002/1004被附接至内插件1000的相对侧。在其他实施例中,第一和第二衬底1002/1004被附接至内插件1000的同一侧。而且在其他实施例中,三个或更多衬底经由内插件1000互连。

[0076] 内插件1000可以由环氧树脂、玻璃纤维强化环氧树脂、陶瓷材料或者诸如聚酰亚胺的聚合物材料形成。在其他实施方式中,内插件可以由交替的刚性或柔性材料形成,所述材料可以包括与上文描述的用于半导体衬底的材料相同,例如,硅、锗以及其他III-V族和IV族材料。

[0077] 内插件可以包括金属互连1008和通孔1010,其包括但不限于穿硅通孔(TSV)1012。内插件1000还可以包括嵌入式器件1014,其包括无源器件和有源器件二者。这样的器件包括但不限于电容器、去耦电容器、电阻器、电感器、熔丝、二极管、变压器、传感器和静电放电(ESD)器件。也可以在内插件1000上形成更加复杂的器件,例如,射频(RF)器件、功率放大器、功率管理器件、天线、阵列、传感器和MEMS器件。

[0078] 根据本发明的实施例,文中公开的用于形成包括利用DSA工艺形成于硬掩模层上方的交替电介质盖的互连结构的设备或工艺可以用于制造内插件1000或者制造嵌入式器件1014。

[0079] 图7示出了根据本发明的一个实施例的计算装置1200。计算装置1200可以包括若干部件。在一个实施例中,这些部件附接至一个或多个母板。在替代的实施例中,这些部件被制造到单个片上系统(SOC)管芯上而不是母板上。计算装置1200中的部件包括但不限于集成电路管芯1202以及至少一个通信芯片1208。在一些实施方式中,通信芯片1208被制作成集成电路管芯1202的部分。集成电路管芯1202可以包括CPU 1204以及经常被用作高速缓冲存储器的管芯上存储器1206,所述存储器可以通过诸如嵌入式DRAM(eDRAM)或自旋转移矩存储器(STTM或STTM-RAM)的技术提供的。

[0080] 计算装置1200可以包括其他部件,所述部件可以或可以不物理和电耦合至母板,或者被制作到SOC管芯内。这些其他部件包括但不限于易失性存储器1210(例如,DRAM)、非易失性存储器1212(例如,ROM或闪速存储器)、图形处理单元1214(GPU)、数字信号处理器1216、密码处理器1242(在硬件内执行密码算法的专用处理器)、芯片组1220、天线1222、显示器或触摸屏显示器1224、触摸屏控制器1226、电池1228或其他电源、功率放大器(未示出)、全球定位系统(GPS)装置1228、罗盘1230、运动协处理器或传感器1232(可以包括加速度计、陀螺仪和罗盘)、扬声器1234、照相机1236、用户输入装置1238(例如,键盘、鼠标、手写笔和触控板)以及大容量存储装置1240(例如,硬盘驱动器、光盘(CD)、数字通用盘(DVD)等)。

[0081] 通信芯片1208实现了用于往返于计算装置1200传输数据的无线通信。术语“无线”及其派生词可以用于描述可以通过使用经调制的电磁辐射经由非固体介质来传送数据的电路、装置、系统、方法、技术、通信信道等。该术语并非暗示相关联的装置不包含任何导线,

尽管在一些实施例中它们可能不包含。通信芯片1208可以实施若干无线标准或协议中的任一种,包括但不限于Wi-Fi (IEEE 802.11族)、WiMAX (IEEE 802.16族)、IEEE 802.20、长期演进 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、其衍生物,以及被指定为3G、4G、5G和更高代的任何其他无线协议。计算装置1200可以包括多个通信芯片1208。例如,第一通信芯片1208可以专用于较短距离的无线通信,例如Wi-Fi和蓝牙,第二通信芯片1208可以专用于较长距离的无线通信,例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO等。

[0082] 计算装置1200的处理器1204包括一个或多个器件,例如耦合到根据本发明的实施例的互连结构中的一个或多个互连线的晶体管,所述互连结构包括利用DSA工艺形成在硬掩模层上方的交替的电介质盖。术语“处理器”可以指处理来自寄存器和/或存储器的电子数据以将该电子数据转换成可以存储在寄存器和/或存储器中的其他电子数据的任何装置或装置的一部分。

[0083] 通信芯片1208也可以包括一个或多个器件,例如耦合到根据本发明的实施例的互连结构中的一个或多个互连线的晶体管,所述互连结构包括利用DSA工艺形成在硬掩模层上方的交替的电介质盖。

[0084] 在其他实施例中,计算装置1200内容纳的另一个部件可以包含一个或多个器件,例如耦合到根据本发明的实施例的互连结构中的一个或多个互连线的晶体管,所述互连结构包括利用DSA工艺形成在硬掩模层上方的交替的电介质盖。

[0085] 在各实施例中,计算装置1200可以是膝上型计算机、上网本计算机、笔记本计算机、超级本计算机、智能电话、平板计算机、个人数字助理 (PDA)、超级移动PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数字照相机、便携式音乐播放器或数字视频记录器。在其他实施方式中,计算装置1200可以是处理数据的任何其他电子装置。

[0086] 例示的本发明的实施方式的以上描述,包括摘要中描述的内容,并非旨在是穷举的或将本发明限制到所公开的精确形式。尽管出于例示的目的在本文中描述了本发明的具体实施方式和示例,但如相关领域的技术人员将理解的,在本发明的范围内,各种等价修改都是可能的。

[0087] 可以根据以上详细描述对本发明做出这些修改。以下权利要求中使用的术语不应被解释为将本发明限制到说明书和权利要求中公开的具体实施方式。相反,本发明的范围要完全由以下权利要求确定,权利要求要根据权利要求解释所建立的基本原则来解释。

[0088] 本发明的实施例包括一种互连结构,所述互连结构包括:层间电介质 (ILD),第一硬掩模层在所述ILD的顶表面之上;所述ILD中的一条或多条第一互连线;置于所述第一互连线的每者上方的第一电介质盖,其中,所述第一电介质盖的表面接触所述第一硬掩模层的顶表面;在所述ILD中的以与所述第一互连线交替的图案布置的一条或多条第二互连线;以及位于所述第二互连线的每者的顶表面之上的第二电介质盖,其中,所述第二电介质盖的表面接触所述第一硬掩模层的顶表面。额外实施例包括一种互连结构,还包括置于第一互连线的每者的顶表面之上的选择性盖。额外实施例包括一种互连结构,其中,选择性盖是不同于第二互连线的材料。额外实施例包括一种互连结构,其中,选择性盖是钨 (W)、HfO_x或钨和钴合金。额外实施例包括一种互连结构,其中,选择性盖具有小于第一硬掩模层的厚度

的厚度。额外实施例包括一种互连结构,其中,选择性盖的厚度小于5nm。额外实施例包括一种互连结构,其中,第一和第二电介质盖的侧壁大体上竖直。额外实施例包括一种互连结构,其中,每个第一电介质盖的中心线与第一互连线的中心线大体上对准。额外实施例包括一种互连结构,其中,第一和第二电介质盖的侧壁非大体上竖直。额外实施例包括一种互连结构,其中,第二电介质盖的侧壁与第一电介质盖的侧壁是互补的。额外实施例包括一种互连结构,其中,第二电介质盖的侧壁的第一部分大体上竖直,并且第二电介质盖的侧壁的第二部分非大体上竖直。额外实施例包括一种互连结构,还包括至少置于所述第二电介质盖中的一者或多者的所述侧壁以及顶表面之上的蚀刻停止衬垫。额外实施例包括一种互连结构,其中,第一互连线与第二互连线间隔小于30nm。额外实施例包括一种互连结构,其中,所述第一互连线和第二互连线是不同材料。

[0089] 本发明的实施例包括一种形成互连结构的方法,包括:形成穿过第一硬掩模层并进入形成于第一硬掩模层下方的层间电介质(ILD)的一个或多个第一沟槽;将第一金属设置到所述一个或多个第一沟槽中以形成第一互连线;在第一互连线的每者之上形成选择性盖;以与第一沟槽交替的图案将一个或多个第二沟槽形成到所述ILD中;将第二金属设置到一个或多个第二沟槽中,以形成第二互连线;在所述选择性盖和第二互连线的顶表面之上设置DSA层,其中,所述DSA层分离成处于所述选择性盖之上的第一聚合物区和处于所述第二互连线之上的第二聚合物区;去除所述第二聚合物区,以暴露所述第二互连线;在所述第二互连线之上形成第二电介质盖;去除所述第一聚合物区,以暴露所述选择性盖;以及在所述第一互连线之上形成第一电介质盖。额外实施例包括一种形成互连结构的方法,其中,所述DSA层是二嵌段共聚物。额外实施例包括一种形成互连结构的方法,其中,所述二嵌段共聚物是聚苯乙烯-b-聚甲基丙烯酸甲酯(PS-b-PMMA),并且其中,第一聚合物区是PS,并且第二聚合物区是PMMA。额外实施例包括一种形成互连结构的方法,其中,在将DSA层设置到选择性盖和第二互连线的顶表面之上以前,将聚苯乙烯(PS)刷移植到选择性盖上。额外实施例包括一种形成互连结构的方法,其中,形成第一沟槽包括:在第一硬掩模层上方形成骨干层;在骨干层上形成间隔体,其中,第一硬掩模层的一部分保持被暴露在间隔体之间;以及蚀刻穿过第一硬掩模层的暴露部分并进入第一硬掩模层的暴露部分下面的ILD中。额外实施例包括一种形成互连结构的方法,其中,形成第二沟槽包括:蚀刻穿过所述骨干层;以及蚀刻穿过所述第一硬掩模层的部分并进入所述ILD内。

[0090] 本发明的实施例包括一种形成互连结构的方法,包括:形成穿过第一硬掩模层并进入形成于第一硬掩模层下方的层间电介质(ILD)的一个或多个第一沟槽;将第一金属设置到所述一个或多个第一沟槽中以形成第一互连线;以与第一沟槽交替的图案将一个或多个第二沟槽形成到所述ILD中;将牺牲硬掩模材料设置到所述一个或多个第二沟槽中;在所述第一互连线之上形成第一电介质盖,其中,所述第一电介质盖的侧壁非大体上竖直;从所述一个或多个第二沟槽去除牺牲硬掩模材料;将第二金属设置到一个或多个第二沟槽中,以形成第二互连线;使所述第二互连线凹陷,以使所述一条或多条第二互连线中的每者的顶表面处于第一硬掩模层的顶表面下方;以及在所述第二互连线之上形成第二电介质盖,其中,所述一个或多个第二电介质盖的每者的侧壁的至少一部分非大体上竖直。额外实施例包括一种形成互连结构的方法,其中,第二电介质盖的侧壁与第一电介质盖的侧壁互补。额外实施例包括一种形成互连结构的方法,其中,第二电介质盖的侧壁的第一部分大体上

竖直,并且第二电介质盖的侧壁的第二部分非大体上竖直。

[0091] 本发明的实施例包括一种互连结构,包括:层间电介质(ILD),其中第一硬掩模层在所述ILD的顶表面之上;所述ILD中的一条或多条第一互连线;置于所述第一互连线的每者的顶表面之上的选择性盖,其中,所述选择性盖具有小于第一硬掩模层的厚度的厚度;置于所述选择性盖的每者上方的第一电介质盖,其中,所述第一电介质盖的表面接触所述第一硬掩模层的顶表面;在所述ILD中的与所述第一互连线成交替图案的一条或多条第二互连线;位于所述第二互连线的每者的顶表面之上的第二电介质盖,其中,所述第二电介质盖的表面接触所述第一硬掩模层的顶表面;以及至少位于所述第二电介质盖中的每者的侧壁以及顶表面之上的蚀刻停止衬垫。额外实施例包括一种互连结构,其中,所述第一和第二电介质盖是 $\text{SiO}_x\text{C}_y\text{N}_z$ 材料、 SiO_xC_y 材料、金属氧化物材料或金属氮化物材料,并且其中,蚀刻停止衬垫是氧化铝或氧化钪材料。

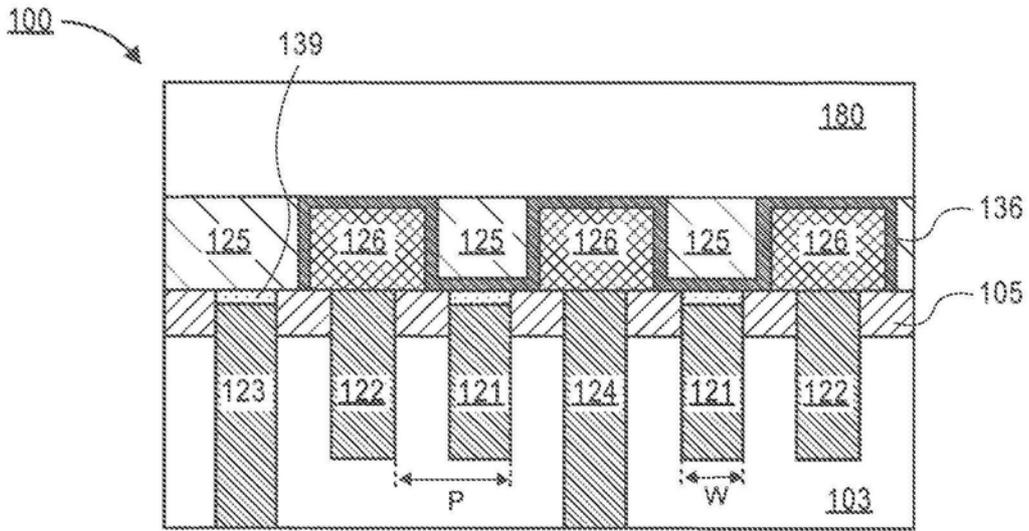


图1A

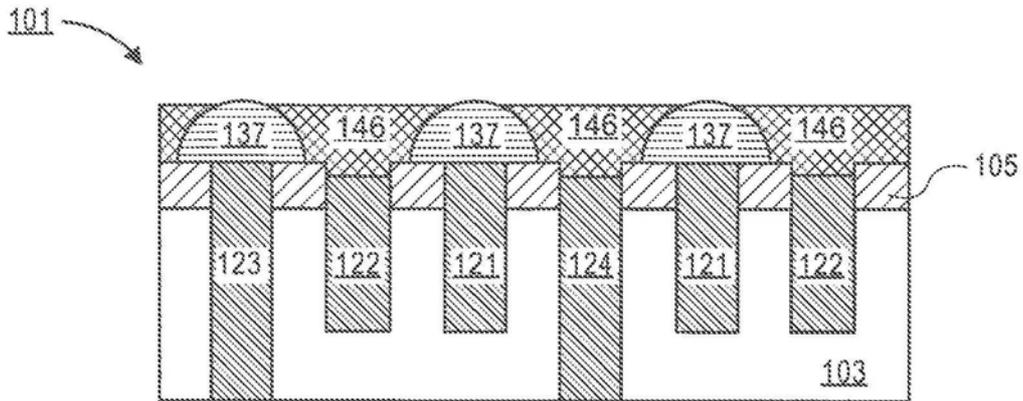


图1B

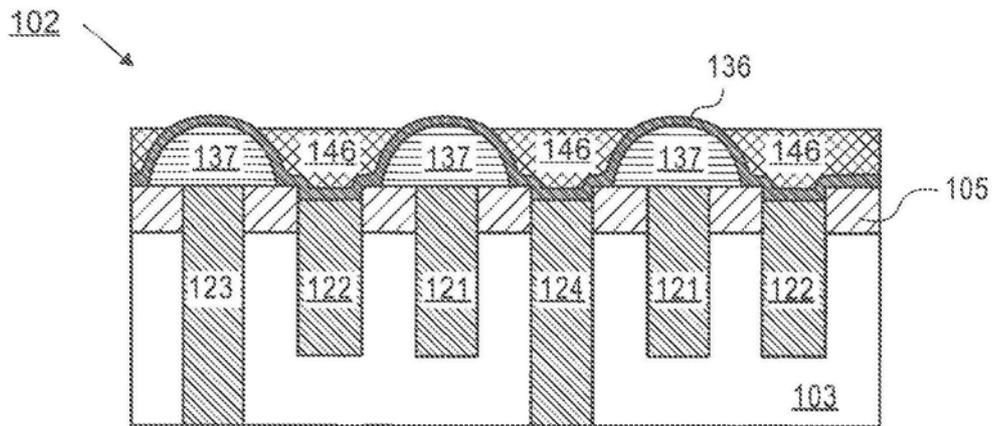


图1C

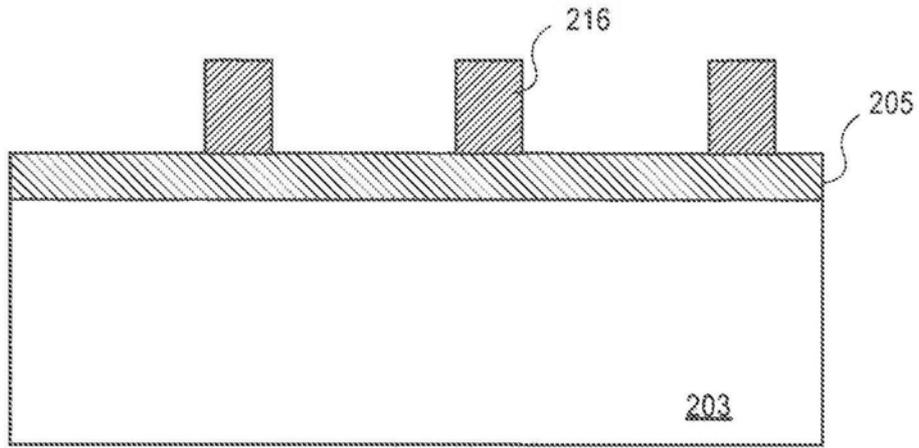


图2A

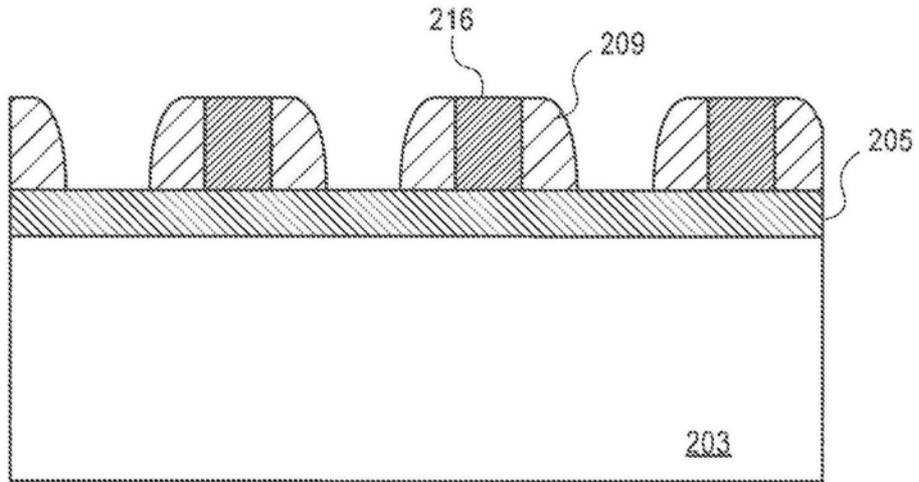


图2B

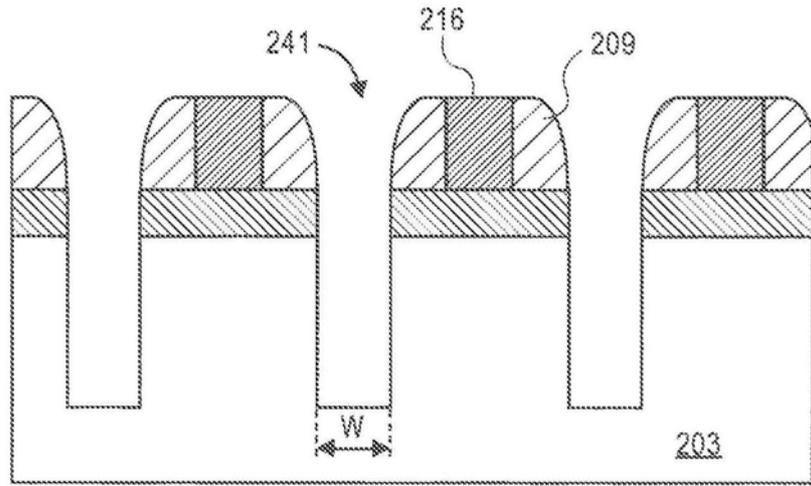


图2C

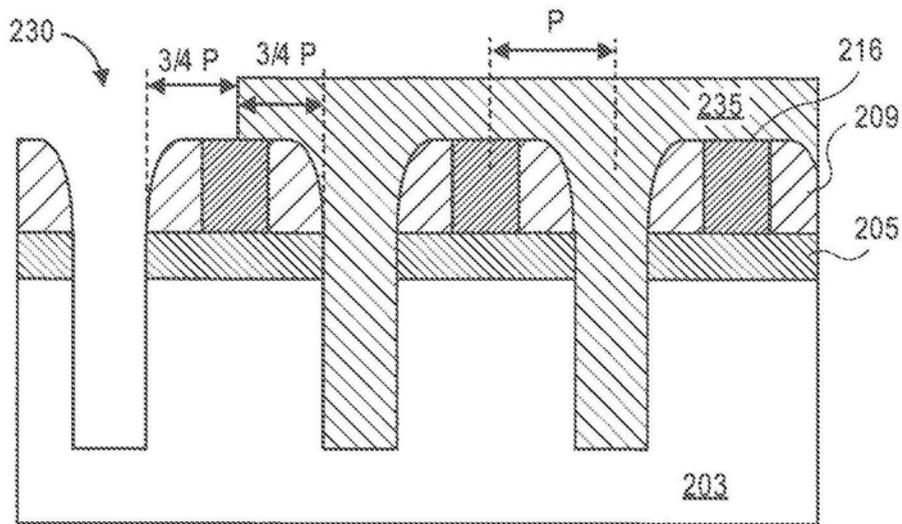


图2D

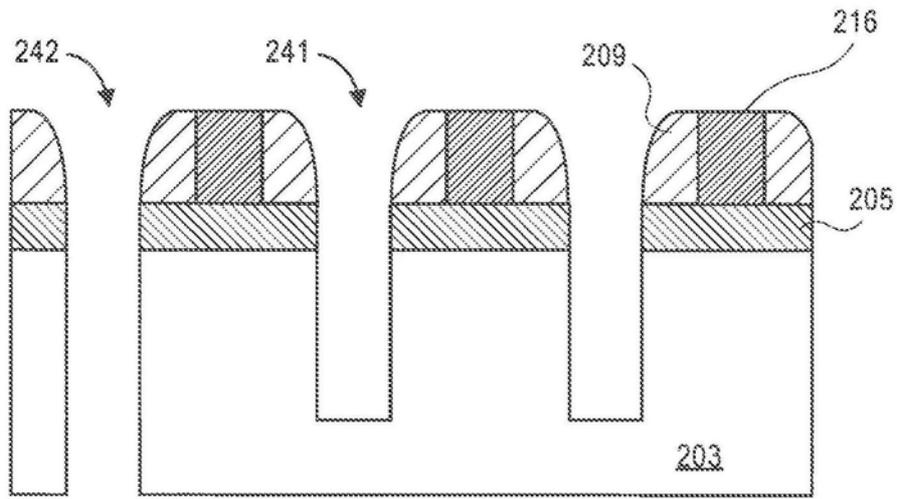


图2E

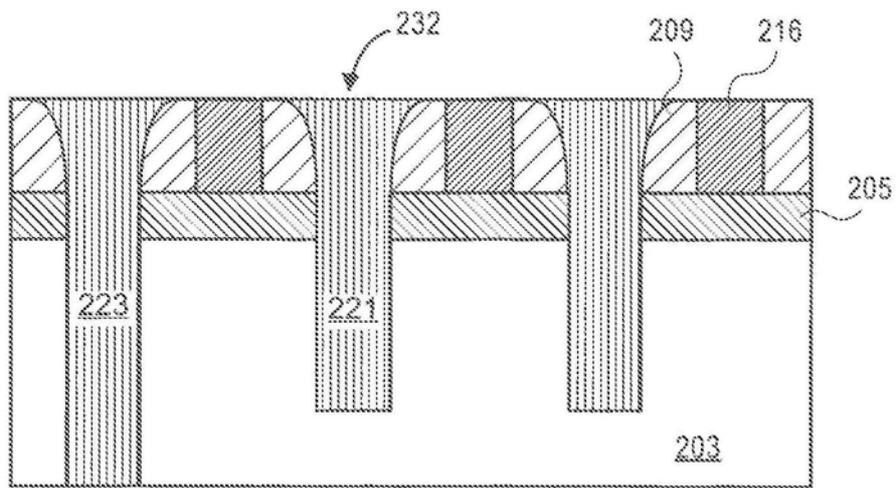


图2F

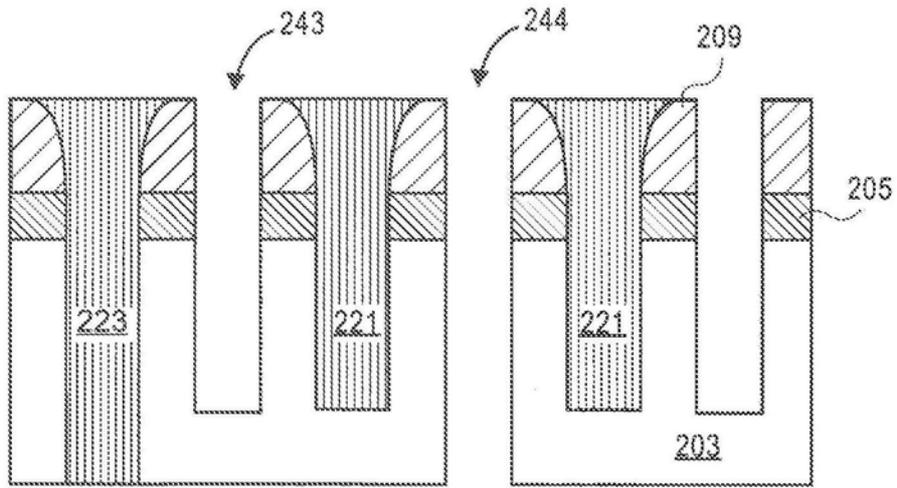


图2G

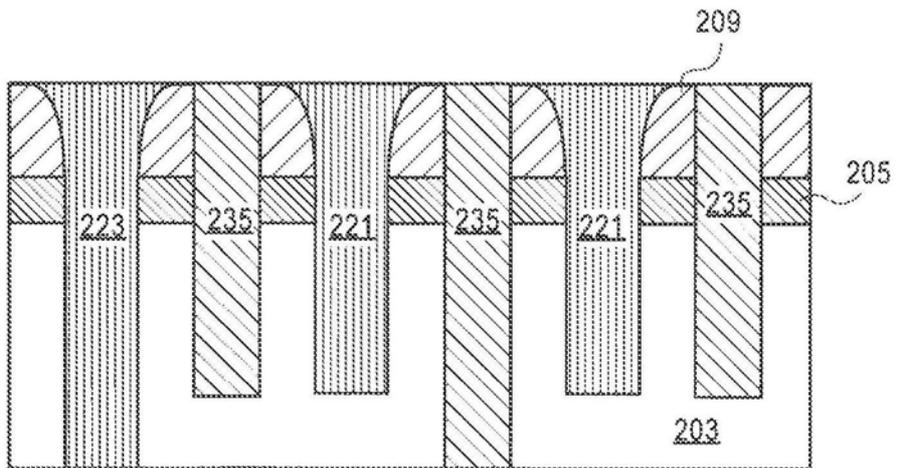


图2H

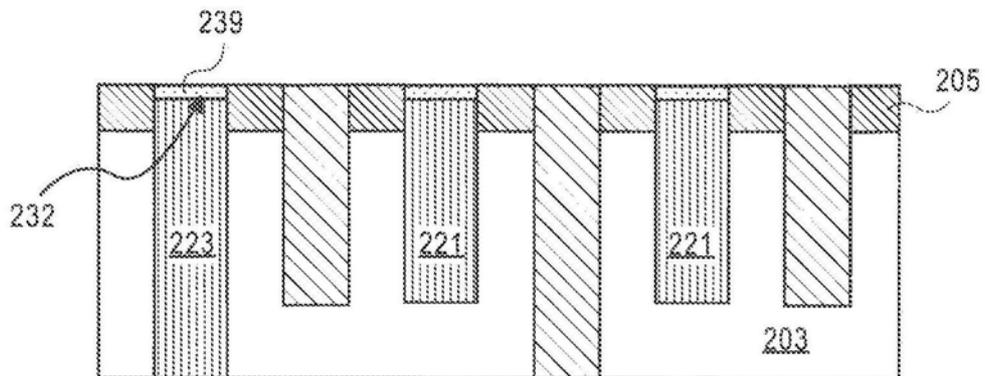


图2I

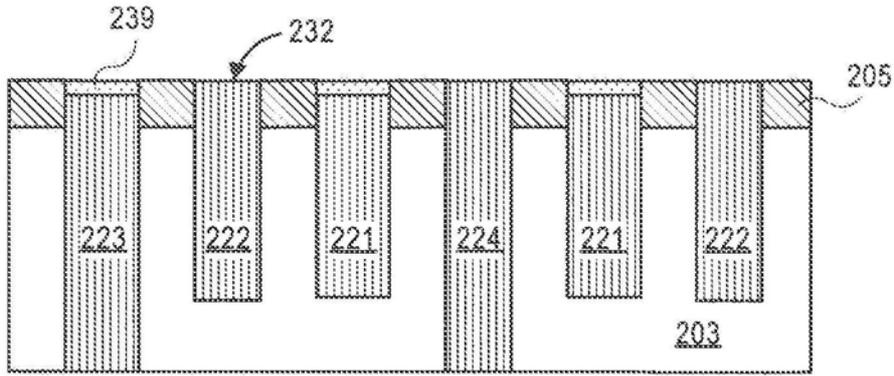


图2J

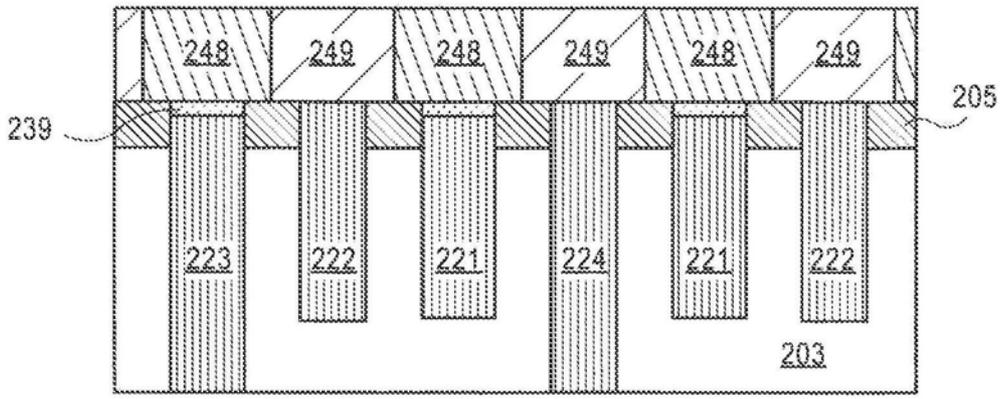


图2K

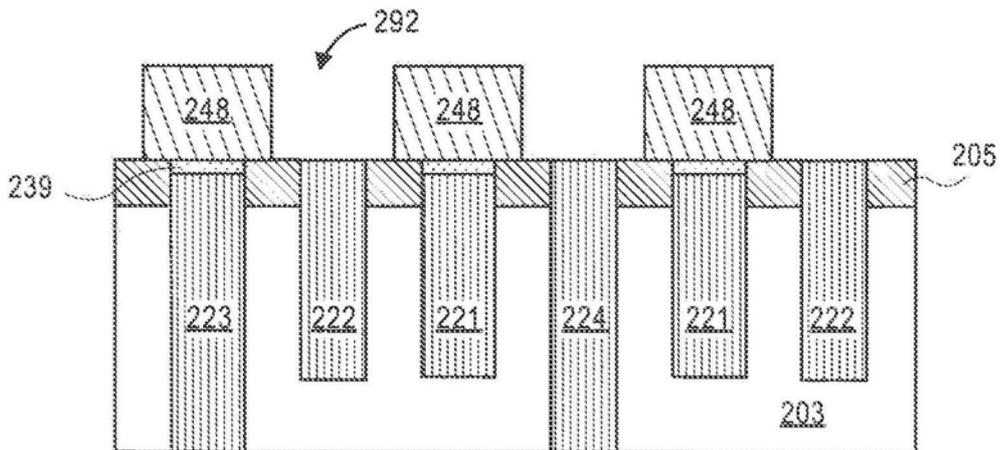


图2L

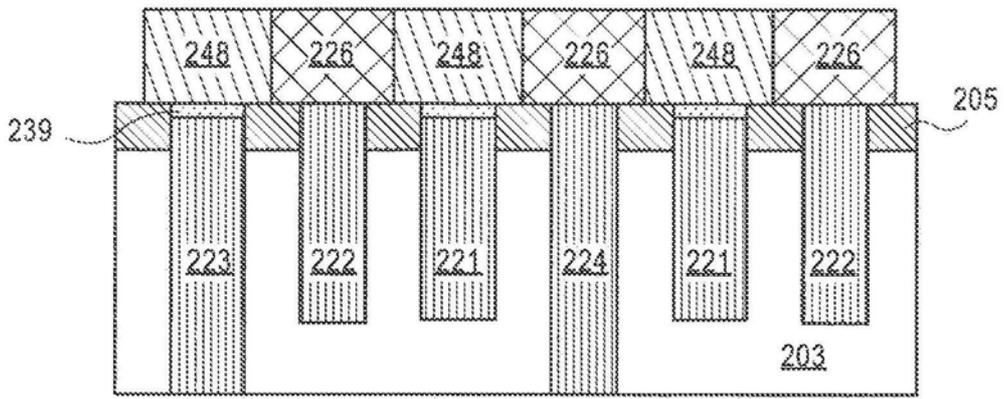


图2M

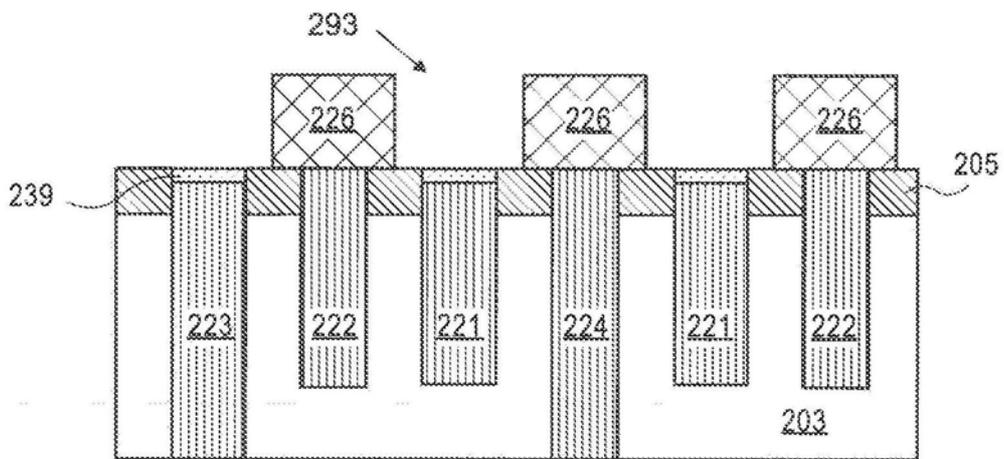


图2N

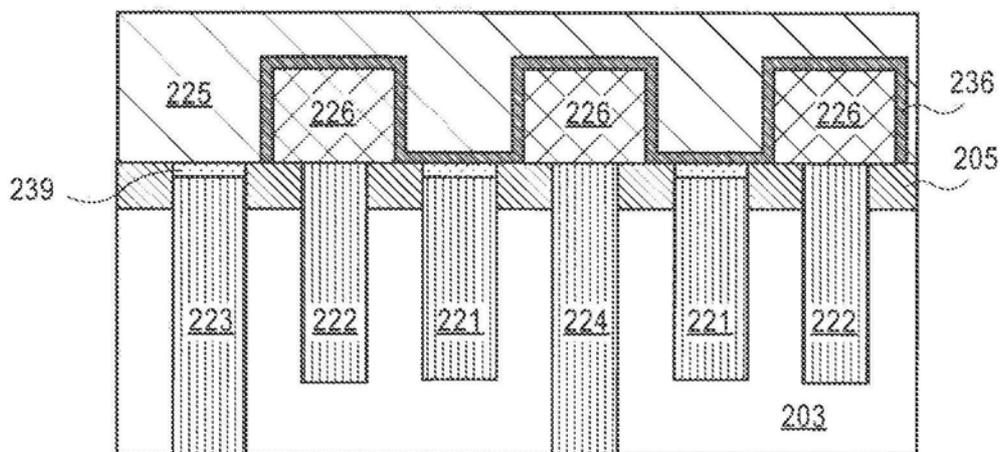


图2O

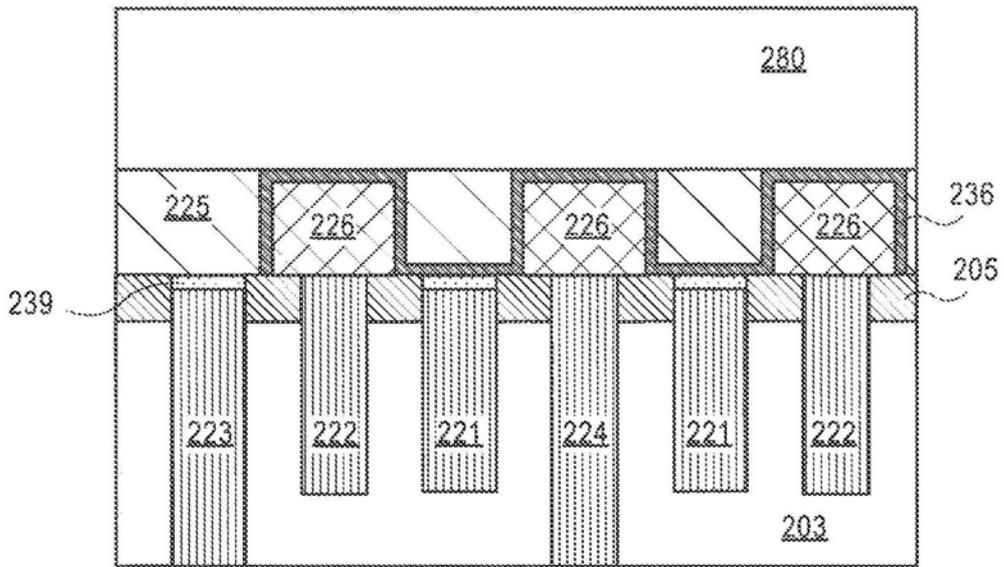


图2P

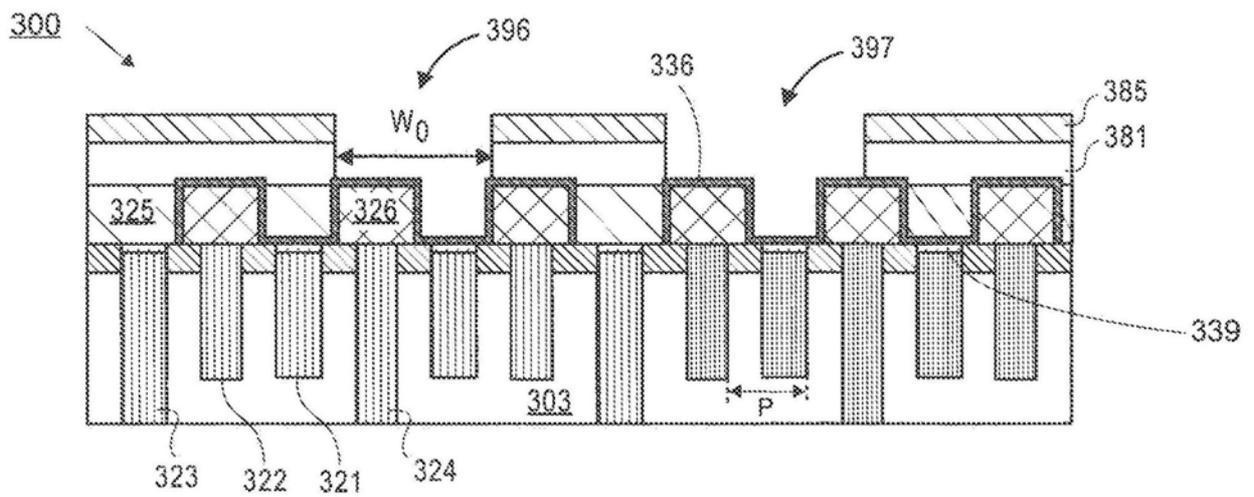


图3

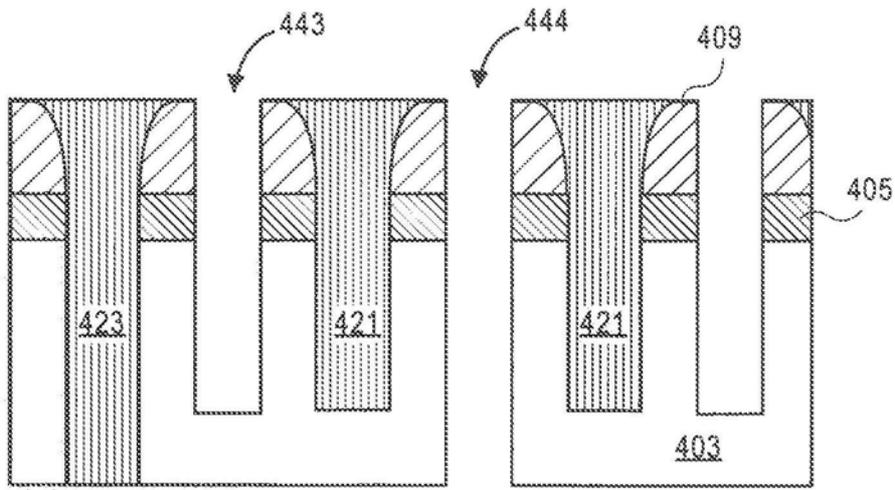


图4A

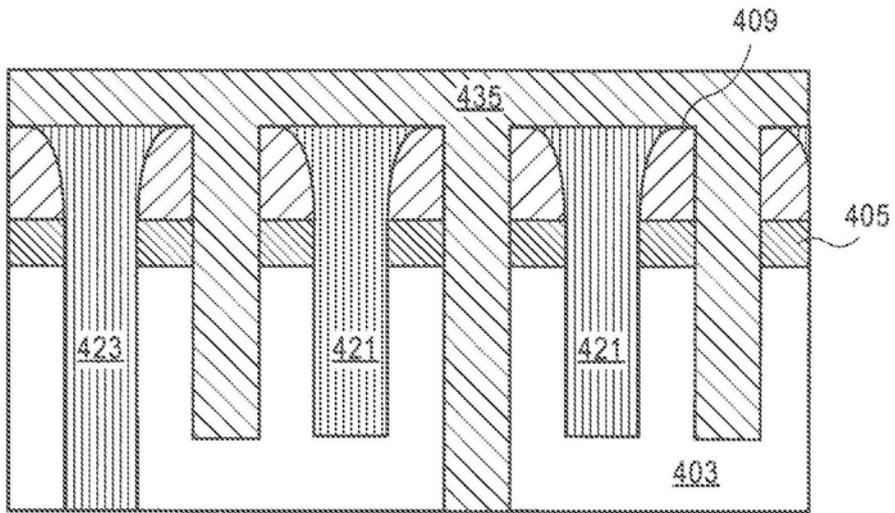


图4B

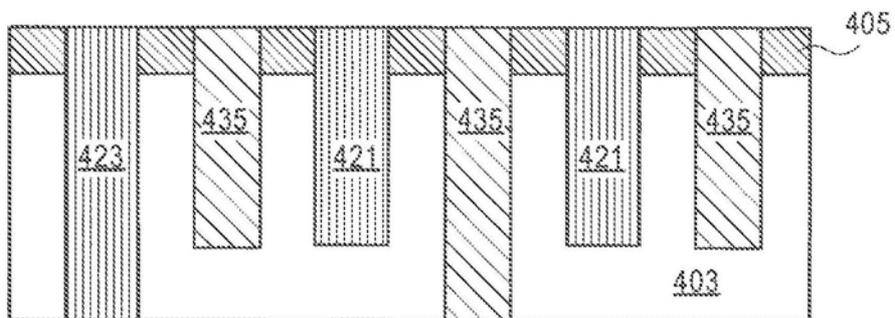


图4C

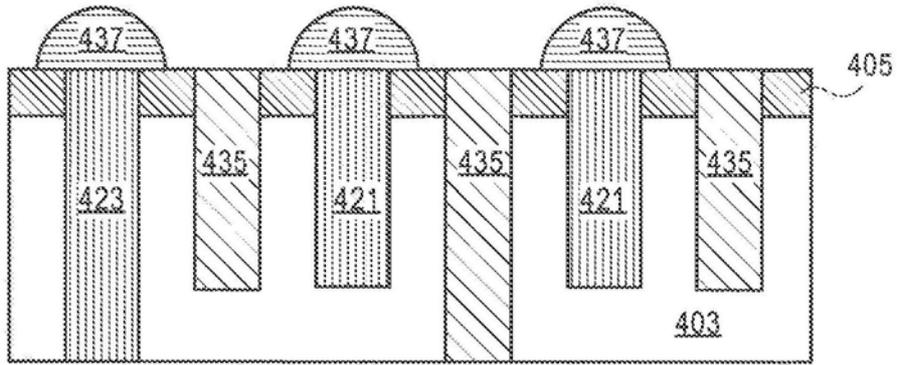


图4D

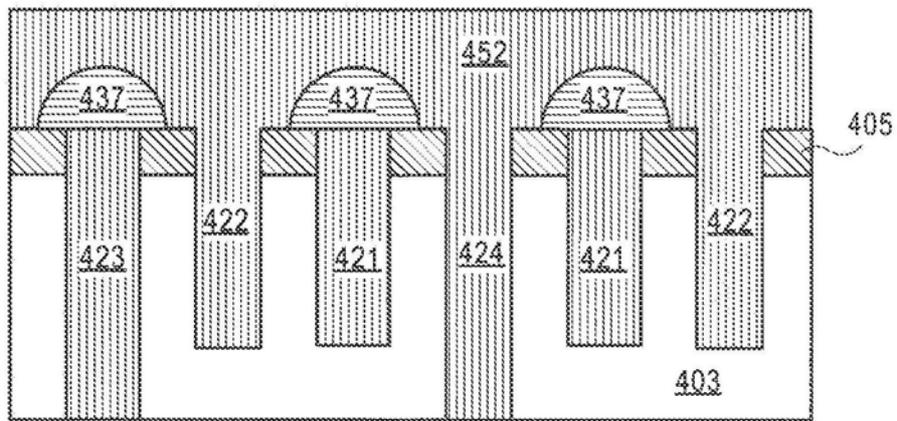


图4E

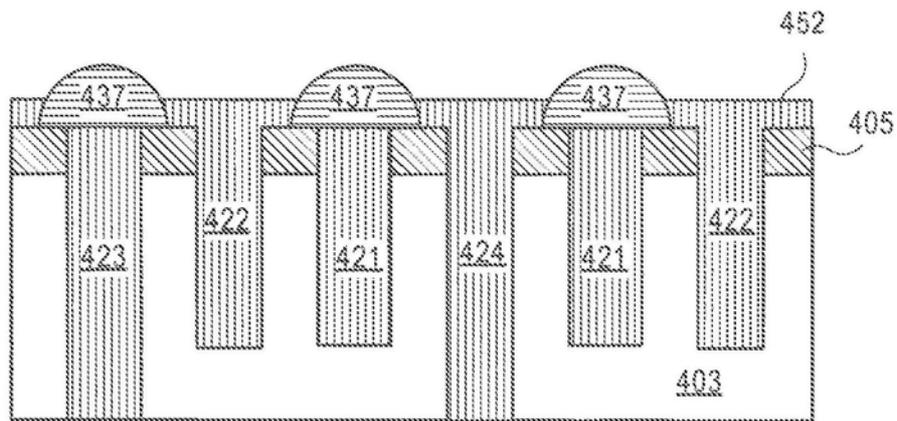


图4F

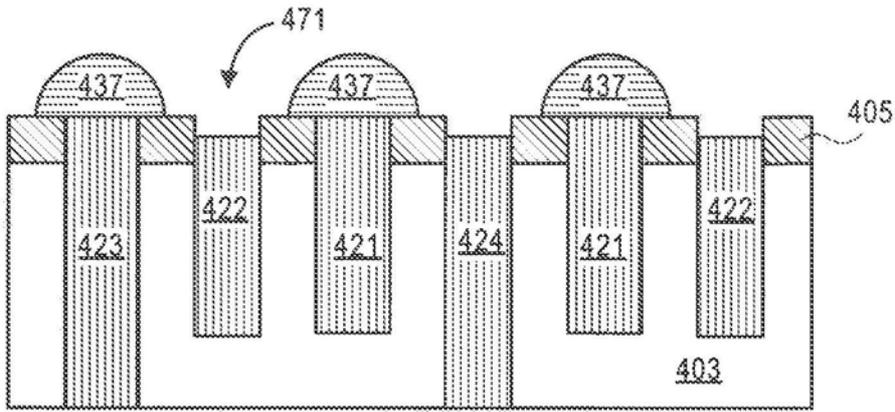


图4G

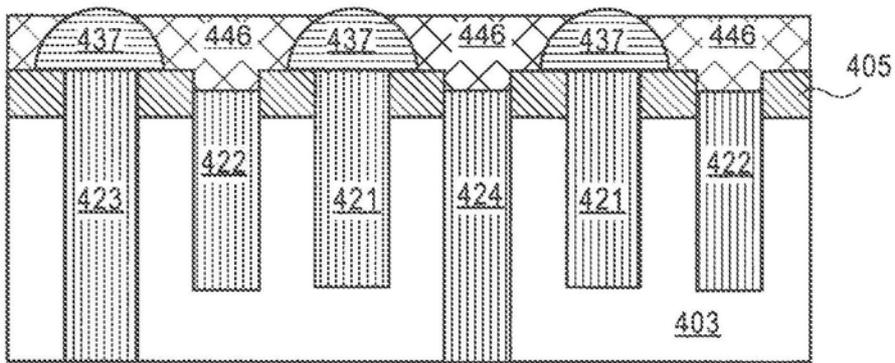


图4H

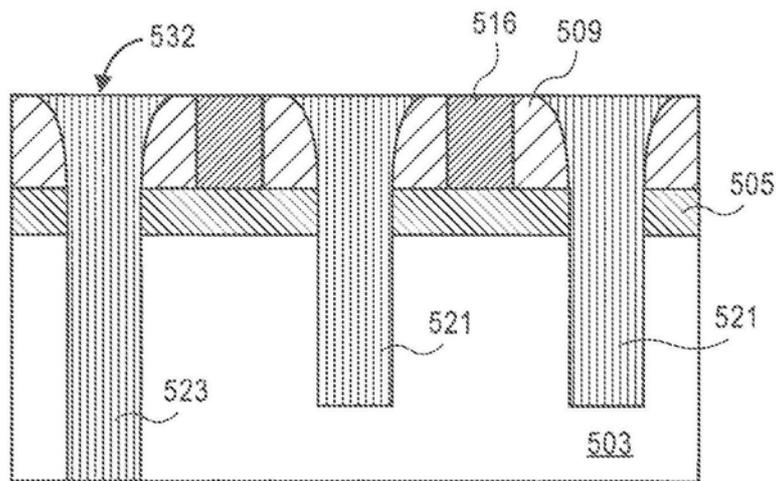


图5A

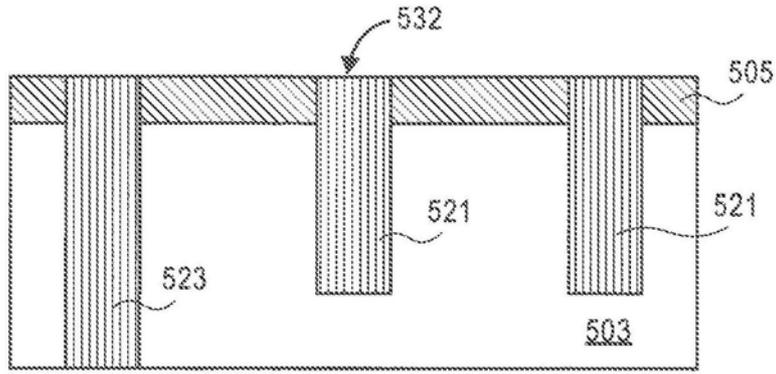


图5B

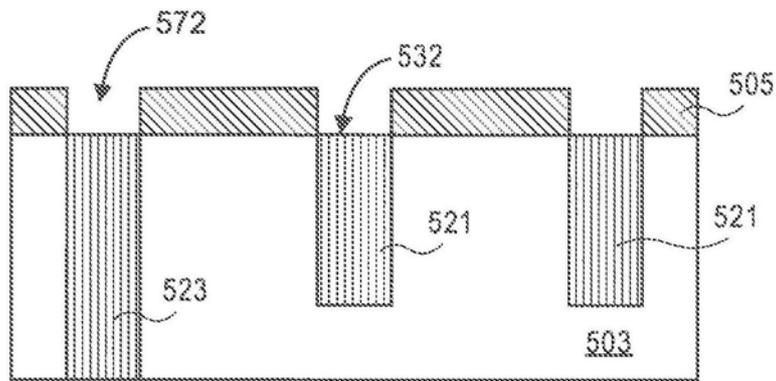


图5C

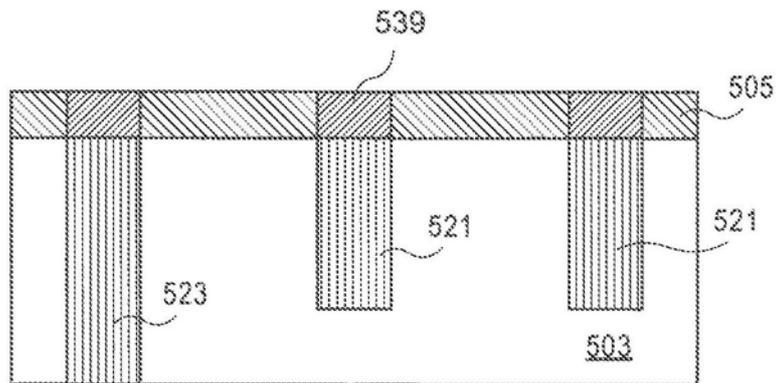


图5D

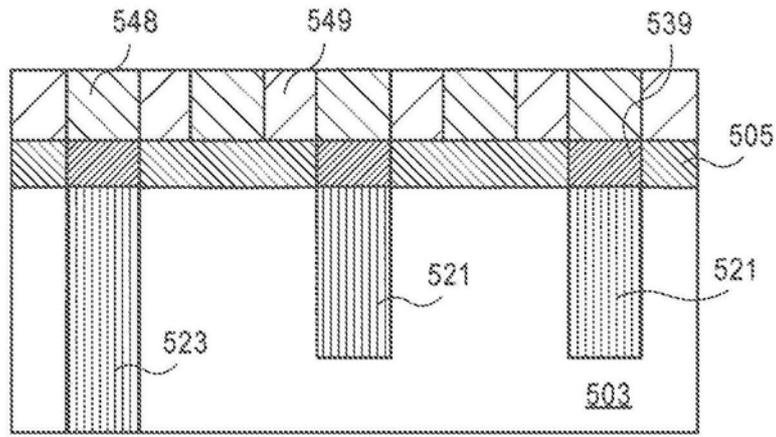


图5E

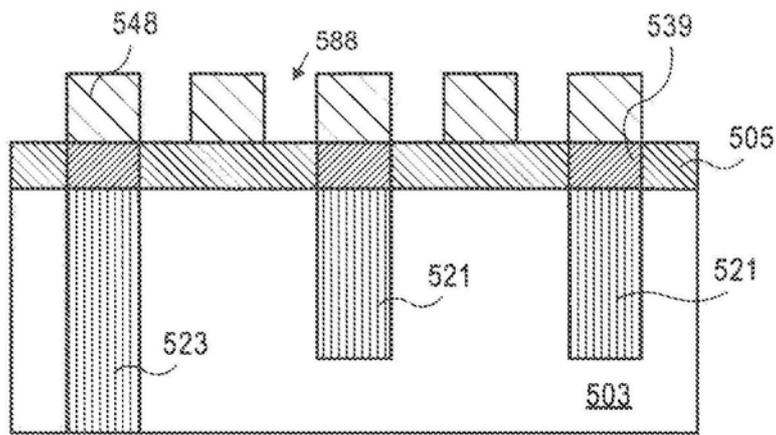


图5F

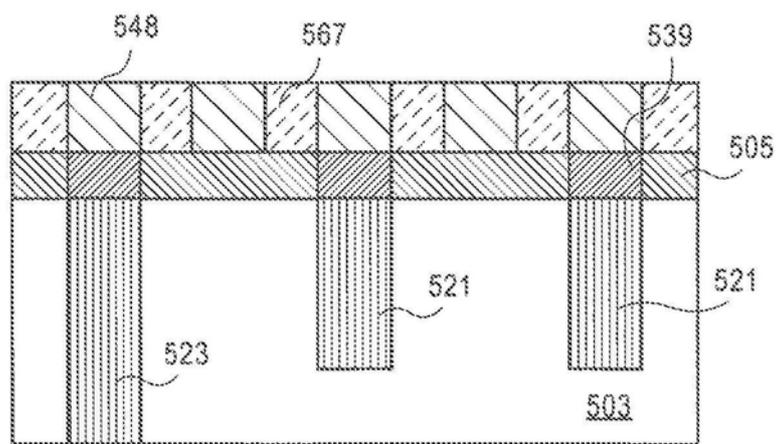


图5G

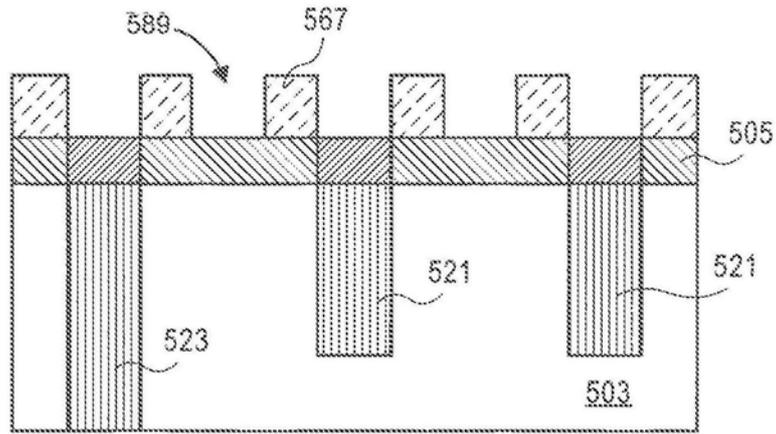


图5H

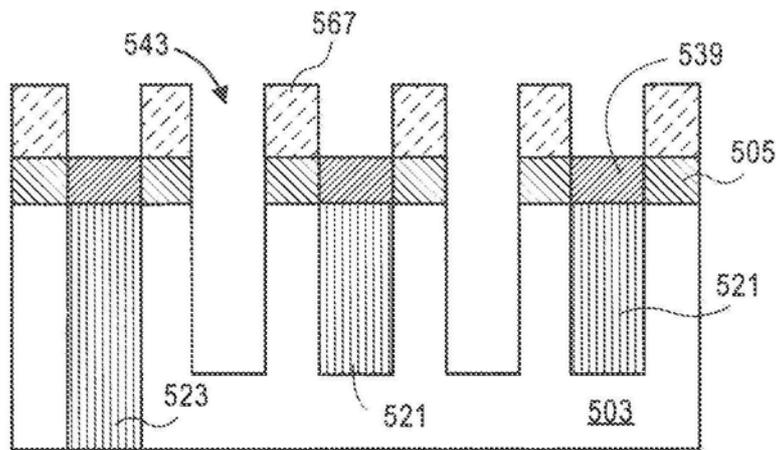


图5I

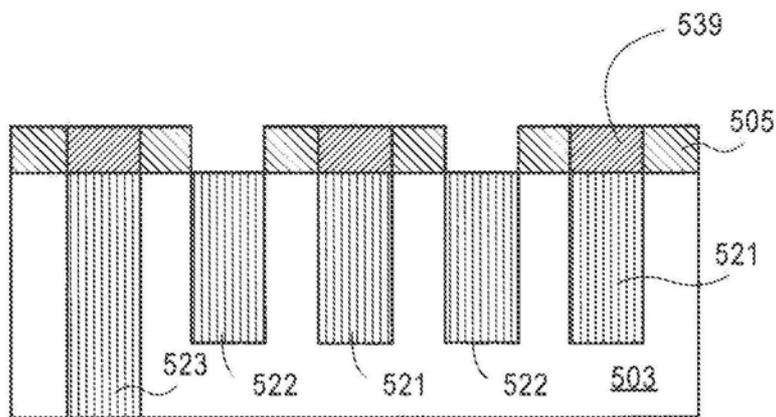


图5J

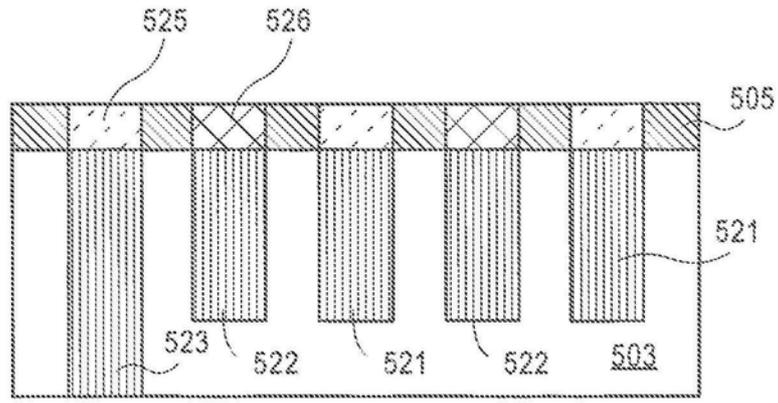


图5K

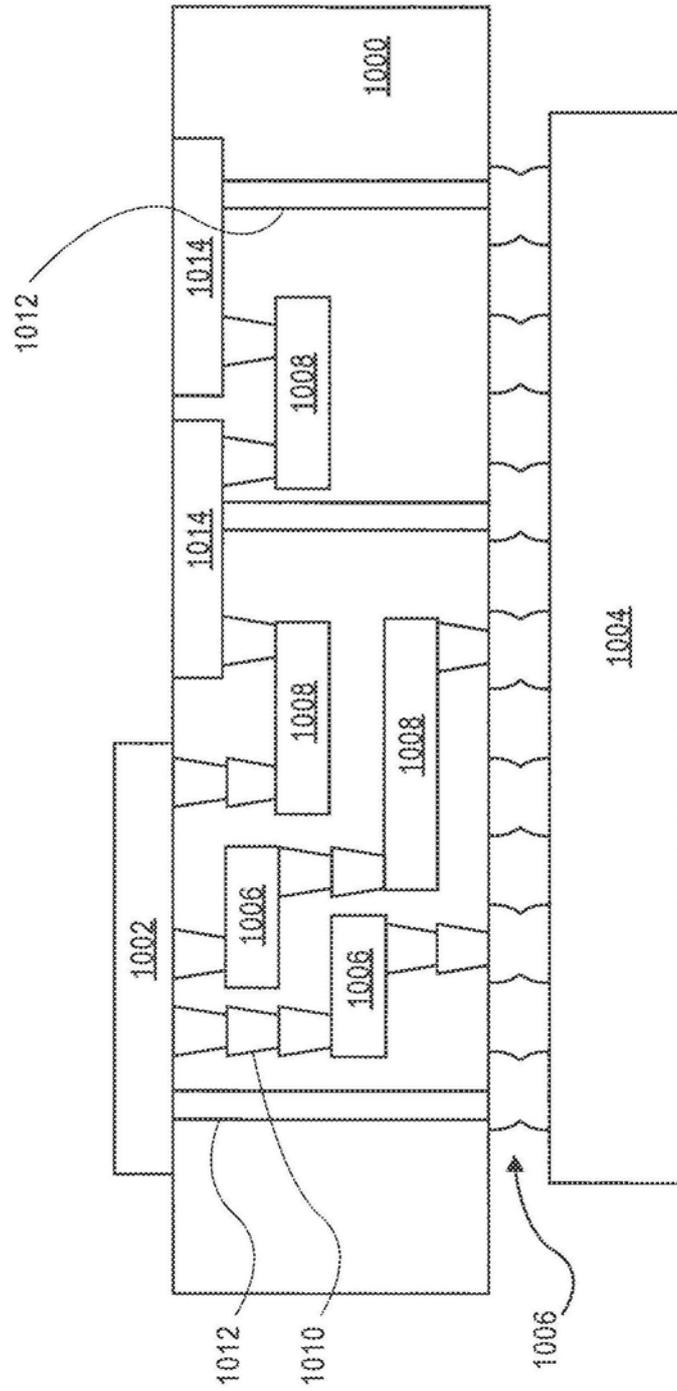


图6

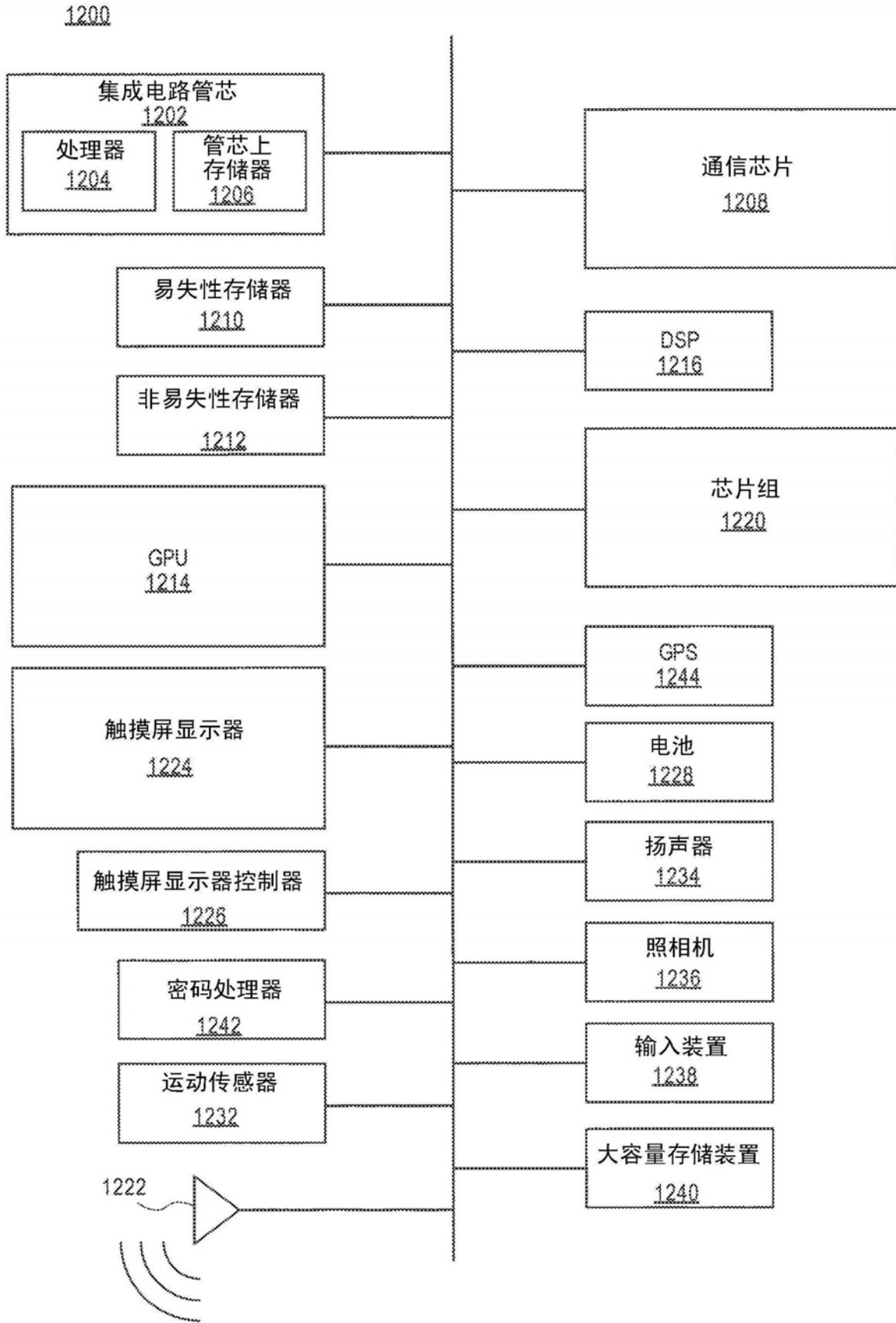


图7