



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 101 96 066 B4 2009.09.03**

(12)

## Patentschrift

(21) Deutsches Aktenzeichen: **101 96 066.2**  
 (86) PCT-Aktenzeichen: **PCT/JP01/02985**  
 (87) PCT-Veröffentlichungs-Nr.: **WO 2001/078234**  
 (86) PCT-Anmeldetag: **06.04.2001**  
 (87) PCT-Veröffentlichungstag: **18.10.2001**  
 (43) Veröffentlichungstag der PCT Anmeldung  
 in deutscher Übersetzung: **13.03.2003**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **03.09.2009**

(51) Int Cl.<sup>8</sup>: **H03K 5/13 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2000-106443 07.04.2000 JP**

(62) Teilung in:  
**101 64 839.1**

(73) Patentinhaber:  
**Advantest Corp., Tokio/Tokyo, JP**

(74) Vertreter:  
**PFENNING MEINIG & PARTNER GbR, 80339 München**

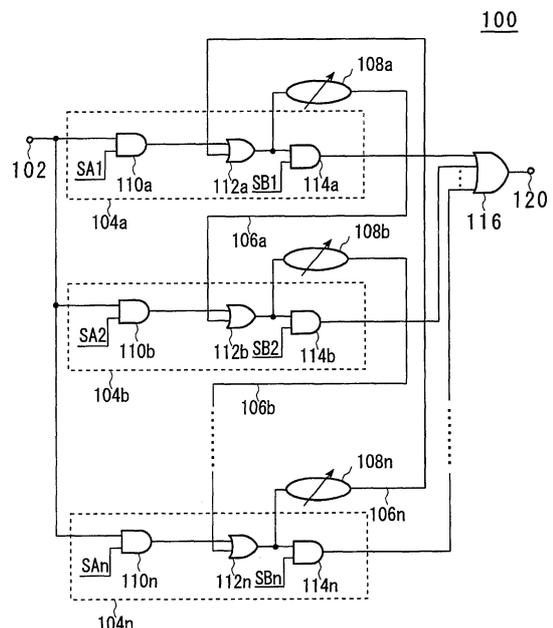
(72) Erfinder:  
**Suda, Masakatsu, Tokio/Tokyo, JP**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:

<b>DE</b>	<b>28 16 577</b>	<b>A1</b>
<b>US</b>	<b>58 18 276</b>	<b>A</b>
<b>JP</b>	<b>05-1 29 911</b>	<b>A</b>
<b>JP</b>	<b>56-1 07 630</b>	<b>A</b>
<b>US</b>	<b>57 81 056</b>	<b>A</b>

(54) Bezeichnung: **Verzögerungsschaltung**

(57) Hauptanspruch: Verzögerungsschaltung, die ein Eingangssignal verzögert, mit einem Eingangsanschluss (102), zu welchem das Eingangssignal geliefert wird, mehreren Verzögerungspfaden (104) mit jeweils mehreren Verzögerungselementen (110, 112, 114), welche Verzögerungspfade (104) zumindest einen ersten Verzögerungspfad (104a) und einen zweiten Verzögerungspfad (104b) aufweisen und parallel mit dem Eingangsanschluss (102) verbunden sind, und einem ersten Verbindungspfad (106a), der elektrisch einen Ausgang eines Verzögerungselements (112a) des ersten Verzögerungspfades (104a) mit einem Eingang eines Verzögerungselements (112b) des zweiten Verzögerungspfades (104b) verbindet, dadurch gekennzeichnet, dass der erste Verbindungspfad (106a) ein variables Verzögerungselement (108a) enthält, das eine grobe Verzögerungsauflösung ( $\Delta T$ ) hat, und dass die die mehreren Verzögerungselemente (110, 112, 114) aufweisenden Verzögerungspfade (104) eine feine Verzögerungsauflösung ( $\Delta t$ ) haben.



**Beschreibung**

Technisches Gebiet

**[0001]** Die vorliegende Erfindung bezieht sich auf eine Verzögerungsschaltung.

Stand der Technik

**[0002]** [Fig. 1](#) ist ein Blockschaltbild einer herkömmlichen variablen Verzögerungsschaltung **10**. Die herkömmliche variable Verzögerungsschaltung **10** enthält einen Eingangsanschluss **12**, eine grobe Verzögerungsschaltung **14**, eine feine Verzögerungsschaltung **16**, Speicher **18** und **20**, die Daten zum Steuern der groben Verzögerungsschaltung **14** bzw. der feinen Verzögerungsschaltung **16** speichern, und einen Ausgangsanschluss **22**. Die grobe Verzögerungsschaltung **14** erzeugt eine lange Spanne der groben Verzögerung, und die feine Verzögerungsschaltung **16** erzeugt eine kurze Spanne der feinen Verzögerung.

**[0003]** [Fig. 2](#) zeigt eine Konfiguration der groben Verzögerungsschaltung **14**, die in der herkömmlichen variablen Verzögerungsschaltung **10** enthalten ist. [Fig. 2A](#) zeigt die grobe Verzögerungsschaltung **14**, in welcher  $(n - 1)$  Stufen von Puffern in Kaskadenschaltung verbunden sind. Der Eingang des Puffers der ersten Stufe und der Ausgang der Puffer jeder Stufe sind mit einer Auswahlvorrichtung **30** verbunden. Die Auswahlvorrichtung **30** wählt eine von  $n$  Signalleitungen auf der Grundlage eines zugeführten Steuersignals CTRL aus. Die in [Fig. 2A](#) gezeigte grobe Verzögerungsschaltung **14** hat eine grobe Verzögerungsauflösung, die äquivalent einem Puffer ist, d. h. eine Auflösung, die äquivalent zwei Invertern ist.

**[0004]** [Fig. 2B](#) zeigt die grobe Verzögerungsschaltung **14**, die aus mehreren NAND-Schaltungen gebildet ist. In dieser groben Verzögerungsschaltung **14** geht ein Eingangssignal zu  $n$  Stufen von Pfaden auseinander und wird jeweils zu NAND-Schaltungen geliefert. Steuersignale CTRL (1)–(n) werden zu den NAND-Schaltungen geliefert, die jeweils in der ersten Stufe jedes Pfades positioniert sind. Die mehreren NAND-Schaltungen sind in  $n$  Stufen von Pfaden so positioniert, dass die grobe Verzögerungsschaltung **14** eine grobe Verzögerungsauflösung hat, die zwei NAND-Schaltung äquivalent ist.

**[0005]** [Fig. 3](#) zeigt die Konfiguration der feinen Verzögerungsschaltung **16**, die in der herkömmlichen Variablen Verzögerungsschaltung **10** enthalten ist. [Fig. 3A](#) zeigt die feine Verzögerungsschaltung **16**, in der mehrere Kondensatoren, gebildet aus Übertragungsgates **32** und Gates **34** von Transistoren, parallel mit einer Signalleitung verbunden sind. Steuersignale werden zu jedem der Übertragungsgates **32** geliefert, und sie führen eine unabhängige

Ein/Aus-Steuerung durch. Durch Veränderung der Anzahl der Übertragungsgates **32**, die eingeschaltet sind, werden mehrere Stufen von Kondensatoren als ein variabler Kondensator verwendet. Die feine Verzögerungsschaltung **16** erzeugt eine kurze feine Verzögerung durch Krümmen einer Anstiegs/Abfall-Kante einer Wellenform unter Verwendung des variablen Kondensators.

**[0006]** [Fig. 3B](#) zeigt die feine Verzögerungsschaltung **16**, in der mehrere Stufen von Transistoren **36** in den Leistungszuführungsabschnitt eines Inverters eingefügt sind. Steuersignale werden zu Gates von jedem der Transistoren **36** geliefert, welche eine unabhängige Ein/Aus-Steuerung durchführen. Durch Veränderung der Anzahl der Gates, welche eingeschaltet sind, werden die mehreren Stufen von Transistoren als ein variabler Widerstand verwendet. Die feine Verzögerungsschaltung **16** erzeugt eine kurze feine Verzögerung durch Veränderung einer Zeitkonstanten zum Laden einer Lastkapazität des Inverters unter Verwendung dieses variablen Widerstands.

**[0007]** Da die in [Fig. 1](#) gezeigte herkömmliche variable Verzögerungsschaltung **10** zwei Stufen von Verzögerungsschaltungen hat, in denen die grobe Verzögerungsschaltung **14** und die feine Verzögerungsschaltung **16** in Reihe verbunden sind, wird die Größe der Schaltung groß. Folglich besteht in der variablen Verzögerungsschaltung **10** das Problem, dass die variable Verzögerungsschaltung **10** eine messbare Leistungsmenge erfordert, und es besteht eine große Möglichkeit der Verschlechterung der Genauigkeit der Verzögerungsspanne. Weiterhin ergibt sich ein Nachteil dadurch, dass die in [Fig. 2A](#) gezeigte grobe Verzögerungsschaltung **14** eine lange Versetzungsfortpflanzungs-Verzögerungszeit (tPD) hat. Darüber hinaus haben die in [Fig. 2B](#) gezeigte grobe Verzögerungsschaltung **14** und die in [Fig. 3A](#) und [Fig. 3B](#) gezeigte feine Verzögerungsschaltung **16** den Nachteil, dass Eingangslasten von Verzögerungselementen nicht gleichförmig sind.

**[0008]** [Fig. 4](#) ist ein Diagramm zur Erläuterung einer verbrauchten elektrischen Stromwelle einer Schaltung, in der mehrere Puffer durch Kaskadenschaltung verbunden sind. [Fig. 4A](#) zeigt eine verbrauchte elektrische Stromwelle, wenn Eingangslasten von Puffern gleichförmig sind. In diesem Fall ist gezeigt, dass die Welle des verbrauchten elektrischen Stroms flach ist. [Fig. 4B](#) zeigt eine verbrauchte elektrische Stromwelle, wenn Eingangslasten von Puffern nicht gleichförmig sind. Eine Schaltung, in der ein Kondensator zwischen einigen Puffern positioniert ist, ist als ein Beispiel gezeigt. Wenn ein Signal zu dieser Schaltung geliefert wird, kann die Welle des verbrauchten elektrischen Stroms nicht flach gehalten werden, da ein Kondensator eine Ladung und Entladung durchführt, was eine Schwankung eines zugeführten Stroms bewirkt. Das Rauschen, das in der

verbrauchten elektrischen Stromwelle erscheint, hat einen schlechten Einfluss auf andere Schaltungen in der variablen Verzögerungsschaltung **10**, und insbesondere hat dieses Rauschen leicht eine Schwankung einer Betriebscharakteristik einer Schaltung zur Folge, die eine lange Anstiegs/Abfallzeit hat. Aus diesem Grund bestand das Problem, dass es schwierig ist, eine genaue Verzögerungsspanne unter Verwendung der in **Fig. 2B** gezeigten groben Verzögerungsschaltung **14** und der in **Fig. 3A** und **B** gezeigten feinen Verzögerungsschaltung **16** zu erzeugen.

**[0009]** Die US 5 818 276 A offenbart einen Taktgenerator mit zwei Verzögerungspfaden zum Verzögern eines Eingangssignals und des invertierten Eingangssignals. Jeder Verzögerungspfad enthält mehrere Verzögerungselemente. Zusätzlich sind zwei Verbindungspfade vorgesehen, von denen der eine dem Ausgang eines Verzögerungselements im zweiten Verzögerungspfad mit einem Eingang eines Verzögerungselements im ersten Verzögerungspfad und der andere den Ausgang eines Verzögerungselements im ersten Verzögerungspfad mit einem Eingang eines Verzögerungselements im zweiten Verzögerungspfad verbindet. Die Verbindungspfade enthalten keine Verzögerungselemente.

**[0010]** Weiterhin zeigt die US 5 781 056 A eine variable Verzögerungsschaltung mit zwei Pfaden, über die an einem Eingangsanschluss eingegebene Signale zu einem Ausgangsanschluss übertragen werden. Eine Auswahlerschaltung schaltet die beiden Pfade entsprechend einem Auswahlsignal. Zwei Ringoszillatoren haben Oszillationsperioden, die jeweils gleich einem – für die beiden Pfade unterschiedlichen – Mehrfachen der Verzögerungszeit des zugehörigen Pfades sind. Phasenvergleicherschaltungen vergleichen einerseits die Phasen eines von außen zugeführten ersten Taktsignals und des Ausgangssignals des ersten Ringoszillators, und andererseits die Phasen eines von außen zugeführten zweiten Taktsignals und des Ausgangssignals des zweiten Ringoszillators. Verzögerungszeit-Steuerschaltungen steuern die Oszillationsperioden der Ringoszillatoren so, dass sie gleich der Periode des ersten Taktsignals und des zweiten Taktsignals sind, und weiterhin die Verzögerungszeiten der beiden Pfade. Hierdurch wird eine Verzögerungsschaltung mit gewünschter Auflösung erhalten.

#### Offenbarung der Erfindung

**[0011]** Demgemäß ist es eine Aufgabe der vorliegenden Erfindung, eine Verzögerungsschaltung vorzusehen, welche das vorgenannte Problem löst. Die Aufgabe kann gelöst werden durch die im Anspruch 1 beschriebenen Merkmale. Die abhängigen Ansprüche definieren weitere vorteilhafte und beispielhafte Kombinationen der vorliegenden Erfindung.

**[0012]** Um das vorgenannte Problem zu lösen, sieht die vorliegende Erfindung eine Verzögerungsschaltung vor, die ein Eingangssignal verzögert. Die Verzögerungsschaltung enthält einen Eingangsanschluss, zu welchem das Eingangssignal geliefert wird, mehrere Verzögerungspfade, die jeweils mehrere Verzögerungselemente haben und parallel zu dem Eingangsanschluss verbunden sind, und einen Verbindungspfad, der einen Ausgang eines Verzögerungselements in einem ersten Verzögerungspfad in den mehreren Verzögerungspfaden und einen Eingang eines Verzögerungselements in einem zweiten Verzögerungspfad, der verschieden von dem ersten Verzögerungspfad ist, elektrisch verbindet. Der Verbindungspfad enthält ein variables Verzögerungselement, das eine grobe Verzögerungsauflösung hat, und die die mehreren Verzögerungselemente aufweisenden Verzögerungspfades haben eine feine Verzögerungsauflösung. Diese Verzögerungsschaltung kann einen Verbindungspfad enthalten, der einen Ausgang eines Verzögerungselements in dem zweiten Verzögerungspfad und einen Eingang eines Verzögerungselements in dem ersten Verzögerungspfad elektrisch verbindet.

**[0013]** Die Verzögerungsschaltung kann weiterhin enthalten: zumindest einen Verbindungspfad, der einen Ausgang des Verzögerungselements in zumindest einem Verzögerungspfad aus den mehreren Verzögerungspfaden und einen Eingang des Verzögerungselements in einem anderen Verzögerungspfad, der sich in einer folgenden Stufe des Verzögerungspfades befindet, elektrisch verbindet, und einen Verzögerungspfad, der einen Ausgang des Verzögerungselements in einem Verzögerungspfad einer letzten Stufe und einen Eingang des Verzögerungselements in einem Verzögerungspfad einer ersten Stufe elektrisch verbindet. Zu dieser Zeit ist es bevorzugt, dass die mehreren Verbindungspfade die Verzögerungspfade von der ersten Stufe zu der letzten Stufe in Reihe verbinden, und den Verzögerungspfad der letzten Stufe und der ersten Stufe zu verbinden.

**[0014]** Das Verzögerungselement kann auch eine logische Torschaltung enthalten, welche zumindest zwei Eingängen, einen ersten Eingang und einen zweiten Eingang hat. Darüber hinaus können alle Verzögerungselemente durch die logischen Torschaltungen gebildet sein. Es ist bevorzugt, dass die logische Torschaltung in dem Verzögerungspfad entweder den ersten Eingang oder den zweiten Eingang zu einem Eingang zu der logischen Torschaltung macht auf der Grundlage einer gewünschten Verzögerungsspanne, die das Eingangssignal verzögert. Darüber hinaus kann die logische Torschaltung eine NAND-Schaltung sein.

**[0015]** Darüber hinaus kann ein zusätzliches Element an einem Eingang des vorbestimmten Verzögerungselements positioniert sein, so dass Eingangs-

lasten der Verzögerungselemente im Wesentlichen gleichgemacht sind. Es ist bevorzugt, dass das zusätzliche Element dasselbe Element wie das Verzögerungselement ist. Wenn das Verzögerungselement durch eine logischen Torschaltung gebildet ist, ist es bevorzugt, dass das zusätzliche Element auch durch eine logische Torschaltung gebildet ist. Darüber hinaus kann der Verbindungspfad das Verzögerungselement enthalten. Darüber hinaus kann logische Torschaltung eine NAND-Schaltung sein.

#### Kurzbeschreibung der Zeichnungen

[0016] [Fig. 1](#) ist ein Blockschaltbild einer herkömmlichen variablen Verzögerungsschaltung **10**.

[0017] [Fig. 2](#) zeigt eine Konfiguration einer groben Verzögerungsschaltung **14**, die in der herkömmlichen variablen Verzögerungsschaltung **10** enthalten ist.

[0018] [Fig. 3](#) zeigt eine Konfiguration einer feinen Verzögerungsschaltung **16**, die in der herkömmlichen variablen Verzögerungsschaltung **10** enthalten ist.

[0019] [Fig. 4](#) ist ein Diagramm zum Erläutern einer Welle eines verbrauchten elektrischen Stroms einer Schaltung, mit der mehrere Puffer durch Kaskadenschaltung verbunden sind.

[0020] [Fig. 5](#) zeigt eine variable Verzögerungsschaltung **100**, die ein Eingangssignal verzögert, als ein erstes Ausführungsbeispiel der vorliegenden Erfindung.

[0021] [Fig. 6](#) zeigt eine Beziehung zwischen einem logischen Wert eines zu jedem Element der in [Fig. 5](#) gezeigten variablen Verzögerungsschaltung **100** gelieferten Steuersignals und einer Welle eines von einem Ausgangsanschluss **120** ausgegebenen Verzögerungssignals.

[0022] [Fig. 7](#) zeigt die variable Verzögerungsschaltung **100**, die ein Eingangssignal verzögert, als ein zweites Ausführungsbeispiel der vorliegenden Erfindung.

[0023] [Fig. 8](#) ist ein Diagramm zum Erläutern eines Prinzips einer NAND-Schaltung mit zwei Eingängen, die eine kurze Spanne der feinen Verzögerung erzeugt.

[0024] [Fig. 9](#) ist ein Diagramm zum Erläutern der Beziehung zwischen zu jedem Verzögerungselement gelieferten Steuersignalen S1–S6 und einer Verzögerungsspanne eines Ausgangssignals in der in [Fig. 7](#) gezeigten variablen Verzögerungsschaltung **100**.

[0025] [Fig. 10](#) zeigt die variable Verzögerungsschaltung **100**, die ein Eingangssignal verzögert, als ein drittes Ausführungsbeispiel der vorliegenden Er-

findung.

[0026] [Fig. 11](#) zeigt einen Ringoszillator **200**, der eine Oszillationsfrequenz verändert, als ein viertes Ausführungsbeispiel der vorliegenden Erfindung.

[0027] [Fig. 12](#) zeigt ein Beispiel einer in [Fig. 11](#) gezeigten variablen Verzögerungsschaltung **10**.

[0028] [Fig. 13](#) zeigt eine Beziehung zwischen einer Kombination von Steuersignalen SA1–SA<sub>n</sub> und SB0–SB<sub>n</sub>, welche den Verzögerungspfad in der in [Fig. 12](#) gezeigten variablen Verzögerungsschaltung **210** auswählen, und Verzögerungsspannen eines ausgewählten Verzögerungspfades.

[0029] [Fig. 14](#) zeigt ein Ausführungsbeispiel einer in [Fig. 11](#) gezeigten variablen Verzögerungsschaltung **212**.

[0030] [Fig. 15](#) ist ein Diagramm zum Erläutern einer Beziehung zwischen zu jedem Verzögerungselement gelieferten Steuersignalen S1–S6 und Verzögerungsspannen eines Ausgangssignals in der in [Fig. 14](#) gezeigten variablen Verzögerungsschaltung **212**.

#### Beste Art zur Ausführung der Erfindung

[0031] Diese Erfindung wird nun auf der Grundlage der nachfolgenden Ausführungsbeispiele beschrieben, bei welchen nicht beabsichtigt ist, den Umfang der vorliegenden Erfindung, wie sie in den angefügten Ansprüchen definiert ist, zu beschränken. Alle Merkmalen und die Kombinationen hiervon, die in den Ausführungsbeispielen beschrieben sind, sind nicht notwendigerweise wesentlich für die Erfindung.

[0032] [Fig. 5](#) zeigt eine variable Verzögerungsschaltung **100**, die ein Eingangssignal verzögert, als ein erstes Ausführungsbeispiel der vorliegenden Erfindung. Die variable Verzögerungsschaltung **100** hat eine vorbestimmte Auflösung und erzeugt eine gewünschte Spanne einer variablen Verzögerung. Die variable Verzögerungsschaltung **100** enthält einen Eingangsanschluss **102**, zu welchem ein Eingangssignal geliefert wird, mehrere Verzögerungspfade **104**, mehrere Verbindungspfade **106**, eine ODER-Schaltung **116**, welche das Ausgangssignal der Verzögerungspfade **104** als Eingangssignal aufnimmt und eine logische ODER-Operation mit den Eingangssignalen durchführt, und einen Ausgangsanschluss **120**. Die mehreren Verzögerungspfade **104a–104n** sind parallel mit dem Eingangsanschluss **102** verbunden. Der erste Verzögerungspfad **104a** hat mehrere Verzögerungselemente **110a**, **112a** und **114a**. In gleicher Weise haben die anderen Verzögerungspfade **104b–104n** mehrere Verzögerungselemente **110b–110n**, **112b–112n** bzw. **114b–114n**. Die ODER-Schaltung **116** wirkt als ein Ausgabeabschnitt

der mehreren Verzögerungspfade **104**. Bei einem anderen Ausführungsbeispiel kann die ODER-Schaltung **116** eine andere Schaltungsanordnung aufweisen.

**[0033]** Der Verbindungspfad **106a** verbindet elektrisch einen Ausgang des Verzögerungselements **112a** in dem ersten Verzögerungspfad **104a** der mehreren Verzögerungspfade **104** und einen Eingang des Verzögerungselements **112b** in dem zweiten Verzögerungspfad **104b**, der verschieden von dem ersten Verzögerungspfad **104a** ist. Bei diesem Ausführungsbeispiel verbindet der Verbindungspfad **106** elektrisch den Ausgang des Verzögerungselements **112** in zumindest einem der Verzögerungspfade **104** und dem Eingang des Verzögerungselements **112** in dem anderen Verzögerungspfad **104**, das in der folgenden Stufe des Verzögerungspfads **104** positioniert ist. Darüber hinaus verbindet der Verbindungspfad **106n** elektrisch den Ausgang des Verzögerungselements **112n** in dem n-ten Verzögerungspfad **104n** der letzten Stufe, und den Eingang des Verzögerungselements **112a** in dem ersten Verzögerungspfad **104a** der ersten Stufe. Bei einem anderen Ausführungsbeispiel kann jeder der Verzögerungspfade **104** mit einem Verzögerungspfad einer anderen Stufe, der nicht in der folgenden Stufe positioniert ist, verbunden sein. Die Verbindungspfade **106a–106n** können jeweils variable Verzögerungselemente **108a–108n** haben.

**[0034]** Bei diesem Ausführungsbeispiel können die Verzögerungselemente **110** und **114** in den Verzögerungspfad **104** als eine feine Verzögerungsschaltung wirken, die eine kurze Verzögerungsspanne erzeugt, und das variable Verzögerungselement **108** kann als eine grobe Verzögerungsschaltung wirken, die eine lange Verzögerungsspanne erzeugt. Z. B. können die Verzögerungselemente **110** und **114** eine feine Verzögerung erzeugen, die eine Verzögerungsauflösung von  $\Delta t$  hat, und das variable Verzögerungselement **108** kann eine grobe Verzögerung erzeugen, die eine Verzögerungsauflösung von  $\Delta T$  hat. Bei diesem in der Zeichnung dargestellten Ausführungsbeispiel sind die Verzögerungselemente **110** und **114** UND-Schaltungen, und die Verzögerungsspanne dieser UND-Schaltungen kann als eine Spanne einer groben Verzögerung verwendet werden. Zu dieser Zeit kann eine feine Verzögerung erzeugt werden durch Einstellen der zu den Verzögerungselementen **110** und **114** gelieferten Spannung, oder sie kann durch ein anderes Verfahren erzeugt werden. Das variable Verzögerungselement **108** kann einen Pfad aus mehreren Pfaden  $C_0$ – $C_n$  auswählen, welche eine Verzögerungsauflösung von  $\Delta T$  haben, und es kann eine gewünschte Verzögerungsspanne erhalten.

**[0035]** Ein Steuersignal SA wird zu dem Verzögerungselement **110** geliefert, das eine UND-Schaltung

ist, und ein Steuersignal SB wird zu dem Verzögerungselement **114** geliefert, das eine UND-Schaltung ist. Die Steuersignale SA und SB werden zu den Verzögerungselementen **110** bzw. **114** geliefert, so dass ein Vorschubpfad eines Signals definiert werden kann. Darüber hinaus ist es bevorzugt, obgleich nicht gezeigt, dass Schaltungen, wie beispielsweise UND-Schaltungen, in jedem der Verbindungspfade **106a–106n** positioniert sind für die Steuerung, ob ein Signal durch die Verbindungspfade **106a–106n** hindurchgeht oder nicht, und ein Steuersignal, welches bestimmt, ob ein Signal hindurchgeht oder nicht, wird zu den Schaltungen geliefert.

**[0036]** **Fig. 6** zeigt die Beziehung zwischen einem logischen Wert von Steuersignalen, die zu jedem Element der in **Fig. 5** gezeigten variablen Verzögerungsschaltung **100** geliefert werden, und einer Welle eines von dem Ausgangsanschluss **120** ausgegebenen Verzögerungssignals. Die Verzögerungspfade **104** haben eine Verzögerungsauflösung  $\Delta t$ , und zumindest eine feine Verzögerung innerhalb eines Bereichs von  $\{(n-1) \cdot \Delta t\}$  wird erzeugt. Insbesondere erzeugt der zweite Verzögerungspfad **104b** eine um  $\Delta t$  längere Verzögerungsspanne als der erste Verzögerungspfad **104a**, der n-te Verzögerungspfad **104n** erzeugt eine um  $(n-1) \cdot \Delta t$  längere Verzögerungsspanne als der erste Verzögerungspfad **104a**. Darüber hinaus haben die variablen Verzögerungselemente **108a–108n** eine Verzögerungsauflösung von  $\Delta T$ . Insbesondere hat das variable Verzögerungselement **108a** einen Pfad  $C_0$ , der eine Verzögerungsspanne von 0 hat, eine Pfad  $C_1$ , der eine Verzögerungsspanne von  $\Delta T$  hat, und einen Pfad  $C_2$ , der eine Verzögerungsspanne von  $2\Delta T$  hat, usw., und einer der Pfade wird auf der Grundlage eines Steuersignals ausgewählt. Es ist bevorzugt, dass die grobe Verzögerungsspanne  $\Delta T$  kürzer als  $n \cdot \Delta t$  ist.

(1\_1) zeigt eine Verzögerungssignalwelle, wenn Steuersignale SA1 und SB1, welche logische Werte von "1" haben, zu den Verzögerungselementen **110a** und **114a**, die UND-Schaltungen sind, geliefert werden, und eine Verzögerungsspanne des variablen Verzögerungselements **108** wird auf 0 gesetzt (Pfad  $C_0$ ). Das unter den Bedingungen von (1\_1) erzeugte Verzögerungssignal ist als ein Bezugsverzögerungssignal definiert.

(1\_2) zeigt eine Verzögerungssignalwelle, wenn Steuersignale SA2 und SB2, die logische Werte von "1" haben, zu den Verzögerungselementen **110b** und **114b**, welche UND-Schaltungen sind, geliefert werden, und eine Verzögerungsspanne des variablen Verzögerungselements **108** wird auf 0 gesetzt (Pfad  $C_0$ ). Das in (1\_2) gezeigte Verzögerungssignal hat relativ eine um  $\Delta t$  längere Verzögerungsspanne als das Bezugsverzögerungssignal. (1\_n) zeigt eine Verzögerungssignalwelle, wenn Steuersignale SA<sub>n</sub> und SB<sub>n</sub>, die logische Werte von "1" haben, zu den Verzögerungselementen **110n** und **114n**, welche UND-Schaltungen

gen sind, geliefert werden, und eine Verzögerungsspanne des variablen Verzögerungselements **108** ist auf 0 gesetzt (Pfad C0). Das in (1\_n) gezeigte Verzögerungssignal hat relativ eine um  $(n - 1) \cdot \Delta t$  längere Verzögerungsspanne als das Bezugsverzögerungssignal.

(2\_1) zeigt eine Verzögerungssignalwelle, wenn ein Steuersignal SA1, das einen logischen Wert von "1" hat, zu dem Verzögerungselement **110a** geliefert wird, ein Steuersignal SB2, das einen logischen Wert von "1" hat, zu dem Verzögerungselement **114b** geliefert wird, und eine Verzögerungsspanne des variablen Verzögerungselements **108a** auf  $\Delta T$  gesetzt ist (Pfad C1). Zu dieser Zeit geht das von dem Eingangsanschluss **102** gelieferte Signal durch die Verzögerungselemente **110a** und **112a**, den Verbindungspfad **106a**, in welchem das variable Verzögerungselement **108a** enthalten ist, die Verzögerungselemente **112b** und **114b** und die ODER-Schaltung **116** hindurch und wird von dem Ausgangsanschluss **120** ausgegeben. Das in (2\_1) gezeigte Verzögerungssignal hat relativ eine um  $\Delta T$  längere Verzögerungsspanne als das Bezugsverzögerungssignal. In gleicher Weise hat das in (2\_2) gezeigte Verzögerungssignal relativ eine um  $(\Delta T + \Delta t)$  längere Verzögerungsspanne als das Bezugsverzögerungssignal, und das in (2\_n) gezeigte Verzögerungssignal hat relativ eine um  $\{\Delta T + (n - 1) \cdot \Delta t\}$  längere Verzögerungsspanne als das Bezugsverzögerungssignal.

(3\_1) zeigt eine Verzögerungssignalwelle, wenn ein Steuersignal SA1, das einen logischen Wert von "1" hat, zu dem Verzögerungselement **110a** geliefert wird, ein Steuersignal SB2, das einen logischen Wert von "1" hat, zu dem Verzögerungselement **114b** geliefert wird, und eine Verzögerungsspanne des variablen Verzögerungselements **108** auf  $2\Delta T$  gesetzt ist (Pfad C2). Das in (3\_1) gezeigte Verzögerungssignal hat relativ eine um  $2\Delta T$  längere Verzögerungsspanne als das Bezugsverzögerungssignal.

**[0037]** Auf diese Weise erzeugt die variable Verzögerungsschaltung **100** eine Verzögerung, die eine Verzögerungsauflösung von  $\Delta t$  hat. Obgleich [Fig. 6](#) erläutert, wie die gewünschte Verzögerungsspanne erzeugt wird, wobei zwei benachbarte Verzögerungspfade **104** (**104a**, **104b**) verwendet werden, wie beispielsweise in (2\_1) gezeigt ist, kann die gewünschte Verzögerungsspanne unter Verwendung mehrerer Verzögerungspfade erzeugt werden, die bei einem anderen Ausführungsbeispiel nicht aneinander grenzen. Z. B. kann die gewünschte Verzögerungsspanne erzeugt werden durch Verwendung des Verzögerungspfades **104b**, des Verzögerungspfades **104n**, der nicht an den Verzögerungspfad **104b** angrenzt, und des Verbindungspfades **106**, der zwischen dem Verzögerungspfad **104b** und dem Verzögerungspfad **104n** existiert.

**[0038]** Die variable Verzögerungsschaltung **100** bei diesem Ausführungsbeispiel kann einen kleineren Schaltungsumfang als die herkömmliche Schaltung haben, indem das variable Verzögerungselement **108** als eine grobe Verzögerungsschaltung und der Verzögerungspfad **104** als eine feine Verzögerungsschaltung durch den Verbindungspfad **106** integriert werden.

**[0039]** [Fig. 7](#) zeigt die variable Verzögerungsschaltung **100**, die ein Eingangssignal verzögert, als ein zweites Ausführungsbeispiel der vorliegenden Erfindung. Die variable Verzögerungsschaltung **100** hat eine vorbestimmte Verzögerungsauflösung und erzeugt eine gewünschte variable Verzögerungsspanne. Die variable Verzögerungsschaltung **100** enthält einen Eingangsanschluss **102**, zu welchem ein Eingangssignal geliefert wird, mehrere Verzögerungspfade **104a** und **104b**, mehrere Verbindungspfade **106a** und **106b**, eine NAND-Schaltung **146**, welche das Ausgangssignal der Verzögerungspfade **104a** und **104b** aufnimmt und eine logische NAND-Operation durchführt, und einen Ausgangsanschluss **120**. Die mehreren Verzögerungspfade **104a** und **104b** sind parallel mit dem Eingangsanschluss **102** verbunden. Ein erster Verzögerungspfad **104a** hat mehrere Verzögerungselemente **130**, **132** und **134**. In gleicher Weise hat auch ein zweiter Verzögerungspfad **104b** mehrere Verzögerungselemente **138**, **140** und **142**. Die NAND-Schaltung **146** wirkt als ein Ausgabeabschnitt der mehreren Verzögerungspfade **104**. Bei einem anderen Ausführungsbeispiel kann die NAND-Schaltung **146** eine andere logische Tor-schaltung sein.

**[0040]** Der Verbindungspfad **106a** verbindet elektrisch den Ausgang des Verzögerungselements **132** in dem ersten Verzögerungspfad **104a** und den Eingang des Verzögerungselements **140** in dem zweiten Verzögerungspfad **104b** von den mehreren Verzögerungspfaden **104**. Darüber hinaus verbindet der Verbindungspfad **106b** elektrisch den Ausgang des Verzögerungselements **140** in dem zweiten Verzögerungspfad **104b** und den Eingang des Verzögerungselements **132** in dem ersten Verzögerungspfad **104a**. Bei diesem Ausführungsbeispiel hat der Verzögerungspfad **106a** ein Verzögerungselement **136**, und der Verbindungspfad **106b** hat ein Verzögerungselement **144**. In der variablen Verzögerungsschaltung **100** bei diesem Ausführungsbeispiel ist es bevorzugt, dass alle Verzögerungselemente NAND-Schaltungen sind, von denen jede zumindest zwei Eingänge hat, einen ersten Eingang und einen zweiten Eingang. Bei einem anderen Ausführungsbeispiel kann der Verbindungspfad **106** ein Pfad sein, der kein Verzögerungselement hat.

**[0041]** Bei diesem Ausführungsbeispiel wirkt jedes Verzögerungselement als feine Verzögerungsschaltung, in der eine kurze Spanne der feinen Verzöge-

nung erzeugt wird. Darüber hinaus wirken mehrere Stufen von Verzögerungselemente als eine grobe Verzögerungsschaltung, die die lange Spanne der groben Verzögerung erzeugt.

**[0042]** Darüber hinaus kann eine grobe Verzögerungsauflösung erzeugt werden durch Auswahl, ob ein Vorschubpfad eines Signals die Verbindungspfade **106a** oder **106b** enthält oder nicht. Die Verzögerungselemente **136** und **140** sind NAND-Schaltungen, und eine grobe Verzögerungsauflösung in der variablen Verzögerungsschaltung **100** ist soviel wie die Verzögerungsauflösung der beiden NAND-Schaltungen.

**[0043]** **Fig. 8** ist ein Diagramm zum Erläutern eines Prinzips einer NAND-Schaltung mit zwei Eingängen, die eine kurze Spanne der feinen Verzögerung erzeugt. **Fig. 8A** zeigt ein logisches Symbol der NAND-Schaltung mit zwei Eingängen, die einen ersten Eingang A1, einen zweiten Eingang A2 und einen Ausgang X hat. **Fig. 8B** zeigt ein Schaltungsdiagramm der in **Fig. 8A** gezeigten NAND-Schaltung. Die NAND-Schaltung hat einen parasitischen Kondensator C1 am Ausgang, und sie hat einen parasitischen Kondensator C2 zwischen dem ersten Eingang A1 und zweiten Eingang A2, wie gezeigt ist. Der Grund wird nachfolgend erläutert, warum eine Verzögerungsspannung eines Signals von dem Ausgang X, wenn ein Signal zu dem ersten Eingang A1 geliefert wird, aufgrund des parasitischen Kondensators C2 unterschiedlich gegenüber einer Verzögerungsspanne eines Signals von dem Ausgang X ist, wenn ein Signal zu dem zweiten Eingang A2 geliefert wird.

**[0044]** Zuerst wird, wenn ein logischer Pegel H zu dem zweiten Eingang A2 geliefert wird, und ein Impulssignal zu dem ersten Eingang A1 geliefert wird, da ein Gate eines Transistors Tr2 zu dieser Zeit immer eingeschaltet ist, der parasitische Kondensator C2 entladen. Wenn in diesem Zustand ein Impulssignal zu einem Transistor Tr1 geliefert wird, wird die Verzögerungsspanne eines von dem Ausgang X ausgehenden Ausgangssignals durch den parasitischen Kondensator C2 kaum beeinflusst.

**[0045]** Als Nächstes wird, wenn ein logischer Pegel H zu dem ersten Eingang A1 geliefert wird und ein Impulssignal zu dem zweiten Eingang A2 geliefert wird, obgleich das Gate des Transistors Tr1 zu dieser Zeit eingeschaltet ist, da das Gate des Transistors Tr2 abgeschaltet ist, der parasitische Kondensator C2 geladen. Wenn ein Impulssignal zu dem Gate des Transistors Tr2 geliefert wird und der Transistor Tr2 in diesem Zustand eingeschaltet wird, wird, da eine kurze Zeit für die Entladung des parasitischen Kondensators C2 erforderlich ist, das Ausgangssignal von dem Ausgang X für die Dauer der Entladung leicht verzögert. D. h., wenn ein Anstiegsimpuls zu dem Transistor Tr2 geliefert wird, wird eine Abfallzeit eines

Ausgangssignals verlängert, so dass eine Verzögerung des Ausgangssignals erzeugt wird. Somit kann eine kurze Verzögerung erzeugt werden, wenn ein Signal zu dem zweiten Eingang A2 geliefert wird, verglichen mit dem Fall, wenn ein Signal zu dem ersten Eingang A1 geliefert wird.

**[0046]** Die in **Fig. 7** gezeigte variable Verzögerungsschaltung **100** kann den erste Eingang oder den zweiten Eingang jedes Verzögerungselements als einen Eingangsanschluss eines Signals verwenden, und sie kann eine kurze Zeitspanne der feinen Verzögerung erzeugen durch Einstellen der Anzahl des ersten Eingangs und des zweiten Eingangs, die mit einem Signalpfad verbunden sind. Daher haben die Verzögerungspfade **104a** und **104b** bei diesem Ausführungsbeispiel die NAND-Schaltungen, die entweder den ersten Eingang oder den zweiten Eingang als einen Signaleingang setzen auf der Grundlage einer gewünschten Verzögerungsspanne, welche ein Eingangssignal verzögern sollte. Darüber hinaus haben die Verbindungspfade **106a** und **106b** auch die NAND-Schaltungen, welche entweder den ersten Eingang oder den zweiten Eingang als einen Signaleingang setzen auf der Grundlage einer gewünschten Verzögerungsspanne, die ein Eingangssignal verzögern sollte. Demgemäß ist es bevorzugt, dass derjenige Eingang, der erste Eingang oder der zweite Eingang der NAND-Schaltung, der als ein Eingangsanschluss auszuwählen ist, gesetzt wird auf der Grundlage einer gewünschten Verzögerungsspanne oder feinen Verzögerungsauflösung.

**[0047]** **Fig. 9** ist ein Diagramm zum Erläutern der Beziehung zwischen zu jedem Verzögerungselement gelieferten Steuersignalen S1–S6 und einer Verzögerungsspanne eines Ausgangssignals in der in **Fig. 7** gezeigten variablen Verzögerungsschaltung **100**. Wie mit Bezug auf **Fig. 8** erläutert ist, ist von zwei Eingängen einer NAND-Schaltung der auf der oberen Seite der Zeichnung gezeigte Eingang als der erste Eingang A1 definiert, und der auf der unteren Seite der Zeichnung gezeigte Eingang ist als der zweite Eingang A2 definiert. Wenn ein Signal zu dem zweiten Eingang A2 geliefert wird, wird ein Ausgangssignal ein kleines bisschen stärker verzögert als in dem Fall, in welchem ein Signal zu dem ersten Eingang A1 geliefert wird. In einer NAND-Schaltung wird eine Verzögerungsspanne, die äquivalent der Differenz zwischen einer Verzögerungsspanne eines zu dem ersten Eingang A1 gelieferten Signals und einer Verzögerungsspanne eines zu dem zweiten Eingang A2 gelieferten Signals ist, als  $\Delta t$  definiert.

(1) zeigt eine Verzögerungsspanne zu der Zeit der Zuführung der Steuersignale S1 und S3, von denen jedes einen logischen Wert von "1" hat, zu den Verzögerungselementen **130** bzw. **134**. Das von dem Eingangsanschluss **102** gelieferte Eingangssignal passiert die Verzögerungselemente **130**, **132**, **134** und **146** und wird von dem Aus-

gangsanschluss **120** ausgegeben. Daher hat in dem Pfad von (1) das Ausgangssignal eine grobe Verzögerungsspanne von vier Stufen von NAND-Schaltungen. Das Signal wird zu dem ersten Eingang A1 von jedem der Verzögerungselemente **130**, **132**, **134** und **146** geliefert, wie in [Fig. 7](#) gezeigt ist.

(2) zeigt eine Verzögerungsspanne zu der Zeit der Zuführung der Steuersignale S2 und S5, von denen jedes den logischen Wert von "1" hat, zu den Verzögerungselementen **138** bzw. **142**. Das Eingangssignal passiert die Verzögerungselemente **138**, **140**, **142** und **146** und wird von dem Ausgangsanschluss **120** ausgegeben. Daher hat in dem Pfad von (2) das Ausgangssignal eine grobe Verzögerungsspanne von vier Stufen von NAND-Schaltungen. Das Signal wird zu dem ersten Eingang A1 des Verzögerungselements **142** geliefert und zu dem zweiten Eingang A2 der Verzögerungselemente **138**, **140** und **146** geliefert, wie in [Fig. 7](#) gezeigt ist.

Wenn (2) mit (1) verglichen wird, ist, obgleich die Anzahl von Stufen der NAND-Schaltungen (eine grobe Verzögerungsspanne) durch welche das Signal hindurchgeht, dieselbe ist, die Anzahl von Malen, bei denen das Signale zu dem zweiten Eingang A2 geliefert wird, unterschiedlich. Bei diesem Beispiel geht das Signal dreimal durch die zweiten Eingänge A2 auf dem Vorschubpfad des in (2) gezeigten Steuersignals hindurch, während das Signal auf dem Vorschubpfad des in (1) gezeigten Steuersignals nicht durch den zweiten Eingang A2 hindurchgeht. Daher wird das Ausgangssignal in (2) um  $3\Delta t$  stärker verzögert als das Ausgangssignal in (1).

(3) zeigt eine Verzögerungsspanne zu der Zeit der Zuführung der Steuersignale S1, S4 und S5, von denen jedes den logischen Wert von "1" hat, zu den Verzögerungselementen **130**, **136** bzw. **142**. Das Eingangssignal passiert die Verzögerungselemente **130**, **132**, **136**, **140**, **142** und **146** und wird von dem Ausgangsanschluss **120** ausgegeben. Daher hat das Ausgangssignal in dem Pfad von (3) eine grobe Verzögerungsspanne von sechs Stufen von NAND-Schaltungen. Wenn (3) mit (1) oder (2) verglichen wird, ist die grobe Verzögerungsspanne des Pfades von (3) um die Verzögerungsspanne von zwei Stufen der NAND-Schaltungen länger als die grobe Verzögerungsspanne des Pfades (1) oder (2). Demgemäß hat die variable Verzögerungsschaltung **100** bei diesem Ausführungsbeispiel eine grobe Verzögerungsauflösung, die äquivalent zwei Stufen von NAND-Schaltungen ist. Wie in [Fig. 7](#) gezeigt ist, wird ein Signal zu dem ersten Eingang A1 der Verzögerungselemente **130**, **132**, **136**, **140** und **142** geliefert, und es wird zu dem zweiten Eingang A2 des Verzögerungselements **146** geliefert.

(4) zeigt eine Verzögerungsspanne zu der Zeit der Zuführung der Steuersignale S2, S3 und S6, von

denen jedes den logischen Wert von "1" hat, zu den Verzögerungselementen **138**, **134** bzw. **144**. Das Eingangssignal passiert die Verzögerungselemente **138**, **140**, **144**, **132**, **134** und **146** und wird von dem Ausgangsanschluss **120** ausgegeben. Daher hat in dem Pfad von (4) das Ausgangssignal eine grobe Verzögerungsspanne von sechs Stufen der NAND-Schaltungen. Wie in [Fig. 7](#) gezeigt ist, wird ein Signal zu dem ersten Eingang A1 der Verzögerungselemente **134** und **146** geliefert, und es wird zu den zweiten Eingängen A2 der Verzögerungselemente **138**, **140**, **144** und **132** geliefert.

Wenn (4) mit (3) verglichen wird, ist, obgleich die Anzahl von Stufen der NAND-Schaltungen (eine grobe Verzögerungsspanne), durch welche das Signal hindurchgeht, dieselbe ist, die Anzahl von Malen, bei denen das Signal zu dem zweiten Eingang A2 geliefert wird, unterschiedlich. Bei diesem Beispiel geht das Signal viermal durch die zweiten Eingänge A2 auf dem Vorschubpfad des in (4) gezeigten Steuersignals hindurch, während das Signal nur einmal durch den zweiten Eingang A2 auf dem Vorschubpfad des in (3) gezeigten Steuersignals hindurchgeht. Daher wird das Ausgangssignal in (4) um  $3\Delta t$  stärker als das Ausgangssignal in (3) verzögert.

**[0048]** Demgemäß hat die variable Verzögerungsschaltung **100** bei diesem Ausführungsbeispiel eine grobe Verzögerungsauflösung, die äquivalent zwei Stufen von NAND-Schaltungen ist, und eine feine Verzögerungsauflösung von  $3\Delta t$ . Bei einem anderen Ausführungsbeispiel können eine grobe Verzögerungsauflösung und eine feine Verzögerungsauflösung, die gegenüber diesem Ausführungsbeispiel unterschiedlich sind, anwendbar durch Einstellen der Anzahl und einer Konfiguration der NAND-Schaltung, und durch Einstellen der Auswahl von zwei Eingängen zu jeder der NAND-Schaltungen.

**[0049]** [Fig. 10](#) zeigt die variable Verzögerungsschaltung **100**, welche ein Eingangssignal verzögert, als ein drittes Ausführungsbeispiel der vorliegenden Erfindung. Die variable Verzögerungsschaltung **100** hat eine vorbestimmte Auflösung und erzeugt eine gewünschte variable Verzögerung. Zusätzlich zu der Konfiguration der variablen Verzögerungsschaltung **100** nach dem mit Bezug auf [Fig. 7](#) erläuterten zweiten Ausführungsbeispiel enthält die variable Verzögerungsschaltung **100** nach dem dritten Ausführungsbeispiel mehrere zusätzliche Elemente **150**, **152**, **154**, **156**, **158** und **160**. In [Fig. 10](#) ist die Anordnung, welche dasselbe Symbol wie das Symbol in [Fig. 7](#) trägt, dieselbe oder hat dieselbe Funktion wie die in [Fig. 7](#) gezeigte und erläuterte Anordnung.

**[0050]** Z. B. ist ein Ausgang des Verzögerungselements **132** verbunden mit Eingängen der Verzögerungselemente **134** und **136**, und weiterhin ist ein

Ausgang des Verzögerungselements **140** mit Eingängen von Verzögerungselementen **142** und **144** verbunden. Es ist bevorzugt, dass die zusätzlichen Elemente **150, 152, 154, 156, 158** und **160** an Eingängen von vorbestimmten Verzögerungselementen so positioniert sind, dass Eingangslasten der Verzögerungselemente im Wesentlichen gleichgemacht sein können. Insbesondere ist das zusätzliche Element **150** an dem Eingang des Verzögerungselements **132** positioniert, und ein Ausgang des Verzögerungselements **130** ist mit Eingängen des Verzögerungselements **132** und des zusätzlichen Elements **150** verbunden. Daher teilt das Verzögerungselement **132** das zusätzliche Element **150** und den Ausgang des Verzögerungselements **130**. Folglich sind die Eingangslasten des Verzögerungselements **132** und des Verzögerungselements **134** im Wesentlichen gleichgemacht. In gleicher Weise ist jedes der anderen zusätzlichen Elemente **152, 154, 156, 158** und **160** an dem Eingang eines vorbestimmten Verzögerungselements positioniert, und der Ausgang von jedem der Verzögerungselemente ist mit Eingängen von zwei Verzögerungselementen (oder eines Verzögerungselements und eines zusätzlichen Elements) verbunden. Es ist bevorzugt, dass ein zusätzliches Element den dieselbe Schaltungskonfiguration wie ein Verzögerungselement hat. Bei diesem Ausführungsbeispiel sind alle Verzögerungselemente und alle zusätzlichen Elemente NAND-Schaltungen. Durch Gleichmachung der Eingangslasten aller Verzögerungselemente wird die Welle des verbrauchten elektrischen Stroms flach, und es wird möglich, ein Rauschen des zu jedem Verzögerungselement gelieferten Zuführungsstroms zu eliminieren. Daher reduziert die variable Verzögerungsschaltung **100** bei diesem Ausführungsbeispiel eine Schwankung einer durch eine Schwankung des Zuführungsstroms bewirkten Verzögerungsspanne.

**[0051]** Bei diesem Ausführungsbeispiel können, obgleich ein zusätzliches Element an dem Eingang des vorbestimmten Verzögerungselements positioniert ist, um die Eingangslasten der Verzögerungselemente gleichzumachen, bei einem anderen Ausführungsbeispiel mehrere zusätzliche Elemente positioniert sein. Weiterhin können bei einem anderen Ausführungsbeispiel, basierend auf der maximalen Anzahl von mit einem Ausgang jedes Verzögerungselements zu verbindenden Verzögerungselemente zusätzliche Elemente an einem Ausgang eines Verzögerungselements positioniert sein, wo die Anzahl von verbundenen Verzögerungselementen geringer als die maximale Anzahl ist.

**[0052]** [Fig. 11](#) zeigt einen Ringoszillator **200**, der eine Oszillationsfrequenz verändert, als ein viertes Ausführungsbeispiel der vorliegenden Erfindung. Der Ringoszillator **200** enthält die variable Verzögerungsschaltung **100**, die mit Bezug auf das erste, das zweite und das dritte Ausführungsbeispiel dieser Er-

findung erläutert wurde. Darüber hinaus enthält der Ringoszillator **200** variable Verzögerungsschaltungen **210, 212** und **214**, eine Rückkopplungsleitung **232** und mehrere NAND-Schaltungen **220, 222, 224, 226, 228** und **230**. Die NAND-Schaltungen **220, 222** und **226** haben eine Funktion als Verzögerungselemente, welche ein zugeführtes Signal verzögern. Wie in der Zeichnung gezeigt ist, bilden die NAND-Schaltungen **220, 222** und **226** und die variablen Verzögerungsschaltungen **210, 212, 214** und **100** einen Verzögerungspfad **240**, der ein Eingangssignal verzögert. Die Rückkopplungsleitung **232** führt ein Ausgangssignal des Verzögerungspfades **240** zu einem Eingang des Verzögerungspfades **240** zurück. In [Fig. 11](#) wirken die NAND-Schaltungen **224** und **228** als zusätzliche Elemente, welche Eingangslasten von Verzögerungselementen, die beim dritten Ausführungsbeispiel erläutert wurden, gleichmachen. Es ist bevorzugt, dass die zusätzlichen Elemente dieselbe Ausbildung wie das Verzögerungselement haben. In diesem Beispiel ist die NAND-Schaltung **224** an einem Eingang der NAND-Schaltung **222** positioniert, und die NAND-Schaltung **228** ist in gleicher Weise an einem Eingang der NAND-Schaltung **226** positioniert. In dem Ringoszillator **200** dieses Ausführungsbeispiels ist es bevorzugt, dass ein Ausgang eines Verzögerungselements von zwei Verzögerungselementen geteilt wird. Insbesondere ist es bevorzugt, dass in dem Inneren des Verzögerungspfades **240** alle Verzögerungselemente NAND-Schaltungen sind und Eingangslasten der Verzögerungselemente im Wesentlichen gleichgemacht sind.

**[0053]** [Fig. 12](#) zeigt ein Beispiel einer in [Fig. 11](#) gezeigten variablen Verzögerungsschaltung **210**. Die variable Verzögerungsschaltung **210** hat mehrere Verzögerungselemente, welche  $(n + 1)$  Stufen von Verzögerungspfaden bilden. Darüber hinaus hat die variable Verzögerungsschaltung **210** zusätzliche Elemente, die so an einem Eingang der Verzögerungselemente positioniert sind, dass Eingangslasten von Verzögerungselementen in Verzögerungspfaden im Wesentlichen gleich sind. Insbesondere hat die variable Verzögerungsschaltung **210** zusätzliche Elemente **250, 252, 254, 256, 258, 260, 262, 264, 266, 268, 270, 272, 274** und **276**. Ein Zuführungsstrom wird abgeflacht durch Positionieren eines zusätzlichen Elements an einem Eingang eines vorbestimmten Verzögerungselements. Daher erzeugt die variable Verzögerungsschaltung **210** eine genaue Verzögerungsspanne, und der Ringoszillator **200** gibt ein Signal aus, das eine genaue Oszillationsfrequenz hat.

**[0054]** [Fig. 13](#) zeigt eine Beziehung zwischen einer Kombination von Steuersignalen SA1–SA<sub>n</sub> und SB0–SB<sub>n</sub>, die den Verzögerungspfad in der in [Fig. 12](#) gezeigten Variablen Verzögerungsschaltung **210** auswählen, und einer Verzögerungsspanne eines ausgewählten Verzögerungspfades. Die variable

Verzögerungsschaltung **210** wirkt als eine grobe Verzögerungsschaltung, die eine lange Verzögerungsspanne in dem Ringoszillator **200** erzeugt, und eine variable Verzögerungsspanne mit einer Auflösung äquivalent vier Stufen von NAND-Schaltungen wird bei diesem Ausführungsbeispiel erzeugt.

[0055] **Fig. 14** zeigt ein Ausführungsbeispiel einer in **Fig. 11** gezeigten variablen Verzögerungsschaltung **212**. Die in **Fig. 11** gezeigte variable Verzögerungsschaltung **214** kann dieselbe Konfiguration wie variable Verzögerungsschaltung **212** haben. Die variable Verzögerungsschaltung **212** hat eine vorbestimmte Verzögerungsauflösung und erzeugt eine gewünschte variable Verzögerung. Die variable Verzögerungsschaltung **212** enthält einen Eingangsanschluss **102**, zu welchem ein Eingangssignal geliefert wird, mehrere Verzögerungspfade **104a** und **104b**, mehrere Verbindungspfade **106a** und **106b**, eine NAND-Schaltung **326**, welche das Ausgangssignal der Verzögerungspfade **104a** und **104b** aufnimmt und eine logische NAND-Operation durchführt und einen Ausgangsanschluss **120**. Die mehreren Verzögerungspfade **104a** und **104b** sind parallel mit dem Eingangsanschluss **102** verbunden. Der erste Verzögerungspfad **104a** hat mehrere Verzögerungselemente **302**, **304** und **306**. In gleicher Weise hat der zweite Verzögerungspfad **104b** auch mehrere Verzögerungselemente **314**, **316** und **318**. Die NAND-Schaltung **326** wirkt als ein Ausgabeabschnitt der mehreren Verzögerungspfade **104**. Bei einem anderen Ausführungsbeispiel kann die NAND-Schaltung **326** eine andere Schaltungsanordnung haben.

[0056] Der Verbindungspfad **106a** verbindet elektrisch einen Ausgang des Verzögerungselements **304** in dem ersten Verzögerungspfad **104a** und einen Eingang des Verzögerungselements **316** in dem zweiten Verzögerungspfad **104b**. Darüber hinaus verbindet der Verbindungspfad **106b** elektrisch einen Ausgang des Verzögerungselements **316** in dem zweiten Verzögerungspfad **104b** und einen Eingang des Verzögerungselements **304** in dem ersten Verzögerungspfad **104a**. Bei diesem Ausführungsbeispiel hat der Verbindungspfad **106a** Verzögerungselemente **308**, **310** und **312**, und der Verbindungspfad **106b** hat Verzögerungselemente **320**, **322** und **324**. In der variablen Verzögerungsschaltung **212** nach diesem Ausführungsbeispiel ist es bevorzugt, dass alle Verzögerungselemente NAND-Schaltungen sind, von denen jede zumindest zwei Eingänge hat, einen ersten Eingang und einen zweiten Eingang. Bei einem anderen Ausführungsbeispiel kann der Verbindungspfad **106** ein Pfad sein, der kein Verzögerungselement enthält.

[0057] Die variable Verzögerungsschaltung **212** kann entweder den ersten Eingang oder den zweiten Eingang jedes Verzögerungselements als einen Eingangsanschluss für ein Signal verwenden, und sie

kann eine kurze Spanne von feiner Verzögerung erzeugen durch Einstellen der Anzahl der mit einem Signalfad verbundenen ersten Eingänge und zweiten Eingänge. Daher ist es bevorzugt, dass die Verzögerungspfade **104a** und **104b** bei diesem Ausführungsbeispiel die NAND-Schaltungen haben, welche entweder den ersten Eingang oder den zweiten Eingang als einen Signaleingang setzen auf der Grundlage einer gewünschten Verzögerungsspanne, welche ein Eingangssignal verzögern sollte. Demgemäß ist es bevorzugt, dass derjenige Eingang von dem ersten Eingang oder dem zweiten Eingang, der NAND-Schaltung, der als ein Eingangsanschluss auszuwählen ist, gesetzt wird auf der Grundlage einer gewünschten Verzögerungsspanne oder feinen Verzögerungsauflösung.

[0058] **Fig. 15** ist ein Diagramm zum Erläutern der Beziehung zwischen Steuersignalen S1–S6, die zu jedem Verzögerungselemente geliefert werden, und einer Verzögerungsspanne eines Ausgangssignals in der in **Fig. 14** gezeigten variablen Verzögerungsschaltung **212**. Wie mit Bezug auf **Fig. 8** erläutert ist, ist zwischen zwei Eingängen einer NAND-Schaltung der auf einer oberen Seite der Zeichnung gezeigte Eingang als der erste Eingang A1 definiert, und der auf einer unteren Seite der Zeichnung gezeigte Eingang ist als der zweite Eingang A2 definiert. Wenn ein Signal zu dem zweiten Eingang A2 geliefert wird, wird ein Ausgangssignal etwas stärker verzögert als in dem Fall, in welchem ein Signal zu dem ersten Eingang A1 geliefert wird. In einer NAND-Schaltung ist eine Verzögerungsspanne, die äquivalent der Differenz zwischen einer Verzögerungsspanne eines zu dem ersten Eingang A1 gelieferten Signals und einer Verzögerungsspanne eines zu dem zweiten Eingang A2 gelieferten Signals ist, als  $\Delta t$  definiert.

(1) zeigt eine Verzögerungsspanne zu der Zeit der Zuführung von Steuersignalen S1 und S3, von denen jedes einen logischen Wert von "1" hat, zu den Verzögerungselementen **302** bzw. **306**. Das von dem Eingangsanschluss **102** gelieferte Eingangssignal passiert die Verzögerungselemente **302**, **304**, **306** und **326** und wird von dem Ausgangsanschluss **120** ausgegeben. Daher hat in dem Pfad von (1) das Ausgangssignal eine grobe Verzögerungsspanne von vier Stufen von NAND-Schaltungen. Das Signal wird zu dem ersten Eingang A1 jedes der Verzögerungselemente **302**, **304**, **306** und **326** geliefert, wie in **Fig. 14** gezeigt ist.

(2) zeigt eine Verzögerungsspanne zu der Zeit der Zuführung von Steuersignalen S2 und S5, von denen jedes den logischen Wert von "1" hat, zu den Verzögerungselementen **314** bzw. **318**. Das Eingangssignal passiert die Verzögerungselemente **314**, **316**, **318** und **326**, und es wird von dem Ausgangsanschluss **120** ausgegeben. Daher hat in dem Pfad von (2) das Ausgangssignal eine grobe Verzögerungsspanne von vier Stufen von

NAND-Schaltungen. Das Signal wird zu dem zweiten Eingang A2 von Verzögerungselementen **314**, **316**, **318** und **326** geliefert, wie in [Fig. 14](#) gezeigt ist.

Wenn (2) mit (1) verglichen wird, ist, obgleich die Anzahl von Stufen der NAND-Schaltungen (eine grobe Verzögerungsspanne), durch welche das Signal hindurchgeht, dieselbe ist, die Anzahl der Male, bei denen das Signal zu dem zweiten Eingang A2 geliefert wird, unterschiedlich. Bei diesem Beispiel passiert das Signal die zweiten Eingänge A2 viermal auf dem Vorschubweg des in (2) gezeigten Steuersignals, während das Signal den zweiten Eingang A2 auf dem Vorschubpfad des in (1) gezeigten Steuersignals nicht passiert. Daher wird das Ausgangssignal in (2) um  $4\Delta t$  stärker als das Ausgangssignal in (1) verzögert.

(3) zeigt eine Verzögerungsspanne zu der Zeit der Zuführung von Steuersignalen S1, S4 und S5, von denen jedes den logischen Wert von "1" hat, zu den Verzögerungselementen **302**, **308** bzw. **318**. Das Eingangssignal passiert die Verzögerungselemente **302**, **304**, **308**, **310**, **312**, **316**, **318** und **326** und wird von dem Ausgangsanschluss **120** ausgegeben. Daher hat in dem Pfad von (3) das Ausgangssignal eine grobe Verzögerungsspanne von acht Stufen von NAND-Schaltungen. Wenn (3) mit (1) oder (2) verglichen wird, ist die grobe Verzögerungsspanne des Pfades von (3) um die Verzögerungsspanne von vier Stufen der NAND-Schaltungen länger als die grobe Verzögerungsspanne des Pfades von (1) oder (2). Demgemäß hat die variable Verzögerungsschaltung **212** bei diesem Ausführungsbeispiel eine grobe Verzögerungsauflösung, die äquivalent vier Stufen von NAND-Schaltungen ist. Wie in [Fig. 14](#) gezeigt ist, wird ein Signal zu dem ersten Eingang A1 von Verzögerungselementen **302**, **304**, **308**, **310**, **312** und **316** geliefert, und es wird zu dem zweiten Eingang A2 der Verzögerungselemente **318** und **326** geliefert.

(4) zeigt eine Verzögerungsspanne zu der Zeit der Zuführung von Steuersignalen S2, S3 und S6, von denen jedes den logischen Wert von "1" hat, zu den Verzögerungselementen **314**, **306** bzw. **320**. Das Eingangssignal passiert die Verzögerungselemente **314**, **316**, **320**, **322**, **324**, **304**, **306** und **326** und wird von dem Ausgangsanschluss **120** ausgegeben. Daher hat in dem Pfad von (4) das Ausgangssignal eine grobe Verzögerungsspanne von acht Stufen von NAND-Schaltungen. Wie in [Fig. 14](#) gezeigt ist, wird ein Signal zu dem ersten Eingang A1 von Verzögerungselementen **306** und **326** geliefert, und es wird zu dem zweiten Eingang A2 von Verzögerungselementen **314**, **316**, **320**, **322**, **324** und **304** geliefert.

Wenn (4) mit (3) verglichen wird, ist, obgleich die Anzahl von Stufen der NAND-Schaltungen (eine grobe Verzögerungsspanne), durch welche das Signal hindurchgeht, dieselbe ist, die Anzahl von

Malen, bei denen das Signal zu dem zweiten Eingang A2 geliefert wird, unterschiedlich. Bei diesem Beispiel passiert das Signal die zweiten Eingänge A2 sechsmal auf dem Vorschubpfad des in (4) gezeigten Steuersignals, während das Signal nur zweimal den zweiten Eingang A2 auf dem Vorschubpfad des in (3) gezeigten Steuersignals passiert. Daher wird das Ausgangssignal in (4) um  $4\Delta t$  stärker verzögert als das Ausgangssignal in (3).

**[0059]** Demgemäß hat die variable Verzögerungsschaltung **212** bei diesem Ausführungsbeispiel eine grobe Verzögerungsauflösung, die äquivalent vier Stufen von NAND-Schaltungen ist, und eine feine Verzögerungsauflösung von  $4\Delta t$ . Bei einem anderen Ausführungsbeispiel können die grobe Verzögerungsauflösung und die feine Verzögerungsauflösung, die unterschiedlich gegenüber diesem Ausführungsbeispiel sind, anwendbar sein durch Einstellen der Anzahl und der Konfiguration der NAND-Schaltung, und durch Einstellung der Auswahl von zwei Eingängen zu jeder der NAND-Schaltungen.

**[0060]** Aus der vorangehenden Erläuterung ist gemäß dieser Erfindung eine Verzögerungsschaltung vorgesehen, die eine genaue Verzögerungsspanne erzeugt.

#### Industrielle Anwendbarkeit

**[0061]** Die vorliegende Erfindung hat die Wirkung des Vorsehens einer Verzögerungsschaltung, die zur Erzeugung eines genauen Verzögerungselements in der Lage ist.

#### Patentansprüche

1. Verzögerungsschaltung, die ein Eingangssignal verzögert, mit einem Eingangsanschluss (**102**), zu welchem das Eingangssignal geliefert wird, mehreren Verzögerungspfaden (**104**) mit jeweils mehreren Verzögerungselementen (**110**, **112**, **114**), welche Verzögerungspfade (**104**) zumindest einen ersten Verzögerungspfad (**104a**) und einen zweiten Verzögerungspfad (**104b**) aufweisen und parallel mit dem Eingangsanschluss (**102**) verbunden sind, und einem ersten Verbindungspfad (**106a**), der elektrisch einen Ausgang eines Verzögerungselements (**112a**) des ersten Verzögerungspfades (**104a**) mit einem Eingang eines Verzögerungselements (**112b**) des zweiten Verzögerungspfades (**104b**) verbindet, **dadurch gekennzeichnet**, dass der erste Verbindungspfad (**106a**) ein variables Verzögerungselement (**108a**) enthält, das eine grobe Verzögerungsauflösung ( $\Delta T$ ) hat, und dass die die mehreren Verzögerungselemente (**110**, **112**, **114**) aufweisenden Verzögerungspfade (**104**) eine feine Verzögerungsauflösung ( $\Delta t$ ) haben.

2. Verzögerungsschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Schaltung weiterhin einen zweiten Verbindungspfad (**106b**) aufweist, der elektrisch einen Ausgang des Verzögerungselements (**140**) des zweiten Verzögerungspfades (**104b**) mit einem Eingang des Verzögerungselements (**132**) in dem ersten Verzögerungspfad (**104a**) verbindet.

3. Verzögerungsschaltung nach Anspruch 1, gekennzeichnet durch zumindest einen zweiten Verbindungspfad (**106b**), der elektrisch einen Ausgang eines Verzögerungselements (**112b**) von wenigstens einem (**104b**) der mehreren Verzögerungspfade mit einem Eingang eines Verzögerungselements eines anderen Verzögerungspfades, der dem besagten Verzögerungspfad (**104b**) folgt, verbindet; und einen dritten Verbindungspfad (**106n**), der elektrisch einen Ausgang eines Verzögerungselements (**112n**) in einem Verzögerungspfad (**104n**) einer letzten Stufe mit einem Eingang eines Verzögerungselements (**112a**) in einem Verzögerungspfad (**104a**) einer ersten Stufe verbindet.

4. Verzögerungsschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die mehreren Verzögerungselemente (**110**, **112**, **114**) jeweils logische Torschaltung enthaltend zumindest zwei Eingänge, einen ersten Eingang und einen zweiten Eingang, aufweisen.

5. Verzögerungsschaltung nach Anspruch 4, dadurch gekennzeichnet, dass die logische Torschaltung in dem Verzögerungspfad (**104**) entweder den ersten Eingang (A1) oder den zweiten Eingang (A2) zu einem Eingang der logischen Torschaltung macht auf der Grundlage einer gewünschten Verzögerungsspanne, die das Eingangssignal verzögert.

6. Verzögerungsschaltung nach Anspruch 1, gekennzeichnet durch ein zusätzliches Element (**150**), das so an einem Eingang ein vorbestimmten Verzögerungselements (**132**) positioniert ist, dass Eingangslasten der Verzögerungselemente im Wesentlichen gleichgemacht sind.

7. Verzögerungsschaltung nach Anspruch 6, dadurch gekennzeichnet, dass das zusätzliche Element (**150**) dasselbe Element wie das Verzögerungselement (**132**) ist.

Es folgen 15 Blatt Zeichnungen

FIG. 1

10

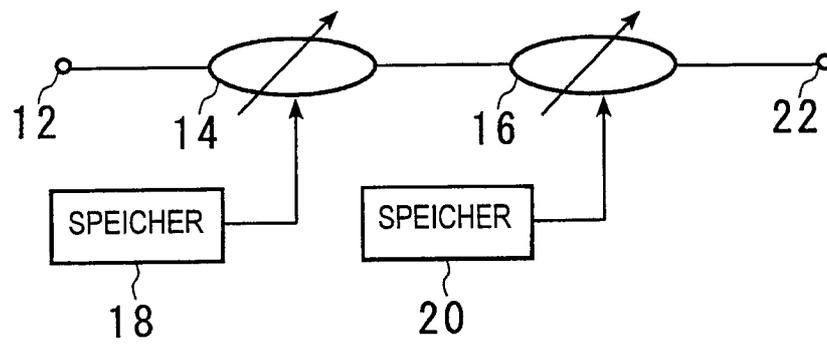


FIG. 2

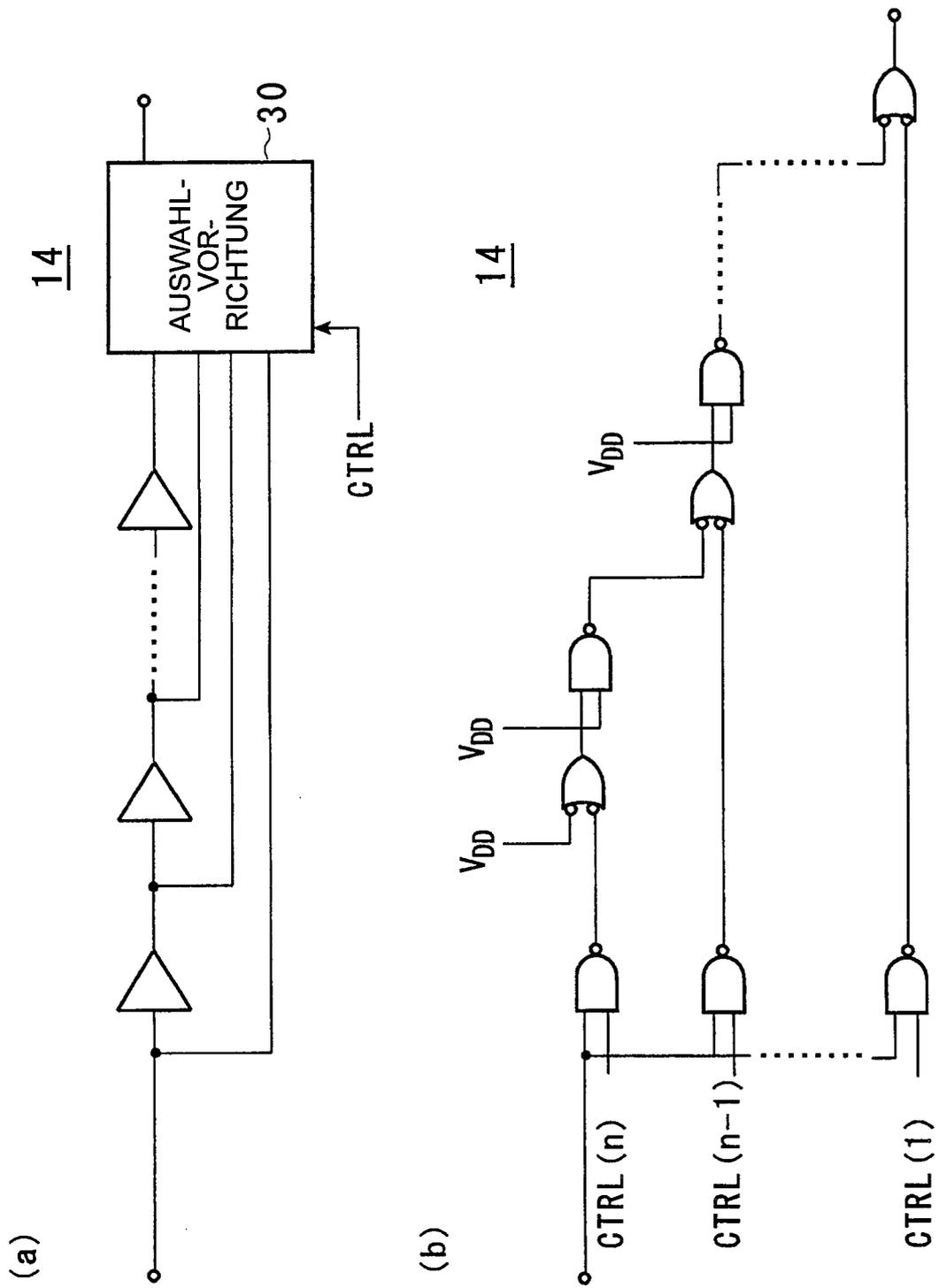


FIG. 3

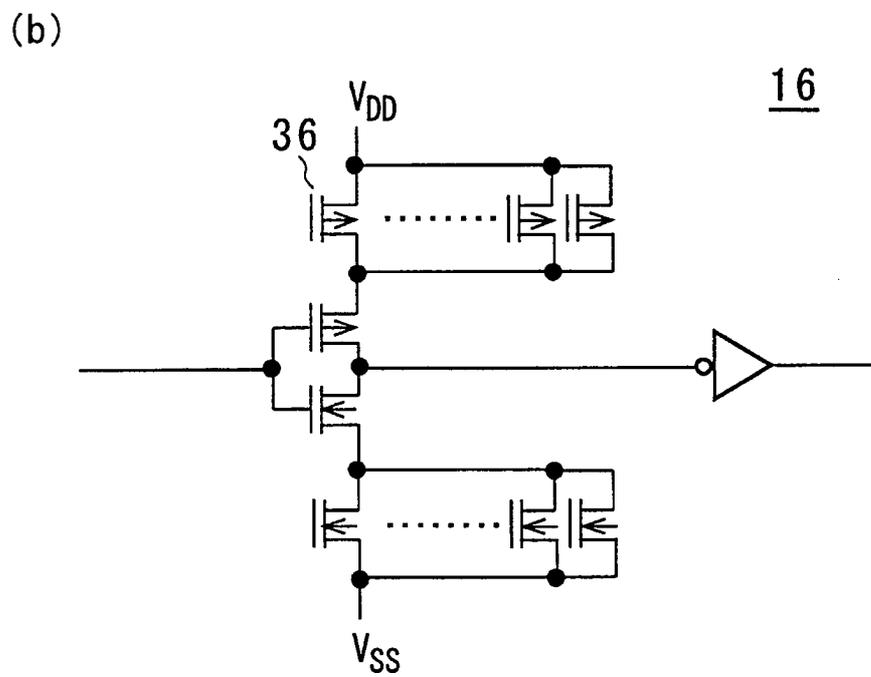
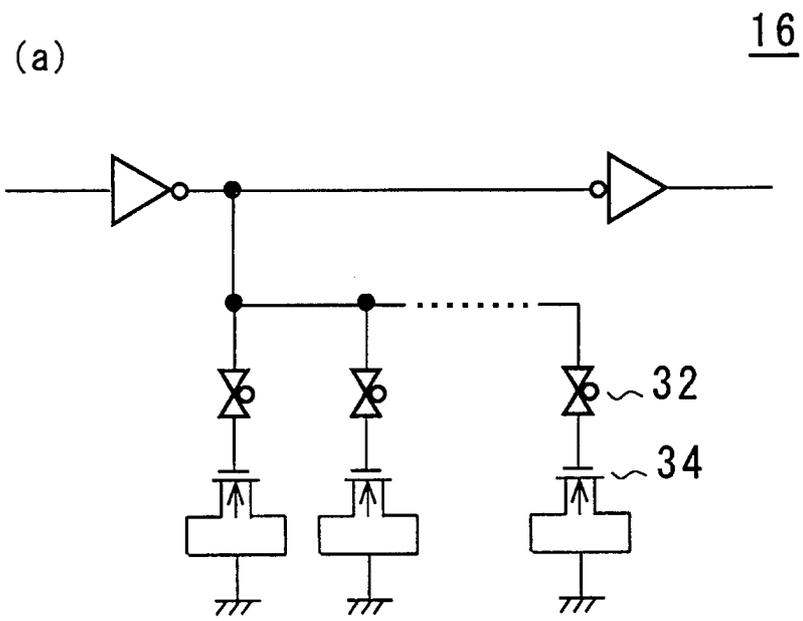


FIG. 4

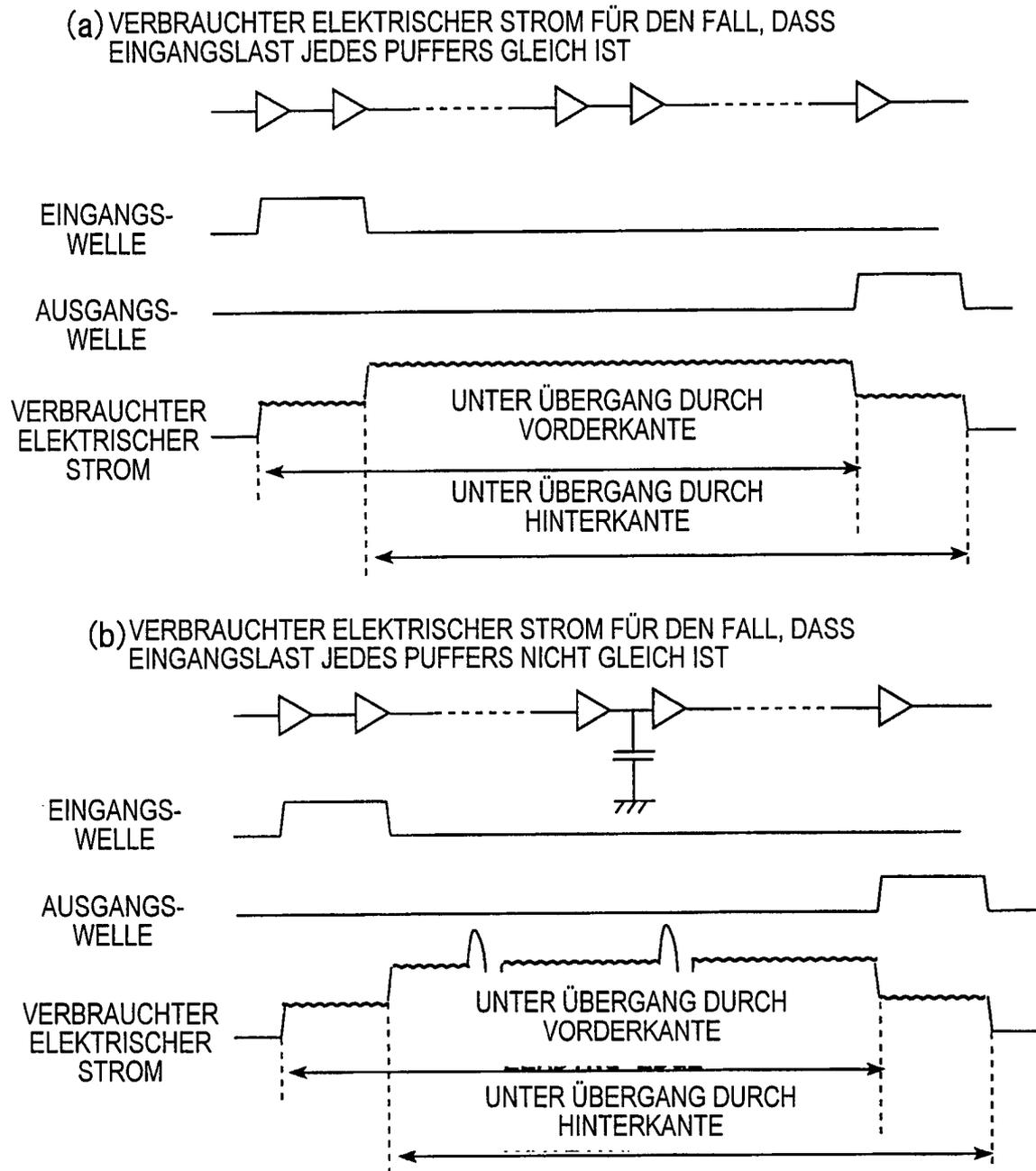


FIG. 5

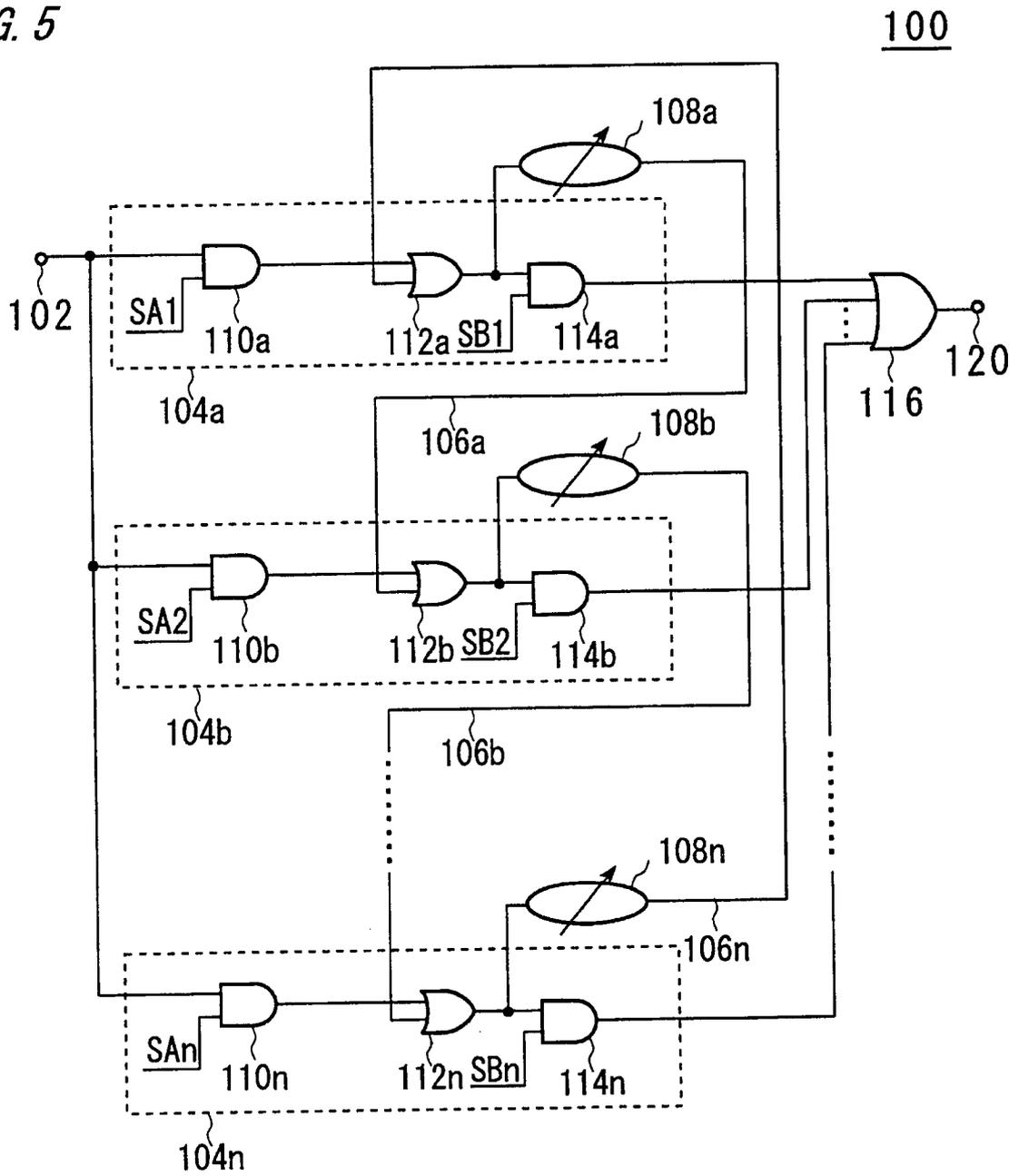


FIG. 6

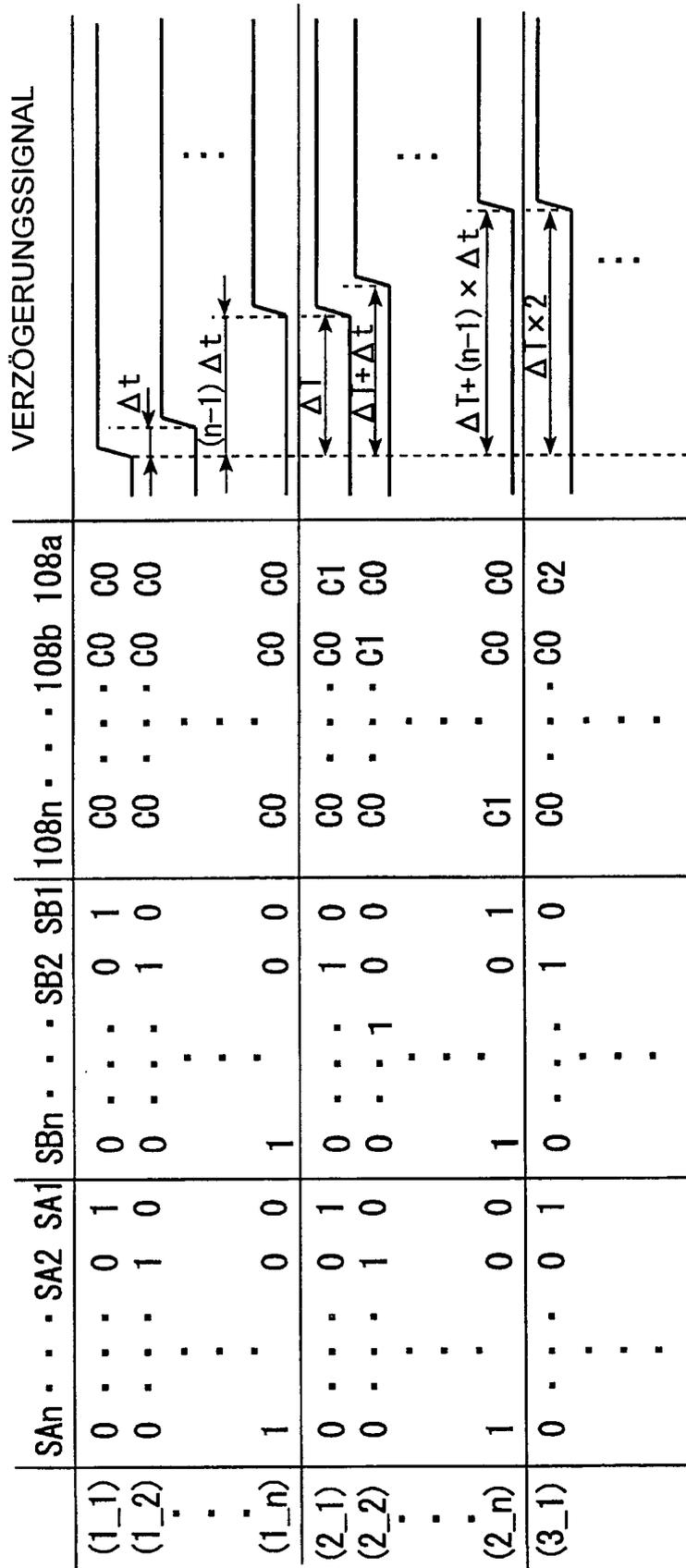


FIG. 7

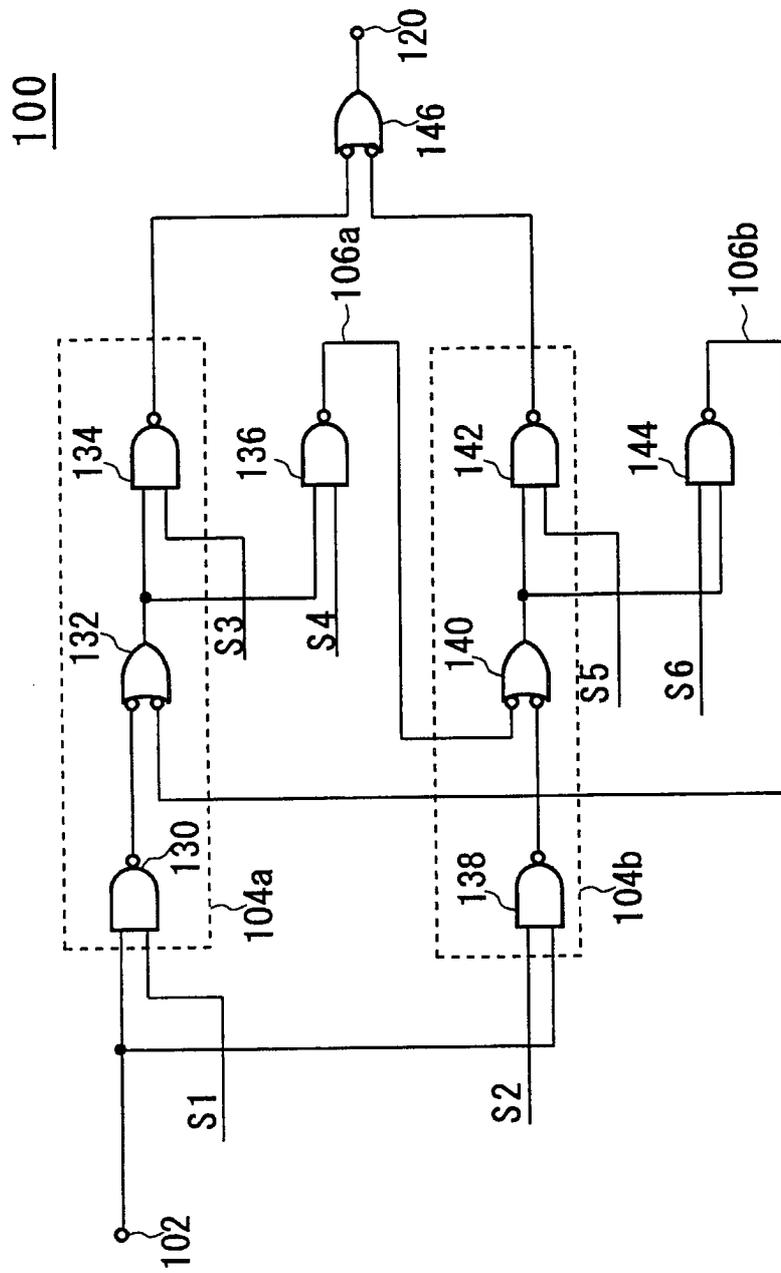
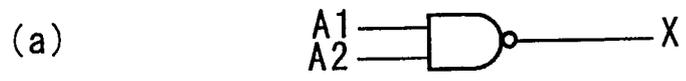


FIG. 8



(b)

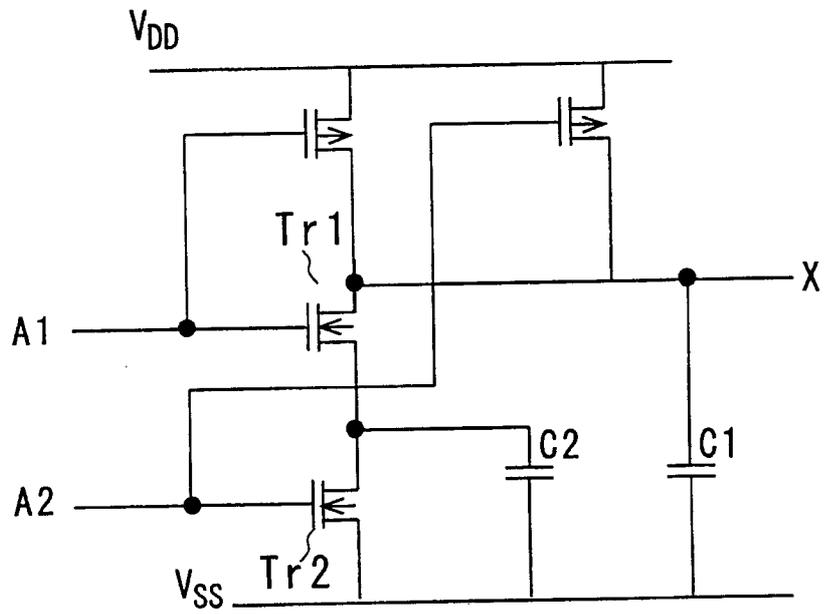


FIG. 9

	STEUERSIGNAL						VERZÖGERUNGSSPANNE		
	S1	S2	S3	S4	S5	S6	ANZAHL VON NAND- SCHAL- TUNGEN	ANZAHL VON EINGÄNGE N A1	ANZAHL VON EINGÄNGE N A2
(1)	1	0	1	0	0	0	4	4	0
(2)	0	1	0	0	1	0	4	1	3
(3)	1	0	0	1	1	0	6	5	1
(4)	0	1	1	0	0	1	6	2	4

FIG. 10

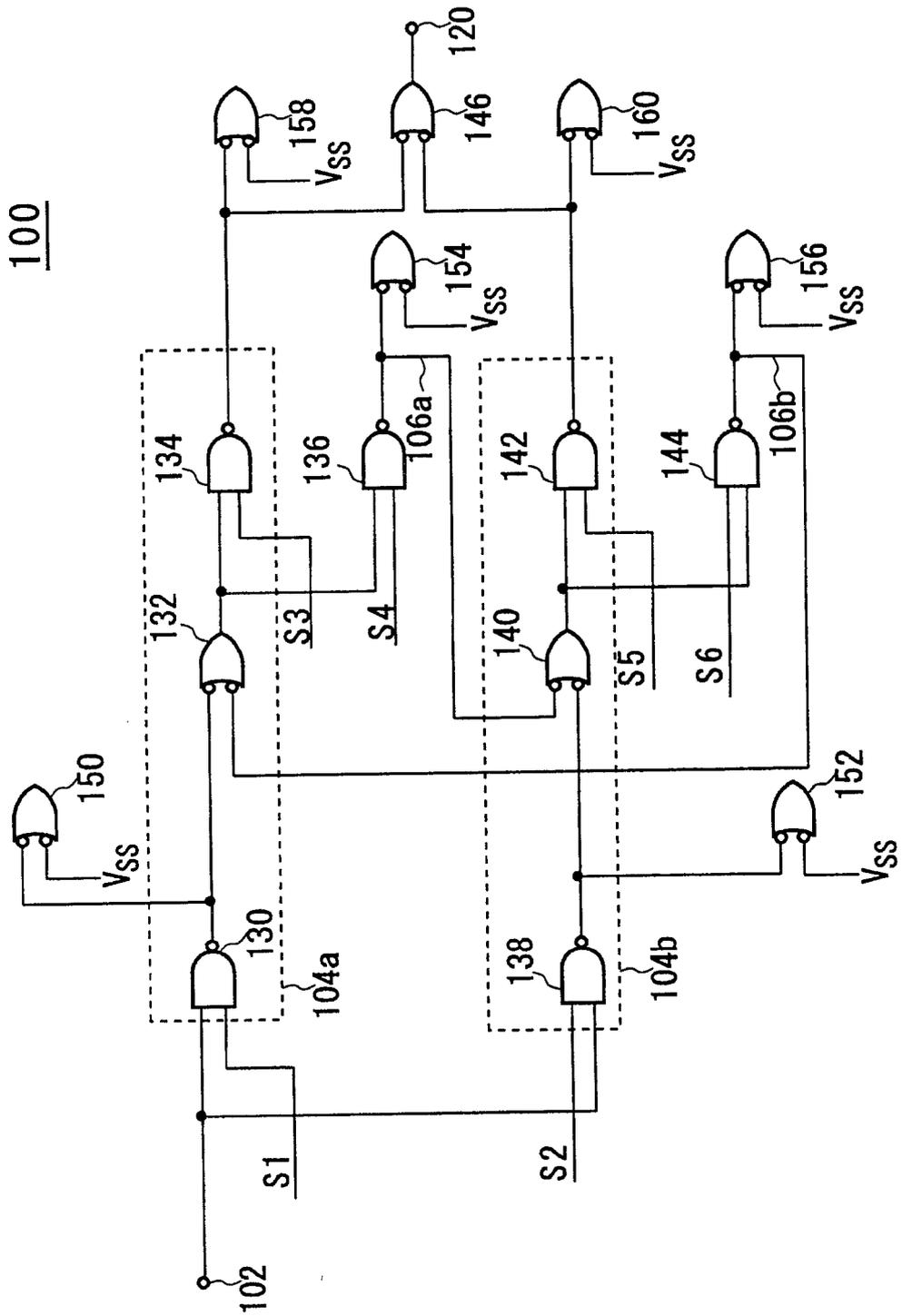


FIG. 11

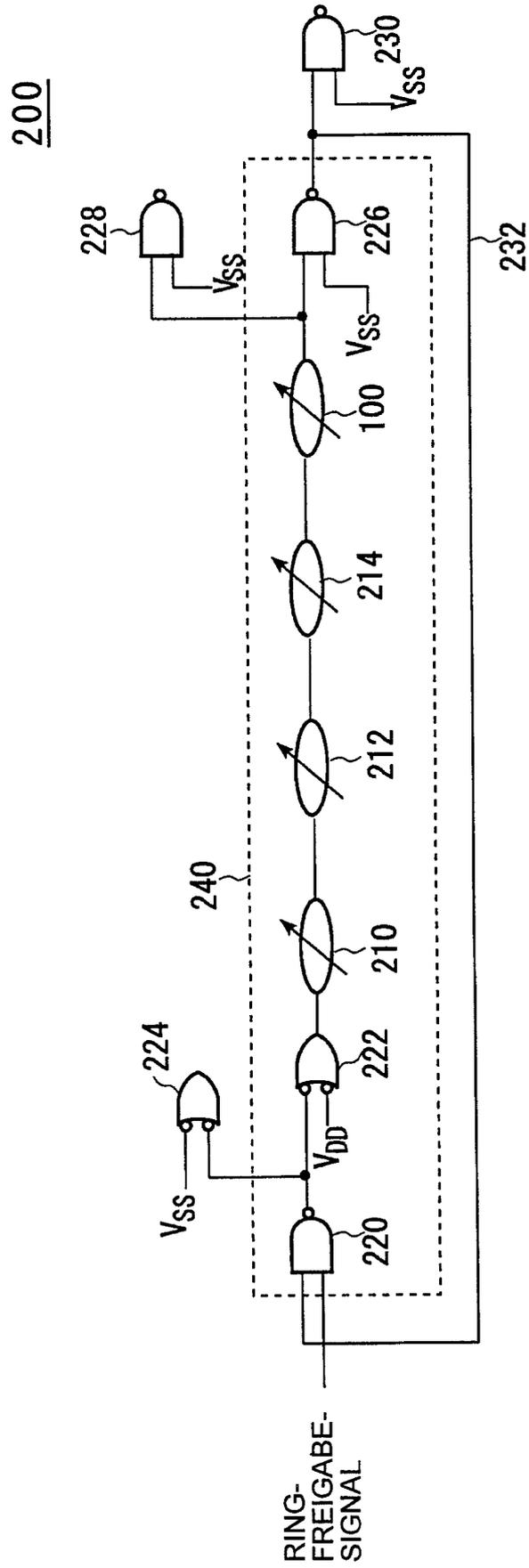


FIG. 12

210

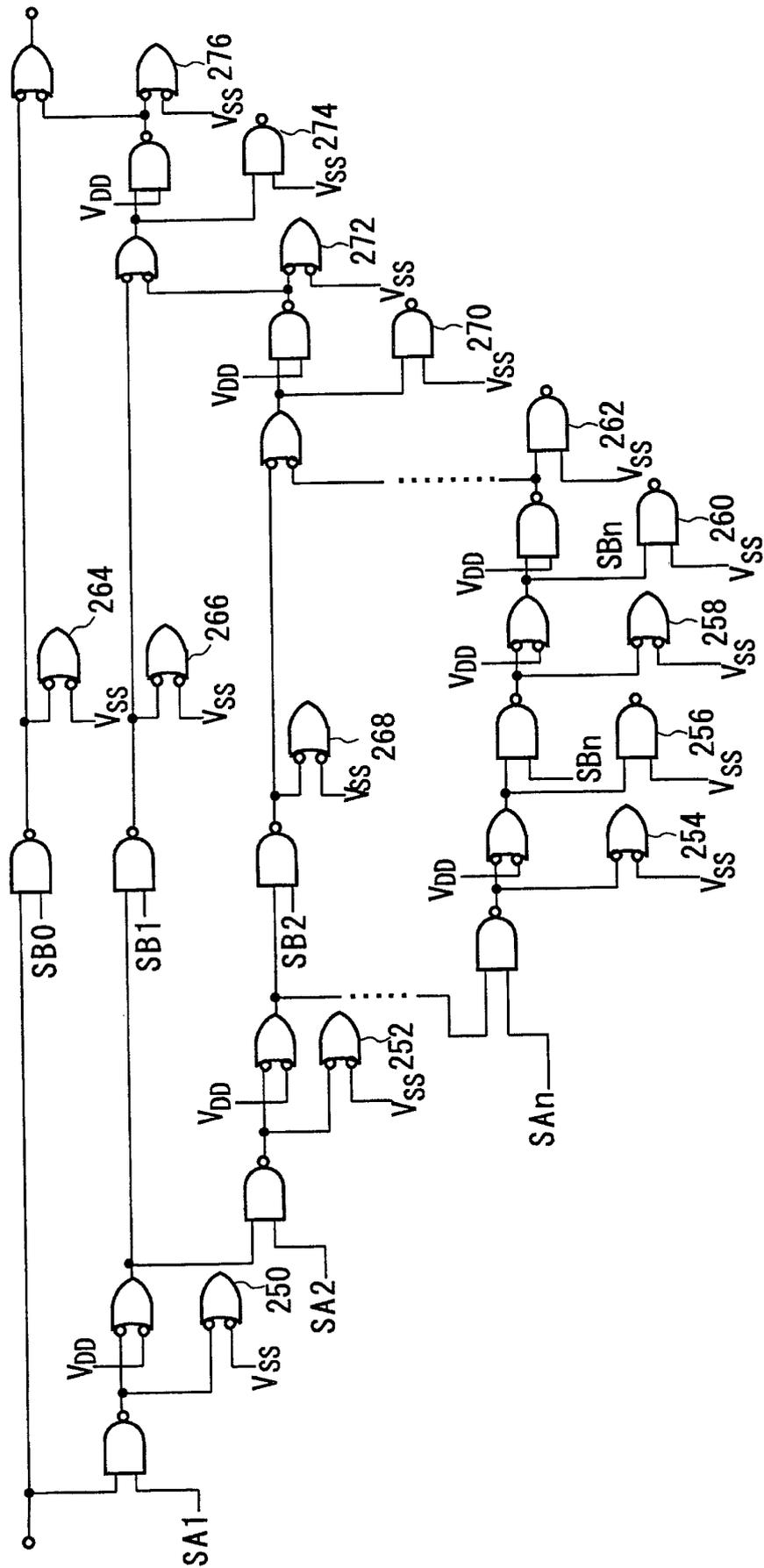


FIG. 13

PATH	STEUERSIGNAL								VERZÖGERUNGS- SPANNE
	SAn.....SA2 SA1	SBn.....SB2 SB1 SB0	ANZAHL VON NAND- SCHALTUNGEN						
(1)	0 ..... 0 0	0 ..... 0 0 1	2						
(2)	0 ..... 0 1	0 ..... 0 1 0	6						
(3)	0 ..... 1 1	0 ..... 1 0 0	10						
⋮	⋮	⋮	⋮						
(n+1)	1 ..... 1 1	1 ..... 0 0 0	4n+2						



FIG. 15

	STEUERSIGNAL						VERZÖGERUNGSSPANNE		
	S1	S2	S3	S4	S5	S6	ANZAHL VON NAND- SCHAL- TUNGEN	ANZAHL VON EINGÄNGE N A1	ANZAHL VON EINGÄNGE N A2
(1)	1	0	1	0	0	0	4	4	0
(2)	0	1	0	0	1	0	4	0	4
(3)	1	0	0	1	1	0	8	6	2
(4)	0	1	1	0	0	1	8	2	6