



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I528528 B

(45) 公告日：中華民國 105 (2016) 年 04 月 01 日

(21) 申請案號：100149250

(22) 申請日：中華民國 100 (2011) 年 12 月 28 日

(51) Int. Cl. : *H01L27/088 (2006.01)**H01L21/8234(2006.01)*

(71) 申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)
 新竹市新竹科學工業園區力行二路 3 號

(72) 發明人：楊進盛 YANG, CHIN SHENG (TW)

(74) 代理人：郭曉文

(56) 參考文獻：

US 2003/0205766A1

審查人員：陳志遠

申請專利範圍項數：20 項 圖式數：5 共 24 頁

(54) 名稱

積體電路元件構造與製造方法

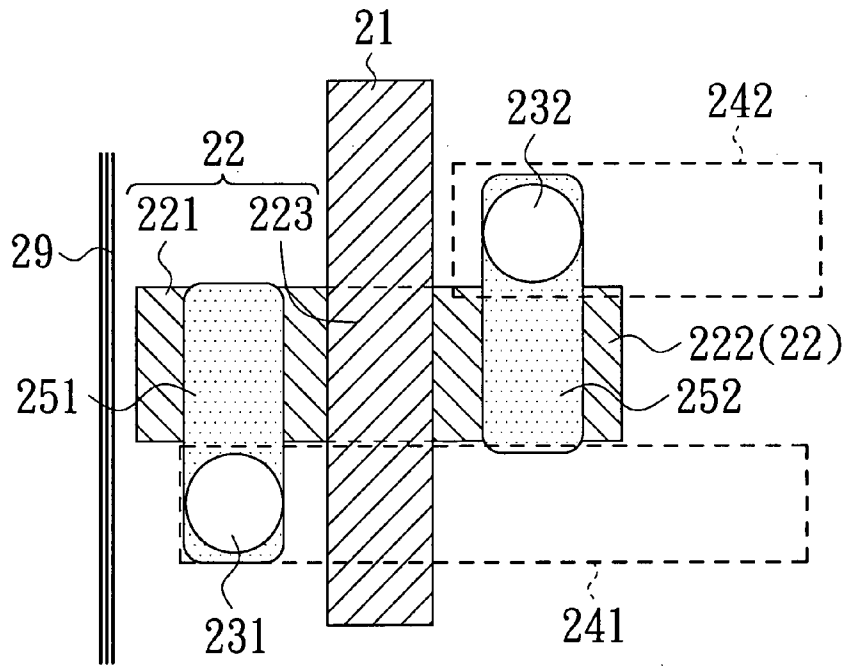
INTEGRATED CIRCUIT CONFIGURATION AND FABRICATING METHOD THEREOF

(57) 摘要

一種積體電路元件構造與製造方法，其包含：基板；擴散區，形成於基板中；閘極結構，形成於基板上方並跨過擴散區；延伸導體結構，形成於基板上方並與擴散區接觸，其沿基板表面向外延伸至第一位置，第一位置超出擴散區的範圍；介電層，形成於基板、閘極結構與延伸導體結構之上方；接觸結構，穿過介電層而接觸至延伸導體結構之第一位置；以及金屬導線，形成於介電層表面上並接觸至接觸結構。

An integrated circuit configuration includes a substrate, a diffusion region, a gate structure, an extension conductor structure, a dielectric layer, a contact structure, and a metal conductor line. The diffusion region is formed in the substrate. The gate structure is formed over the substrate and spanned across the diffusion region. The extension conductor structure is formed over the semiconductor substrate and contacted with the diffusion region. The extension conductor structure is extended externally to a first position along a surface of the substrate, wherein the first position is outside the diffusion region. The dielectric layer is formed over the substrate, the gate structure and the extension conductor structure. The contact structure is penetrated through the dielectric layer to be contacted with the first position of the extension conductor structure. The metal conductor line is formed on the dielectric layer and contacted with the contact structure. A fabricating method of the integrated circuit configuration is also provided.

指定代表圖：



符號簡單說明：

21 . . . 閘極結構

22 . . . 擴散區

29 . . . 密封環

221 . . . 源極區

222 . . . 汲極區

223 . . . 通道區

231、232 . . . 接觸
透孔結構

241、242 . . . 金屬
導線

251、252 . . . 延伸
導體結構

圖2A

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100149250

※ 申請日：100.12.28

※IPC 分類：H01L 27/088

21/8234

一、發明名稱：(中文/英文)

積體電路元件構造與製造方法/ INTEGRATED CIRCUIT CONFIGURATION AND FABRICATING METHOD THEREOF

二、中文發明摘要：

一種積體電路元件構造與製造方法，其包含：基板；擴散區，形成於基板中；閘極結構，形成於基板上方並跨過擴散區；延伸導體結構，形成於基板上方並與擴散區接觸，其沿基板表面向外延伸至第一位置，第一位置超出擴散區的範圍；介電層，形成於基板、閘極結構與延伸導體結構之上方；接觸結構，穿過介電層而接觸至延伸導體結構之第一位置；以及金屬導線，形成於介電層表面上並接觸至接觸結構。

三、英文發明摘要：

An integrated circuit configuration includes a substrate, a diffusion region, a gate structure, an extension conductor structure, a dielectric layer, a contact structure, and a metal conductor line. The diffusion region is formed in the substrate. The gate structure is formed over the substrate and spanned across the diffusion region. The extension conductor structure is formed over the semiconductor substrate and contacted with the diffusion region. The extension conductor structure is extended externally to a first position along a surface of the substrate, wherein the first position is outside the

diffusion region. The dielectric layer is formed over the substrate, the gate structure and the extension conductor structure. The contact structure is penetrated through the dielectric layer to be contacted with the first position of the extension conductor structure. The metal conductor line is formed on the dielectric layer and contacted with the contact structure. A fabricating method of the integrated circuit configuration is also provided.

四、指定代表圖：

(一)本案指定代表圖為：第 (2A) 圖。

(二)本代表圖之元件符號簡單說明：

21：閘極結構

22：擴散區

29：密封環

221：源極區

222：汲極區

223：通道區

231、232：接觸透孔結構

241、242：金屬導線

251、252：延伸導體結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本案係為一種積體電路元件構造與製造方法，尤指應用於增加電路布局彈性之積體電路元件構造與製造方法。

【先前技術】

積體電路製造技術的發展過程中，追求元件的小型化是相當重要的部份。而在數位邏輯電路中，經常重複使用許多邏輯閘來組合出不同的功能電路。因此，若能針對邏輯閘於積體電路中所佔用面積進行改善，將可使功能電路整體所佔用之面積大幅下降，進而達到縮小尺寸與節省成本之功效。

請參見圖 1A，其係一反及閘 (NAND gate) 之電路示意圖，其主要是利用兩個 P 型金氧半電晶體 P1、P2 與兩個 N 型金氧半電晶體 N1、N2 所構成。當輸入端 A、B 均為高電壓時，輸出端 Y 為低電壓，若輸入端 A、B 中至少有一個為低電壓時，輸出端 Y 則為高電壓。

而如圖 1A 所示之反及閘等功能電路，元件庫(cell library)中皆有相對應之標準元件(standard cell)來完成，而如何提出更好的標準元件布局來改善習用手段缺失，進而有效縮短元件尺寸與增加電路布局彈性，係為發展本案之主要目的。

【發明內容】

本發明的一目的在於提供一種積體電路元件構造，其包含：
一基板；一擴散區，形成於基板中；一閘極結構，形成於基板上
方並跨過擴散區；一延伸導體結構，形成於基板上方並與擴散區
接觸，其沿基板表面向外延伸至一第一位置，第一位置超出擴散
區的範圍；一介電層，形成於基板、閘極結構與延伸導體結構之
上方；一接觸結構，穿過介電層而接觸至延伸導體結構之第一位
置；以及一金屬導線，形成於介電層表面上並接觸至接觸結構。

在本發明的較佳實施例中，上述基板為一半導體基板。

在本發明的較佳實施例中，上述擴散區包含一通道區、一源
極區以及一汲極區，上述通道區位於上述閘極結構下方。

在本發明的較佳實施例中，上述延伸導體結構接觸至上述擴
散區中之上述源極區。

在本發明的較佳實施例中，上述延伸導體結構接觸至上述擴
散區中之上述汲極區。

在本發明的較佳實施例中，上述延伸導體結構為一第零層金
屬結構。

在本發明的較佳實施例中，上述延伸導體結構包含一條型接
觸結構與一第零層金屬結構。

在本發明的較佳實施例中，上述接觸結構由一第零層接觸結
構所完成。

在本發明的較佳實施例中，上述介電層為一金屬層間介電層。

在本發明的較佳實施例中，上述金屬導線通過上述閘極結構
之上方。

本發明的另一目的在於提供一種積體電路元件製造方法，其
包含下列步驟：提供一基板；於基板中形成一擴散區；於基板上
方形成一閘極結構，閘極結構跨過擴散區；於基板上方形成一延

伸導體結構，延伸導體結構與擴散區接觸，延伸導體結構沿基板表面向外延伸至一第一位置，第一位置超出擴散區的範圍；於基板、閘極結構與延伸導體結構之上方形成一介電層；於介電層中形成一接觸結構，穿過介電層而接觸至延伸導體結構之第一位置；以及於介電層表面上形成一金屬導線，金屬導線接觸至接觸結構。

在本發明的較佳實施例中，上述基板為一半導體基板。

在本發明的較佳實施例中，形成上述擴散區之方法包含下列步驟：形成一通道區，上述通道區位於上述閘極結構下方；形成一源極區以及形成一汲極區。

在本發明的較佳實施例中，上述延伸導體結構接觸至上述擴散區中之上述源極區。

在本發明的較佳實施例中，上述延伸導體結構接觸至上述擴散區中之上述汲極區。

在本發明的較佳實施例中，上述延伸導體結構為一第一零層金屬結構。

在本發明的較佳實施例中，形成上述延伸導體結構之方法包含下列步驟：形成一條型接觸結構以及一第一零層金屬結構。

在本發明的較佳實施例中，上述接觸結構由一第一零層接觸結構所完成。

在本發明的較佳實施例中，上述介電層為一金屬層間介電層。

在本發明的較佳實施例中，上述金屬導線通過上述閘極結構之上方。

【實施方式】

再請參見圖 1B，其係申請人針對圖 1A 之反及閘電路構造所發展出之布局上視示意圖，其中虛線區代表 N 型井區 10，而 N 型井區 10 外便為 P 型半導體基板 1，而 N 型井區 10 中完成有 N 型金氧半電晶體 N1、N2 共用之 P 型擴散區 11 以及 N 型基體接觸區 19，而 P 型金氧半電晶體 P1、P2 共用之 N 型擴散區 12 以及 P 型基體接觸區 18 完成於 P 型半導體基板 1 中。而橫跨 P 型擴散區 11 與 N 型擴散區 12 之閘極結構 13、14 係完成圖 1A 中之輸入端 A、B，至於透過接觸點 16 與 P 型擴散區 11、N 型基體接觸區 19、N 型擴散區 12 以及 P 型基體接觸區 18 完成電性連接之金屬導線 150、151 及 152，則分別連接至工作電壓 VDD、接地點以及輸出端 Y，進而完成一反及閘電路單元。

而由圖式可清楚看出，分別連接至工作電壓 VDD 與接地點之金屬導線 150、151 間之距離 h ，相當程度決定了此反及閘電路構造之尺寸大小，而其它邏輯電路單元也是如此。因此，如何再更有效縮短距離 h ，係為下一個實施例所要表達的。

請參見圖 2A 至圖 2D，其表示出本案所發展出來用以增加電路布局彈性之上視結構示意圖。其圖 2A 中表示出一金氧半電晶體之電路布局示意圖，其中閘極結構 21 橫跨過擴散區 22 而將擴散區 22 分成源極區 221、汲極區 222 與閘極結構 21 下方之通道區 223，而為能增加金氧半電晶體之布局彈性，本實施例係將接觸透孔結構 231、232 之位置移動至擴散區 22 之兩側，使得形成於介電層(本圖未示出)上方之金屬導線 241、242 可以改變布局位置。而位置之改變主要是透過位於介電層(本圖未示出)下方且分別與源極區 221、汲極區 222 接觸之延伸導體結構 251、252 來達成。如此一來，就可讓金屬導線 241 避開左側的密封環 29，並且讓金屬導線 241 與金屬導線 242 間具有符合設計規則的間距。

再請參見圖 2B，其中表示出兩個圖 2A 所示之金氧半電晶體並排之電路布局示意圖，而由於延伸導體結構 251、252 之增設，不但讓金屬導線 241 與金屬導線 242 間具有符合設計規則的間距，還方便多個金氧半電晶體完成連接。

再請參見圖 2C，其中表示出另一種金氧半電晶體之電路布局示意圖，同樣是利用延伸導體結構 251、252 來調整金屬導線 241 與金屬導線 242 間之距離，本例是將金屬導線 241 與金屬導線 242 間之距離增大，使得另一金屬導線 243 可位於金屬導線 241 與金屬導線 242 之間。

再請參見圖 2D，其中表示出另一種金氧半電晶體之電路布局示意圖，本例是利用延伸導體結構 251、252 以及接觸透孔結構 231、232 來調整金屬導線 241 與金屬導線 242 間之延伸方向，然後金屬導線 241 與金屬導線 242 再藉由另外的接觸透孔結構 261、262 連接至更上層的金屬導線 271 與金屬導線 272。如此將使得此元件占用面積達到極小化。

再請見圖 3，其係利用延伸導體結構來縮小邏輯電路標準單元 (standard cell) 之電路布局示意圖，本圖中所示為一互補式金氧半電晶體製程所完成之反及閘 (NAND gate) 布局結構，用以完成圖 1A 中所示之反及閘功能電路，因此輸入端與輸出端之標示皆沿用圖 1A。如圖 3 所示，金屬導線 350、351 及 352 分別連接至工作電壓 VDD、接地點以及輸出端 Y。而為能達到縮小尺寸的目的，本例利用延伸導體結構來改變布局，進而將分別連接至工作電壓 VDD 與接地點之金屬導線 350、351 間之距離縮短，最後將此標準單元之長度 h 縮小至圖中所示。由圖中可看出，虛線區代表 N 型井區 30，而 N 型井區 30 外便為 P 型半導體基板 3，而 N 型井區 30 中完成有 N 型金氧半電晶體 N1、N2 共用之 P 型擴散區 31

以及 N 型基體接觸區 39，而 P 型金氧半電晶體 P1、P2 共用之 N 型擴散區 32 以及 P 型基體接觸區 38 完成於 P 型半導體基板 3 中。而橫跨 P 型擴散區 31 與 N 型擴散區 32 之閘極結構 33、34 係完成圖 1A 中之輸入端 A、B。而透過延伸導體結構 361、362、363、364、365 以及接觸結構 371、372、373、374、375 之電性連接，分別將 P 型擴散區 31、N 型基體接觸區 39、N 型擴散區 32 以及 P 型基體接觸區 38 電性連接至金屬導線 350、351 及 352，其中，延伸導體結構 361 電性連接至 P 型擴散區 31 與 N 型基體接觸區 39，然後再透過接觸結構 371 電性連接至上方之金屬導線 350。而延伸導體結構 365 電性連接至 P 型基體接觸區 38 與 N 型擴散區 32，然後再透過接觸結構 375 電性連接至上方之金屬導線 351。延伸導體結構 362 電性連接至 P 型擴散區 31，然後再透過接觸結構 372 電性連接至上方之金屬導線 352。而延伸導體結構 363 電性連接至 P 型擴散區 31，然後再透過接觸結構 373 電性連接至上方之金屬導線 350。至於延伸導體結構 364 電性連接至 N 型擴散區 32，然後再透過接觸結構 374 電性連接至上方之金屬導線 352。進而完成一反及閘電路單元。而由圖可看出，由於金屬導線 350 及 351 內縮，因此元件高度 h 將有效縮小，達成發展本案之目的。

再請參見圖 4A、4B，其中圖 4A 為完成上述延伸導體結構與接觸結構之第一種實施例剖面示意圖，其主要表示該延伸導體結構可整合至一般製程中也具有之第零層金屬結構(M0)41(材質可為銅或鎢)來一並完成，接觸結構則由一般製程中也具有之第零層接觸結構 42 所完成，至於金屬導線 350、351 及 352 則由第一層金屬結構 43(材質可為銅或鎢)來完成。第零層金屬結構 41 係穿過內層介電層(ILD)401 與金屬沈積前介電層(Pre-metal dielectric, PMD)402 來與第零層接觸結構 42 完成接觸，進而連接至金屬層間

介電層(IMD)403 中之第一層金屬結構 43(材質可為銅或鎢)。

再請參見圖 4B，其係完成延伸導體結構與接觸結構之第二種實施例剖面示意圖，其主要表示該延伸導體結構可整合至一般製程中也具有之條型接觸結構(slot contact)50 以及第零層金屬結構(M0)51 來一併完成，接觸結構則由一般製程中也具有之第零層接觸結構 42 所完成，至於金屬導線 350、351 及 352 則由第一層金屬結構 43 來完成。條型接觸結構(slot contact)50 穿過內層介電層(ILD)401 來與第零層金屬結構 51 完成接觸，而第零層金屬結構 51 係穿過金屬沈積前介電層(Pre-metal dielectric, PMD)402 來與第零層接觸結構 42 完成接觸，進而連接至金屬層間介電層(IMD)403 中之第一層金屬結構 43。

再請參見圖 5，係表示出利用延伸導體結構來縮小邏輯電路標準單元(standard cell)之另一電路布局示意圖，本圖中所示為一互補式金氧半電晶體製程所完成之反閘(inverter)布局結構。如圖 5 所示，金屬導線 650、651 及 652 分別連接至工作電壓 VDD、接地點以及輸出端 Y。本例之反閘(inverter)為能達到縮小尺寸的目的，同樣利用延伸導體結構來改變布局，進而將分別連接至工作電壓 VDD 與接地點之金屬導線 650、651 間之距離縮短，最後將此標準單元之高度 h 縮小至圖中所示。由圖中可看出，虛線區代表 N 型井區 60，而 N 型井區 60 外便為 P 型半導體基板 6，而 N 型井區 60 中完成有 N 型金氧半電晶體之 P 型擴散區 61，而 P 型金氧半電晶體之 N 型擴散區 62 完成於 P 型半導體基板 6 中。橫跨 P 型擴散區 61 與 N 型擴散區 62 之閘極結構 63 係完成反閘之輸入端。而透過延伸導體結構 661、662、663 以及接觸結構 671、672、673 之電性連接，分別將 P 型擴散區 61、N 型擴散區 62 電性連接至金屬導線 650、651 及 652，進而完成一反及閘電路單元。而由

圖可看出，由於金屬導線 650 及 651 內縮，又可讓該等金屬導線通過該閘極結構之上方，因此元件高度 h 將有效縮小，達成發展本案之目的。

綜上所述，在本發明對技術進行改良後，已可有效改善習用手段的問題。雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 顯示一反及閘 (NAND gate) 之電路示意圖。

圖 1B 顯示圖 1A 之反及閘電路構造之一種布局上視示意圖。

圖 2A 至圖 2D 顯示本案所發展出來用以增加電路布局彈性之上視結構示意圖。

圖 3 顯示利用延伸導體結構來縮小邏輯電路標準單元之電路布局示意圖。

圖 4A 顯示完成圖 3 之延伸導體結構與接觸結構之第一種實施例剖面示意圖。

圖 4B 顯示完成圖 3 之延伸導體結構與接觸結構之第二種實施例剖面示意圖。

圖 5 顯示利用延伸導體結構來縮小邏輯電路標準單元之另一電路布局示意圖。

【主要元件符號說明】

- 1、3、6：基板
- 10、30、60：N型井區
- 11、31、61：P型擴散區
- 12、32、62：N型擴散區
- 13、14、21、33、34、63：閘極結構
- 16：接觸點
- 18、38：P型基體接觸區
- 19、39：N型基體接觸區
- 22：擴散區
- 29：密封環
- 41、51：第零層金屬結構
- 42：第零層接觸結構
- 43：第一層金屬結構
- 50：條型接觸結構
- 150、151、152：金屬導線
- 221：源極區
- 222：汲極區
- 223：通道區
- 231、232、261、262：接觸透孔結構
- 241、242、243、271、272：金屬導線
- 251、252：延伸導體結構
- 350、351、352：金屬導線
- 361、362、363、364、365：延伸導體結構
- 371、372、373、374、375：接觸結構
- 401：內層介電層
- 402：金屬沈積前介電層

403：金屬層間介電層
650、651、652：金屬導線
661、662、663：延伸導體結構
671、672、673：接觸結構
A、B：輸入端
h：邏輯電路標準單元之長度
N1、N2：N型金氧半電晶體
P1、P2：P型金氧半電晶體
Y：輸出端

七、申請專利範圍：

1.一種積體電路元件構造，其包含：

- 一基板；
- 一擴散區，形成於該基板中；
- 一閘極結構，形成於該基板上方並跨過該擴散區；
- 一延伸導體結構，形成於該基板上方並與該擴散區接觸，其中一部分該延伸導體結構與該基板表面直接接觸，且另一部分該延伸導體結構沿該基板表面向外延伸至一第一位置，且該延伸導體結構的延伸方向垂直於該擴散區，其中該第一位置超出該擴散區的範圍；
- 一介電層，形成於該基板、該閘極結構與該延伸導體結構之上方；
- 一接觸結構，穿過該介電層而接觸至該延伸導體結構之該第一位置；以及
- 一金屬導線，形成於該介電層表面上並接觸至該接觸結構。

2.如申請專利範圍第 1 項所述之積體電路元件構造，其中該基板為一半導體基板。

3.如申請專利範圍第 1 項所述之積體電路元件構造，其中該擴散區包含一通道區、一源極區以及一汲極區，該通道區位於該閘極結構下方。

4.如申請專利範圍第 3 項所述之積體電路元件構造，其中該延伸導體結構接觸至該擴散區中之該源極區。

- 5.如申請專利範圍第 4 項所述之積體電路元件構造，其中該延伸導體結構接觸至該擴散區中之該汲極區。
- 6.如申請專利範圍第 1 項所述之積體電路元件構造，其中該延伸導體結構為一第零層金屬結構。
- 7.如申請專利範圍第 1 項所述之積體電路元件構造，其中該延伸導體結構包含一條型接觸結構與一第零層金屬結構。
- 8.如申請專利範圍第 1 項所述之積體電路元件構造，其中該接觸結構由一第零層接觸結構所完成。
- 9.如申請專利範圍第 1 項所述之積體電路元件構造，其中該介電層為一金屬層間介電層。
- 10.如申請專利範圍第 1 項所述之積體電路元件構造，其中該金屬導線通過該閘極結構之上方。
- 11.一種積體電路元件製造方法，其包含下列步驟：
 - 提供一基板；
 - 於該基板中形成一擴散區；
 - 於該基板上方形形成一閘極結構，該閘極結構跨過該擴散區；
 - 於該基板上方形形成一延伸導體結構，該延伸導體結構與該擴散區接觸，該延伸導體結構沿該基板表面向外延伸至一第一位置，該第一位置超出該擴散區的範圍；
 - 於該基板、該閘極結構與該延伸導體結構之上方形形成一介電

層；

於該介電層中形成一接觸結構，穿過該介電層而接觸至該延伸導體結構之該第一位置；以及

於該介電層表面上形成一金屬導線，該金屬導線接觸至該接觸結構。

12.如申請專利範圍第 11 項所述之積體電路元件製造方法，其中該基板為一半導體基板。

13.如申請專利範圍第 11 項所述之積體電路元件製造方法，其中形成該擴散區之方法包含下列步驟：形成一通道區，該通道區位於該閘極結構下方；形成一源極區以及形成一汲極區。

14.如申請專利範圍第 13 項所述之積體電路元件製造方法，其中該延伸導體結構接觸至該擴散區中之該源極區。

15.如申請專利範圍第 14 項所述之積體電路元件製造方法，其中該延伸導體結構接觸至該擴散區中之該汲極區。

16.如申請專利範圍第 11 項所述之積體電路元件製造方法，其中該延伸導體結構為一第零層金屬結構。

17.如申請專利範圍第 11 項所述之積體電路元件製造方法，其中形成該延伸導體結構之方法包含下列步驟：形成一條型接觸結構以及一第零層金屬結構。

18.如申請專利範圍第 11 項所述之積體電路元件製造方法，其中該接觸結構由一第零層接觸結構所完成。

19.如申請專利範圍第 11 項所述之積體電路元件製造方法，其中該介電層為一金屬層間介電層。

20.如申請專利範圍第 11 項所述之積體電路元件製造方法，其中該金屬導線通過該閘極結構之上方。

八、圖式：

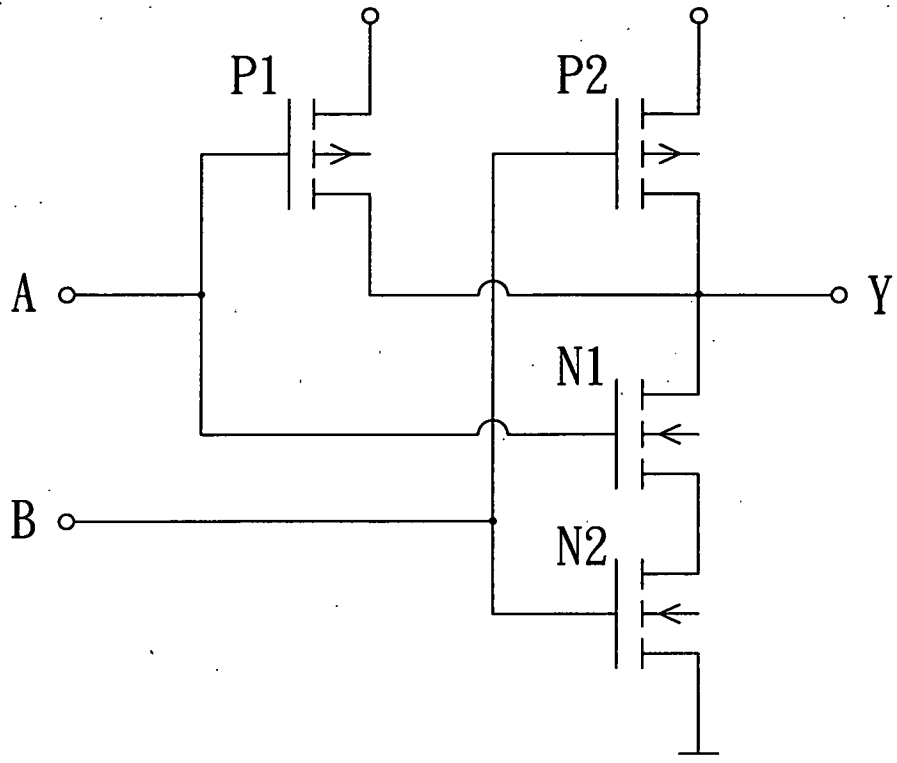


圖 1A

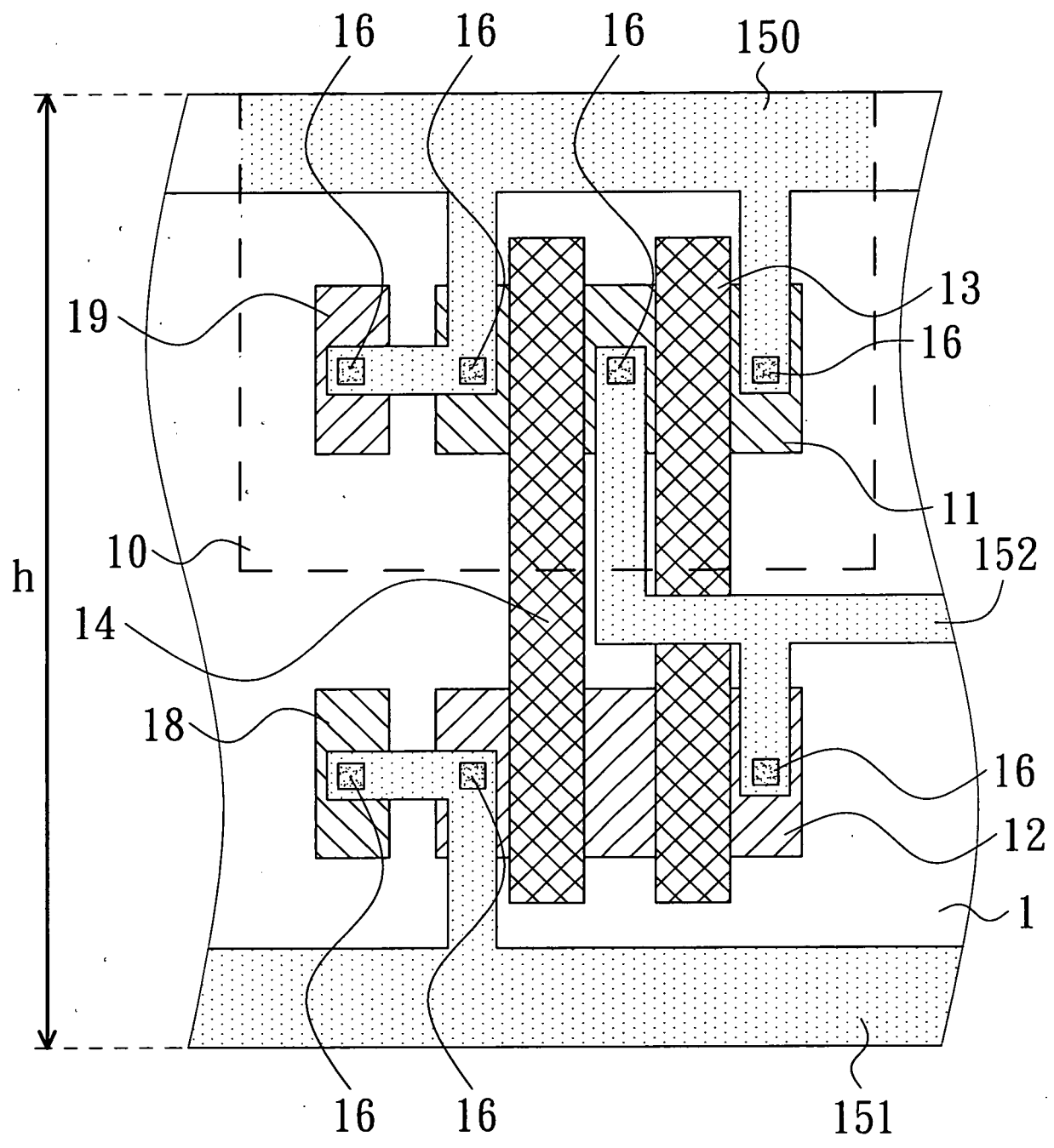


圖 1B

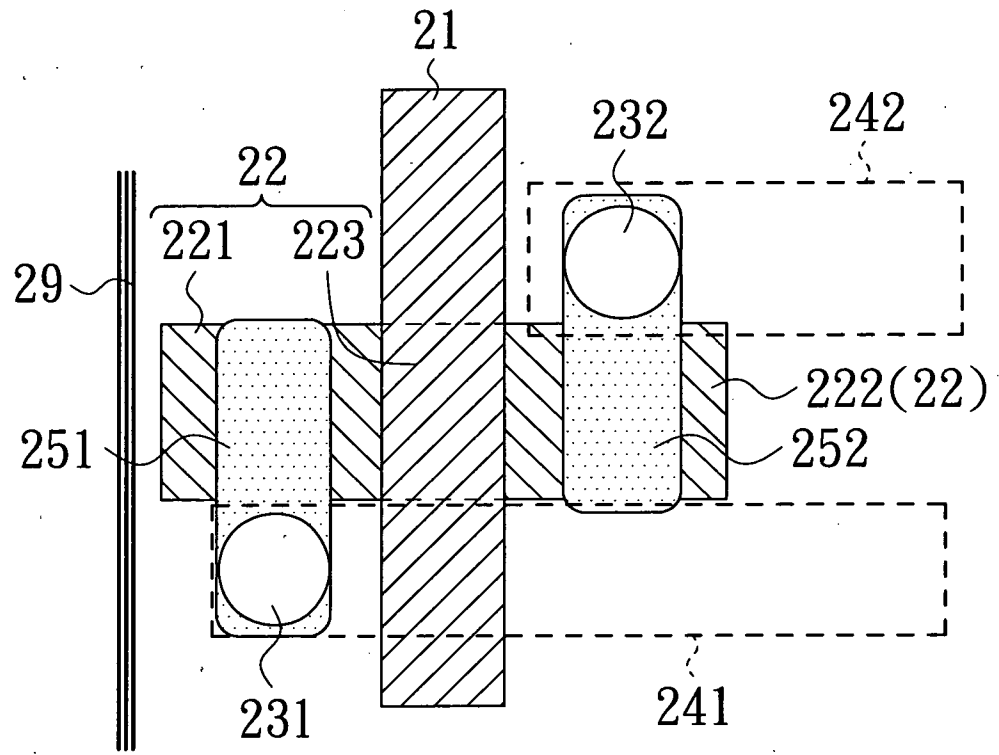


圖 2A

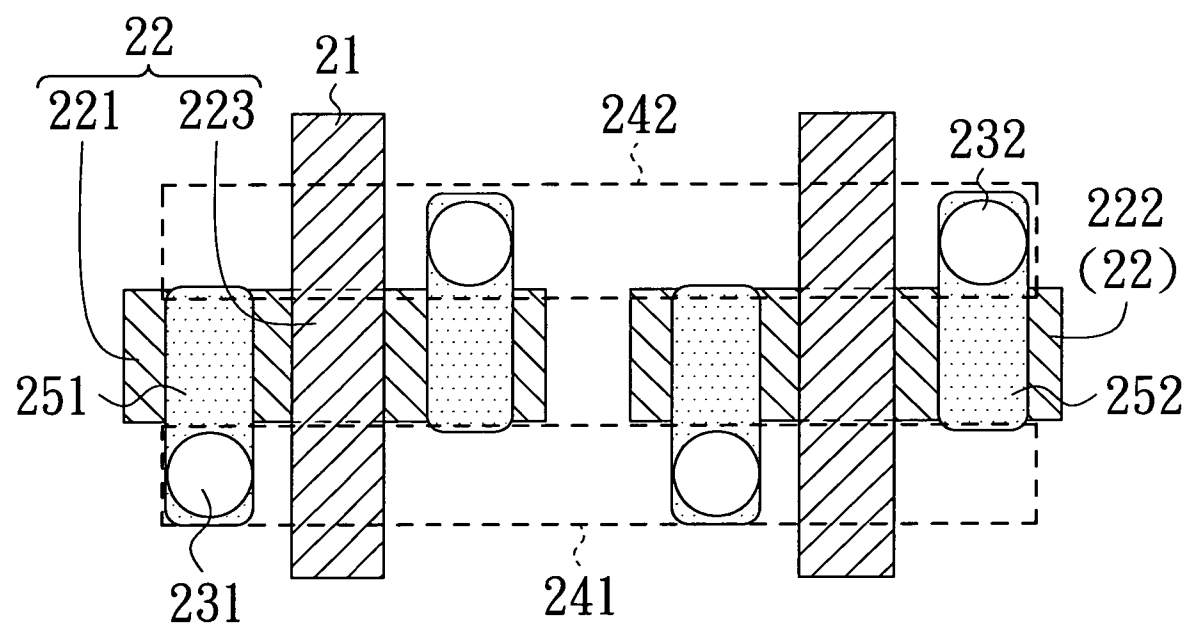


圖 2B

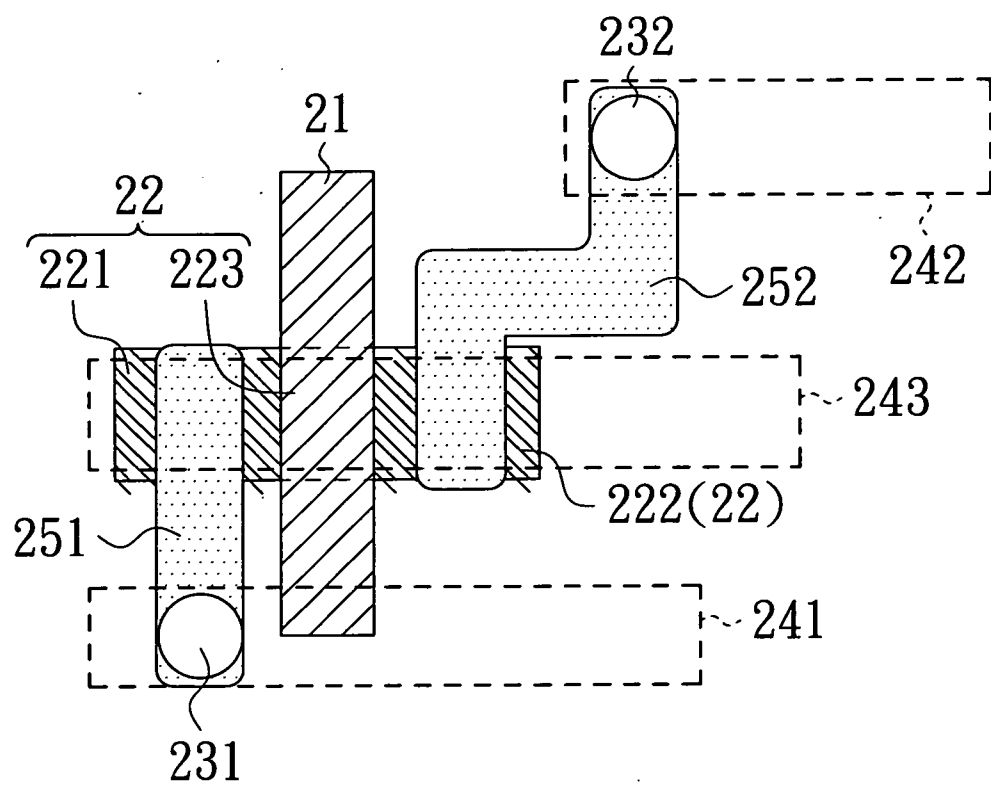


圖 2C

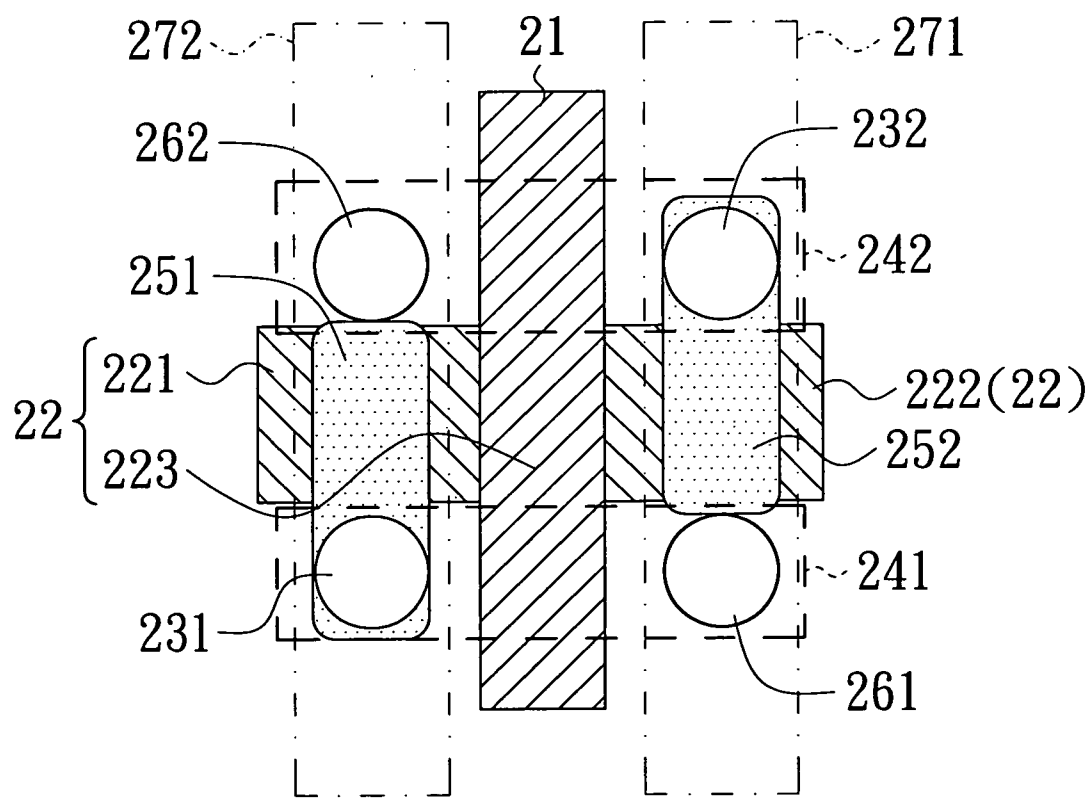


圖 2D

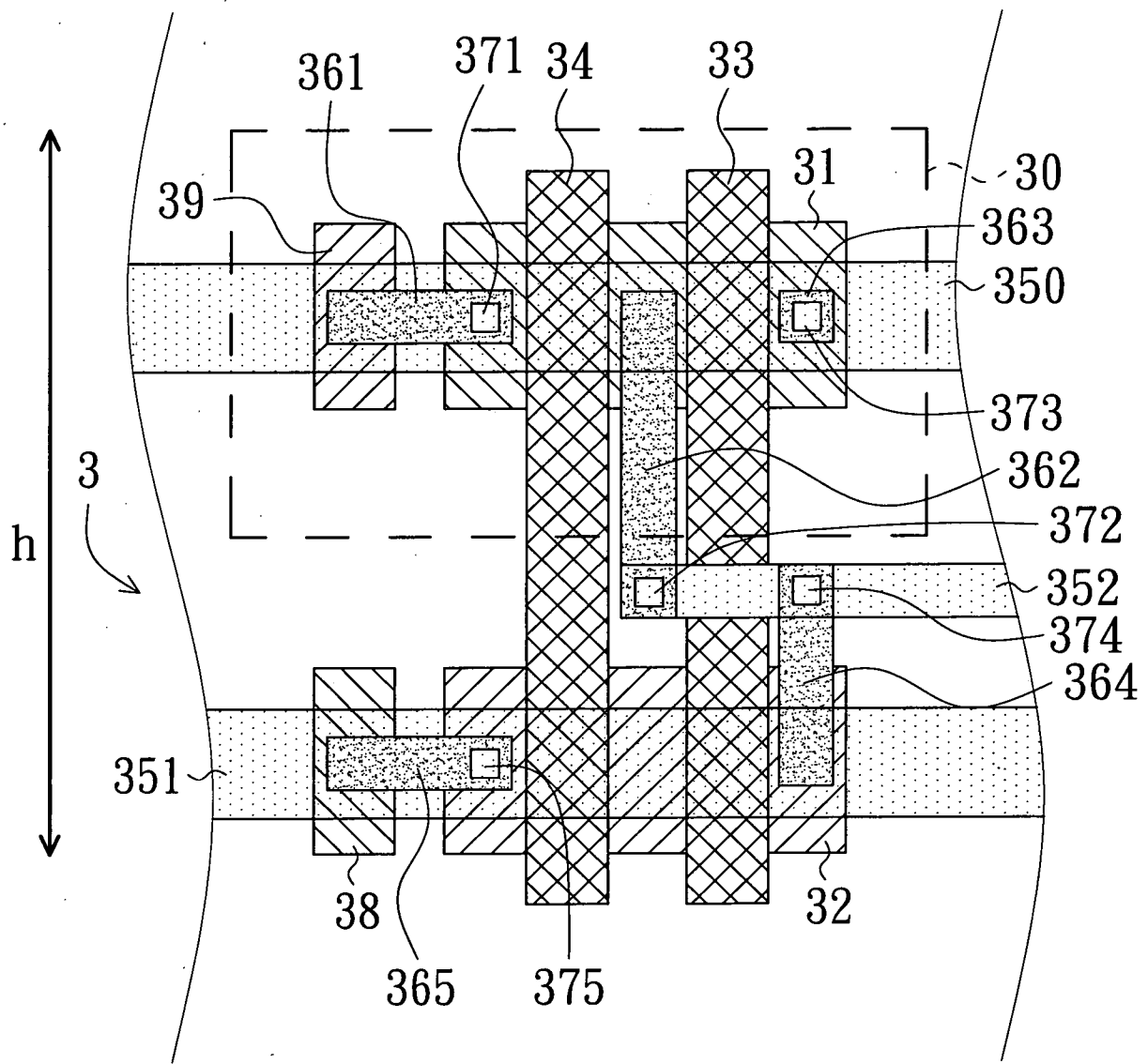


圖 3

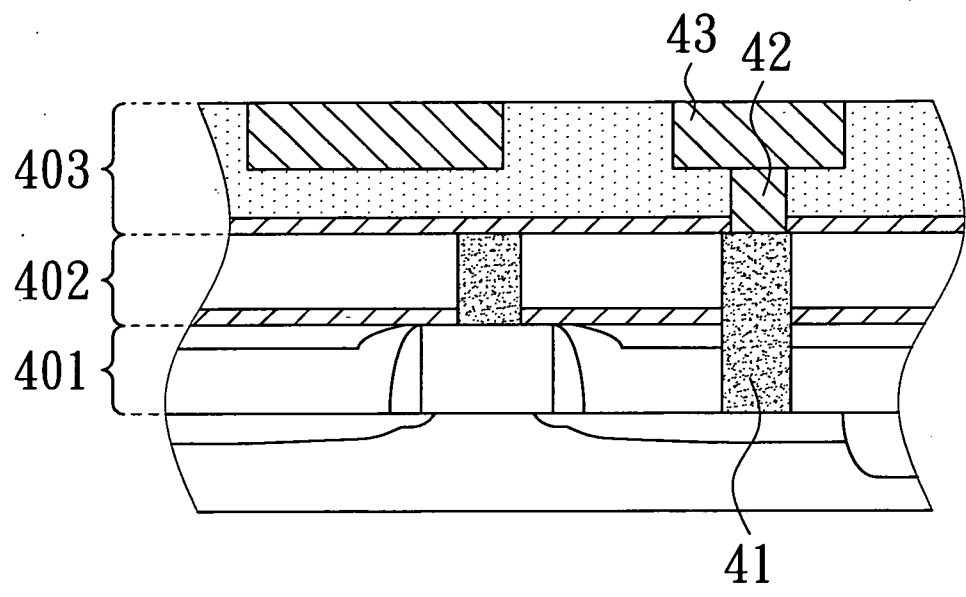


圖 4A

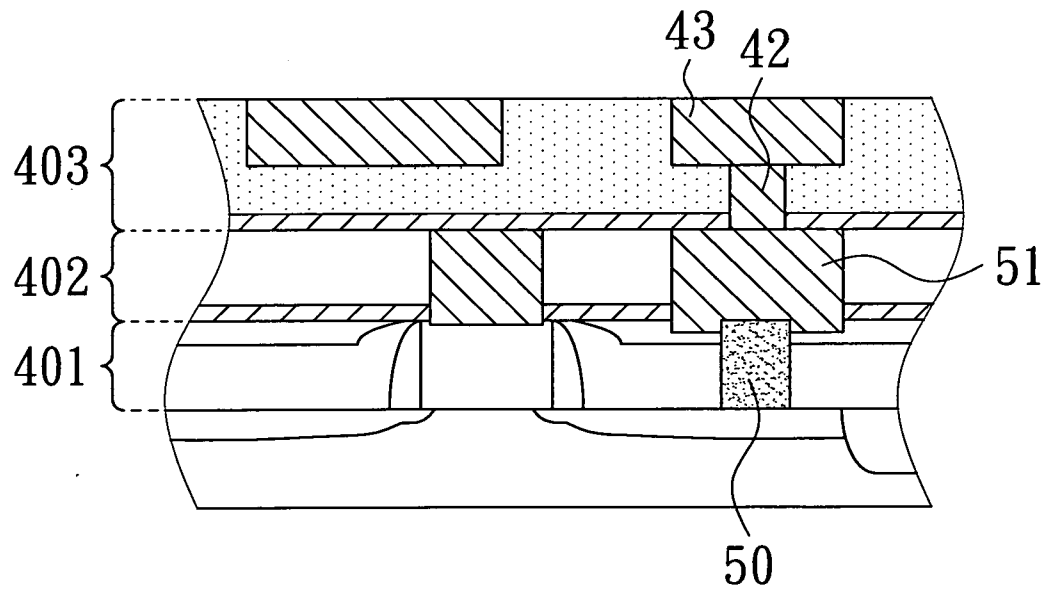


圖 4B

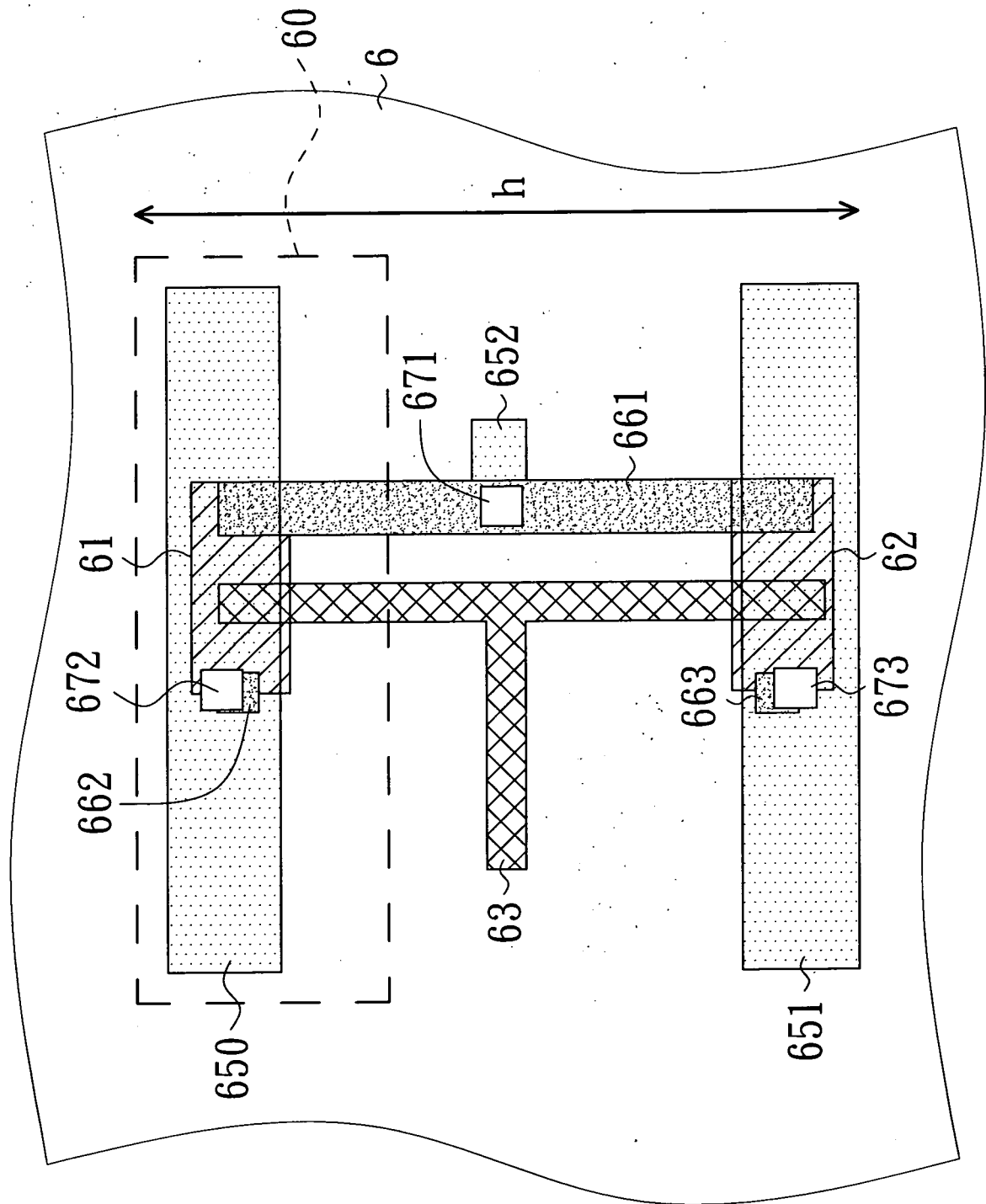


圖5