



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월07일
(11) 등록번호 10-1198819
(24) 등록일자 2012년11월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0041697

(22) 출원일자 2003년06월25일

심사청구일자 2008년03월26일

(65) 공개번호 10-2005-0001514

(43) 공개일자 2005년01월07일

(56) 선행기술조사문헌

KR1020020046559 A*

KR1020020060602 A*

KR1020030016017 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

오창호

대구광역시 북구 구암로16길 7, 101동 1202호 (태전동, 현대아파트)

김용권

경기도 군포시 산본동 세종아파트 638-1303

박승렬

인천광역시 연수구 용담로 58 (청학동)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 21 항

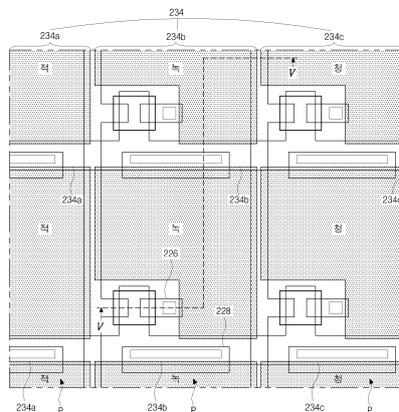
심사관 : 김효욱

(54) 발명의 명칭 씨오티 구조 액정표시장치 및 그 제조방법

(57) 요약

본 발명에서는 합착 마진을 제거하여 개구율이 향상된 액정표시장치를 제공하는 것을 목적으로 하며, 이를 위하여 본 발명에서는 박막트랜지스터를 포함하는 어레이 소자와 컬러필터를 동일 기판에 형성하는 COT 구조의 액정표시장치를 제공하는 것을 특징으로하며, 본 발명의 또 다른 목적은, 콘택홀 공정수를 줄여 공정이 단순화된 COT 구조 액정표시장치를 제공하는 것이며, 이를 위하여 화소 영역 단위로 컬러필터를 아일랜드 패턴으로 형성함으로써, 본 발명에 따른 COT 구조 액정표시장치 및 그 제조 방법에 의하면, 컬러필터를 화소 영역별로 아일랜드 패턴 구조로 형성함에 따라, 별도의 컬러필터 콘택홀 공정을 생략할 수 있어, 기존의 컬러필터의 콘택홀 공정에 의한 콘택 불량 문제 및 공정 난이도 문제를 해결함에 따라, 공정 마진을 확보할 수 있고, 블랙매트릭스 및 컬러필터의 평탄화 특성을 높일 수 있다. 또한, 드레인 전극과 보조 스토리지 전극을 일체형 패턴을 하는 실시예를 포함하여, 콘택홀 공정수를 줄여 공정을 단순화하여 생산수율을 높일 수 있다.

대표도 - 도8c



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

화소영역이 정의된 기관 상의 상기 화소영역의 경계에 제 1 방향으로 연장하여 이격하며 동일한 제 1 폭을 가지며 형성된 제 1 및 제 2 게이트 배선과;

상기 제 1 및 제 2 게이트 배선 위로 형성된 게이트 절연막과;

상기 제 1 및 제 2 게이트 배선과 교차하여 상기 화소영역의 경계에 이격하며 형성된 제 1 및 제 2 데이터 배선과;

상기 게이트 절연막 위로 상기 제 1 게이트 배선 및 상기 제 1 데이터 배선과 연결되며 각 화소영역에 형성되며 순차 적층된 형태로 게이트 전극과, 상기 게이트 절연막과, 반도체층과, 서로 이격하는 소스 및 드레인 전극으로 구성된 박막트랜지스터와;

상기 박막트랜지스터 위로 각 화소영역별로 패터닝되어 형성되며 그 끝단은 각각 상기 제 1 및 제 2 게이트 배선과 제 1 및 제 2 데이터 배선 상에서 이격하며 형성된 컬러필터층과;

상기 컬러필터층 위로 각 화소영역별로 형성되며 상기 제 1 게이트 배선과 중첩하도록 형성된 화소전극

을 포함하며, 상기 드레인 전극은 그 일 끝단이 상기 화소영역을 관통하며 상기 제 2 게이트 배선과 중첩하도록 형성됨으로 보조 스토리지 전극을 이루며, 상기 보조 스토리지 전극은 상기 각 화소영역에 형성된 컬러필터층의 이격영역 사이로 노출됨으로써 상기 화소전극과 접촉하는 것이 특징인 액정표시장치용 기관.

청구항 4

화소영역이 정의된 기관 상의 상기 화소영역의 경계에 제 1 방향으로 연장하여 이격하며 동일한 제 1 폭을 가지며 형성된 제 1 및 제 2 게이트 배선과;

상기 제 1 및 제 2 게이트 배선 위로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 제 1 및 제 2 게이트 배선과 교차하여 상기 화소영역의 경계에 이격하며 형성된 제 1 및 제 2 데이터 배선과;

상기 제 1 게이트 배선 및 상기 제 1 데이터 배선과 연결되며 각 화소영역에 형성되며 순차 적층된 형태로 게이트 전극과, 상기 게이트 절연막과, 반도체층과, 서로 이격하는 소스 및 드레인 전극으로 구성된 박막트랜지스터와;

상기 박막트랜지스터 위로 각 화소영역별로 패터닝되어 형성되며 그 끝단은 각각 상기 제 1 및 제 2 게이트 배선과 제 1 및 제 2 데이터 배선 상에서 이격하며 형성되고 상기 박막트랜지스터를 노출시키며 형성된 컬러필터층과;

상기 컬러필터층 외부로 노출된 상기 박막트랜지스터와, 상기 제 1 및 제 2 게이트 배선과 제 1 및 제 2 데이터 배선을 덮으며 형성되며 상기 보조 스토리지 전극을 노출시키며 형성된 블랙매트릭스와;

상기 컬러필터층 위로 각 화소영역별로 형성되며 상기 제 1 게이트 배선과 중첩하도록 형성된 화소전극

을 포함하며, 상기 드레인 전극은 그 일 끝단이 상기 화소영역을 관통하며 상기 제 2 게이트 배선과 중첩하도록 형성됨으로 보조 스토리지 전극을 이루며, 상기 보조 스토리지 전극은 상기 각 화소영역에 형성된 컬러필터층의 이격영역 사이로 노출됨으로써 상기 화소전극과 접촉하는 것이 특징인 액정표시장치용 기관.

청구항 5

삭제

청구항 6

상기 제 3 항 또는 제 4 항에 따른 제 1 기판과;
상기 제 1 기판과 대향되게 배치된 제 2 기판과;
상기 제 1, 2 기판 사이에 개재된 액정층
을 포함하는 액정표시장치.

청구항 7

제 3 항 또는 제 4 항에 있어서,
상기 게이트 전극과, 상기 소스 전극 및 드레인 전극 사이에는, 액티브층(active layer), 오믹콘택층(ohmic contact layer)이 차례대로 적층된 구조의 반도체층을 포함하며, 상기 소스 전극 및 드레인 전극 사이에는 상기 오믹콘택층이 제거되고, 그 하부층을 이루는 액티브층이 노출된 영역으로 정의되는 채널부(channel part)가 위치하는 액정표시장치용 기판.

청구항 8

제 3 항 또는 제 4 항에 있어서,
상기 컬러필터층은, 상기 화소 영역 별로 적, 녹, 청 컬러필터가 차례대로 반복 배열된 구조로 이루어지는 액정 표시장치용 기판.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제 3 항 또는 제 4 항에 있어서,
상기 게이트 배선과 보조 스토리지 전극이 중첩된 영역은 스토리지 캐패시턴스(storage capacitance)를 이루는 액정표시장치용 기판.

청구항 15

제 4 항에 있어서,
상기 박막트랜지스터와 상기 컬러필터층 사이에 상기 보조 스토리지 전극을 노출시키는 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 포함하는 액정표시장치용 기판.

청구항 16

제 15 항에 있어서,

상기 제 1 보호층은 실리콘 절연물질에서 선택되는 액정표시장치용 기판.

청구항 17

제 15 항에 있어서,

상기 블랙매트릭스와 상기 화소 전극 사이에는, 상기 제 1 스토리지 콘택홀과 대응된 위치에서 제 2 스토리지 콘택홀을 가지는 제 2 보호층을 포함하는 액정표시장치용 기판.

청구항 18

제 17 항에 있어서,

상기 화소 전극은, 상기 제 1, 2 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되는 액정표시장치용 기판.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

제 6 항에 있어서,

상기 제 2 기판 내부면에는, 공통 전극이 형성되는 액정표시장치.

청구항 24

삭제

청구항 25

삭제

청구항 26

화소영역이 정의된 기판 상의 상기 화소영역의 경계에 제 1 방향으로 연장하여 이격하는 동일한 제 1 폭을 갖는 제 1 및 제 2 게이트 배선을 형성하는 단계와;

상기 제 1 및 제 2 게이트 배선 위로 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 제 1 및 제 2 게이트 배선과 교차하여 상기 화소영역의 경계에 이격하는 제 1 및 제 2 데이터 배선을 형성하는 단계와;

상기 제 1 게이트 배선 및 상기 제 1 데이터 배선과 연결되며 각 화소영역에 순차 적층된 형태로 게이트

전극과, 상기 게이트 절연막과, 반도체층과, 서로 이격하는 소스 및 드레인 전극으로 구성된 된 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터 위로 각 화소영역별로 패터닝되며 그 끝단은 각각 상기 제 1 및 제 2 게이트 배선과 제 1 및 제 2 데이터 배선 상에서 이격하는 형태를 갖는 컬러필터층을 형성하는 단계와;

상기 컬러필터층 위로 각 화소영역별로 패터닝되며 상기 제 1 게이트 배선과 중첩하는 화소전극을 형성하는 단계

를 포함하며, 상기 드레인 전극은 그 일 끝단이 상기 화소영역을 관통하며 상기 제 2 게이트 배선과 중첩하도록 형성함으로써 보조 스토리지 전극을 이루도록 하며, 상기 보조 스토리지 전극은 상기 각 화소영역에 형성된 컬러필터층의 이격영역 사이로 노출되도록 하고 상기 화소전극은 상기 보조 스토리지 전극과 접촉하도록 형성하는 것이 특징인 액정표시장치용 기관의 제조 방법.

청구항 27

화소영역이 정의된 기관 상의 상기 화소영역의 경계에 제 1 방향으로 연장하여 이격하는 동일한 제 1 폭을 갖는 제 1 및 제 2 게이트 배선을 형성하는 단계와;

상기 제 1 및 제 2 게이트 배선 위로 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 제 1 및 제 2 게이트 배선과 교차하여 상기 화소영역의 경계에 이격하는 제 1 및 제 2 데이터 배선을 형성하는 단계와;

상기 제 1 게이트 배선 및 상기 제 1 데이터 배선과 연결되며 각 화소영역에 순차 적층된 형태로 게이트 전극과, 상기 게이트 절연막과, 반도체층과, 서로 이격하는 소스 및 드레인 전극으로 구성된 된 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터 위로 각 화소영역별로 패터닝되며 그 끝단은 각각 상기 제 1 및 제 2 게이트 배선과 제 1 및 제 2 데이터 배선 상에서 이격하는 형태를 갖는 컬러필터층을 형성하는 단계와;

상기 컬러필터층 외부로 노출된 상기 박막트랜지스터와, 상기 제 1 및 제 2 게이트 배선과 제 1 및 제 2 데이터 배선을 덮으며 상기 보조 스토리지 전극을 노출시키도록 블랙매트릭스를 형성하는 단계와;

상기 컬러필터층 위로 각 화소영역별로 패터닝되며 상기 제 1 게이트 배선과 중첩하는 화소전극을 형성하는 단계

를 포함하며, 상기 드레인 전극은 그 일 끝단이 상기 화소영역을 관통하며 상기 제 2 게이트 배선과 중첩하도록 형성함으로써 보조 스토리지 전극을 이루도록 하며, 상기 보조 스토리지 전극은 상기 각 화소영역에 형성된 컬러필터층의 이격영역 사이로 노출되도록 하고, 상기 화소전극은 상기 보조 스토리지 전극과 접촉하도록 형성하는 것이 특징인 액정표시장치용 기관의 제조 방법.

청구항 28

삭제

청구항 29

제 26 항 또는 제 27 항에 있어서,

상기 반도체층은 액티브층, 오믹콘택층이 차례대로 적층된 구조를 이루도록 형성하는 것이 특징인 액정표시장치용 기관의 제조 방법.

청구항 30

제 29 항에 있어서,

상기 박막트랜지스터를 형성하는 단계에서는, 상기 소스 전극과 드레인 전극 사이 구간에 위치하는 오믹콘택층을 제거하는 단계를 포함하여, 그 하부층에 노출된 액티브층 영역을 채널부로 구성하는 단계를 포함하는 액정표시장치용 기관의 제조 방법.

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

제 26 항에 있어서,

상기 박막트랜지스터와 상기 컬러필터층 사이에 상기 보조 스토리지 전극을 일부 노출시키는 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 형성하는 단계를 포함하는 액정표시장치용 기판의 제조 방법.

청구항 46

제 45 항에 있어서,

상기 화소 전극은, 상기 제 1 스토리지 콘택홀을 통해 상기 보조 스토리지 전극과 연결되고, 상기 보조 스토리지 전극과의 연결을 통해 드레인 전극과 전기적으로 연결되는 액정표시장치용 기판의 제조 방법.

청구항 47

제 27 항에 있어서,

상기 박막트랜지스터와 상기 컬러필터층 사이에 상기 보조 스토리지 전극을 일부 노출시키는 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 형성하는 단계를 포함하는 액정표시장치용 기판의 제조 방법.

청구항 48

제 47 항에 있어서,

상기 블랙매트릭스와 화소 전극 사이에는, 상기 제 1 스토리지 콘택홀과 대응된 위치에서 제 2 스토리지 콘택홀을 가지는 제 2 보호층을 형성하는 단계를 추가로 포함하는 액정표시장치용 기판의 제조 방법.

청구항 49

제 48 항에 있어서,

상기 화소 전극은, 상기 제 1, 2 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되며, 상기 화소 전극은 보조 스토리지 전극과의 연결을 통해 드레인 전극과 전기적으로 연결되는 액정표시장치용 기판의 제조 방법.

청구항 50

삭제

청구항 51

삭제

청구항 52

제 45 항 또는 제 47 항 중 어느 하나의 항에 있어서,

상기 제 1 보호층은 실리콘 절연물질에서 선택되는 액정표시장치용 기판의 제조 방법.

청구항 53

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0022] 본 발명은 액정표시장치에 관한 것이며, 특히 박막트랜지스터를 포함한 어레이 소자와 컬러필터를 동일 기판에 형성하는 COT(color filter on thin film transistor) 구조 액정표시장치 및 그 제조 방법에 관한 것이다.

[0023] 최근에, 액정표시장치는 소비전력이 낮고 휴대성이 양호한 기술집약적이며 부가가치가 높은 차세대 첨단 표시장치 소자로 각광받고 있다.

- [0024] 상기 액정표시장치는 투명 전극이 형성된 두 기관 사이에 액정을 주입하고, 상부 및 하부 기관 외부에 상부 및 하부 편광판을 위치시켜 형성되며, 액정분자의 이방성에 따른 빛의 편광특성을 변화시켜 영상효과를 얻는 비발광 소자에 해당된다.
- [0025] 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.
- [0026] 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에서 구성된 블랙매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(8)의 상부에 증착된 공통전극(18)이 형성된 상부기관(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기관(22)과, 상부기관(5)과 하부기관(22) 사이에는 액정(14)이 충전되어 있다.
- [0027] 상기 하부기관(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- [0028] 이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- [0029] 상기 화소전극(17)은 ITO(indium-tin-oxide)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- [0030] 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C_{ST})가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C_{ST})의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 소스/드레인 금속층(30)을 사용한다.
- [0031] 이때, 상기 소스/드레인 금속층(30)은 화소전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.
- [0032] 전술한 바와 같이 상부 컬러필터 기관(5)과 하부 어레이기판(22)을 합착하여액정패널을 제작하는 경우에는, 컬러필터 기관(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- [0033] 이하, 도 2를 참조하여 설명한다.
- [0034] 도 2는 도 1의 II-II를 따라 절단한 단면도이다.
- [0035] 앞서 설명한 바와 같이, 어레이기판인 제 1 기관(22)과 컬러필터 기관인 제 2 기관(5)이 이격되어 구성되고, 제 1 및 제 2 기관(22,5)의 사이에는 액정층(14)이 위치한다.
- [0036] 어레이기판(22)의 상부에는 게이트 전극(32)과 액티브층(34)과 소스 전극(36)과 드레인 전극(38)을 포함하는 박막트랜지스터(T)와, 상기 박막트랜지스터(T)의 상부에는 이를 보호하는 보호막(40)이 구성된다.
- [0037] 화소영역(P)에는 상기 박막트랜지스터(T)의 드레인 전극(38)과 접촉하는 투명 화소전극(17)이 구성되고, 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C_{ST})가 게이트 배선(13)의 상부에 구성된다.
- [0038] 상기 상부 기관(5)에는 상기 게이트 배선(13)과 데이터 배선(15)과 박막트랜지스터(T)에 대응하여 블랙매트릭스(6)가 구성되고, 하부 기관(22)의 화소영역(P)에 대응하여 컬러필터(8)가 구성된다.
- [0039] 이때, 일반적인 어레이기판의 구성은 수직 크로스토크(cross talk)를 방지하기 위해 데이터 배선(15)과 화소 전극(17)을 일정 간격(IIIa) 이격하여 구성하게 되고, 게이트 배선(13)과 화소 전극 또한 일정간격(IIIb) 이격하여 구성하게 된다.
- [0040] 데이터 배선(15) 및 게이트 배선(13)과 화소 전극(17) 사이의 이격된 공간(A,B)은 빛샘 현상이 발생하는 영역이기 때문에, 상부 컬러필터기관(5)에 구성한 블랙 매트릭스(black matrix)(6)가 이 부분을 가려주는 역할을 하게 된다.
- [0041] 또한, 상기 박막트랜지스터(T)의 상부에 구성된 블랙매트릭스(6)는 외부에서 조사된 빛이 보호막(40)을 지나 액티브층(34)에 영향을 주지 않도록 하기 위해 빛을 차단하는 역할을 하게 된다.
- [0042] 그런데, 상기 상부 기관(5)과 하부 기관(22)을 합착하는 공정 중 합착 오차(misalign)가 발생하는 경우가 있는데, 이를 감안하여 상기 블랙매트릭스(6)를 설계할 때 일정한 값의 마진(margin)을 두고 설계하기 때문에 그 만큼 개구율이 저하된다.
- [0043] 또한, 마진을 넘어선 합착오차가 발생할 경우, 빛샘 영역(IIIa, IIIb)이 블랙매트릭스(6)에 모두 가려지지 않는

빛샘 불량이 발생하는 경우가 종종 있다.

[0044] 이러한 경우에는 상기 빛샘이 외부로 나타나기 때문에 화질이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

[0045] 상기 문제점을 해결하기 위하여, 본 발명에서는 합착 마진을 제거하여 개구율이 향상된 액정표시장치를 제공하는 것을 목적으로 하며, 이를 위하여 본 발명에서는 박막트랜지스터를 포함하는 어레이 소자와 컬러필터를 동일 기판에 형성하는 COT 구조의 액정표시장치를 제공하고자 한다.

[0046] 본 발명의 또 다른 목적은, 콘택홀 공정수를 줄여 공정이 단순화된 COT 구조 액정표시장치를 제공하는 것이며, 이를 위하여 화소 영역 단위로 컬러필터를 아일랜드 패턴으로 형성하고자 한다.

발명의 구성 및 작용

[0047] 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 서로 교차하여 화소영역을 정의하며 형성된 게이트 배선 및 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 각 화소 영역에 대응하여 상기 드레인 전극을 노출시키는 범위에서 그 내부에 콘택홀 없이 아일랜드 패턴(island pattern) 구조로 형성된 컬러필터층과; 상기 컬러필터층을 덮으며 상기 박막트랜지스터의 드레인 전극과 접촉하며 각 화소영역 별로 형성된 화소 전극을 포함하는 액정표시장치용 기판을 제공한다.

[0048] 본 발명의 제 2 특징에서는, 서로 교차하여 화소영역을 정의하며 형성된 게이트 배선 및 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 각 화소 영역에 대응하여 상기 드레인 전극을 노출시키는 범위에서 그 내부에 콘택홀 없이 아일랜드 패턴(island pattern) 구조로 형성된 컬러필터층과; 상기 컬러필터층 상부에서, 상기 박막트랜지스터와, 상기 게이트 배선 및 데이터 배선을 덮는 영역에 형성된 블랙매트릭스와; 상기 블랙매트릭스 상부로 상기 컬러필터층을 덮으며 상기 박막트랜지스터의 드레인 전극과 접촉하며 각 화소영역 별로 형성된 화소 전극을 포함하는 액정표시장치용 기판을 제공한다.

[0049] 본 발명의 제 3 특징에서는, 제 1 방향으로 형성되며, 게이트 전극, 스토리지 전극을 가지는 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 화소영역을 정의하며 형성되며 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 일정간격 이격되게 형성되는 드레인 전극과, 상기 드레인 전극과 일체형 패턴을 이루며, 상기 스토리지 전극과 중첩되는 위치에 형성된 보조 스토리지 전극과; 상기 보조 스토리지 전극을 노출시키는 범위의 상기 화소 영역에 그 내부에 콘택홀 없이 아일랜드 패턴구조로 형성된 컬러필터층과; 상기 컬러필터층을 덮으며 상기 보조 스토리지 전극과 접촉하며 각 화소영역 별로 형성된 화소 전극을 포함하며, 상기 게이트 전극, 소스 전극, 드레인 전극은 박막트랜지스터를 이루는 액정표시장치용 기판을 제공한다.

[0050] 본 발명의 제 4 특징에서는, 제 1 방향으로 형성되며, 게이트 전극, 스토리지 전극을 가지는 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 화소영역을 정의하며 형성되며, 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 일정간격 이격되게 형성되는 드레인 전극과, 상기 드레인 전극과 일체형 패턴을 이루며, 상기 스토리지 전극과 중첩되는 위치에 형성된 보조 스토리지 전극과; 상기 보조 스토리지 전극을 노출시키는 범위의 상기 화소 영역에 그 내부에 콘택홀 없이 아일랜드 패턴구조로 형성된 컬러필터층과; 상기 컬러필터층 상부에서, 상기 게이트 전극, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와, 상기 게이트 배선 및 데이터 배선을 덮는 영역에 형성된 블랙매트릭스와; 상기 블랙매트릭스 상부로 상기 컬러필터층을 덮으며 상기 보조 스토리지 전극과 접촉하며 각 화소영역 별로 형성된 화소 전극을 포함하는 액정표시장치용 기판을 제공한다.

[0051] 본 발명의 제 5 특징에서는, 제 1 방향으로 형성되며, 게이트 전극, 스토리지 전극을 가지는 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성되며, 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 일정간격 이격되게 형성된 드레인 전극과, 상기 드레인 전극과 일체형 패턴으로 형성된 보조 스토리지 전극과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성된 박막트랜지스터와; 상기 박막트랜지스터와, 상기 게이트 배선 및 데이터 배선을 덮는 영역에 형성된 블랙매트릭스와; 상기 블랙매트릭스를 덮는 영역에 형성되며, 상기 보조

스토리지 전극과 연결되는 제 1 화소 전극 물질층과; 상기 제 1 화소 전극 물질층 상부의 화소 영역에 아일랜드 패턴 구조로 형성된 컬러필터층과; 상기 컬러필터층 상부에서, 상기 제 1 화소 전극 물질층과 연결되는 제 2 화소 전극 물질층을 포함하며, 상기 제 1, 2 화소 전극 물질층은 화소 전극을 이루는 액정표시장치용 기판을 제공한다.

- [0052] 본 발명의 제 6 특징에서는, 본 발명의 제 1 내지 제 5 특징에 따른 제 1 기판과; 상기 제 1 기판과 대향되게 배치된 제 2 기판과; 상기 제 1, 2 기판 사이에 개재된 액정층을 포함하는 액정표시장치를 제공한다.
- [0053] 본 발명의 제 1 내지 제 5 특징에 따른 상기 게이트 전극과, 상기 소스 전극 및 드레인 전극 사이에는, 액티브층(active layer), 오믹콘택층(ohmic contact layer)이 차례대로 적층된 구조의 반도체층을 포함하며, 상기 소스 전극 및 드레인 전극 사이에는 상기 오믹콘택층이 제거되고, 그 하부층을 이루는 액티브층이 노출된 영역으로 정의되는 채널부(channel part)가 위치하는 액정표시장치용 기판을 제공한다.
- [0054] 본 발명의 제 1 내지 제 5 특징에 따른 상기 컬러필터층은, 상기 화소 영역 별로 적, 녹, 청 컬러필터가 차례대로 반복 배열된 구조로 이루어지는 것을 특징으로 한다.
- [0055] 본 발명의 제 1, 2 특징에 따른 상기 게이트 배선에 포함되는 영역에는 스토리지 전극이 형성되고, 상기 스토리지 전극과 중첩되는 영역에는 상기 데이터 배선과 동일 공정에서 동일 물질로 이루어지며, 상기 화소 전극과 연결되는 보조 스토리지 전극이 형성되고, 상기 스토리지 전극, 보조 스토리지 전극, 화소 전극이 중첩된 영역은 절연층이 개재된 상태에서 스토리지 캐패시턴스(storage capacitance)를 이루며, 상기 컬러필터층은, 상기 보조 스토리지 전극을 노출시키는 범위에서 형성되고, 상기 박막트랜지스터를 직접적으로 덮는 영역에 위치하며, 상기 드레인 전극 및 보조 스토리지 전극을 일부 노출시키는 제 1 드레인 콘택홀 및 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 추가로 포함하는 것을 특징으로 한다. 상기 화소 전극은, 상기 제 1 드레인 콘택홀을 통해 드레인 전극과 연결되고, 상기 제 1 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되는 것을 특징으로 한다.
- [0056] 본 발명의 제 3 내지 제 5 특징에 따른 상기 스토리지 전극, 보조 스토리지 전극, 화소 전극이 중첩된 영역은 절연층이 개재된 상태에서 스토리지 캐패시턴스(storage capacitance)를 이루는 것을 특징으로 한다.
- [0057] 본 발명의 제 4 특징에 따른 상기 박막트랜지스터를 직접적으로 덮는 영역에는, 상기 드레인 전극 및 보조 스토리지 전극을 일부 노출시키는 제 1 드레인 콘택홀 및 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 포함하고, 상기 제 1 보호층은 실리콘 절연물질에서 선택되며, 상기 블랙매트릭스와 화소 전극 사이에는, 상기 제 1 드레인 콘택홀 및 제 1 스토리지 콘택홀과 대응된 위치에서 제 2 드레인 콘택홀 및 제 2 스토리지 콘택홀을 가지는 제 2 보호층을 포함하고, 상기 화소 전극은, 상기 제 1, 2 드레인 콘택홀을 통해 드레인 전극과 연결되고, 상기 제 1, 2 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되는 것을 특징으로 한다.
- [0058] 본 발명의 제 5 특징에 따른 상기 박막트랜지스터를 직접적으로 덮는 영역에는, 상기 보조 스토리지 전극을 일부 노출시키는 스토리지 콘택홀을 가지는 보호층이 추가로 포함되고, 상기 제 1 화소 전극 물질층은, 상기 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되는 것을 특징으로 한다.
- [0059] 본 발명의 제 1 또는 제 3 특징에 따른 상기 컬러필터층은, 이웃하는 게이트 배선 및 데이터 배선과 일정간격 중첩되게 형성되는 것을 특징으로 한다.
- [0060] 본 발명의 제 1 내지 제 5 특징에 따른 상기 컬러필터층은, 노광, 현상 공정을 포함한 패터닝 공정인 사진식각(photolithography)에 의해 형성되는 것을 특징으로 한다.
- [0061] 본 발명의 제 6 특징에 따른 상기 제 2 기판 내부면에는, 공통 전극이 형성되는 것을 특징으로 한다.
- [0062] 본 발명의 제 7 특징에서는 기판 상에 제 1 방향으로, 게이트 전극을 포함하는 게이트 배선을 형성하는 단계와; 상기 제 1 방향과 교차되는 제 2 방향으로, 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와; 상기 게이트 전극, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 게이트 배선 및 데이터 배선의 교차영역으로 정의되는 화소 영역에 그 내부에 콘택홀 없이 상기 드레인 전극을 노출시키며 아일랜드 패턴 구조로 컬러필터층을 형성하는 단계와; 상기 컬러필터층 상부에, 상기 각 화소영역별로 상기 박막트랜지스터의 드레인 전극과 접촉하는 화소 전극을 형성하는 단계를 포함하는 액정표시장치용 기판의 제조 방법을 제공한다.
- [0063] 본 발명의 제 8 특징에서는, 기판 상에 제 1 방향으로, 게이트 전극을 포함하는 게이트 배선을 형성하는 단계와; 상기 제 1 방향과 교차되는 제 2 방향으로, 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와; 상기 게이트 전극, 소스 전극, 드레인 전극은 박막트랜지스터

를 이루고, 상기 게이트 배선 및 데이터 배선의 교차영역으로 정의되는 화소 영역에 그 내부에 콘택홀 없이 상기 드레인 전극을 노출시키며 아일랜드 패턴 구조로 컬러필터층을 형성하는 단계와; 상기 박막트랜지스터와, 상기 게이트 배선 및 데이터 배선을 덮는 영역에 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스 상부에, 상기 박막트랜지스터의 드레인 전극과 접촉하는 화소 전극을 형성하는 단계를 포함하는 액정표시장치용 기판의 제조 방법을 제공한다.

[0064] 본 발명의 제 9 특징에서는, 기판 상에 제 1 방향으로 게이트 전극, 스토리지 전극을 포함하는 게이트 배선을 형성하는 단계와; 상기 제 1 방향과 교차되는 제 2 방향으로, 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 일정간격 이격되는 드레인 전극과, 상기 드레인 전극과 일체형 패턴을 이루며, 상기 스토리지 전극과 중첩되는 보조 스토리지 전극을 형성하는 단계와; 상기 게이트 전극, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 게이트 배선 및 데이터 배선의 교차 영역으로 정의되는 화소 영역에, 아일랜드 패턴 구조를 이루며, 그 내부에 콘택홀없이 상기 보조 스토리지 전극을 노출시키는 컬러필터층을 형성하는 단계와; 상기 컬러필터층 상부에, 각 화소영역 별로 상기 보조 스토리지 전극과 접촉하는 화소 전극을 형성하는 단계를 포함하는 액정표시장치용 기판의 제조 방법을 제공한다.

[0065] 본 발명의 제 10 특징에서는, 기판 상에 제 1 방향으로 게이트 전극, 스토리지 전극을 포함하는 게이트 배선을 형성하는 단계와; 상기 제 1 방향과 교차되는 제 2 방향으로, 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 일정간격 이격되는 드레인 전극과, 상기 드레인 전극과 일체형 패턴을 이루며, 상기 스토리지 전극과 중첩되는 보조 스토리지 전극을 형성하는 단계와; 상기 게이트 전극, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 게이트 배선 및 데이터 배선의 교차 영역으로 정의되는 화소 영역에, 그 내부에 콘택홀 없이 상기 드레인 전극을 노출시키며 아일랜드 패턴 구조를 이루며, 상기 보조 스토리지 전극을 노출시키는 컬러필터층을 형성하는 단계와; 상기 박막트랜지스터와, 상기 게이트 배선 및 데이터 배선을 덮는 영역에 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스 상부에, 상기 각 화소영역별로 상기 보조 스토리지 전극과 접촉하는 화소 전극을 형성하는 단계를 포함하는 액정표시장치용 기판의 제조 방법을 제공한다.

[0066] 본 발명의 제 11 특징에 따른 기판 상에, 제 1 방향으로, 게이트 전극, 스토리지 전극을 포함하는 게이트 배선을 형성하는 단계와; 상기 제 1 방향과 교차되는 제 2 방향으로, 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 일정간격 이격되게 위치하는 드레인 전극과, 상기 드레인 전극과 일체형 패턴을 이루는 보조 스토리지 전극을 형성하는 단계와; 상기 게이트 전극, 소스 전극, 드레인 전극으로 이루어지는 박막트랜지스터와, 상기 게이트 배선 및 데이터 배선과 중첩된 영역에 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스를 덮는 영역에, 상기 보조 스토리지 전극과 연결되는 제 1 화소 전극 물질층을 형성하는 단계와; 상기 제 1 화소 전극 물질층 상부에, 상기 블랙매트릭스를 컬러별 경계부로 하여 아일랜드 패턴 구조의 컬러필터층을 형성하는 단계와; 상기 컬러필터층 상부에, 상기 제 1 화소 전극 물질층과 연결되는 제 2 화소 전극 물질층을 형성하는 단계를 포함하는 액정표시장치용 기판의 제조 방법을 제공한다.

[0067] 본 발명의 제 7 내지 제 11 특징에 따른 상기 게이트 배선을 형성하는 단계와, 상기 데이터 배선을 형성하는 단계 사이에는, 액티브층, 오믹콘택층이 차례대로 적층된 구조의 반도체층을 형성하는 단계를 포함하고, 상기 데이터 배선을 형성하는 단계에서는, 상기 소스 전극과 드레인 전극 사이 구간에 위치하는 오믹콘택층을 제거하는 단계를 포함하여, 그 하부층에 노출된 액티브층 영역을 채널부로 구성하는 단계를 포함하는 것을 특징으로 한다.

[0068] 본 발명의 제 7 내지 제 11 특징에 따른 상기 컬러필터층을 형성하는 단계는, 노광, 현상 공정을 이용한 패턴닝 공정인 사진식각 공정을 이용하여 이루어지고, 상기 컬러필터층을 형성하는 단계에서는, 상기 화소 영역별로 적, 녹, 청 컬러필터를 차례대로 반복 형성하는 단계를 포함하는 것을 특징으로 한다.

[0069] 본 발명의 제 7 특징에 따른 상기 게이트 배선을 형성하는 단계에서는, 상기 게이트 배선 영역에 포함되는 스토리지 전극을 형성하는 단계를 포함하고, 상기 데이터 배선을 형성하는 단계에서는, 상기 스토리지 전극과 중첩되게 위치하는 보조 스토리지 전극을 형성하는 단계를 포함하며, 상기 컬러필터층은, 상기 보조 스토리지 전극을 노출시키는 범위에서 형성되고, 상기 박막트랜지스터를 직접적으로 덮는 영역에, 상기 드레인 전극 및 보조 스토리지 전극을 일부 노출시키는 제 1 드레인 콘택홀 및 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0070] 본 발명의 제 8 특징에 따른 상기 박막트랜지스터를 직접적으로 덮는 영역에, 상기 드레인 전극 및 보조 스토리지 전극을 일부 노출시키는 제 1 드레인 콘택홀 및 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 형성하는 단계를 추가로 포함하고, 상기 게이트 배선을 형성하는 단계에서는, 상기 게이트 배선에 포함되는 스토리지 전극

을 형성하는 단계를 포함하며, 상기 데이터 배선을 형성하는 단계에서는, 상기 스토리지 전극과 중첩되는 영역에 보조 스토리지 전극을 형성하는 단계를 포함하고, 상기 컬러필터층은, 상기 보조 스토리지 전극을 노출시키는 범위에서 형성되며, 상기 박막트랜지스터를 직접적으로 덮는 영역에, 상기 드레인 전극 및 보조 스토리지 전극을 일부 노출시키는 제 1 드레인 콘택홀 및 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 형성하는 단계를 추가로 포함한다. ,

[0071] 상기 제 1 보호층을 이루는 물질은 실리콘 절연물질에서 선택되고, 상기 블랙매트릭스와 화소 전극 사이에는, 상기 제 1 드레인 콘택홀 및 제 1 스토리지 콘택홀과 대응된 위치의 제 2 드레인 콘택홀 및 제 2 스토리지 콘택홀을 가지는 제 2 보호층을 형성하는 단계를 추가로 포함하고, 상기 화소 전극은, 상기 제 1, 2 드레인 콘택홀을 통해 드레인 전극과 연결되고, 상기 제 1, 2 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되는 것을 특징으로 한다.

[0072] 본 발명의 제 9 내지 제 11 특징에 따른 상기 박막트랜지스터를 직접적으로 덮는 영역에는, 상기 보조 스토리지 전극을 일부 노출시키는 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 형성하는 단계를 포함하고, 상기 화소 전극은, 상기 제 1 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되고, 상기 보조 스토리지 전극과의 연결을 통해 드레인 전극과 전기적으로 연결되는 것을 특징으로 한다.

[0073] 본 발명의 제 10 특징에 따른 상기 박막트랜지스터를 직접적으로 덮는 영역에는, 상기 보조 스토리지 전극을 일부 노출시키는 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 형성하는 단계를 포함하고, 상기 블랙매트릭스와 화소 전극 사이에는, 상기 제 1 스토리지 콘택홀과 대응된 위치에서 제 2 스토리지 콘택홀을 가지는 제 2 보호층을 형성하는 단계를 추가로 포함하며, 상기 화소 전극은, 상기 제 1, 2 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되며, 상기 화소 전극은 보조 스토리지 전극과의 연결을 통해 드레인 전극과 전기적으로 연결되는 것을 특징으로 한다.

[0074] 본 발명의 제 11 특징에 따른 상기 박막트랜지스터를 직접적으로 덮는 영역에는, 상기 보조 스토리지 전극을 일부 노출시키는 제 1 스토리지 콘택홀을 가지는 제 1 보호층을 형성하는 단계를 포함하고, 상기 제 1 화소 전극 물질층은, 상기 제 1 스토리지 콘택홀을 통해 보조 스토리지 전극과 연결되며, 상기 제 1 화소 전극 물질층은 통해 제 2 화소 전극 물질층은 보조 스토리지 전극 및 드레인 전극과 전기적으로 연결되는 것을 특징으로 한다.

[0075] 상기 제 1 보호층은 실리콘 절연물질에서 선택되는 것을 특징으로 한다.

[0076] 본 발명의 제 7, 9 특징에 따른 상기 컬러필터층은, 이웃하는 게이트 배선 및 데이터 배선과 일정간격 중첩되게 형성하는 것을 특징으로 한다.

[0077] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

[0078] -- 제 1 실시예 --

[0079] 도 3은 본 발명의 제 1 실시예에 따른 COT 구조 액정표시장치에 대한 평면도이다.

[0080] 도시한 바와 같이, 제 1 방향으로 게이트 배선(116)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(124)이 형성되어 있으며, 게이트 배선(116) 및 데이터 배선(124)이 교차되는 지점에는 게이트 전극(112), 반도체층(120), 소스 전극(122), 드레인 전극(126)으로 이루어지며, 소스 전극(122) 및 드레인 전극(126) 간 이격구간에서 캐리어(carrier) 이동통로인 채널부(ch)를 가지는 박막트랜지스터(T)가 형성되어 있다. 그리고, 상기 게이트 배선(116)의 일부 영역은 스토리지 전극(114)을 이루고, 스토리지 전극(114)과 중첩된 영역에는 보조 스토리지 전극(128)이 형성되어 있다.

[0081] 상기 게이트 배선(116) 및 데이터 배선(124)이 교차되는 영역은 화소 영역(P)으로 정의되고, 화소 영역(P) 별도로, 녹, 청 컬러필터(136a, 136b, 136c)가 차례대로 배열된 구조로 이루어지고, 드레인 전극(126)을 일부 노출시키는 드레인 콘택홀(152) 및 보조 스토리지 전극(128)을 일부 노출시키는 스토리지 콘택홀(154)을 가지는 컬러필터층(136)이 형성되어 있고, 게이트 배선(116) 및 데이터 배선(124)을 덮는 영역 및 채널부(ch)를 덮는 영역에는 블랙매트릭스(144)가 형성되어 있다.

[0082] 그리고, 상기 화소 영역(P)에는 드레인 콘택홀(152)을 통해 드레인 전극(126)과 연결되고, 스토리지 콘택홀(154)을 통해 보조 스토리지 전극(128)과 연결되는 화소 전극(156)이 형성되어 있다.

- [0083] 상기 화소 전극(156)은 개구율 향상을 목적으로, 저유전율값을 가지는 절연체가 개재된 상태에서, 이웃하는 데이터 배선(124)과 일정간격 중첩되게 위치한다.
- [0084] 그리고, 상기 컬러필터층(136)은, 상, 하 방향 화소 영역(P) 간에는 동일 컬러가 일체형 패턴으로 형성된 스트라이프 타입이 주류를 이루고 있다.
- [0085] 도 4a 내지 4f, 5a 내지 5f는 상기 도 3에 따른 COT 구조 액정표시장치의 제조 공정을 단계별로 나타낸 도면으로서, 도 4a 내지 4f는 평면도이고, 도 5a 내지 5f는 도 4의 IV-IV에 따라 절단된 단면을 도시한 단면도이며, 컬러필터 제조 공정을 중심으로 도시하였다.
- [0086] 도 4a, 5a는 기관(110) 상에 제 1 방향으로, 게이트 전극(112) 및 스토리지 전극(114)을 포함하는 게이트 배선(116)을 형성하는 단계와, 상기 게이트 배선(116)을 덮는 영역에 게이트 절연막(118)을 형성하는 단계와, 상기 게이트 절연막(118) 상부의 게이트 배선(116)을 덮는 영역에 액티브층(120a), 오믹콘택층(120b)이 차례대로 적층된 구조의 반도체층(120)을 형성하는 단계와, 상기 제 1 방향과 교차되는 제 2 방향으로, 소스 전극(122)을 포함하는 데이터 배선(124)과, 상기 소스 전극(122)과 일정간격 이격되게 위치하는 드레인 전극(126)을 형성하는 단계를 포함한다. 상기 소스 전극(122) 및 드레인 전극(126)은 반도체층(120) 상부에 위치하며, 상기 소스 전극(122) 및 드레인 전극(126) 사이 이격구간에서는 오믹콘택층(120b)이 제거되고, 그 하부층을 이루는 액티브층(120a)이 노출되어, 노출된 액티브층(120a) 영역은 채널부(ch)를 이룬다.
- [0087] 상기 데이터 배선(124)을 형성하는 단계에서는, 상기 스토리지 전극(114)과 대응된 위치에 아일랜드 패턴(island pattern) 구조의 보조 스토리지 전극(128)을 형성하는 단계를 포함한다.
- [0088] 상기 게이트 전극(112), 반도체층(120), 소스 전극(122), 드레인 전극(126)은 박막트랜지스터(T)를 이룬다.
- [0089] 도 4b, 5b는, 상기 박막트랜지스터(T)를 덮는 기관 전면에 위치하며, 상기 드레인 전극(126)을 일부 노출시키는 제 1 드레인 콘택홀(130) 및 보조 스토리지 전극(128)을 일부 노출시키는 제 1 스토리지 콘택홀(132)을 가지는 제 1 보호층(134)을 형성하는 단계이다.
- [0090] 상기 제 1 보호층(134)은 실리콘 절연물질에서 선택되며, 한 예로 실리콘 질화막(SiN_x)을 이루어질 수 있다.
- [0091] 도 4c, 5c는, 상기 제 1 보호층(134) 상부에, 게이트 배선(116) 및 데이터 배선(124)이 교차되는 영역으로 정의되는 화소 영역(P) 단위로, 적, 녹, 청 컬러필터(136a, 136b, 136c)를 형성하는 단계와, 상기 적, 녹, 청 컬러필터(136a, 136b, 136c)에 제 1 드레인 콘택홀(130) 및 제 1 스토리지 콘택홀(132)과 대응된 위치에 제 2 드레인 콘택홀(138) 및 제 2 스토리지 콘택홀(140) 그리고, 상기 박막트랜지스터(T)의 채널부(ch)를 노출시키는 오픈부(142)를 형성하는 단계를 포함하여 컬러필터층(136)을 형성하는 단계이다.
- [0092] 상기 컬러필터층(136)은 동일 컬러에 대해서는 연속적인 패턴 구조로 이루어진 스트라이프 타입(stripe type)으로 형성됨에 따라, 컬러필터층(136)에 별도의 콘택홀을 형성하기 위한 공정이 포함되었다.
- [0093] 도 4d, 5d는, 상기 컬러필터층(136) 상부의 게이트 배선(116) 및 데이터 배선(124)과 중첩된 영역 및 전술한 오픈부(142) 영역에 블랙매트릭스(144)를 형성하는 단계이다.
- [0094] 특히, 상기 오픈부(142)에 형성된 블랙매트릭스(144)는 채널부(ch)로의 광유입을 차단하여, 광누설 전류가 발생되는 것을 방지하는 역할을 한다.
- [0095] 도 4e, 5e는, 상기 블랙매트릭스(144)를 덮는 기관 전면에 제 2 보호층(146)을 형성하는 단계이며, 이 단계에서는 제 2 보호층(146)의 상기 제 1, 2 드레인 콘택홀(130, 138) 및 제 1, 2 스토리지 콘택홀(132, 140)과 각각 대응된 위치에 제 3 드레인 콘택홀(148) 및 제 3 스토리지 콘택홀(150)을 형성하는 단계를 포함한다.
- [0096] 상기 제 2 보호층(146)은 저유전율값을 가지는 유기절연물질에서 선택할 수 있다.
- [0097] 상기 제 1 내지 제 3 드레인 콘택홀(130, 138, 148)은 드레인 콘택홀(152)을 이루고, 상기 제 1 내지 제 3 스토리지 콘택홀(132, 140, 150)은 스토리지 콘택홀(154)을 이룬다.
- [0098] 도 4f, 5f는, 상기 제 2 보호층(146) 상부에, 상기 드레인 콘택홀(152)을 통해 드레인 전극(126)과 연결되고, 스토리지 콘택홀(154)을 통해 보조 스토리지 전극(128)과 연결되는 화소 전극(156)을 형성하는 단계이다.
- [0099] 고개구율 구조를 구현하기 위해서, 도면에서와 같이 상기 화소 전극(156)을 이웃하는 데이터 배선(124)과 일정간격 중첩되게 형성할 수 있다.

- [0100] 그리고, 상기 게이트 절연막(118)이 개재된 상태에서, 서로 중첩되게 위치하는 스토리지 전극(114), 보조 스토리지 전극(128), 화소 전극(156) 영역은 스토리지 캐패시턴스(C_{ST})를 이룬다.
- [0101] 이와 같이, 본 실시예에 따른 제조 공정에 의하면, 박막트랜지스터 및 화소 전극을 포함한 소자와, 컬러필터 및 블랙매트릭스를 포함한 소자 간의 합착 마진을 제거하여 개구율 향상을 꾀할 수 있다.
- [0102] 그러나, 기존의 액정표시장치와 다르게, 컬러필터를 박막트랜지스터와 화소 전극 사이 구간에 개재함에 따라, 컬러필터에 콘택홀을 형성하기 위한 공정이 추가된다.
- [0103] 상기 컬러필터는 안료(pigment)타입 컬러레진이 이용되는데, 통상적으로 컬러 순수도(purity)를 위해 네가티브 PR(negative photo resist)을 사용하며, 네가티브 자체의 낮은 해상도(resolution) 특성 및 컬러 안료 존재로 인한 해상도 저하에 따라, 콘택홀 형성이 어렵고, 콘택홀 내에 컬러 잔사가 남는 경우 후속 공정에 제거가 곤란한 문제점이 있다.
- [0104] 도 6a은 일반적인 컬러필터의 해상도 대비 콘택홀 형성 실험에 대한 도면이다.
- [0105] 도시한 바와 같이, 단위 화소(160)의 크기를 $100 \times 300 \mu\text{m}^2$ 라고 했을 때, 수십 μm 이상의 홀 패턴(마스크 사이즈 기준)에서도 홀이 형성되지 않았다.
- [0106] 즉, 콘택홀 형성을 위해서는 $100 \mu\text{m}$ 수준의 마스크 홀 패턴이 필요하게 되는데, 전술한 화소(160)의 크기와 비교해볼 때 실질적으로 공정에 어려움이 있음을 알 수 있다.
- [0107] 도 6b는 컬러필터의 콘택홀 공정에 대한 개략적인 단면도로서, 컬러필터의 노광 공정에서의 낮은 해상도를 기준으로 도시하였다.
- [0108] 도시한 바와 같이, 컬러필터층(172)이 형성된 기판(170)이 배치되어 있고, 기판(170) 상부에는 홀 패턴(182)을 가지는 마스크(180)가 일정간격 이격되게 배치되어 있다.
- [0109] 상기 컬러필터층(172)의 노광 공정에서는, 광기폭제(photo initiator)에서 발생된 반응성 라디칼(reactive radical)의 측면 확산(side diffusion)으로 인해 해상도 저하가 발생되고, 이로 인해 노광 공정 이후 현상 공정 진행시 비노광부의 컬러가 깨끗하게 제거되지 못하고, 잔막이나 잔사로 남게되어 낮은 해상도 특성을 보이는 단점이 있다.
- [0110] -- 제 2 실시예 --
- [0111] 도 7은 본 발명의 제 2 실시예에 따른 COT 구조 액정표시장치에 대한 평면도로서, 상기 도 3과 중복되는 부분에 대한 설명은 간략히 하거나 생략한다.
- [0112] 도시한 바와 같이, 게이트 배선(216) 및 데이터 배선(224)이 서로 교차되게 형성되어 있고, 게이트 배선(216) 및 데이터 배선(224)이 교차되는 지점에는 박막트랜지스터(T)가 형성되어 있다. 상기 박막트랜지스터(T)는 게이트 전극(212), 반도체층(220), 소스 전극(222), 드레인 전극(226)으로 이루어지고, 상기 게이트 배선(216)에 포함되는 스토리지 전극(214)과 중첩된 영역에는 보조 스토리지 전극(228)이 형성되어 있다.
- [0113] 그리고, 상기 화소 영역(P)에는 아일랜드 패턴 구조로 적, 녹, 청 컬러필터(234a, 234b, 234c)가 차례대로 배열된 구조로 컬러필터층(234)이 형성되어 있다.
- [0114] 본 실시예에서는, 상기 적, 녹, 청 컬러필터(234a, 234b, 234c)가 화소 영역(P) 단위로 아일랜드 패턴을 형성된다는 점과, 상기 컬러필터층(234)은 드레인 전극(226) 및 보조 스토리지 전극(228)을 노출시키는 범위에서 형성됨에 따라, 상기 컬러필터층(234)에 별도의 콘택홀이 생략된다는 점을 구조적 특징으로 한다.
- [0115] 또한, 본 실시예에서는 게이트 배선 및 데이터 배선을 컬러필터층의 컬러별 경계패턴으로 이용하고, 채널부 차단용 블랙매트릭스는 대향 기판에 형성하는 방법으로, 별도의 블랙매트릭스 패턴을 생략하는 것을 특징으로 한다. 이때, 게이트 배선 및 데이터 배선과 화소 전극 간의 이격 구간이 발생하지 않도록, 컬러필터층 및 화소 전극을 이웃하는 배선과 중첩되게 형성할 수 있다.
- [0116] 도 8a 내지 8d, 9a 내지 9d는 본 발명의 제 2 실시예에 따른 COT 구조 액정표시장치의 제조 공정에 대한 도면으로서, 도 8a 내지 8d는 평면도이고, 도 9a 내지 9d는 상기 도 8의 절단선 V-V에 따라 절단된 단면도이다.

- [0117] 도 8a, 9a는 기판(210) 상에 게이트 전극(212) 및 스토리지 전극(214)을 포함하는 게이트 배선(216), 게이트 절연막(218), 반도체층(220), 소스 전극(222)을 포함하는 데이터 배선(224), 소스 전극(222)과 이격되게 위치하는 드레인 전극(226), 보조 스토리지 전극(228)을 형성하는 단계이다.
- [0118] 상기 게이트 전극(212), 반도체층(220), 소스 전극(222) 및 드레인 전극(226)은 박막트랜지스터(T)를 이루고, 상기 소스 전극(222)과 드레인 전극(226)간 이격구간에 채널부(ch)를 형성하는 단계를 포함한다.
- [0119] 도 8b, 9b는 박막트랜지스터(T)를 덮는 기판 전면에, 상기 드레인 전극(226) 및 보조 스토리지 전극(228)을 일부 노출시키는 드레인 콘택홀(230) 및 스토리지 콘택홀(232)을 가지는 보호층(233)을 형성하는 단계이다.
- [0120] 도 8c, 9c는, 상기 보호층(233) 상부에 화소 영역(P) 단위로 아일랜드 패턴 구조를 이루며, 드레인 전극(226) 및 보조 스토리지 전극(228)을 노출시킴에 따라, 별도의 콘택홀 공정이 생략된 적, 녹, 청 컬러필터(234a, 234b, 234c)가 차례대로 배열된 구조의 컬러필터층(234)을 형성하는 단계이다.
- [0121] 상기 컬러필터층(234)은 노광(exposure), 현상(development) 공정을 이용한 패터닝 공정인 사진식각(photolithography) 공정을 이용하여 형성할 수 있다.
- [0122] 도 8d, 9d는, 상기 컬러필터층(234) 상부에 드레인 콘택홀(230)을 통해 드레인 전극(226)과 연결되고, 스토리지 콘택홀(232)을 통해 보조 스토리지 전극(228)과 연결되는 화소 전극(236)을 형성하는 단계이다.
- [0123] 본 실시예에서는, 기판 상에 별도의 블랙매트릭스 패턴의 제조 공정을 생략하기 때문에, 컬러필터층과 화소 전극 간에 별도의 보호층 제조 공정을 생략할 수 있다.
- [0124] -- 제 3 실시예 --
- [0125] 도 10은 본 발명의 제 3 실시예에 따른 COT 구조 액정표시장치에 대한 평면도로서, 상기 제 2 실시예와 중복되는 부분에 대한 설명은 간략히하거나 생략한다.
- [0126] 도시한 바와 같이, 화소 영역별(P)로 아일랜드 패턴 구조로 적, 녹, 청 컬러필터(334a, 334b, 334c)가 차례대로 반복적으로 배열되어 컬러필터층(334)을 이루고 있으며, 게이트 배선(316) 및 데이터 배선(324)을 덮는 영역 및 박막트랜지스터(T)의 채널부(ch)를 덮는 영역에 블랙매트릭스(338)가 형성되어 있다.
- [0127] 그리고, 상기 드레인 전극(326)과 연결되어 화소 전극(350)이 형성됨에 있어서, 이웃하는 데이터 배선(324)과 일정간격 중첩되게 위치한다.
- [0128] 본 실시예에서는, 상기 제 2 실시예에 따른 COT 구조 액정표시장치에 블랙매트릭스 패턴을 추가한 구조에 대한 것으로, 블랙매트릭스 추가에 따라 도면으로 상세히 제시하지는 않았지만, 상기 블랙매트릭스와 화소 전극 사이에는 보호층이 포함된다.
- [0129] 도 11a 내지 11c, 도 12a 내지 12c는 본 발명의 제 3 실시예에 따른 COT 구조 액정표시장치에 대한 도면으로서, 도 11a 내지 11c는 평면도이고, 도 12a 내지 12c는 상기 도 11의 절단선 VI-VI에 따라 절단된 단면을 도시한 단면도이다.
- [0130] 도 11a, 12a는 상기 도 8a 내지 8c, 도 9a 내지 9c에 따라 제조된 컬러필터층(334) 상에 블랙매트릭스(338)를 형성하는 단계로서, 박막트랜지스터(T)의 채널부(ch)와, 게이트 배선(316) 및 데이터 배선(324)을 덮는 영역에 걸쳐 블랙매트릭스(338)를 형성하는 단계이다.
- [0131] 상기 박막트랜지스터(T)를 덮는 위치의 보호층은 제 1 보호층(333)에 해당되며, 드레인 전극(326)을 일부 노출시키는 콘택홀을 제 1 드레인 콘택홀(330), 보조 스토리지 전극(328)을 일부 노출시키는 콘택홀은 제 1 스토리지 콘택홀(332)에 해당된다.
- [0132] 도 11b, 12b는 상기 블랙매트릭스(338)를 덮는 영역에 제 2 보호층(340)을 형성하는 단계이다. 이 단계에서는, 상기 제 2 보호층(340)의 상기 제 1 드레인 콘택홀(330) 및 제 1 스토리지 콘택홀(332)과 대응된 위치에서 제 2 드레인 콘택홀(342) 및 제 2 스토리지 콘택홀(344)을 형성하는 단계를 포함한다.
- [0133] 상기 제 1, 2 드레인 콘택홀(330, 342)은 드레인 콘택홀(346)을 이루고, 상기 제 1, 2 스토리지 콘택홀(332, 344)은 스토리지 콘택홀(348)을 이룬다.
- [0134] 도 11c, 12c는 제 2 보호층(340) 상부에, 상기 드레인 콘택홀(346)을 통해 드레인 전극(326)과 연결되고, 상기

스토리지 콘택홀(348)을 통해 보조 스토리지 전극(328)과 연결되는 화소 전극(350)을 형성하는 단계이다.

- [0135] 상기 화소 전극(350)은, 상기 블랙매트릭스(338)의 끝단과 일정간격 중첩되는 위치에 형성할 수 있다.

- [0136] -- 제 4 실시예 --
- [0137] 도 13은 본 발명의 제 4 실시예에 따른 COT 구조 액정표시장치에 대한 평면도로서, 상기 제 2 실시예와 중복되는 부분에 대한 설명은 간략히 한다.
- [0138] 도시한 바와 같이, 본 실시예에서는 드레인 전극(426)과 보조 스토리지 전극(428)이 일체형 패턴으로 이루어져 있어서, 보조 스토리지 전극(428)과 화소 전극(436) 간의 연결을 통해 화소 전극(436)과 드레인 전극(426)이 연결되는 구조이므로, 드레인 전극(426) 형성부에 별도의 콘택홀이 생략된 것을 특징으로 한다.
- [0139] 그리고, 상기 제 2 실시예에서는 컬러필터층이 보조 스토리지 전극과 드레인 전극을 노출시키는 범위에서 화소 영역에 형성되었으나, 본 실시예에서는 드레인 전극(426)과 화소 전극(436) 간의 직접적인 연결 구조가 아니므로, 화소 영역(P) 단위로 아일랜드 패턴 구조를 가지는 적, 녹, 청 컬러필터(434a, 434b, 434c)로 이루어진 컬러필터층(434)은 보조 스토리지 전극(428)을 노출시키고, 드레인 전극(426)을 포함한 화소 영역(P)을 덮는 영역에 형성할 수 있다.
- [0140] 그리고, 별도의 블랙매트릭스를 포함하지 않으므로, 상기 컬러필터층(434)은 이웃하는 게이트 배선(416) 및 데이터 배선(424)과 중첩되게 형성하는 것이 바람직하다.
- [0141] 도 14a 내지 14c, 15a 내지 15c는 본 발명의 제 4 실시예에 따른 COT 구조 액정표시장치의 제조 공정을 단계별로 나타낸 도면으로서, 도 14a 내지 14c는 평면도이고, 도 15a 내지 15c는 상기 도 14a 내지 14c의 절단선 VII-VII에 따라 절단된 단면을 도시한 단면도로서, 상기 제 2 실시예와 차별화되는 공정 도면을 중심으로 도시하였다.
- [0142] 도 14a, 15a는 서로 교차되게 게이트 배선(416) 및 데이터 배선(424)을 형성하는 단계와, 게이트 배선(416) 및 데이터 배선(424)의 교차지점에 박막트랜지스터(T)를 형성하는 단계를 포함한다.
- [0143] 상기 데이터 배선(424) 형성 단계에서는, 상기 데이터 배선(424)에서 분기되는 소스 전극(422)과, 소스 전극(422)과 일정간격 이격되게 위치하는 드레인 전극(426) 형성단계를 포함하며, 상기 드레인 전극(426)과 일체형 패턴으로, 상기 게이트 배선(416)에 포함되는 스토리지 전극(414)과 대응된 위치에 보조 스토리지 전극(428)을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0144] 다음, 상기 박막트랜지스터(T)를 덮는 기판 전면에 제 1 보호층(430)을 형성하는 단계와, 제 1 보호층(430)에 데이터 배선(424)과 동일 공정에서 동일 물질로 이루어지며, 상기 게이트 배선(416)에 포함되는 스토리지 전극(414)과 대응되게 위치하는 보조 스토리지 전극(428)을 일부 노출시키는 스토리지 콘택홀(432)을 형성하는 단계를 포함한다.
- [0145] 이 단계에서는, 상기 제 1 내지 제 3 실시예와 다르게 드레인 콘택홀 공정이 생략된 것을 특징으로 한다.
- [0146] 도 14b, 15b는, 상기 제 1 보호층(430) 상부에 박막트랜지스터(T)를 포함하여 화소 영역(P)을 덮는 위치에 적, 녹, 청 컬러필터(434a, 434b, 434c)가 차례대로 배열된 구조의 컬러필터층(434)을 형성하는 단계이며, 이 단계에서 상기 컬러필터층(434)은 보조 스토리지 전극(428)을 노출시키는 범위에서 형성된다.
- [0147] 한 예로, 도면에서와 같이 본 실시예에 따른 컬러필터층(434)은 화소 영역(P)별로 사각 패턴으로 형성할 수 있다.
- [0148] 도 14c, 15c는, 상기 컬러필터층(434) 상부의 화소 영역(P)에, 상기 스토리지 콘택홀(432)을 통해 보조 스토리지 전극(428)과 연결되는 화소 전극(436)을 형성하는 단계이다.
- [0149] 상기 보조 스토리지 전극(428)과 드레인 전극(426)은 일체형 패턴을 이룸에 따라, 상기 보조 스토리지 전극(428)과 화소 전극(436) 간의 연결을 통해, 드레인 전극(426)과 화소 전극(436)은 연결되므로, 드레인 전극(426)과 화소 전극(436) 간의 연결을 위한 별도의 콘택홀 공정을 생략할 수 있다.
- [0150] -- 제 5 실시예 --
- [0151] 도 16은 본 발명의 제 5 실시예에 따른 COT 구조 액정표시장치에 대한 평면도로서, 상기 제 4 실시예와 중복되

는 부분에 대한 설명은 간략히하거나 생략한다.

- [0152] 도시한 바와 같이, 본 실시예에서는 게이트 배선(516) 및 데이터 배선(524)을 덮는 영역과, 박막트랜지스터(T)의 채널부(ch)를 덮는 영역에 블랙매트릭스(538)를 추가로 포함하는 것을 특징으로 하며, 컬러필터층(534)에는 채널부(ch)를 노출시키는 오픈부(536)가 형성되어 있어, 상기 채널부(ch)에 위치하는 블랙매트릭스(538)는 오픈부(536)를 덮는 영역에 위치한다.
- [0153] 본 실시예는, 상기 제 4 실시예와 비교시 컬러별 경계부 및 채널부(ch)에 직접 블랙매트릭스(538)를 형성함에 따라, 컬러 선명도를 높일 수 있고 대향 기판에 별도의 블랙매트릭스 공정을 생략할 수 있으며, 대향 기판에 형성되는 블랙매트릭스와 채널부 간의 합착 마진을 제거할 수 있는 이점을 가진다.
- [0154] 도 17a 내지 17d, 도 18a 내지 18d는 본 발명의 제 5 실시예에 따른 COT 구조 액정표시장치에 대한 도면으로서, 도 17a 내지 17d는 평면도이고, 도 18a 내지 18d는 상기 도 17a 내지 17d의 절단선 VIII-VIII에 따라 절단한 단면을 도시한 단면도이다.
- [0155] 도 17a, 18a는 상기 도 14a 및 도 15a에 따라 형성된 기판(510) 상에, 화소 영역(P) 별로 아일랜드 패턴 구조의 적, 녹, 청 컬러필터(534a, 534b, 534c)를 차례대로 형성하여, 컬러필터층(534)을 완성하는 단계이다. 상기 컬러필터층(534)은 보조 스토리지 전극(528)을 노출시키는 범위에서 화소 영역(P)에 형성되며, 상기 컬러필터층(534)에 박막트랜지스터(T)의 채널부(ch)를 노출시키는 오픈부(536)를 형성하는 단계를 포함한다.
- [0156] 이때, 상기 박막트랜지스터(T)를 덮는 영역에 형성된 보호층은 제 1 보호층(533)에 해당되고, 상기 제 1 보호층(533)에 형성된 보조 스토리지 전극(528) 일부 노출시키는 콘택홀은 제 1 스토리지 콘택홀(532)에 해당된다.
- [0157] 도 17b, 18b는, 상기 컬러필터층(534) 상부의 오픈부(536) 영역 및 게이트 배선(516)과 데이터 배선(524)을 덮는 영역에 블랙매트릭스(538)를 형성하는 단계이다.
- [0158] 도 17c, 18c는, 상기 블랙매트릭스(538)를 덮는 영역에 제 2 보호층(540)을 형성하는 단계이며, 이 단계에서는 제 2 보호층(540)에 제 1 스토리지 콘택홀(532)과 대응된 위치에 제 2 스토리지 콘택홀(542)을 형성하는 단계를 포함한다. 상기 제 1, 2 스토리지 콘택홀(532, 542)은 스토리지 콘택홀(544)에 해당된다.
- [0159] 도 17d, 18d는, 상기 제 2 보호층(540) 상부에, 상기 스토리지 콘택홀(544)을 통해 보조 스토리지 전극(528)과 연결되는 화소 전극(546)을 형성하는 단계이다.
- [0160] 고개구율 구조인 경우, 도면에서와 같이 화소 전극(546)은 이웃하는 데이터 배선(524)과 일정간격 중첩되게 위치하며, 테두리부는 블랙매트릭스(538)와 중첩되게 위치한다.
- [0161] 또한, 본 실시예에서는, 드레인 전극(526)과 보조 스토리지 전극(528)이 일체형 패턴으로 이루어져 있어, 상기 보조 스토리지 전극(528)과 화소 전극(546) 간의 콘택에 의해, 화소 전극(546)과 드레인 전극(526) 간의 연결이 이루어져, 드레인 전극(526) 형성부에 별도의 콘택홀이 생략되어 있다.
- [0162] -- 제 6 실시예 --
- [0163] 도 19는 본 발명의 제 6 실시예에 따른 COT 구조 액정표시장치에 대한 평면도로서, 상기 제 1 내지 제 5 실시예와 중복되는 부분에 대한 설명은 간략히 하거나 생략한다.
- [0164] 도시한 바와 같이, 게이트 배선(616) 및 데이터 배선(624)을 덮는 영역과, 박막트랜지스터(T)의 채널부(ch)를 덮는 영역에 블랙매트릭스(634)가 형성되어 있고, 블랙매트릭스(634)를 컬러별 경계부로 하여, 화소 영역(P)별로 아일랜드 패턴 구조로 적, 녹, 청 컬러필터(638a, 638b, 638c)가 차례대로 배열되어, 컬러필터층(638)이 형성되어 있다.
- [0165] 그리고, 박막트랜지스터(T)를 이루는 드레인 전극(626)과, 게이트 배선(616)에 포함되는 스토리지 전극(614)과 대응되게 위치하는 보조 스토리지 전극(628)은 동일 공정에서 동일 물질을 이용하여 일체형 패턴으로 이루어져 있고, 상기 보조 스토리지 전극(628) 형성부에 위치하는 스토리지 콘택홀(632)을 통해 보조 스토리지 전극(628)과 화소 전극(642)이 연결되는 방식으로, 드레인 전극(626) 형성부에는 별도의 콘택홀없이 화소 전극(642)과 드레인 전극(626)이 연결된 구조를 가지고 있다.
- [0166] 도면으로 상세히 제시하지 않았지만, 상기 화소 전극(642)은 제 1, 2 화소 전극 물질층으로 이루어진다.
- [0167] 도 20a 내지 20d, 도 21a 내지 21d는 본 발명의 제 6 실시예에 따른 COT 구조 액정표시장치의 제조 공정에 따른

도면으로서, 도 20a 내지 20d는 평면도이고, 도 21a 내지 21d는 상기 도 20a 내지 20d의 절단선 IX-IX에 따라 절단된 단면을 도시한 단면도이다.

- [0168] 도 20a, 21b는 상기 도 14a, 15a와 동일한 공정을 거쳐 형성된 기관(610) 상의 게이트 배선(616) 및 데이터 배선(624)을 덮는 영역 및 박막트랜지스터(T)의 채널부(ch)를 덮는 영역에 블랙매트릭스(634)를 형성하는 단계이다.
- [0169] 본 실시예에서는, 상기 제 1 내지 5 실시예에 따른 제조 공정과 다르게 컬러필터 제조 공정 전에 블랙매트릭스 제조 공정이 진행되는 것을 특징으로 한다.
- [0170] 상기 블랙매트릭스(634)를 형성하기 전 단계에서는, 박막트랜지스터(T)를 덮는 영역 보호층(630)을 형성하는 단계와, 상기 보호층(630)에 보조 스토리지 전극(628)을 일부 노출시키는 스토리지 콘택홀(632)을 형성하는 단계를 포함한다.
- [0171] 도 20b, 21b는, 상기 블랙매트릭스(634) 상부에 스토리지 콘택홀(632)을 통해 보조 스토리지 전극(628)과 연결되는 제 1 화소전극 물질층(636)을 형성하는 단계이다.
- [0172] 이때, 상기 제 1 화소 전극 물질층(636)은 평면적으로 봤을 때 블랙매트릭스(634)의 테두리부와 일정간격 중첩되게 형성한다.
- [0173] 도 20c, 21c는, 상기 제 1 화소 전극 물질층(636) 상부에, 블랙매트릭스(634)를 컬러별 경계부로 하여, 화소 영역(P)별로 아일랜드 패턴 구조로 적, 녹, 청 컬러필터(638a, 638b, 638c)를 차례대로 형성하여 컬러필터층(638)을 완성하는 단계이다. 이 단계에서는, 박막트랜지스터의 채널부에 위치하는 블랙매트릭스(634)와 대응된 위치에서 컬러필터층(638)에 오픈부(639)를 형성하는 단계가 포함된다.
- [0174] 도 20d, 21d는, 상기 컬러필터층(638) 상부에, 상기 제 1 화소 전극 물질층(636)과 연결되게 제 2 화소 전극 물질층(640)을 형성하는 단계이다.
- [0175] 상기 제 1, 2 화소 전극 물질층(636, 640)은 화소 전극(642)을 이룬다.
- [0176] 그러나, 본 발명은 상기 실시예들로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경가능하다.

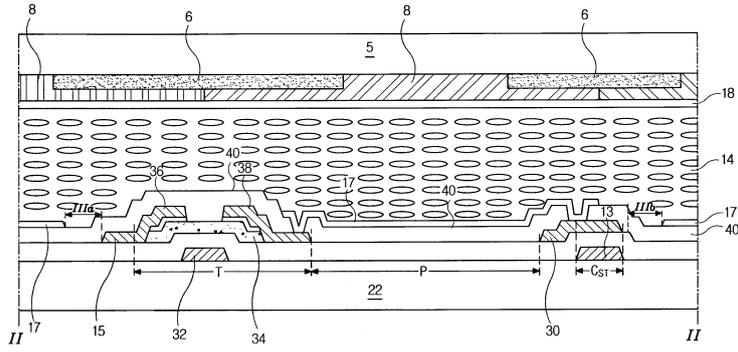
발명의 효과

- [0177] 이와 같이, 본 발명에 따른 COT 구조 액정표시장치 및 그 제조 방법에 의하면, 컬러필터를 화소 영역별로 아일랜드 패턴 구조로 형성함에 따라, 별도의 컬러필터 콘택홀 공정을 생략할 수 있어, 기존의 컬러필터의 콘택홀 공정에 의한 콘택 불량 문제 및 공정 난이도 문제를 해결함에 따라, 공정 마진을 확보할 수 있고, 블랙매트릭스 및 컬러필터의 평탄화 특성을 높일 수 있다. 또한, 드레인 전극과 보조 스토리지 전극을 일체형 패턴을 하는 실시예를 포함하여, 콘택홀 공정수를 줄여 공정을 단순화하여 생산수율을 높일 수 있다.

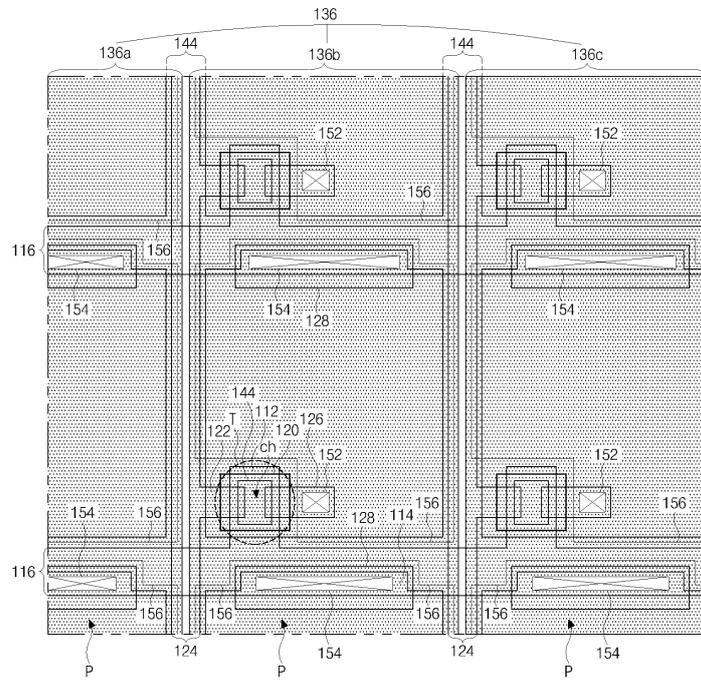
도면의 간단한 설명

- [0001] 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면.
- [0002] 도 2는 도 1의 II-II를 따라 절단한 단면도.
- [0003] 도 3은 본 발명의 제 1 실시예에 따른 COT 구조 액정표시장치에 대한 평면도.
- [0004] 도 4a 내지 4f, 5a 내지 5f는 상기 도 3에 따른 COT 구조 액정표시장치의 제조 공정을 단계별로 나타낸 도면으로서, 도 4a 내지 4f는 평면도이고, 도 5a 내지 5f는 도 4의 IV-IV에 따라 절단된 단면을 도시한 단면도.
- [0005] 도 6a는 일반적인 컬러필터의 해상도 대비 콘택홀 형성 실험에 대한 도면.
- [0006] 도 6b는 컬러필터의 콘택홀 공정에 대한 개략적인 단면도.
- [0007] 도 7은 본 발명의 제 2 실시예에 따른 COT 구조 액정표시장치에 대한 평면도.
- [0008] 도 8a 내지 8d, 9a 내지 9d는 본 발명의 제 2 실시예에 따른 COT 구조 액정표시장치의 제조 공정에 대한 도면으

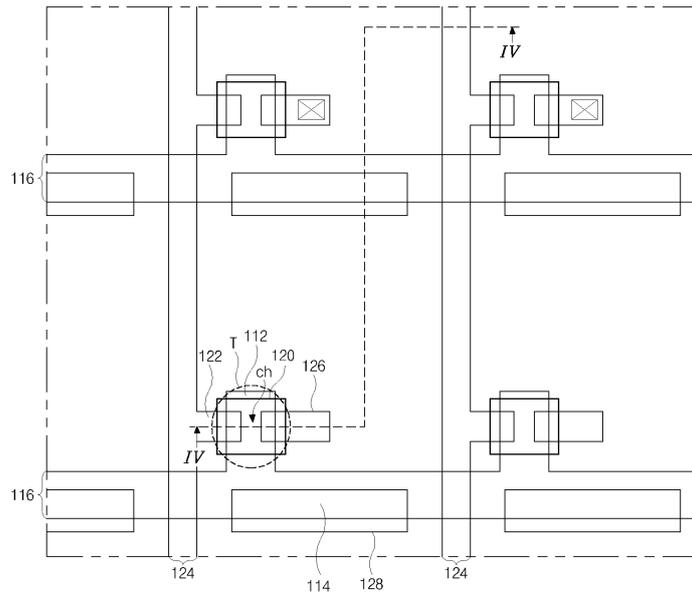
도면2



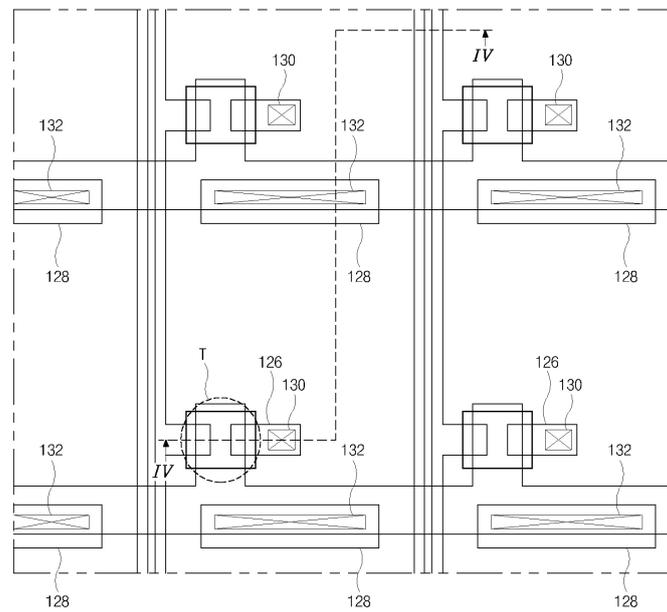
도면3



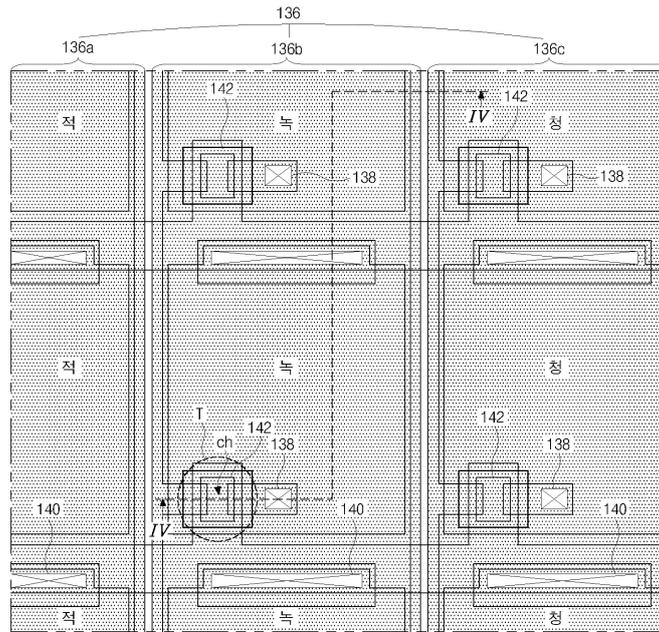
도면4a



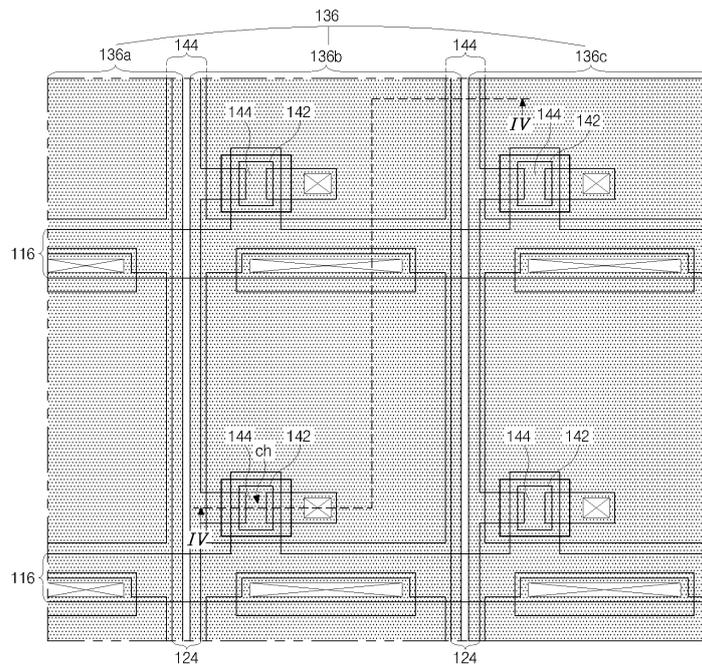
도면4b



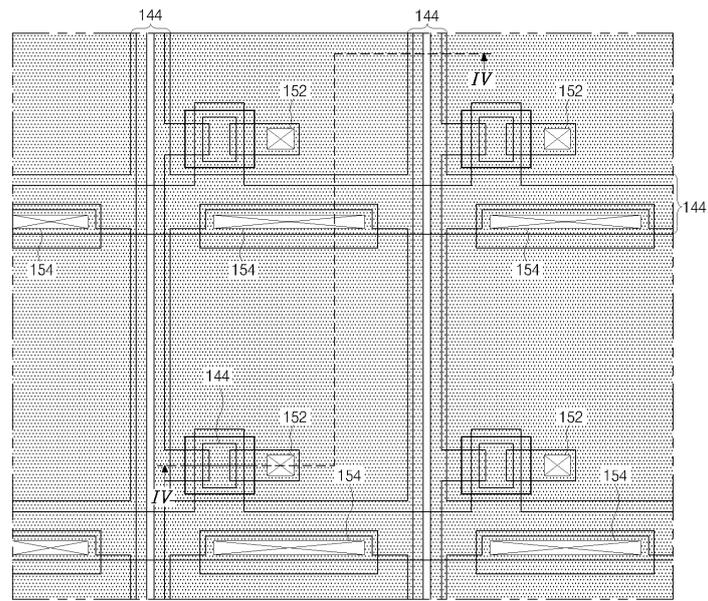
도면4c



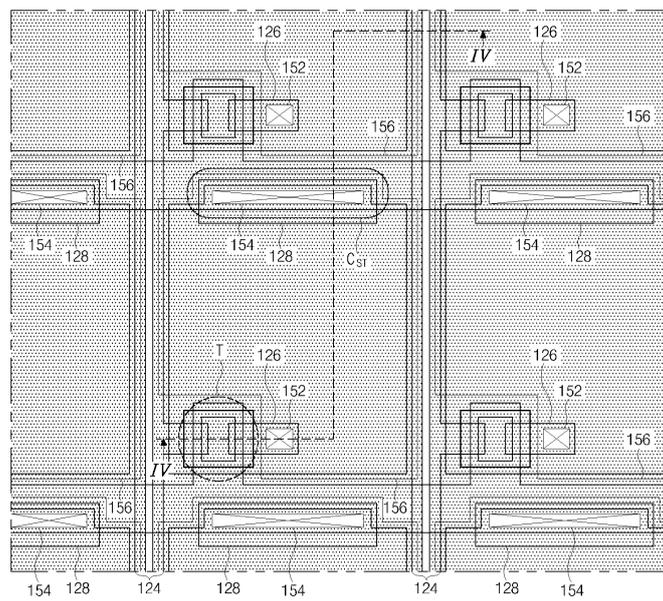
도면4d



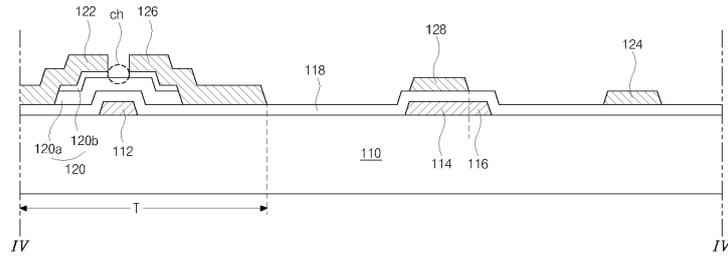
도면4e



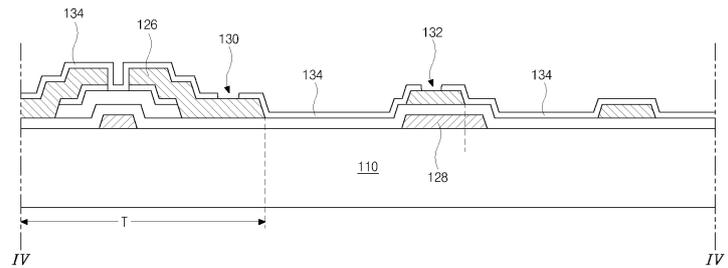
도면4f



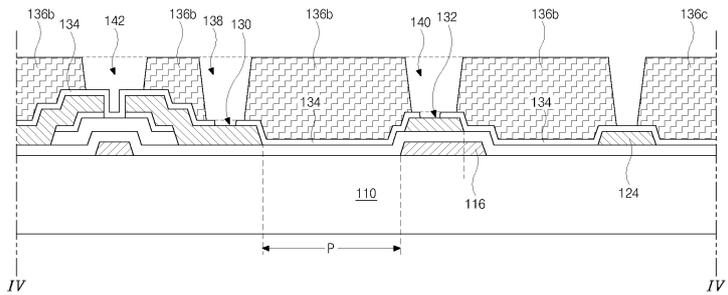
도면5a



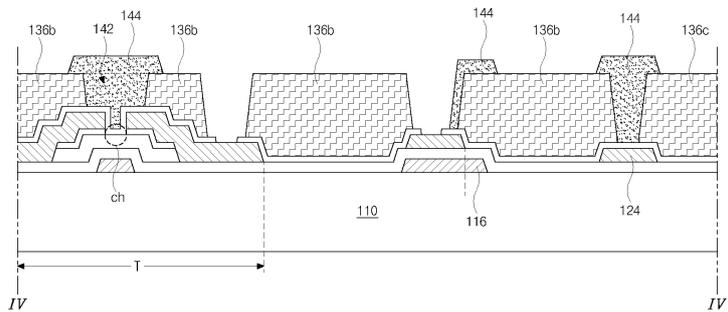
도면5b



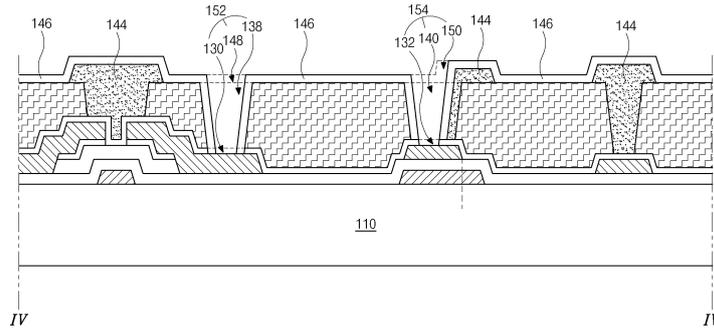
도면5c



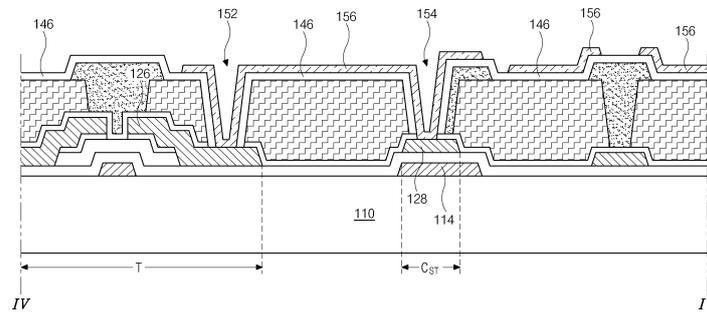
도면5d



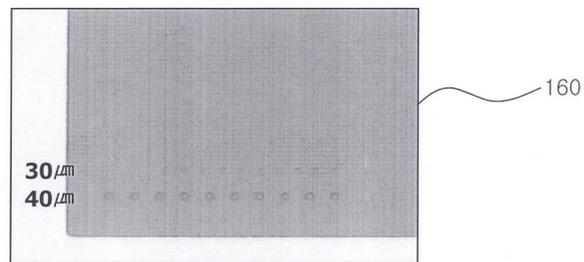
도면5e



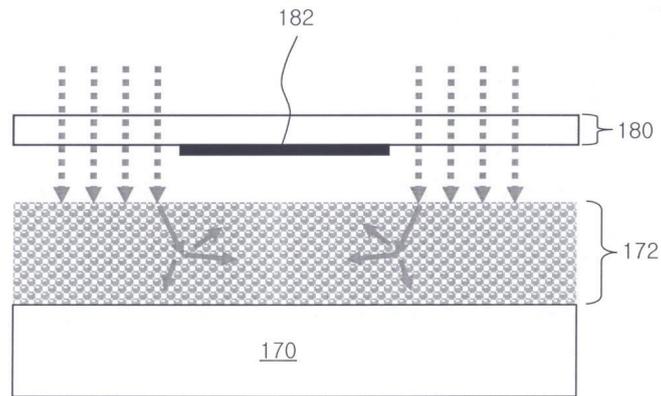
도면5f



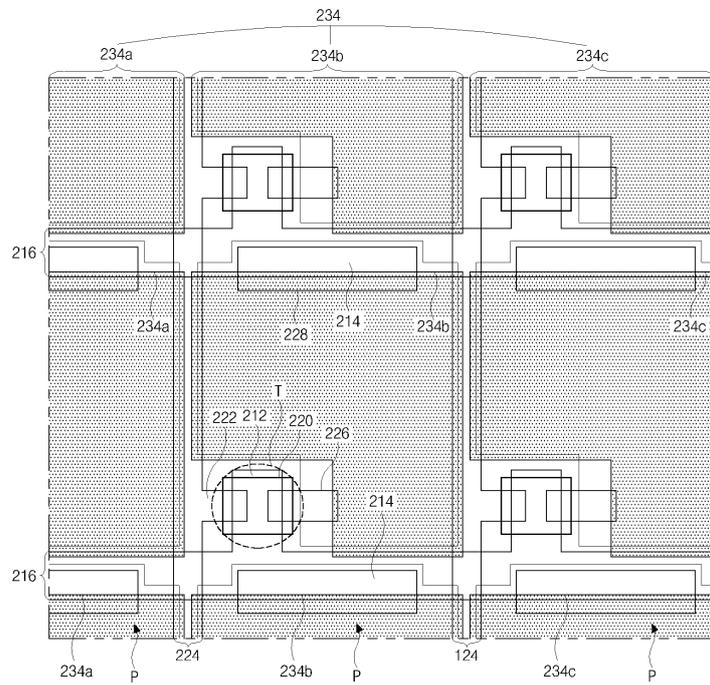
도면6a



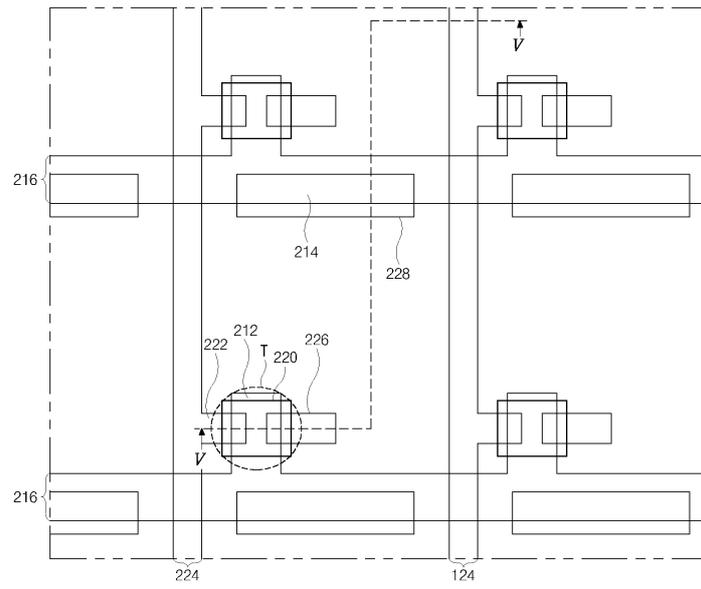
도면6b



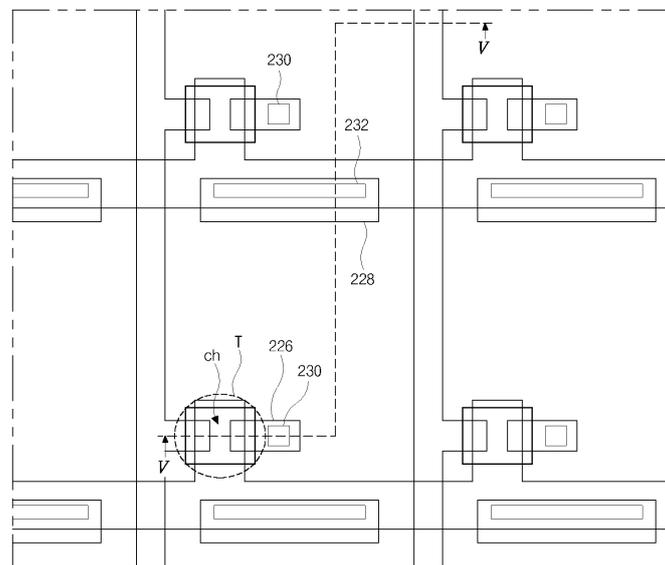
도면7



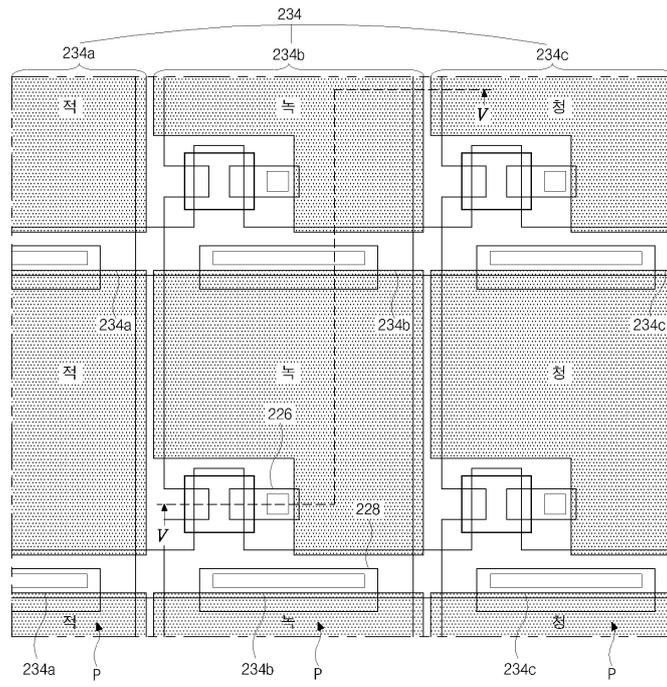
도면8a



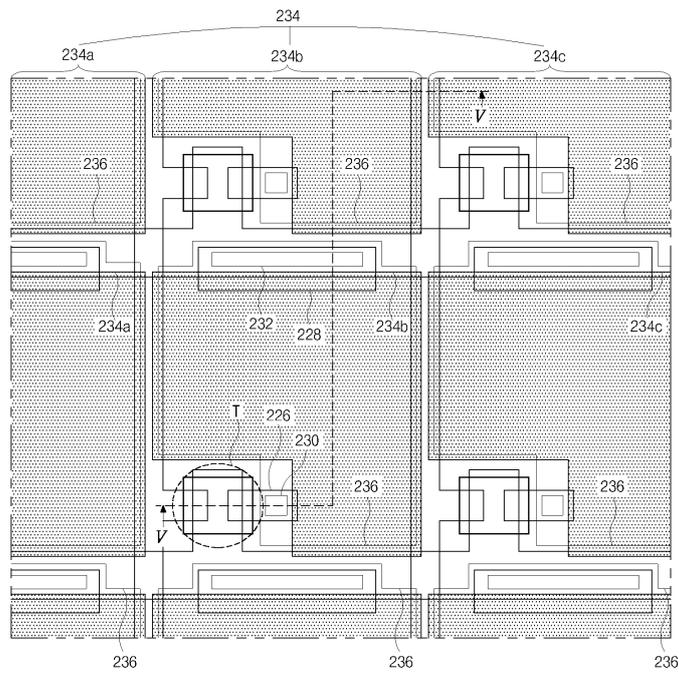
도면8b



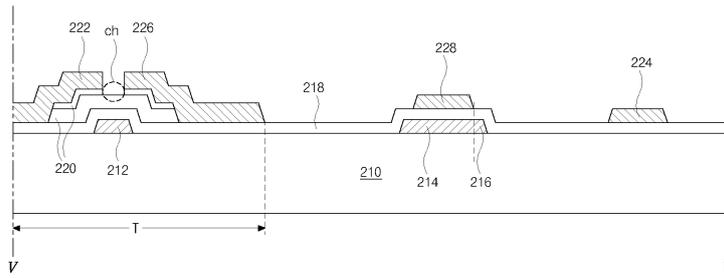
도면8c



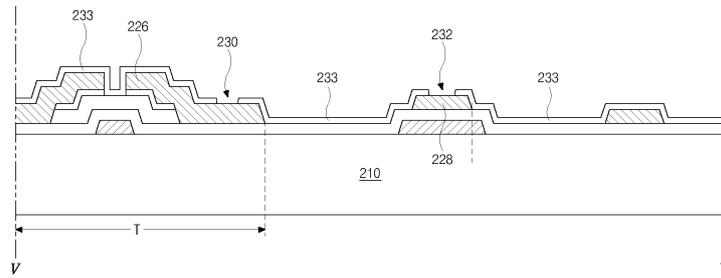
도면8d



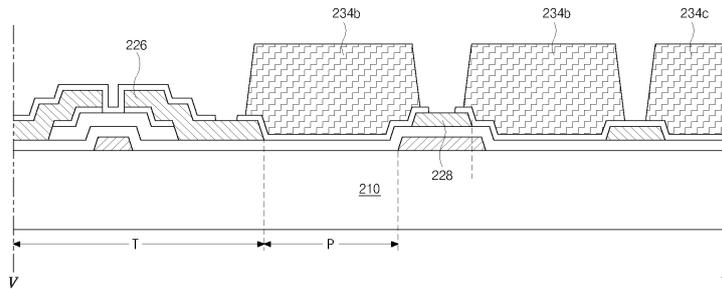
도면9a



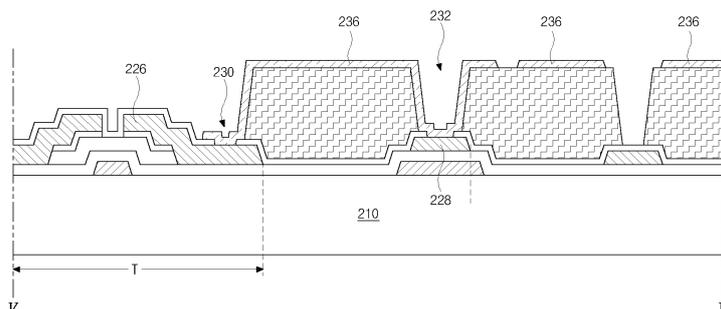
도면9b



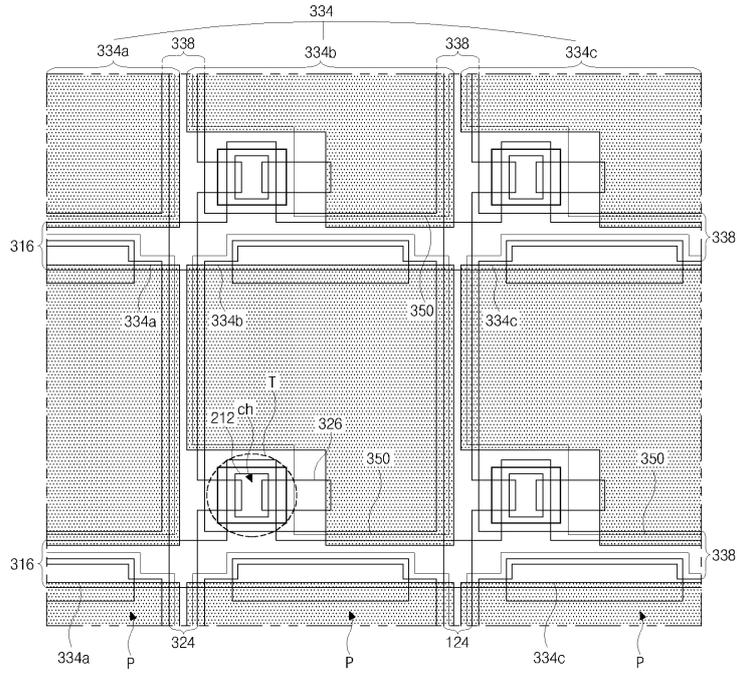
도면9c



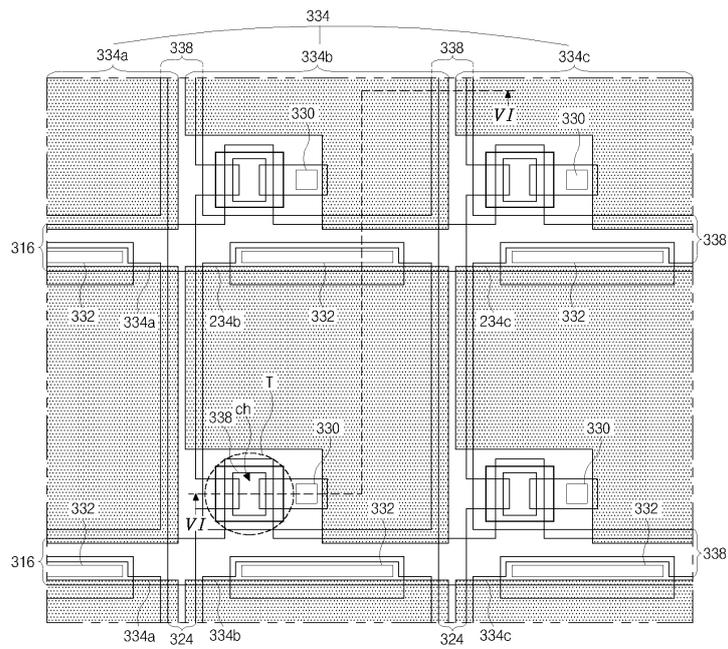
도면9d



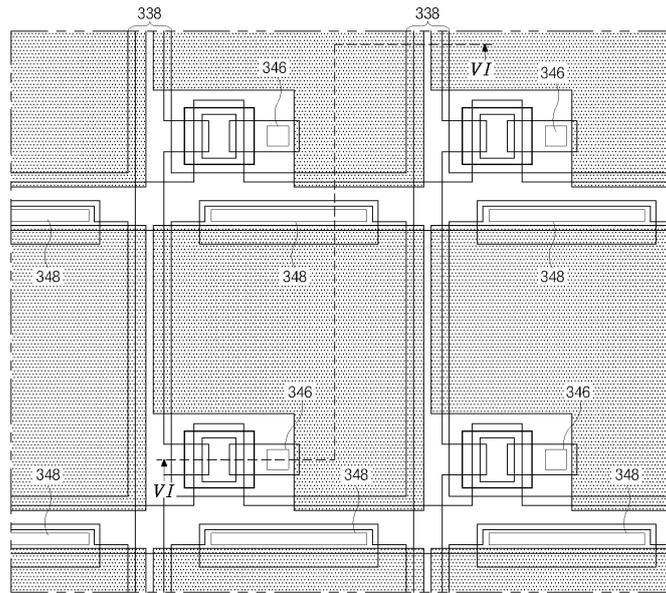
도면10



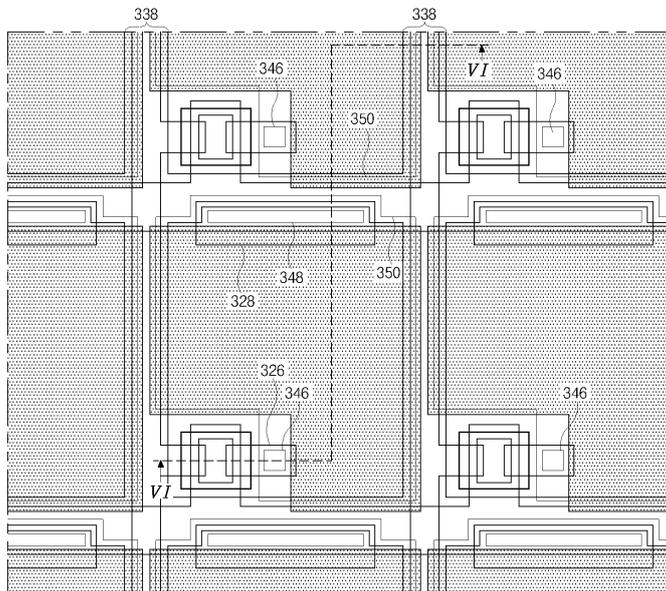
도면11a



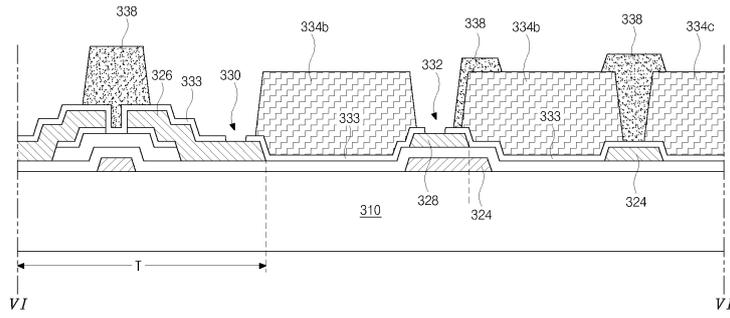
도면11b



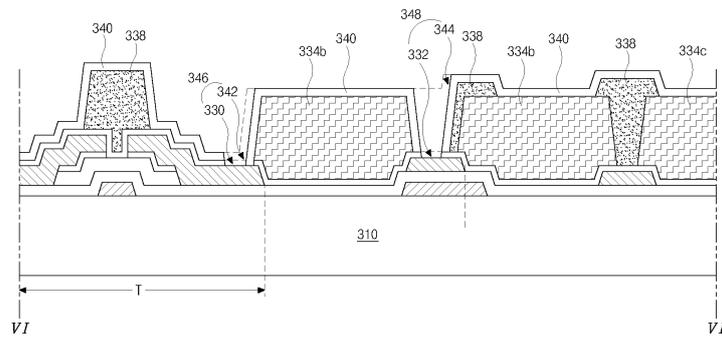
도면11c



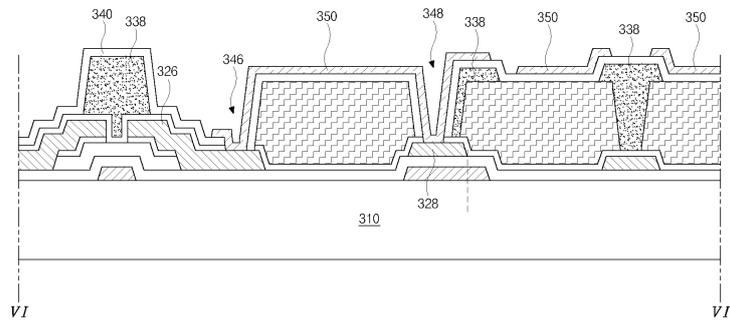
도면12a



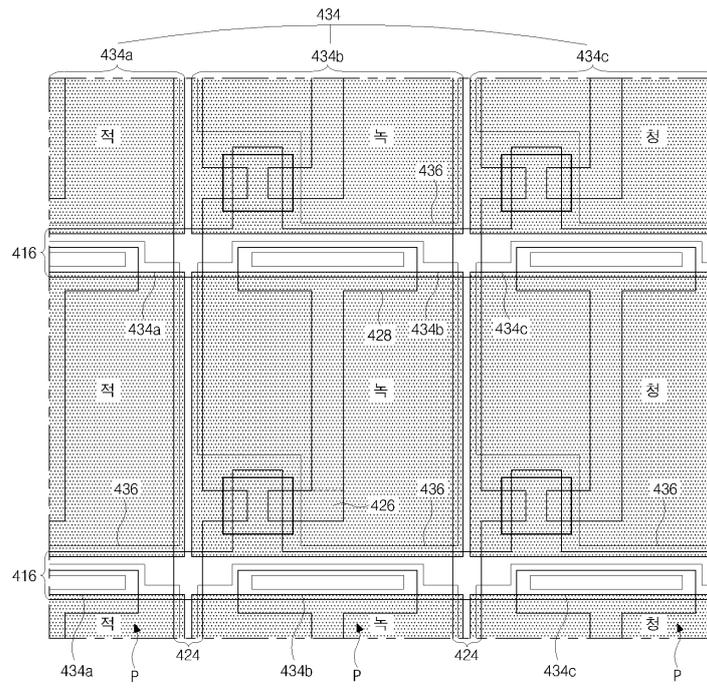
도면12b



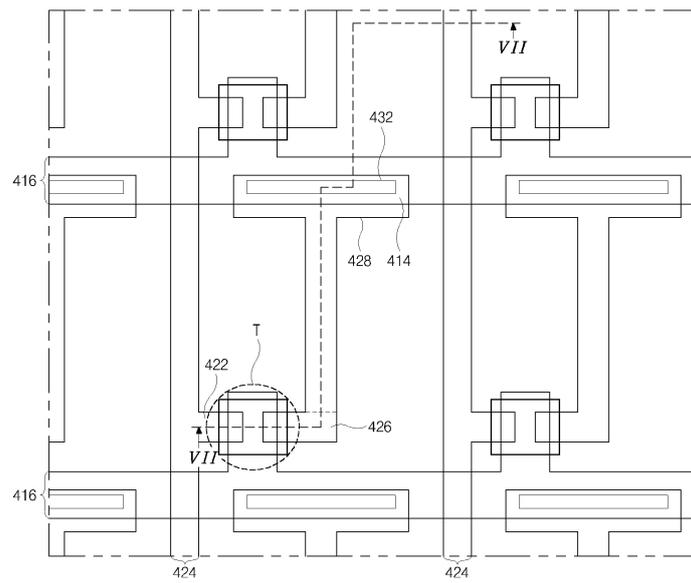
도면12c



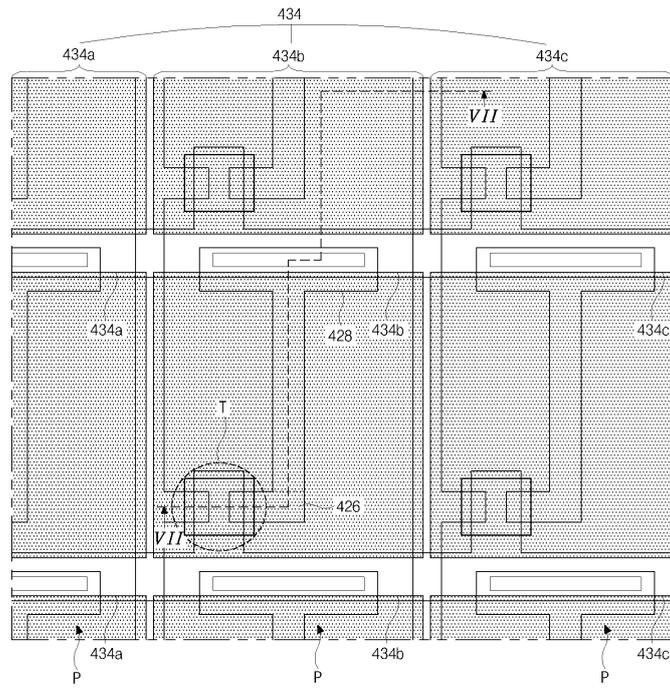
도면13



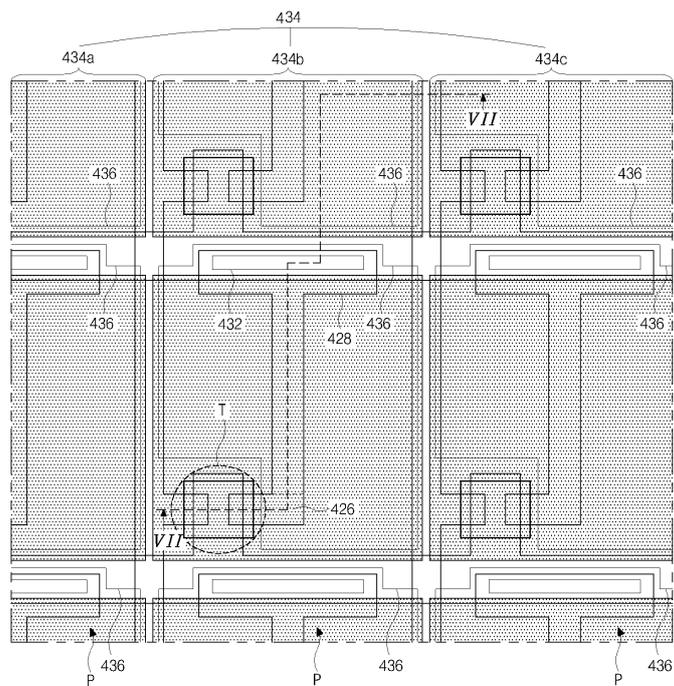
도면14a



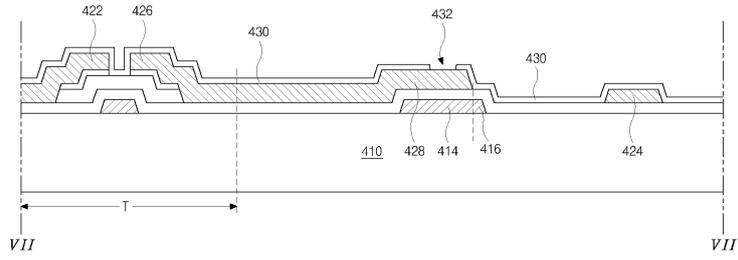
도면14b



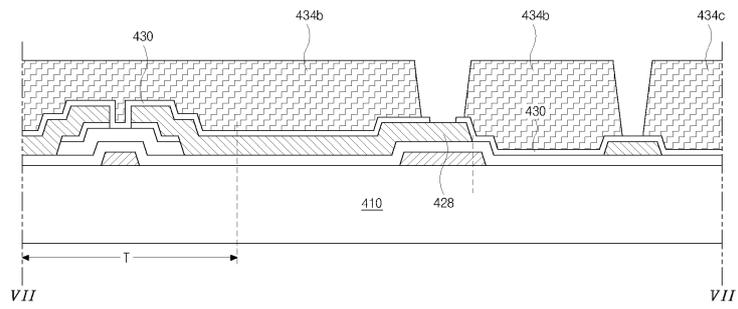
도면14c



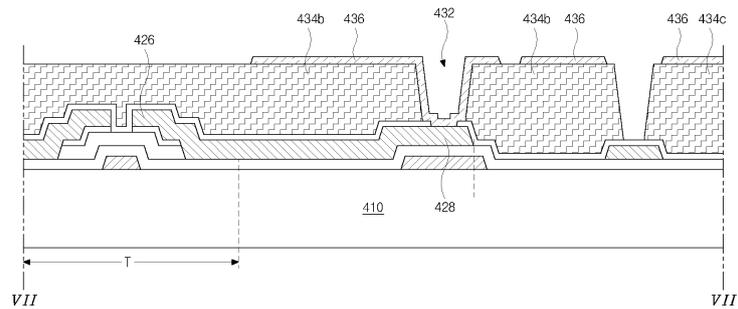
도면15a



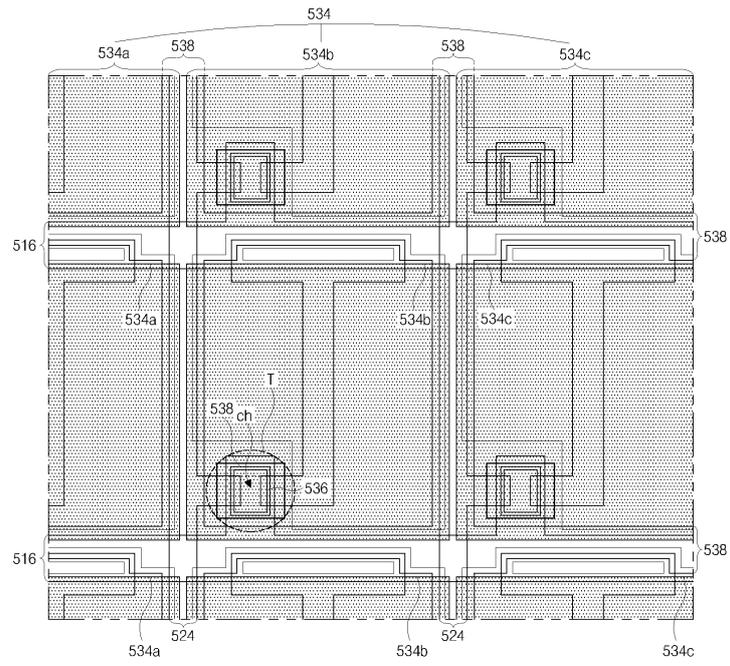
도면15b



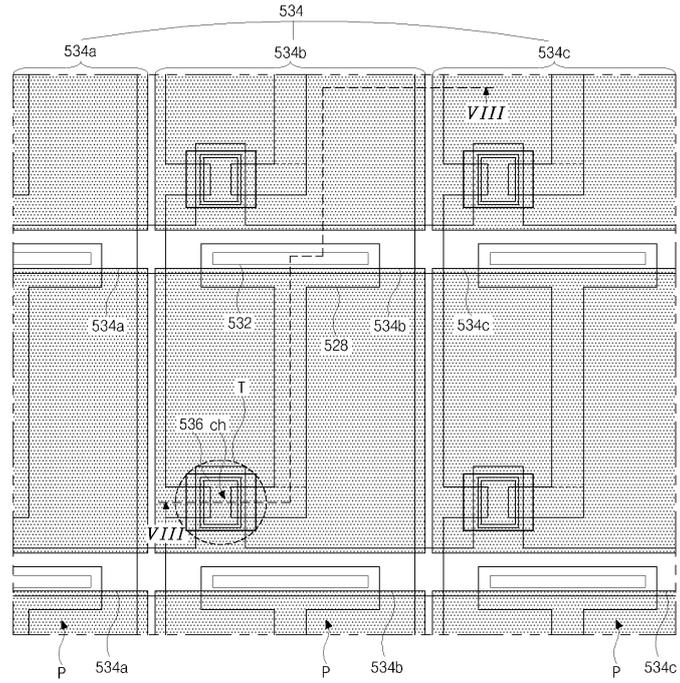
도면15c



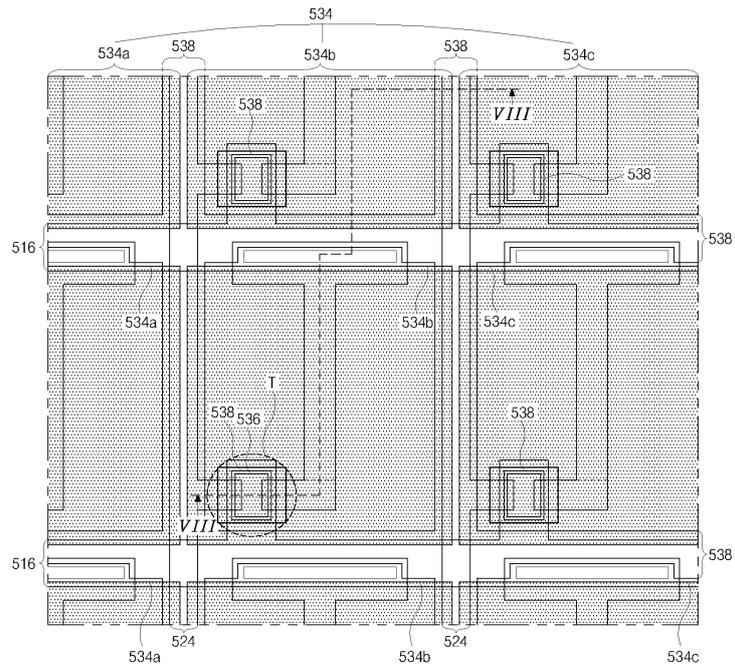
도면16



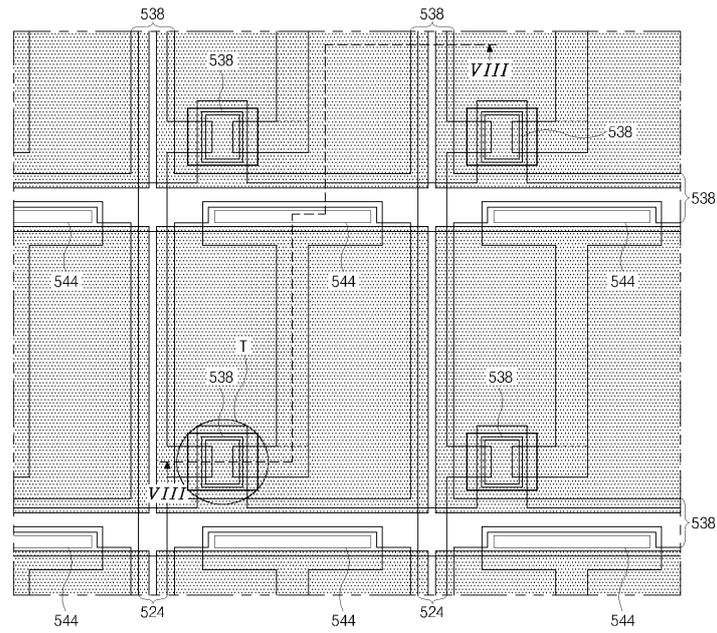
도면17a



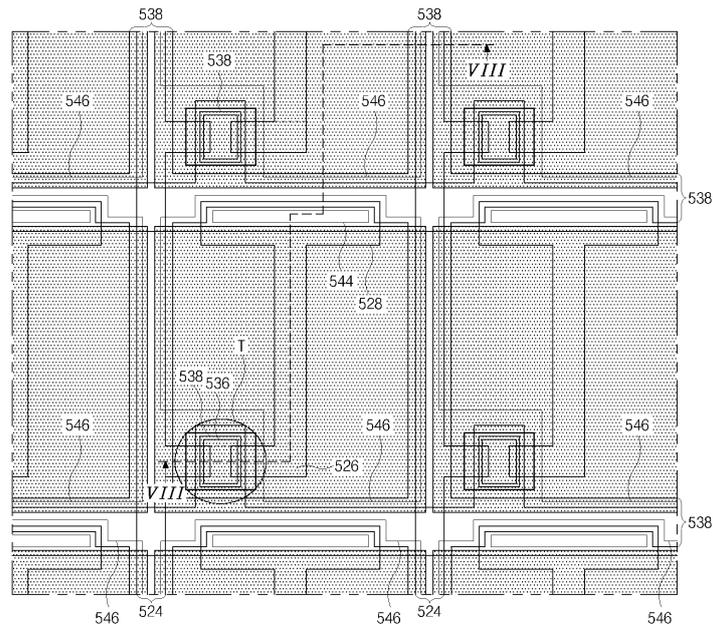
도면17b



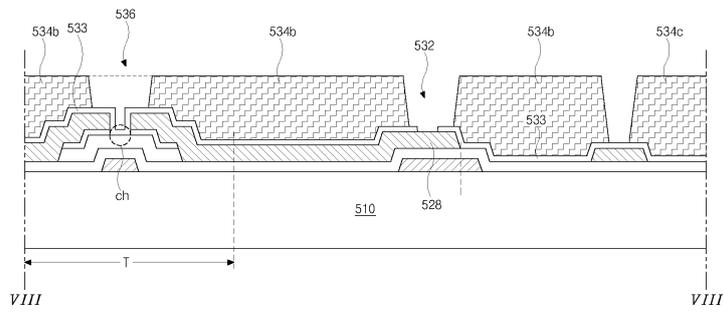
도면17c



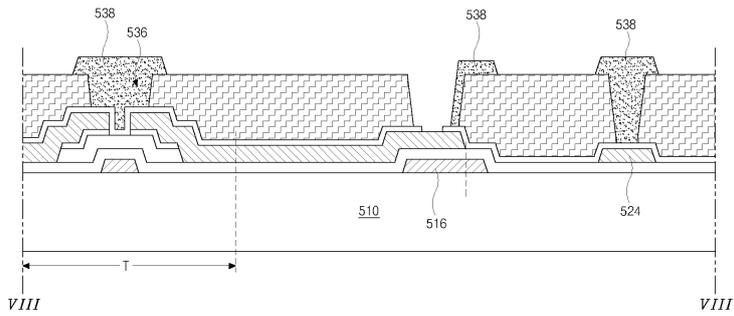
도면17d



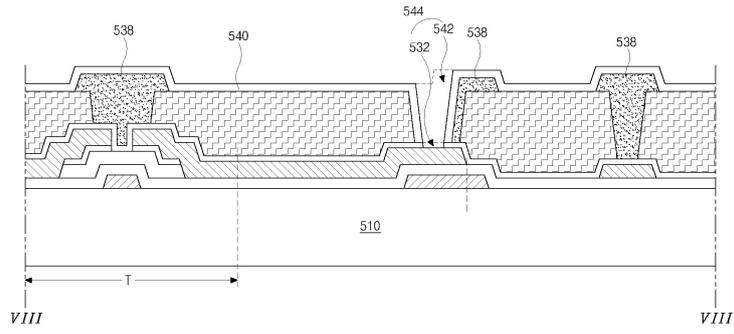
도면18a



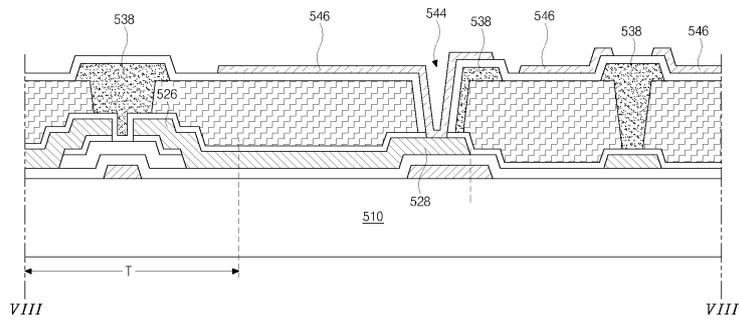
도면18b



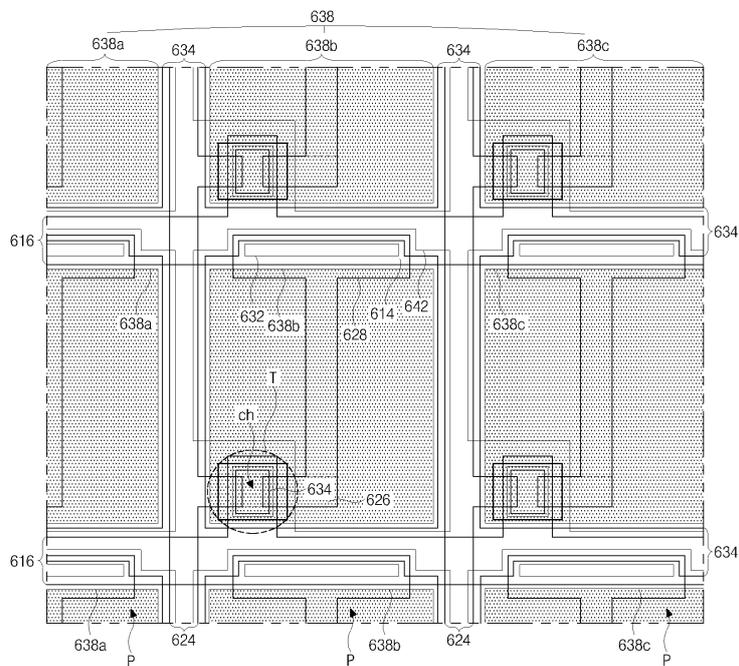
도면18c



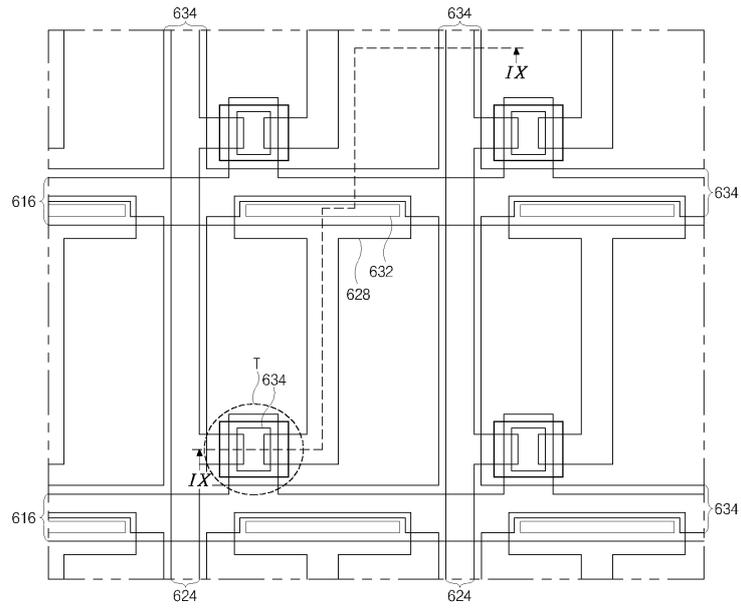
도면18d



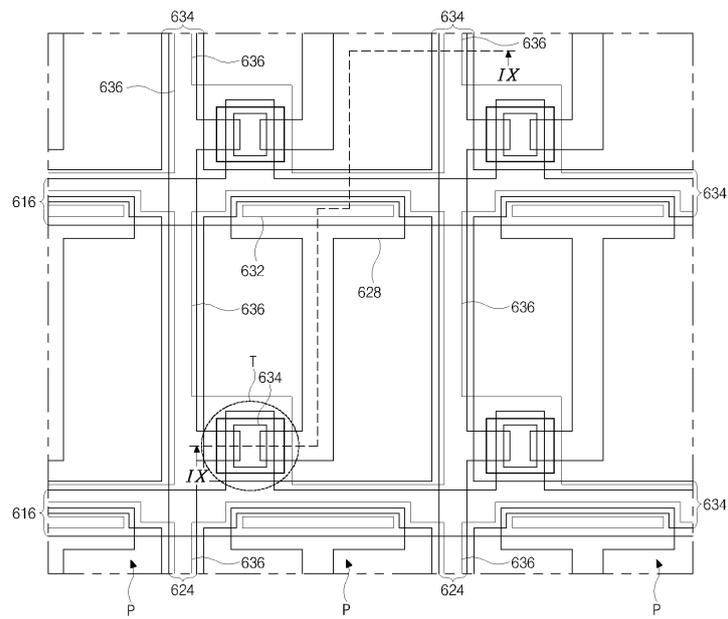
도면19



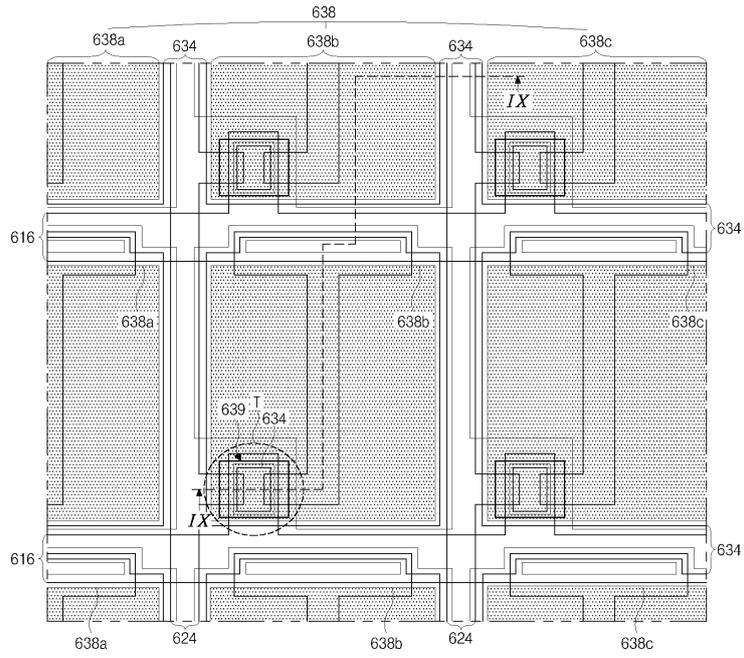
도면20a



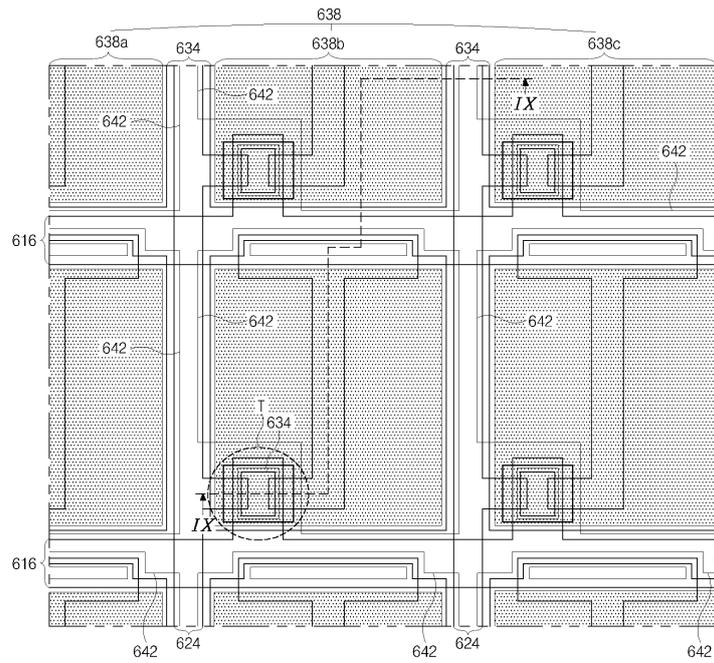
도면20b



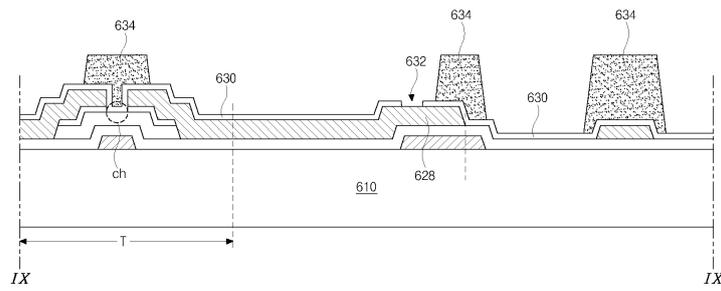
도면20c



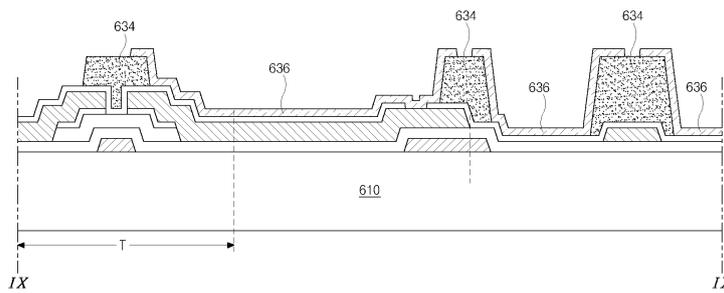
도면20d



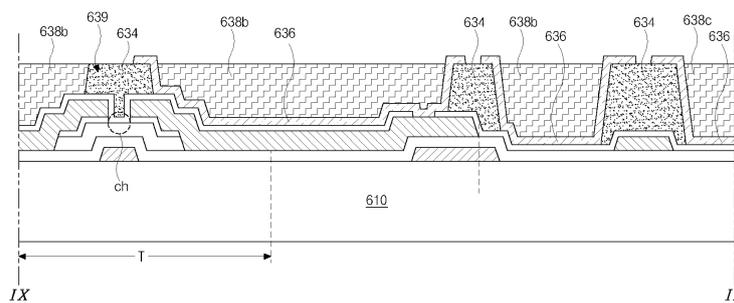
도면21a



도면21b



도면21c



도면21d

