



(12) 发明专利

(10) 授权公告号 CN 112119496 B

(45) 授权公告日 2024. 05. 31

(21) 申请号 201980032025.0

(22) 申请日 2019.04.15

(65) 同一申请的已公布的文献号
申请公布号 CN 112119496 A

(43) 申请公布日 2020.12.22

(30) 优先权数据
62/671,343 2018.05.14 US
16/057,749 2018.08.07 US

(85) PCT国际申请进入国家阶段日
2020.11.12

(86) PCT国际申请的申请数据
PCT/US2019/027559 2019.04.15

(87) PCT国际申请的公布数据
W02019/221862 EN 2019.11.21

(73) 专利权人 硅存储技术股份有限公司
地址 美国加利福尼亚州

(72) 发明人 金珍浩 X·刘 周锋 P·加扎维
S·莱姆克 N·多

(74) 专利代理机构 上海专利商标事务所有限公司 31100
专利代理师 陈斌

(51) Int.Cl.
H10B 41/35 (2023.01)

(56) 对比文件
US 2009108314 A1, 2009.04.30
US 2015263040 A1, 2015.09.17
US 2017103991 A1, 2017.04.13
US 9276005 B1, 2016.03.01
WO 2016043857 A1, 2016.03.24

审查员 陆然

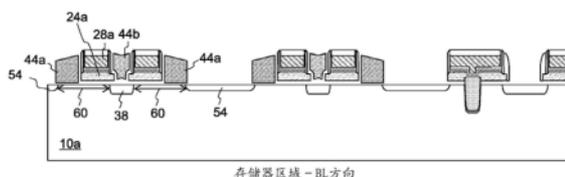
权利要求书4页 说明书8页 附图61页

(54) 发明名称

制成具有绝缘体上硅衬底的嵌入式存储器设备的方法

(57) 摘要

本发明公开了一种形成半导体设备的方法，其中存储器单元和一些逻辑设备形成在体硅上，而其他逻辑设备形成在同一衬底的该体硅上方的绝缘物上方的薄硅层上。在该逻辑区域中形成该逻辑设备之前，在该存储器区域中形成该存储器设备的存储器单元堆叠、选择栅多晶硅和源极区。用于在该存储器区域中形成栅堆叠的各种氧化物层、氮化物层和多晶硅层也形成在该逻辑区域中。只有在该存储器单元堆叠和选择栅多晶硅已形成并且该存储器区域被一个或多个保护层保护之后，才将用于形成该存储器单元堆叠的该氧化物层、氮化物层和多晶硅层从该逻辑区域移除，并且之后形成该逻辑设备。



1. 一种形成半导体设备的方法,包括:

提供衬底,所述衬底包括体硅、直接在所述体硅上方的第一绝缘层和直接在所述第一绝缘层上方的硅层;

从所述衬底的第一区域移除所述硅层和所述第一绝缘层,同时在所述衬底的第二区域中保持所述第一绝缘层和所述硅层;

形成第一多晶硅层,所述第一多晶硅层设置在所述衬底的所述第一区域中的所述体硅上方并且与所述体硅绝缘,并且设置在所述衬底的所述第二区域中的所述硅层上方并且与所述硅层绝缘;

形成第二多晶硅层,所述第二多晶硅层设置在所述衬底的所述第一区域和所述第二区域中的所述第一多晶硅层上方并且与所述第一多晶硅层绝缘;

执行一次或多次蚀刻,以选择性地移除所述衬底的所述第一区域中的所述第一多晶硅层和所述第二多晶硅层的部分,同时在所述衬底的所述第二区域中保持所述第一多晶硅层和所述第二多晶硅层,其中所述一次或多次蚀刻导致所述衬底的所述第一区域中的所述第一多晶硅层和所述第二多晶硅层的间隔开的堆叠结构对;

在所述衬底的所述第一区域中的所述体硅中形成第一源极区,每个第一源极区设置在所述堆叠结构对中的一个堆叠结构对之间;

形成第三多晶硅层,所述第三多晶硅层设置在所述衬底的所述第一区域中的所述体硅上方并且与所述体硅绝缘,并且所述第三多晶硅层设置在所述堆叠结构之间;

在所述堆叠结构和所述第三多晶硅层上方在所述衬底的所述第一区域中形成一个或多个保护层;

在所述衬底的所述第一区域中形成所述一个或多个保护层之后,从所述衬底的所述第二区域移除所述第一多晶硅层和所述第二多晶硅层;

在从所述衬底的所述第二区域移除所述第一多晶硅层和所述第二多晶硅层之后,在所述衬底的所述第二区域中形成逻辑设备,其中形成所述逻辑设备中的每个逻辑设备包括:

在所述硅层中形成间隔开的第二源极区和第一漏极区,并且

在所述硅层的在所述第二源极区与所述第一漏极区之间的部分上方形成导电栅并且所述导电栅与所述硅层的所述部分绝缘;

在形成所述逻辑设备之后,移除所述衬底的所述第一区域中的所述一个或多个保护层;

蚀刻所述衬底的所述第一区域中的所述第三多晶硅层的部分以形成所述第三多晶硅层的多个块,所述多个块各自与所述堆叠结构中的一个堆叠结构相邻地设置;并且

在所述衬底的所述第一区域中的所述体硅中形成第二漏极区,其中每个第二漏极区被设置为与所述第三多晶硅层的所述块中的一个块相邻。

2. 根据权利要求1所述的方法,其中所述第一源极区和所述第二漏极区延伸到所述体硅中的深度大于所述第二源极区和所述第一漏极区延伸到所述硅层中的深度。

3. 根据权利要求1所述的方法,其中所述第一源极区和所述第二漏极区延伸到所述体硅中的深度大于所述硅层的厚度。

4. 根据权利要求1所述的方法,其中所述导电栅包括金属材料。

5. 根据权利要求4所述的方法,其中所述导电栅通过高K绝缘材料与所述硅层绝缘。

6. 一种形成半导体设备的方法,包括:

提供衬底,所述衬底包括体硅、直接在所述体硅上方的第一绝缘层和直接在所述第一绝缘层上方的硅层;

从所述衬底的第一区域移除所述硅层和所述第一绝缘层,同时在所述衬底的第二区域和所述衬底的第三区域中保持所述第一绝缘层和所述硅层;

形成第一多晶硅层,所述第一多晶硅层设置在所述衬底的所述第一区域中的所述体硅上方并且与所述体硅绝缘,并且设置在所述衬底的所述第二区域和所述第三区域中的所述硅层上方并且与所述硅层绝缘;

形成第二多晶硅层,所述第二多晶硅层设置在所述衬底的所述第一区域、所述第二区域和所述第三区域中的所述第一多晶硅层上方并且与所述第一多晶硅层绝缘;

执行一次或多次蚀刻,以选择性地移除所述衬底的所述第一区域中的所述第一多晶硅层和所述第二多晶硅层的部分,同时在所述衬底的所述第二区域和所述第三区域中保持所述第一多晶硅层和所述第二多晶硅层,其中所述一次或多次蚀刻导致所述衬底的所述第一区域中的所述第一多晶硅层和所述第二多晶硅层的间隔开的堆叠结构对;

在所述衬底的所述第一区域中的所述体硅中形成第一源极区,每个第一源极区设置在所述堆叠结构对中的一个堆叠结构对之间;

形成第三多晶硅层,所述第三多晶硅层设置在所述衬底的所述第一区域中的所述体硅上方并且与所述体硅绝缘,并且所述第三多晶硅层设置在所述堆叠结构之间;

在所述堆叠结构和所述第三多晶硅层上方在所述衬底的所述第一区域中形成一个或多个保护层;

在所述衬底的所述第一区域中形成所述一个或多个保护层之后,从所述衬底的所述第二区域和所述第三区域移除所述第一多晶硅层和所述第二多晶硅层;

在从所述衬底的所述第二区域和所述第三区域移除所述第一多晶硅层和所述第二多晶硅层之后,从所述衬底的所述第三区域移除所述硅层和所述第一绝缘层;

在从所述衬底的所述第二区域移除所述第一多晶硅层和所述第二多晶硅层之后,在所述衬底的所述第二区域中形成第一逻辑设备,其中形成所述第一逻辑设备中的每个第一逻辑设备包括:

在所述硅层中形成间隔开的第二源极区和第一漏极区,并且

在所述硅层的在所述第二源极区与所述第一漏极区之间的部分上形成第一导电栅并且所述第一导电栅与所述硅层的所述部分绝缘;

在从所述衬底的所述第三区域移除所述硅层和所述第一绝缘层之后,在所述衬底的所述第三区域中形成第二逻辑设备,其中形成所述第二逻辑设备中的每个第二逻辑设备包括:

在所述衬底的所述第三区域的所述体硅中形成间隔开的第三源极区和第二漏极区,并且

在所述体硅的在所述第三源极区与所述第二漏极区之间的部分的上方形成第二导电栅并且所述第二导电栅与所述体硅的所述部分绝缘;

在形成所述第一逻辑设备和所述第二逻辑设备之后,移除所述衬底的所述第一区域中的所述一个或多个保护层;

蚀刻所述衬底的所述第一区域中的所述第三多晶硅层的部分以形成所述第三多晶硅层的多个块,所述多个块各自与所述堆叠结构中的一个堆叠结构相邻地设置;并且

在所述衬底的所述第一区域中的所述体硅中形成第三漏极区,其中每个第三漏极区被设置为与所述第三多晶硅层的所述块中的一个块相邻。

7. 根据权利要求6所述的方法,其中所述第一源极区和所述第三漏极区延伸到所述体硅中的深度大于所述第二源极区和所述第一漏极区延伸到所述硅层中的深度。

8. 根据权利要求7所述的方法,其中所述第三源极区和所述第二漏极区延伸到所述体硅中的深度大于所述第二源极区和所述第一漏极区延伸到所述硅层中的深度。

9. 根据权利要求7所述的方法,其中所述第一源极区和所述第三漏极区延伸到所述体硅中的深度大于所述硅层的厚度。

10. 根据权利要求7所述的方法,其中所述第三源极区和所述第二漏极区延伸到所述体硅中的深度大于所述硅层的厚度。

11. 根据权利要求6所述的方法,其中所述第一导电栅和所述第二导电栅包括金属材料。

12. 根据权利要求11所述的方法,其中:

所述第一导电栅通过高K绝缘材料与所述硅层绝缘;并且

所述第二导电栅通过高K绝缘材料与所述体硅绝缘。

13. 一种半导体设备,包括:

衬底,所述衬底具有:

体硅的第一区域,

第二区域,所述第二区域具有直接在体硅上方的第一绝缘层和直接在所述第一绝缘层上方的硅层,和

体硅的第三区域,

其中所述衬底的所述第一区域和所述第三区域不具有任何设置在绝缘材料上方的硅层;

形成于所述第一区域中的存储器单元,其中所述存储器单元中的每个存储器单元包括:

间隔开的第一源极区和第一漏极区,所述间隔开的第一源极区和第一漏极区形成在所述体硅中并且限定了所述体硅的第一沟道区,所述第一沟道区在所述第一源极区与所述第一漏极区之间延伸,

浮栅,所述浮栅设置在所述第一沟道区的第一部分上方并且与所述第一沟道区的第一部分绝缘,

选择栅,所述选择栅设置在所述第一沟道区的第二部分上方并且与所述第一沟道区的第二部分绝缘;

控制栅,所述控制栅设置在所述浮栅上方并且与所述浮栅绝缘,以及

擦除栅,所述擦除栅设置在所述第一源极区上方并且与所述第一源极区绝缘;

形成于所述第二区域中的第一逻辑设备,其中所述第一逻辑设备中的每个第一逻辑设备包括:

间隔开的第二源极区和第二漏极区,所述间隔开的第二源极区和第二漏极区形成在所

述硅层中并且限定了所述硅层的第二沟道区,所述第二沟道区在所述第二源极区与所述第二漏极区之间延伸,和

第一导电栅,所述第一导电栅设置在所述第二沟道区上方并且与所述第二沟道区绝缘;

形成于所述第三区域中的第二逻辑设备,其中所述第二逻辑设备中的每个第二逻辑设备包括:

间隔开的第三源极区和第三漏极区,所述间隔开的第三源极区和第三漏极区形成在所述体硅中并且限定了所述体硅的第三沟道区,所述第三沟道区在所述第三源极区与所述第三漏极区之间延伸,和

第二导电栅,所述第二导电栅设置在所述第三沟道区上方并且与所述第三沟道区绝缘。

14. 根据权利要求13所述的半导体设备,其中:

所述浮栅、所述选择栅、所述控制栅和所述擦除栅由多晶硅形成;并且

所述第一导电栅和所述第二导电栅由金属材料形成。

15. 根据权利要求14所述的半导体设备,其中:

所述第一导电栅通过高K绝缘材料与所述硅层绝缘;并且

所述第二导电栅通过高K绝缘材料与所述体硅绝缘。

16. 根据权利要求13所述的半导体设备,其中所述第一源极区和所述第一漏极区延伸到所述体硅中的深度大于所述第二源极区和所述第二漏极区延伸到所述硅层中的深度。

17. 根据权利要求13所述的半导体设备,其中所述第一源极区和所述第一漏极区延伸到所述体硅中的深度大于所述硅层的厚度。

18. 根据权利要求13所述的半导体设备,其中所述第三源极区和所述第三漏极区延伸到所述体硅中的深度大于所述第二源极区和所述第二漏极区延伸到所述硅层中的深度。

制成具有绝缘体上硅衬底的嵌入式存储器设备的方法

[0001] 相关专利申请

[0002] 本申请要求于2018年5月14日提交的美国临时申请第62/671343号和2018年8月7日提交的美国专利申请第16/057749号的权益。

技术领域

[0003] 本发明涉及嵌入式非易失性存储器设备。

背景技术

[0004] 形成在体硅半导体衬底上的非易失性存储器设备已为人熟知。例如,美国专利6,747,310、7,868,375和7,927,994公开了形成在体半导体衬底上的具有四个栅(浮栅、控制栅、选择栅和擦除栅)的存储器单元。源极区和漏极区形成为进入到衬底中的扩散注入区,从而将沟道区在衬底中限定在源极区和漏极区间。浮栅设置在沟道区的第一部分上方并且控制该第一部分,选择栅设置在沟道区的第二部分上方并且控制该第二部分,控制栅设置在浮栅上方,并且擦除栅设置在源极区上方。对于这些类型的存储器设备而言,体衬底是理想的,因为进入到衬底中的深扩散可用于形成源极区和漏极区结。

[0005] 绝缘体上硅(SOI)设备是微电子领域中熟知的。SOI设备与体硅衬底设备的不同之处在于,在衬底在硅表面下用嵌入式绝缘层对其分层(即,硅-绝缘体-硅),而不是纯硅。利用SOI设备,硅结形成于设置在电绝缘体上方的薄硅层中,该电绝缘体嵌入硅衬底中。绝缘体通常为二氧化硅(氧化物)。这种衬底配置减小了设备寄生电容,从而改善了性能。SOI衬底可通过SIMOX(通过使用氧离子束注入的氧注入来分离—参见美国专利5,888,297和5,061,642)、晶片结合(结合氧化的硅与第二衬底并且移除大部分的衬底—参见美国专利4,771,016),或引入晶种(直接在绝缘体上生长最上面的硅层—参见美国专利5,417,180)来制造。

[0006] 最后,已知在与非易失性存储器设备(即,通常称为嵌入式存储器设备)相同的衬底上形成核心逻辑设备(诸如高电压、输入/输出和/或模拟设备),其中核心逻辑设备在具有SOI配置的第一衬底区域中形成,并且存储器设备在具有体硅配置的第二衬底区域中形成。参见例如9,431,407。然而,因为形成存储器单元的某些加工步骤对逻辑设备的形成具有不利影响,某些栅结构进展与制造此类复合结构的常规方法不相容,反之亦然。

发明内容

[0007] 前述问题和需求通过一种形成半导体设备的方法来解决,该方法包括:

[0008] 提供衬底,所述衬底包括体硅、直接在所述体硅上方的第一绝缘层和直接在所述第一绝缘层上方的硅层;

[0009] 从所述衬底的第一区域移除所述硅层和所述第一绝缘层,同时在所述衬底的第二区域中保持所述第一绝缘层和所述硅层;

[0010] 形成第一多晶硅层,所述第一多晶硅层设置在所述衬底的所述第一区域中的所述

体硅上方并且与所述体硅绝缘,并且设置在所述衬底的所述第二区域中的所述硅层上方并且与所述硅层绝缘;

[0011] 形成第二多晶硅层,所述第二多晶硅层设置在所述衬底的所述第一区域和所述第二区域中的所述第一多晶硅层上方并且与所述第一多晶硅层绝缘;

[0012] 执行一次或多次蚀刻,以选择性地移除所述衬底的所述第一区域中的所述第一多晶硅层和所述第二多晶硅层的部分,同时在所述衬底的所述第二区域中保持所述第一多晶硅层和所述第二多晶硅层,其中所述一次或多次蚀刻导致所述衬底的所述第一区域中的所述第一多晶硅层和所述第二多晶硅层的间隔开的堆叠结构对;

[0013] 在所述衬底的所述第一区域中的所述体硅中形成第一源极区,每个第一源极区设置在所述堆叠结构对中的一个堆叠结构对之间;

[0014] 形成第三多晶硅层,所述第三多晶硅层设置在所述衬底的所述第一区域中的所述体硅上方并且与所述体硅绝缘,并且所述第三多晶硅层设置在所述堆叠结构之间;

[0015] 在所述堆叠结构和所述第三多晶硅层上方在所述衬底的所述第一区域中形成一个或多个保护层;

[0016] 在所述衬底的所述第一区域中形成所述一个或多个保护层之后,从所述衬底的所述第二区域移除所述第一多晶硅层和所述第二多晶硅层;

[0017] 在从所述衬底的所述第二区域移除所述第一多晶硅层和所述第二多晶硅层之后,在所述衬底的所述第二区域中形成逻辑设备,其中形成所述逻辑设备中的每个逻辑设备包括:

[0018] 在所述硅层中形成间隔开的第二源极区和第一漏极区,并且

[0019] 在所述硅层的在所述第二源极区与所述第一漏极区之间的部分上方形成导电栅并且所述导电栅与所述硅层的所述部分绝缘;

[0020] 在形成所述逻辑设备之后,移除所述衬底的所述第一区域中的所述一个或多个保护层;

[0021] 蚀刻所述衬底的所述第一区域中的所述第三多晶硅层的部分以形成所述第三多晶硅层的多个块,所述多个块各自与所述堆叠结构中的一个堆叠结构相邻地设置;并且

[0022] 在所述衬底的所述第一区域中的所述体硅中形成第二漏极区,其中每个第二漏极区被设置为和所述第三多晶硅层的所述块中的一个块相邻。

[0023] 一种形成半导体设备的方法,包括:

[0024] 提供衬底,所述衬底包括体硅、直接在所述体硅上方的第一绝缘层和直接在所述第一绝缘层上方的硅层;

[0025] 从所述衬底的第一区域移除所述硅层和所述第一绝缘层,同时在所述衬底的第二区域和所述衬底的第三区域中保持所述第一绝缘层和所述硅层;

[0026] 形成第一多晶硅层,所述第一多晶硅层设置在所述衬底的所述第一区域中的所述体硅上方并且与所述体硅绝缘,并且设置在所述衬底的所述第二区域和所述第三区域中的所述硅层上方并且与所述硅层绝缘;

[0027] 形成第二多晶硅层,所述第二多晶硅层设置在所述衬底的所述第一区域、所述第二区域和所述第三区域中的所述第一多晶硅层上方并且与所述第一多晶硅层绝缘;

[0028] 执行一次或多次蚀刻,以选择性地移除所述衬底的所述第一区域中的所述第一多

晶硅层和所述第二多晶硅层的部分,同时在所述衬底的所述第二区域和所述第三区域中保持所述第一多晶硅层和所述第二多晶硅层,其中所述一次或多次蚀刻导致所述衬底的所述第一区域中的所述第一多晶硅层和所述第二多晶硅层的间隔开的堆叠结构对;

[0029] 在所述衬底的所述第一区域中的所述体硅中形成第一源极区,每个第一源极区设置在所述堆叠结构对中的一个堆叠结构对之间;

[0030] 形成第三多晶硅层,所述第三多晶硅层设置在所述衬底的所述第一区域中的所述体硅上方并且与所述体硅绝缘,并且所述第三多晶硅层设置在所述堆叠结构之间;

[0031] 在所述堆叠结构和所述第三多晶硅层上方在所述衬底的所述第一区域中形成一个或多个保护层;

[0032] 在所述衬底的所述第一区域中形成所述一个或多个保护层之后,从所述衬底的所述第二区域和所述第三区域移除所述第一多晶硅层和所述第二多晶硅层;

[0033] 在从所述衬底的所述第二区域和所述第三区域移除所述第一多晶硅层和所述第二多晶硅层之后,从所述衬底的所述第三区域移除所述硅层和所述第一绝缘层;

[0034] 在从所述衬底的所述第二区域移除所述第一多晶硅层和所述第二多晶硅层之后,在所述衬底的所述第二区域中形成第一逻辑设备,其中形成所述第一逻辑设备中的每个第一逻辑设备包括:

[0035] 在所述硅层中形成间隔开的第二源极区和第一漏极区,并且

[0036] 在所述硅层的在所述第二源极区与所述第一漏极区之间的部分上形成第一导电栅并且所述第一导电栅与所述硅层的所述部分绝缘;

[0037] 在从所述衬底的所述第三区域移除所述硅层和所述第一绝缘层之后,在所述衬底的所述第三区域中形成第二逻辑设备,其中形成所述第二逻辑设备中的每个第二逻辑设备包括:

[0038] 在所述衬底的所述第三区域的所述体硅中形成间隔开的第三源极区和第二漏极区,并且

[0039] 在所述体硅的在所述第三源极区与所述第二漏极区之间的部分的上方形成第二导电栅并且所述第二导电栅与所述体硅的所述部分绝缘;

[0040] 在形成所述第一逻辑设备和所述第二逻辑设备之后,移除所述衬底的所述第一区域中的所述一个或多个保护层;

[0041] 蚀刻所述衬底的所述第一区域中的所述第三多晶硅层的部分以形成所述第三多晶硅层的多个块,所述多个块各自与所述堆叠结构中的一个堆叠结构相邻地设置;并且

[0042] 在所述衬底的所述第一区域中的所述体硅中形成第三漏极区,其中每个第三漏极区被设置为和所述第三多晶硅层的所述块中的一个块相邻。

[0043] 一种半导体设备,包括:

[0044] 衬底,所述衬底具有:

[0045] 具有体硅的第一区域,

[0046] 第二区域,所述第二区域具有直接在体硅上方的第一绝缘层和直接在所述第一绝缘层上方的硅层,和

[0047] 具有体硅的第三区域,

[0048] 其中所述衬底的所述第一区域和所述第三区域不具有任何设置在绝缘材料上方

的硅层；

[0049] 形成于所述第一区域中的存储器单元,其中所述存储器单元中的每个存储器单元包括:

[0050] 间隔开的第一源极区和第一漏极区,所述间隔开的第一源极区和第一漏极区形成在所述体硅中并且限定了所述体硅的第一沟道区,所述第一沟道区在所述第一源极区与第一漏极区之间延伸,

[0051] 浮栅,所述浮栅设置在所述第一沟道区的第一部分上方并且与所述第一沟道区的第一部分绝缘,

[0052] 选择栅,所述选择栅设置在所述第一沟道区的第二部分上方并且与所述第一沟道区的第二部分绝缘;

[0053] 控制栅,所述控制栅设置在所述浮栅上方并与所述浮栅绝缘,以及

[0054] 擦除栅,所述擦除栅设置在所述第一源极区上方并且与所述第一源极区绝缘;

[0055] 形成于所述第二区域中的第一逻辑设备,其中所述第一逻辑设备中的每个第一逻辑设备包括:

[0056] 间隔开的第二源极区和第二漏极区,所述间隔开的第二源极区和第二漏极区形成在所述硅层中并且限定了所述硅层的第二沟道区,所述第二沟道区在所述第二源极区与第二漏极区之间延伸,和

[0057] 第一导电栅,所述第一导电栅设置在所述第二沟道区上方并且与所述第二沟道区绝缘;

[0058] 形成于所述第三区域中的第二逻辑设备,其中所述第二逻辑设备中的每个第二逻辑设备包括:

[0059] 间隔开的第三源极区和第三漏极区,所述间隔开的第三源极区和第三漏极区形成在所述体硅中并且限定了所述体硅的第三沟道区,所述第三沟道区在所述第三源极区与第三漏极区之间延伸,和

[0060] 第二导电栅,所述第二导电栅设置在所述第三沟道区上方并且与所述第三沟道区绝缘。

[0061] 通过查看说明书、权利要求书和附图,本发明的其他目的和特征将变得显而易见。

附图说明

[0062] 图1是示出用于形成存储器设备的SOI衬底的剖视图。

[0063] 图2A至图16A是存储器区域的剖视图(在CG方向上),示出了形成存储器设备的步骤。

[0064] 图2B至图16B是存储器区域的剖视图(在BL方向上),示出了形成存储器设备的步骤。

[0065] 图2C至图16C是第一逻辑区域的剖视图,示出了形成存储器设备的步骤。

[0066] 图2D至图16D是第二逻辑区域的剖视图,示出了形成存储器设备的步骤。

具体实施方式

[0067] 本发明为形成嵌入式存储器设备的改进的方法,该嵌入式存储器设备具有与SOI

衬底上的核心逻辑设备并排形成的非易失性存储器单元。嵌入式绝缘体从SOI衬底的存储器区域(非易失性存储器在此形成)以及从第二逻辑区域移除,但保持在SOI衬底的第一逻辑区域中。存储器单元在存储器区域中形成而不会不利地影响逻辑区域,并且逻辑设备在逻辑区域中形成而不会不利地影响先前在存储器区域中形成的结构。

[0068] 在SOI衬底上形成嵌入式存储器设备的过程由提供SOI衬底10开始,如图1所示。SOI衬底包括三个部分:体硅10a、在硅10a上方的绝缘材料层10b(例如,氧化物),以及在绝缘体层10b上方的薄硅层10c。形成SOI衬底在本领域中是熟知的,如上文以及上述美国专利中所述,因此在本文中不进一步描述。

[0069] 二氧化硅(氧化物)层12形成在硅层10c上。在氧化物层12上形成氮化硅(氮化物)层14。所得结构示于图2A至图2D中。图2A是控制栅(CG)方向(控制栅线将沿其延伸的方向)上的存储器区域(存储器单元正在该存储器区域中形成)的剖视图。图2B是沿位线BL方向(位线将沿其延伸的方向)的存储器区域的剖视图。图2C和图2D是第一逻辑区域和第二逻辑区域(逻辑设备正在该第一逻辑区域和第二逻辑区域中形成)的剖视图。

[0070] 执行光刻掩膜工艺,该光刻掩膜工艺包括在氮化物层14上形成光致抗蚀剂材料,然后使用光学掩模将光致抗蚀剂材料选择性地暴露于光,然后选择性地移除光致抗蚀剂材料的部分以暴露下面材料的部分(在本例中为氮化物层14)。执行一个或多个蚀刻工艺以形成穿过氮化物层和氧化物层14/12、穿过硅层10c、穿过绝缘层10b并进入体硅10a的沟槽18。所得结构示于图3A至图3D中(在光致抗蚀剂移除之后)。

[0071] 通过氧化物沉积和化学机械抛光(CMP)用氧化物19(STI氧化物)填充沟槽18。然后,使用氮化物蚀刻以去除氮化物层14。在逻辑区域中的氧化物层12上形成ONO(氧化物-氮化物-氧化物)层20。逻辑区域覆盖有光致抗蚀剂,并且执行氧化物/氮化物/硅蚀刻以从存储器区域移除ONO层20、氧化物层12、硅层10c和氧化物层10b,从而暴露体硅10a。在体硅10a上形成氧化物层22(FG栅氧化物)。如4A至图4D所示,在光刻胶移除之后,执行多晶硅沉积、注入、退火和CMP,以在存储器区域中的氧化物层22上以及在逻辑区域中的ONO层20上形成多晶硅层24(FG多晶硅)。虽然多晶硅层24被公开并示出为在STI氧化物19之后形成,但应当指出的是,多晶硅层24可以替代地首先形成,并且之后沟槽18形成穿过多晶硅层24并由STI氧化物19填充。

[0072] ONO层26形成在多晶硅层24上。通过多晶硅沉积、注入和退火在ONO层26上形成多晶硅层28。绝缘层30形成在多晶硅层28上。执行掩膜工艺以用光致抗蚀剂覆盖该结构,并且选择性地移除光致抗蚀剂的部分以仅暴露存储器区域中的层30的部分。使用蚀刻来移除层30的暴露部分,从而仅暴露存储器区域中的多晶硅层28的部分。在移除光致抗蚀剂之后,执行一次或多次蚀刻以仅移除存储器区域中的多晶硅层28和ONO层26的暴露部分,从而留下绝缘体30、多晶硅28和绝缘体26的间隔开的堆叠结构对S1和S2。多晶硅层24的上表面也被蚀刻,使得上表面的部分在接近堆叠S1和堆叠S2时向上倾斜。层30、多晶硅层28和ONO层26在逻辑区域中保持完整。所得结构示于图5A至图5D中。

[0073] 使用氮化物沉积和蚀刻以沿着存储器区域中堆叠S1和S2的侧面形成间隔物32。如图6A至图6D所示,使用氧化物沉积和蚀刻沿着氮化物间隔物32的侧面形成间隔物34。在堆叠对S1和S2中每一者之间的区域(本文称为内部堆叠区域)上方和逻辑区域上方形成光致抗蚀剂,但是使该堆叠对S1和S2中的每一者之外的区域(即,每对堆叠S1/S2之间的区域,本

文称为外部堆叠区域)暴露。使用氧化物蚀刻以去除外部堆叠区域中的氧化物间隔物34。所得结构示于图7A至图7D中(在光致抗蚀剂移除之后)。图6A至图6D和图7A至图7D所示的加工步骤是任选的。

[0074] 执行多晶硅蚀刻以去除多晶硅层24的暴露部分,使得每个间隔开的堆叠结构S1/S2也包括多晶硅24。如图8A至图8D所示,通过氧化物沉积和氧化物各向异性蚀刻在多晶硅层24的暴露端上形成氧化物间隔物36。除了内部堆叠区域之外,该结构覆盖有光致抗蚀剂PR。如图9A至图9D所示,执行注入工艺以在衬底中在堆叠S1和S2之间形成源极区38。使用湿蚀刻来移除内部堆叠区域中的氧化物间隔物36。在移除光致抗蚀剂之后,通过氧化物形成在内部堆叠区域中的多晶硅层24的暴露部分上形成隧道氧化物40。使用掩模步骤用光致抗蚀剂覆盖内部堆叠区域,并且使用氧化物蚀刻去除外部堆叠区域中暴露的氧化物。所得结构示于图10A至图10D中(在光致抗蚀剂移除之后)。

[0075] 氧化物层(WL氧化物)42在外部堆叠区域中的暴露的衬底表面部分上形成。通过多晶硅沉积来在该结构上方形成多晶硅层44。如图11A至图11D所示,多晶硅CMP和/或多晶硅回蚀工艺用于使多晶硅层44的上表面在堆叠S1和堆叠S2的顶部下方平面化并凹陷,并且用于从逻辑区域移除多晶硅层。这样就完成了大多数存储器单元的形成。

[0076] 在该结构上方形成一个或多个层,诸如氧化物46和/或氮化物48。光致抗蚀剂PR形成于存储器区域中但不在逻辑区域上(即,光致抗蚀剂从逻辑区域移除)。如图12A至图12D所示,之后执行一系列蚀刻以移除逻辑区域中氧化物层12上的所有材料层。执行掩膜步骤以用光致抗蚀剂PR覆盖第一逻辑区域(图12C),但不覆盖第二逻辑区域(图12D)。执行一次或多次蚀刻以从第二逻辑区域移除氧化物层12、硅层10c和氧化物层10b,从而使体硅10a暴露。所得结构示于图13A至图13D中。在移除光致抗蚀剂之后,可对逻辑区域的不同部分执行一系列的注入。接下来使用氧化物蚀刻从第一逻辑区域移除氧化物层12,从而暴露硅层10c。然后使用HKMG逻辑工艺在高k绝缘层上方形成金属栅。具体地,该工艺包括在结构上方形成高K绝缘体材料层50。高K绝缘材料是介电常数K大于氧化物(诸如 HfO_2 、 ZrO_2 、 TiO_2 、 Ta_2O_5 或其他适当材料等)的介电常数的绝缘材料。在高K材料层50上方形成金属材料(诸如铝、Ti、TiAlN、TaSiN等)层。如图14A至图14D所示,执行掩膜步骤以使用光致抗蚀剂选择性地覆盖金属层的部分,由此通过一次或多次蚀刻移除金属材料和高K绝缘体的暴露部分,从而在第一逻辑区域和第二逻辑区域中的高K绝缘体材料50的薄块(带)上留下金属材料的块52,而在存储器区域中不留下此类材料。这样就完成了大多数逻辑设备的形成。

[0077] 掩模步骤用于用光致抗蚀剂覆盖逻辑区域,而氮化物和氧化物蚀刻用于移除存储器区域中的氮化物层48和氧化物层46,从而暴露多晶硅层44,如图15A至图15D所示(在移除光致抗蚀剂之后)。掩模步骤用于覆盖除相邻的堆叠对S1和S2之间的结构的部分(外部堆叠区域)之外的逻辑区域和存储器区域。然后使用多晶硅蚀刻移除多晶硅层44的暴露部分,从而留下在外部堆叠区域中的多晶硅块44a。执行一个或多个注入工艺,以在存储器区域中形成在体衬底10中与多晶硅块44a相邻的漏极区54,并且在逻辑区域中形成在体衬底10a中的源极区56和漏极区58或与金属块52相邻的硅层10c,如图16A至图16D所示(在移除光致抗蚀剂之后)。

[0078] 图16A至图16B所示的最终存储器单元结构包括存储器单元对,每对存储器单元共享与两个漏极区54间隔开的源极区38,其中体硅10a中的沟道区60在它们之间延伸。每个存

存储器单元包括:浮栅24a,该浮栅设置在沟道区60的第一部分上方并且与该沟道区的第一部分绝缘以用于控制该第一部分的导电性;选择栅44a,该选择栅设置在沟道区60的第二部分上方并且与该沟道区的第二部分绝缘以用于控制该第二部分的导电性;控制栅28a,该控制栅设置在浮栅24a上方并且与该浮栅绝缘;以及擦除栅44b(由存储器单元对共享),该擦除栅设置在源极区38上方并且与该源极区绝缘。存储器单元对沿列方向(BL方向)延伸,并且形成存储器单元的列,其中在相邻列之间具有绝缘物19。一行控制栅形成为连续控制栅线,该连续控制栅线将整行存储器单元的控制栅连接在一起。一行选择栅形成为连续选择栅线,该连续选择栅线将整行存储器单元的选择栅连接在一起。一行擦除栅形成为连续擦除栅线,该连续擦除栅线将整行存储器单元对的擦除栅连接在一起。

[0079] 最终逻辑设备在图16C和图16D中示出。在图16C的第一逻辑区域中,每个逻辑设备包括:硅层10c中的间隔开的源极区56和漏极区58,其中硅层10c的沟道区62在该源极区与该漏极区之间延伸;和金属栅52,该金属栅设置在该沟道区62上方并且与该沟道区绝缘,以用于控制其导电性。在图16D的第二逻辑区域中,每个逻辑设备包括:体硅衬底10a中的间隔开的源极区56和漏极区58;和金属栅52,该金属栅设置在沟道区62上方并与该沟道区绝缘,以用于控制其导电性。

[0080] 上面描述的在同一衬底上形成存储器单元和逻辑设备的方法具有许多优点。首先,在体硅上形成的存储器单元、在体硅上形成的逻辑设备和在体硅上方的绝缘物上方的薄硅层上方形成的逻辑设备均在同一衬底上一起形成。其次,在逻辑设备在逻辑区域中形成之前,在存储器区域中形成存储器单元堆叠和选择栅多晶硅(包括源极区)。并且,用于在存储器区域中形成栅堆叠S1/S2的各种氧化物层、氮化物层和多晶硅层也在逻辑区域中形成。只有在该存储器单元堆叠(和选择栅多晶硅)已形成并且该存储器区域被一个或多个保护层(例如,氧化物46和/或氮化物48)保护之后,才将用于形成该存储器单元堆叠的氧化物层、氮化物层和多晶硅层从该逻辑区域移除。在将它们移除之前,这些层保护逻辑区域、并且特别是保护体硅和薄硅层免受用于形成存储器单元的加工步骤的影响,该加工步骤会不利地影响衬底的逻辑区域。第三,在逻辑区域中包括用于在存储器区域中形成存储器堆叠S1/S2的氧化物层、氮化物层和多晶硅层通过在所有高度基本上相等的区域中保持结构来更好地促进存储器单元的形成(例如,相等高度的拓扑结构提供存储器区域中更准确的CMP)。第四,在逻辑设备形成期间,存储器区域受到氧化物层46和/或氮化物层48的保护,因此存储器单元堆叠不受用于形成逻辑设备(包括形成用于逻辑设备的金属栅)的加工步骤的不利影响。第五,上述形成工艺允许第二逻辑区域中存储器单元的源极区38/漏极区54和逻辑设备的源极区56和漏极区58延伸到体硅10a中的深度大于第一逻辑区域中源极区56和漏极区58延伸到硅层10c中的深度。第六,该工艺还允许相同的多晶硅沉积工艺在存储器区域中形成擦除栅44b/选择栅44a。第七,逻辑设备栅由高K绝缘物和金属形成以实现更好的导电性,而存储器单元栅由多晶硅形成以实现更好的性能和控制。第八,逻辑设备中的一部分在SOI上形成(即,第一逻辑区域),而其他逻辑设备(即,第二逻辑区域)和存储器单元在体硅上形成,这提供了根据其用途(高电压操作与低电压操作等)而具有不同性能的逻辑设备。

[0081] 应当理解,本发明不限于上述的和在本文中示出的实施方案,而是涵盖落在所附权利要求书的范围内的任何和所有变型形式。举例来说,本文中对本发明的提及并不意在

限制任何权利要求书或权利要求术语的范围,而是仅参考可由这些权利要求中的一项或多项权利要求涵盖的一个或多个特征。上文所述的材料、工艺和数值的示例仅为示例性的,而不应视为限制权利要求书。另外,根据权利要求和说明书显而易见的是,并非所有方法步骤都需要以所示出或所主张的精确顺序执行,而是需要以允许适当形成本发明的存储器单元区域和逻辑区域的任意顺序来执行,除非权利要求书另有规定。对于某些应用,可省略第二逻辑区域及其逻辑设备。最后,单个材料层可被形成为多个此类或类似材料层,反之亦然。

[0082] 应当指出,如本文所用,术语“在…上方”和“在…上”两者包容地包含“直接在…上”(之间未设置中间材料、元件或空间)和“间接在…上”(之间设置有中间材料、元件或空间)。同样,术语“相邻”包含“直接相邻”(两者间未设置中间材料、元件或空间)和“间接相邻”(两者间设置有中间材料、元件或空间)。例如,“在衬底上方”形成元件可包括在之间没有中间材料/元件的情况下在衬底上直接形成元件,以及在之间有一个或多个中间材料/元件的情况下在衬底上间接形成元件。

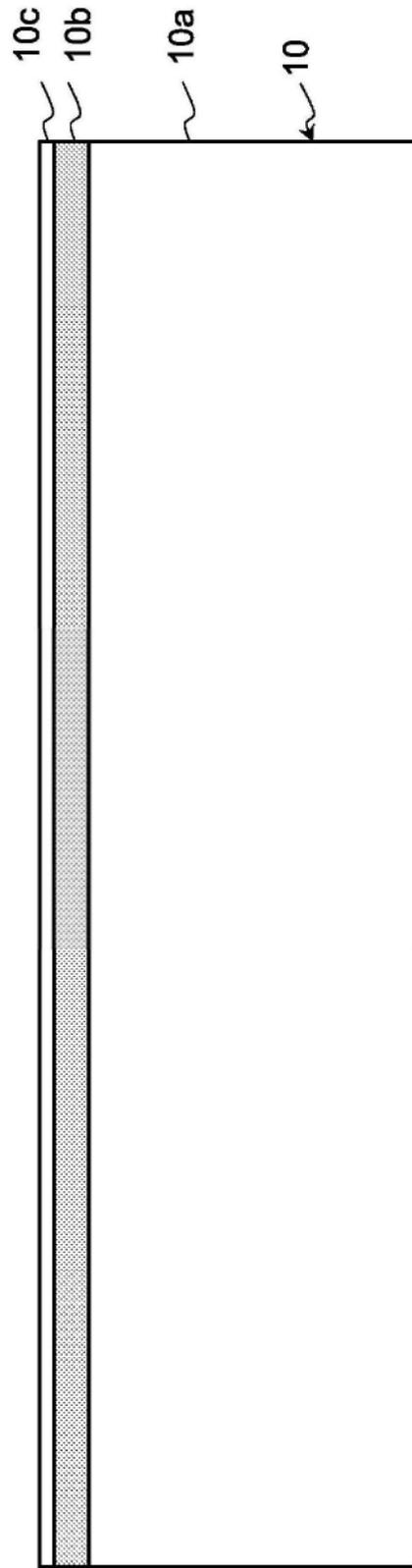


图1

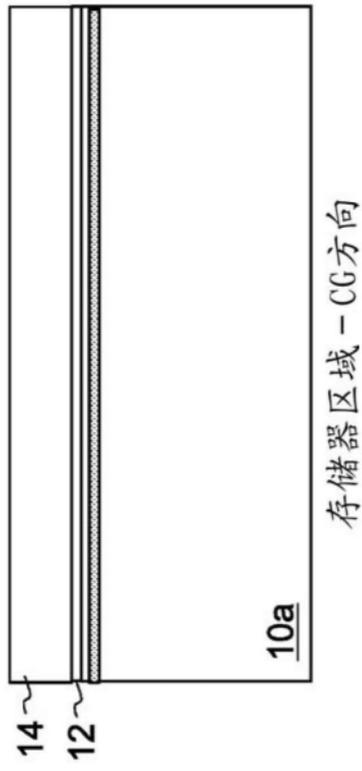


图2A

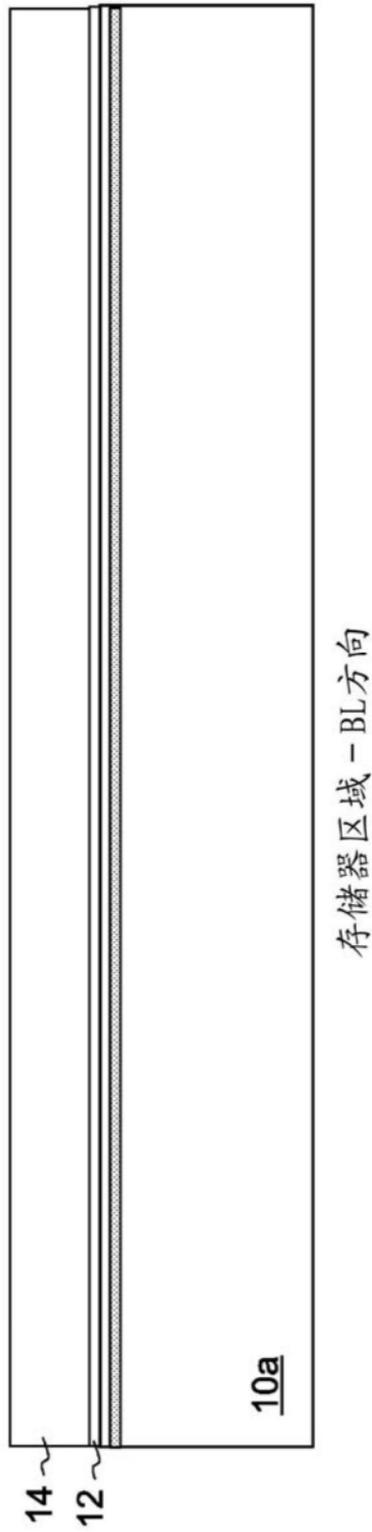


图2B

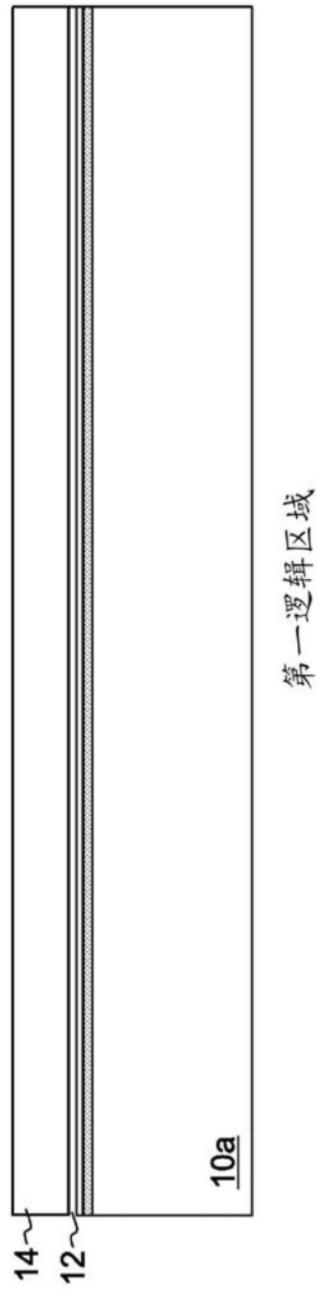


图2C

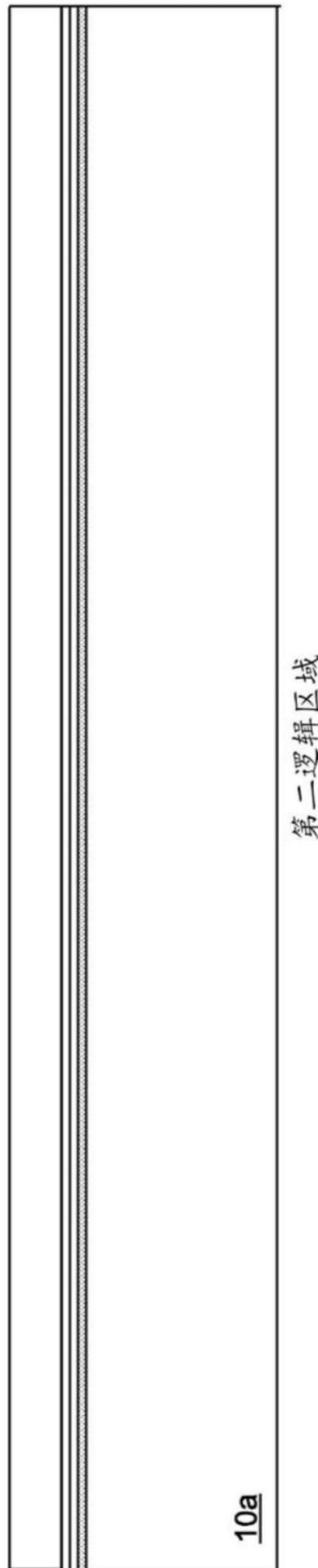


图2D

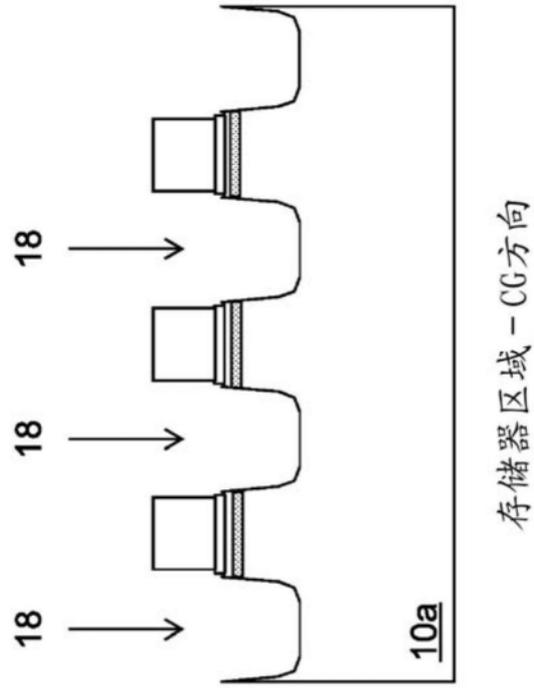


图3A

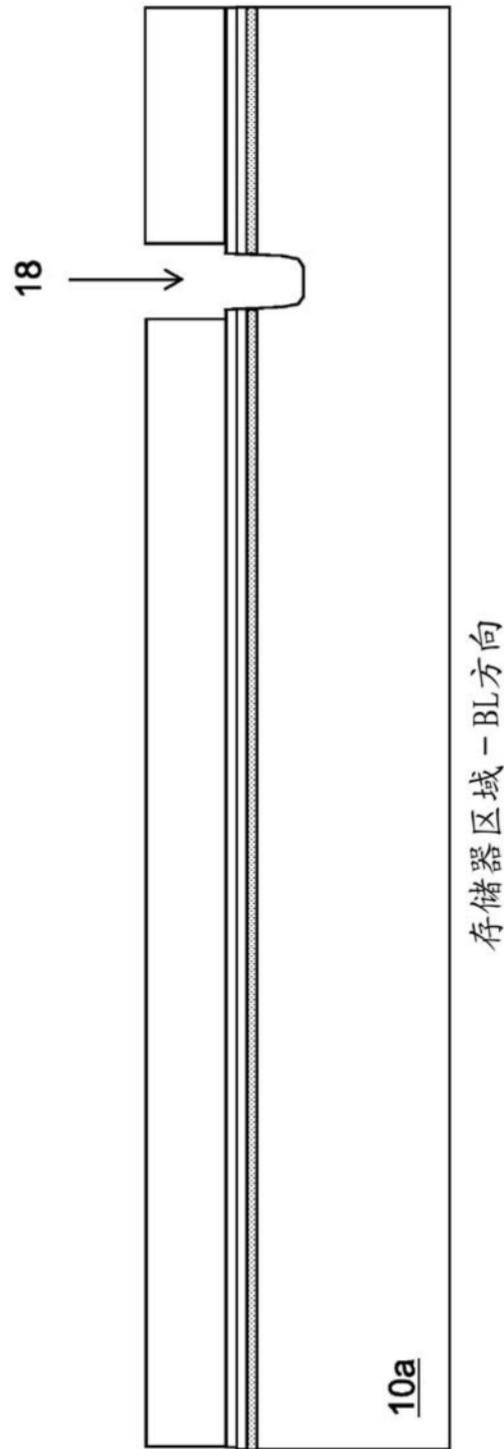


图3B

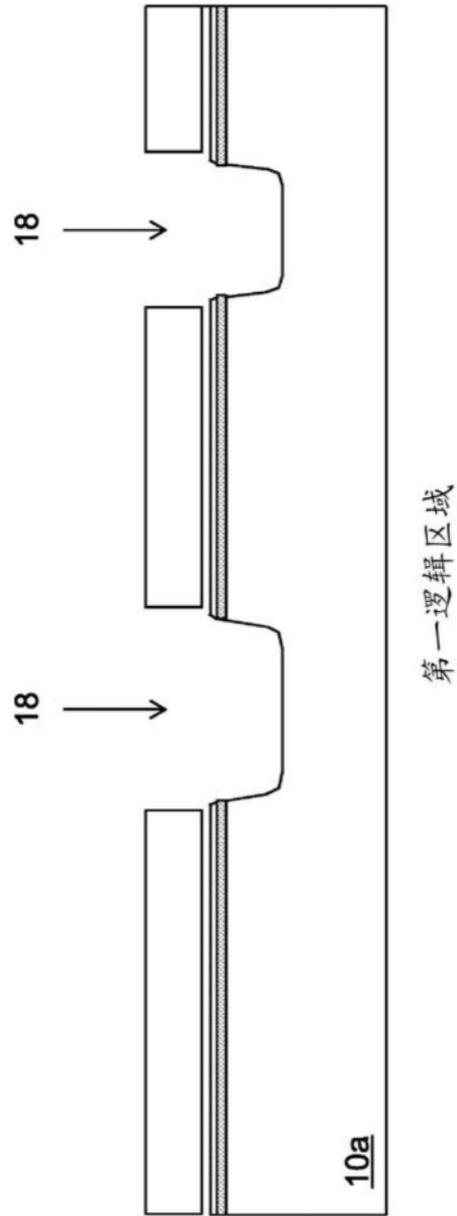


图3C

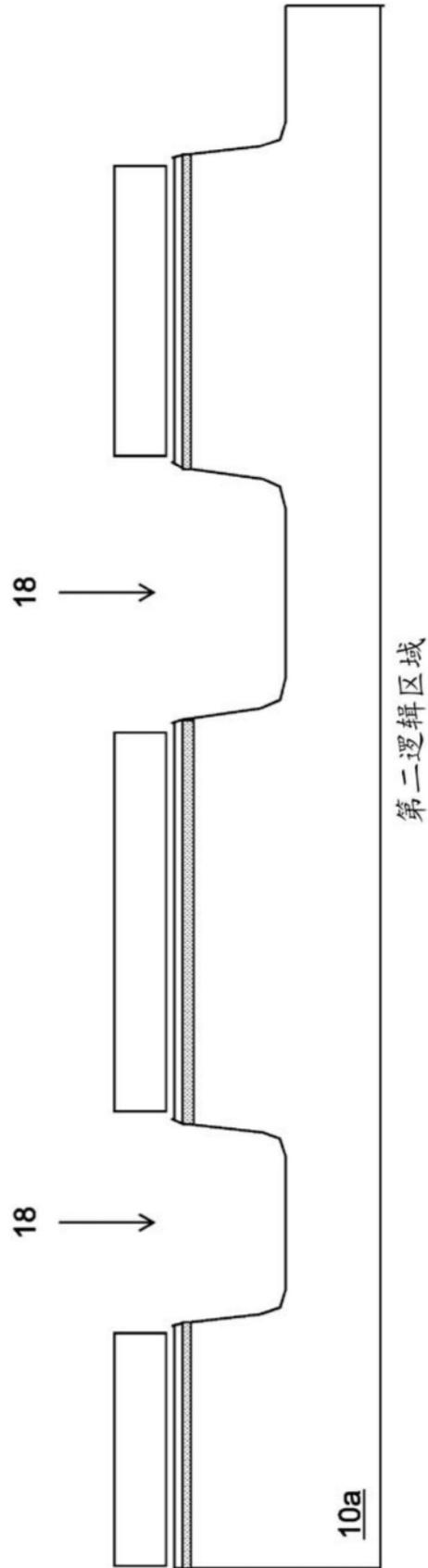


图3D

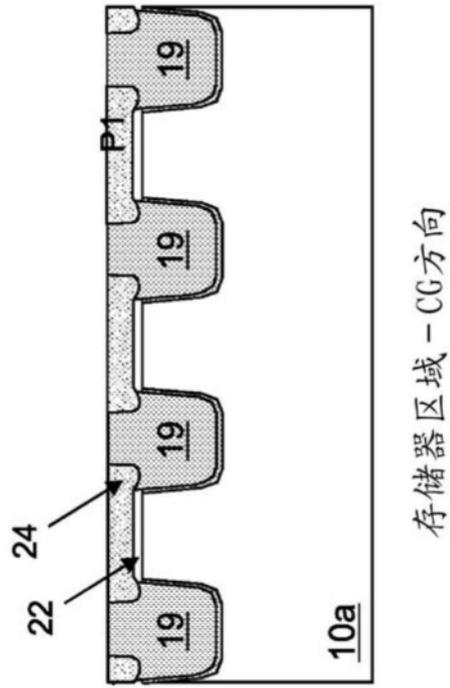


图4A

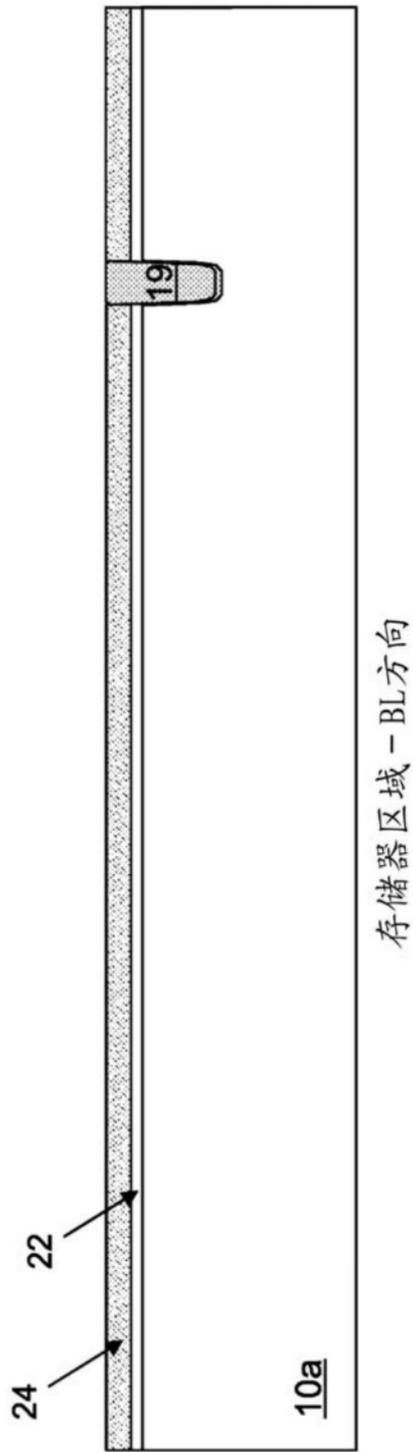


图4B

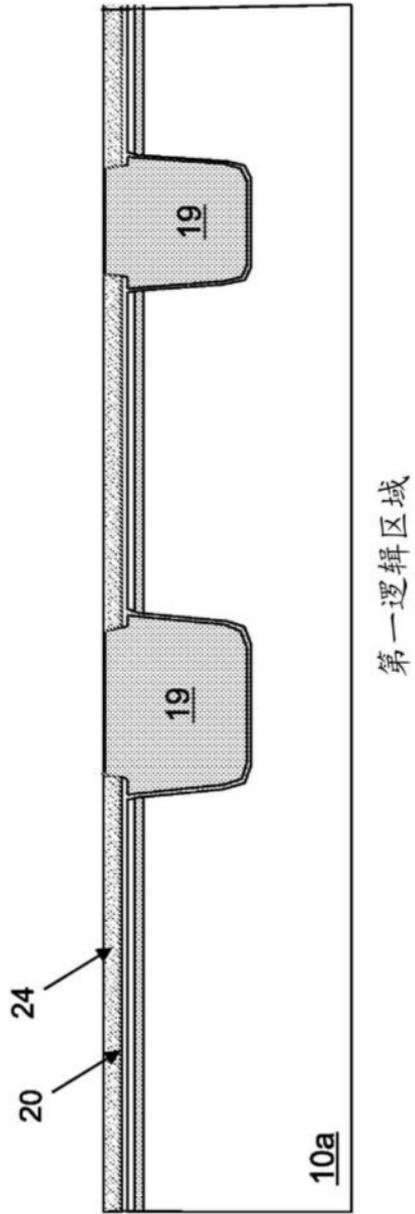


图4C

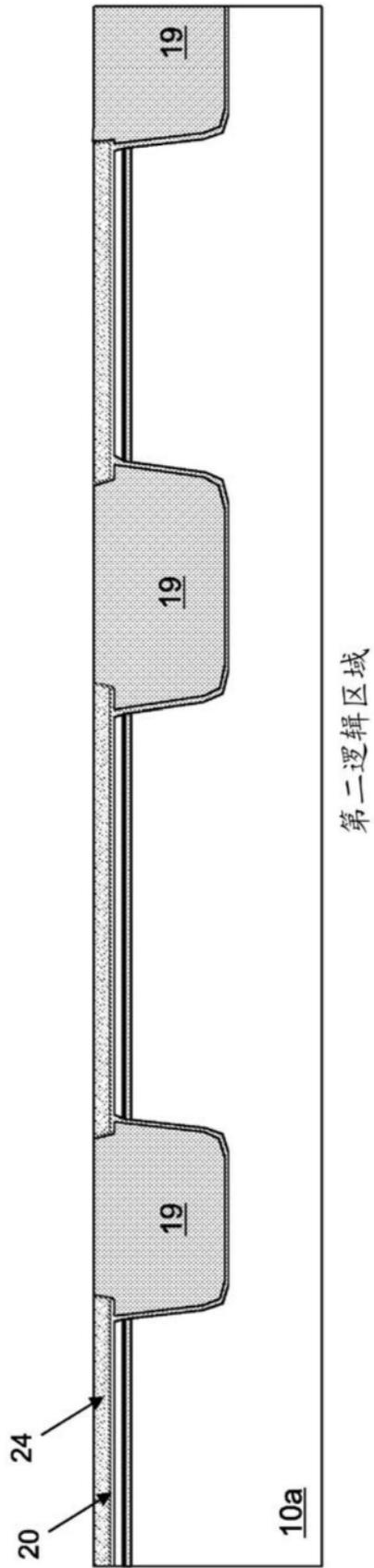


图4D

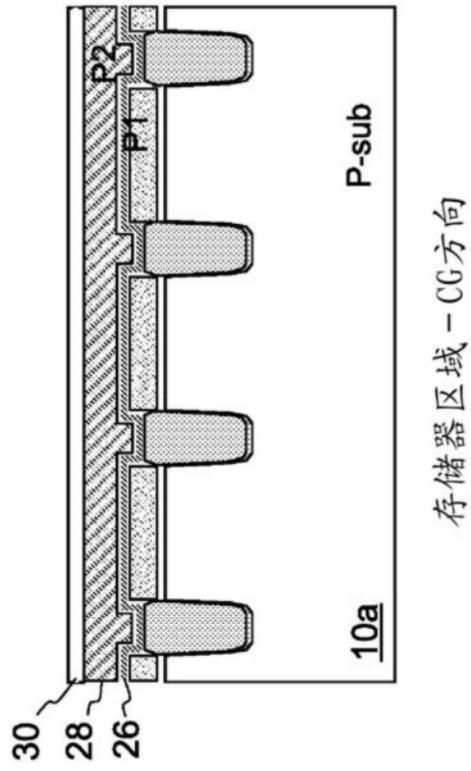


图5A

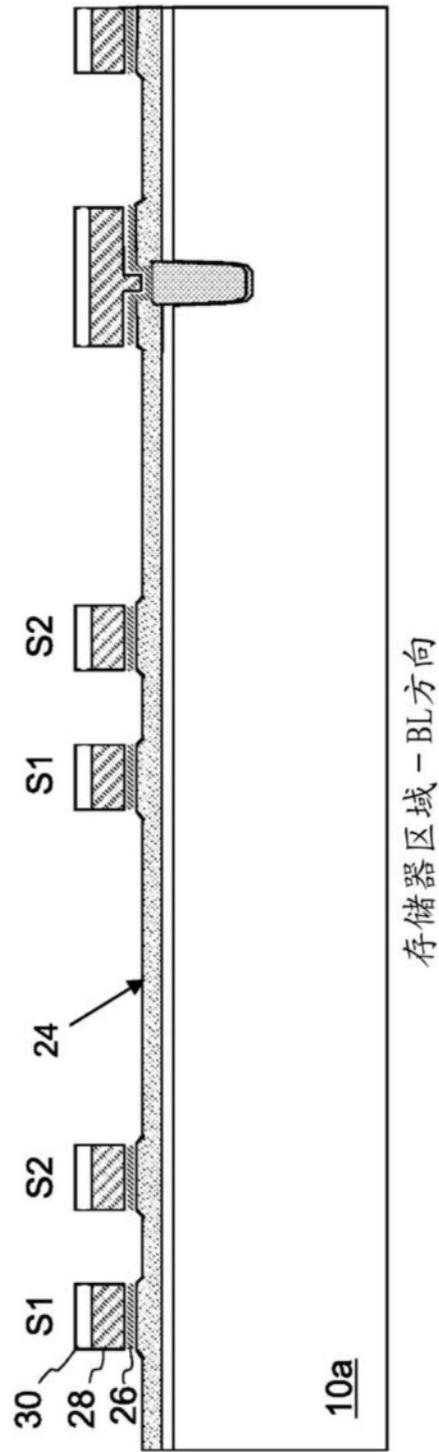


图5B

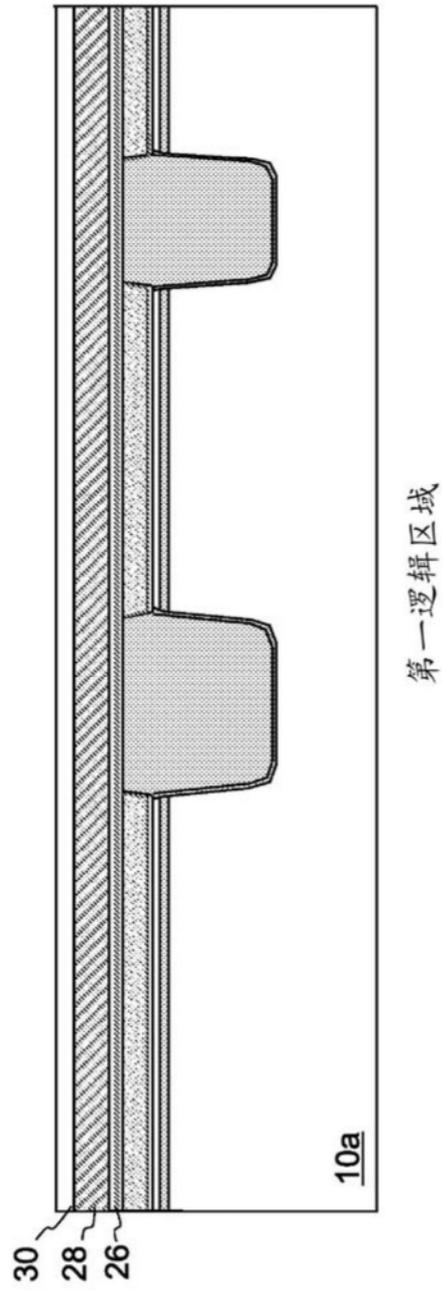


图5C

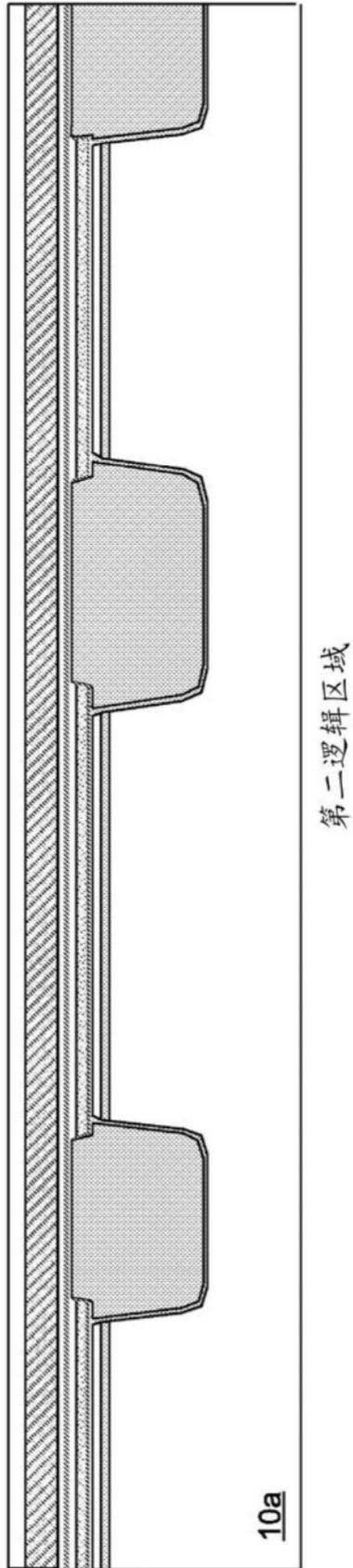
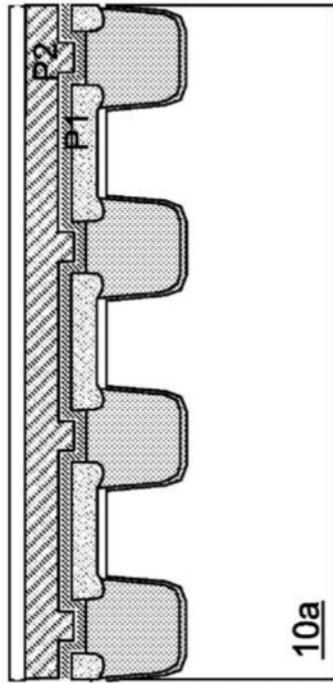


图5D



存储器区域 - CG方向

图6A

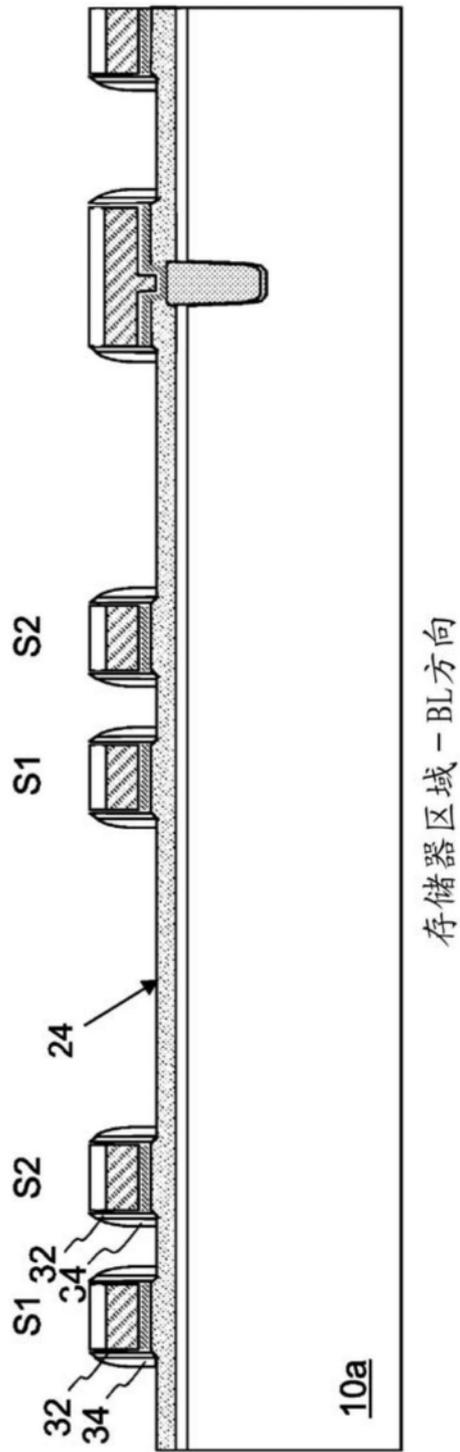


图6B

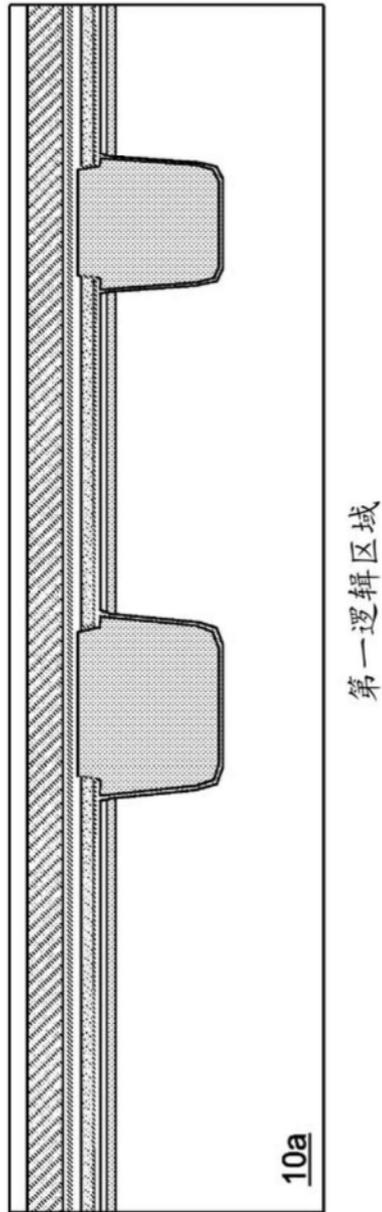


图6C

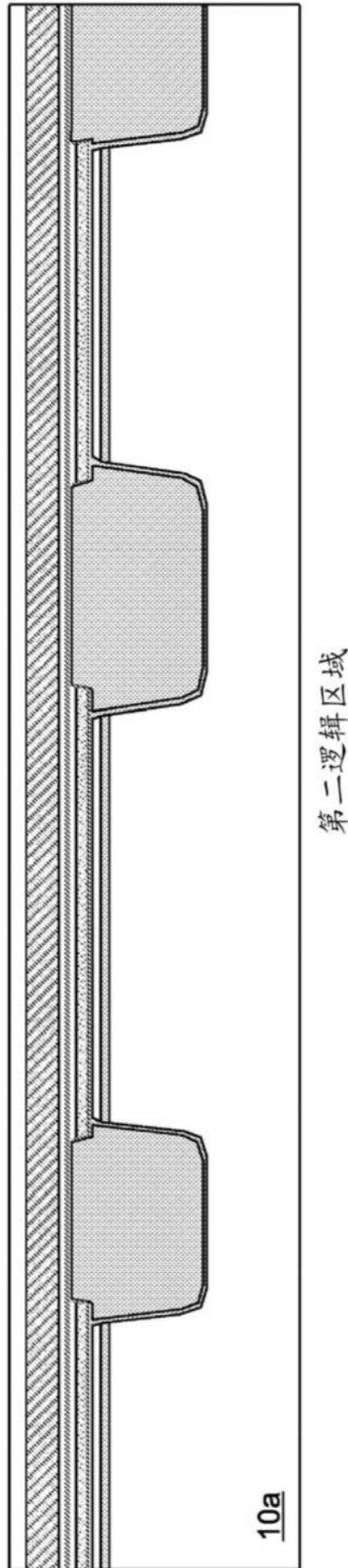


图6D

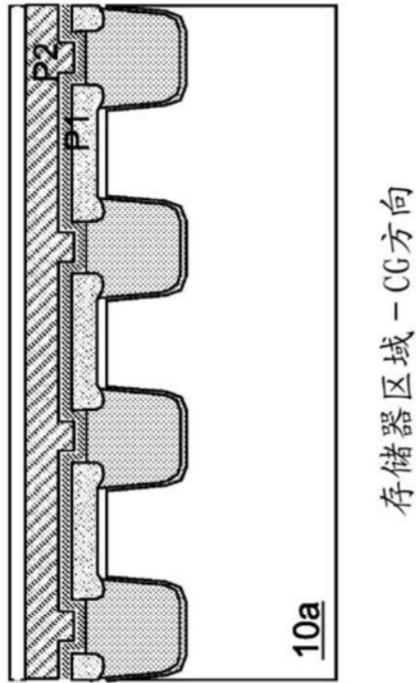


图7A

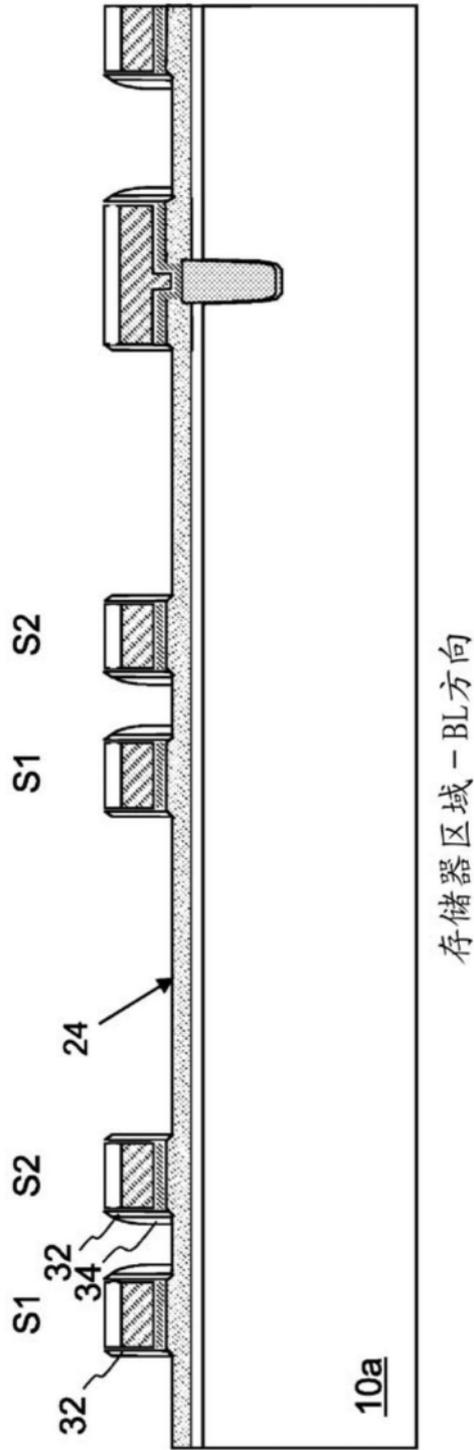


图7B

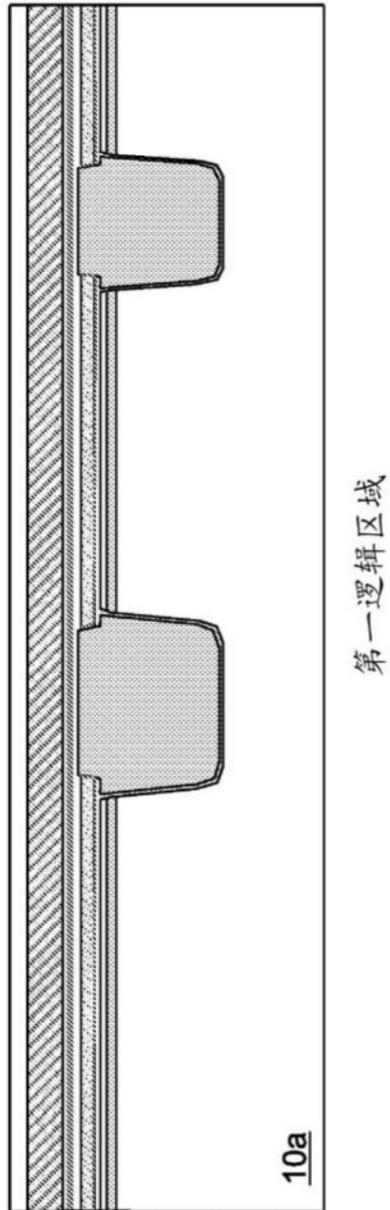


图7C

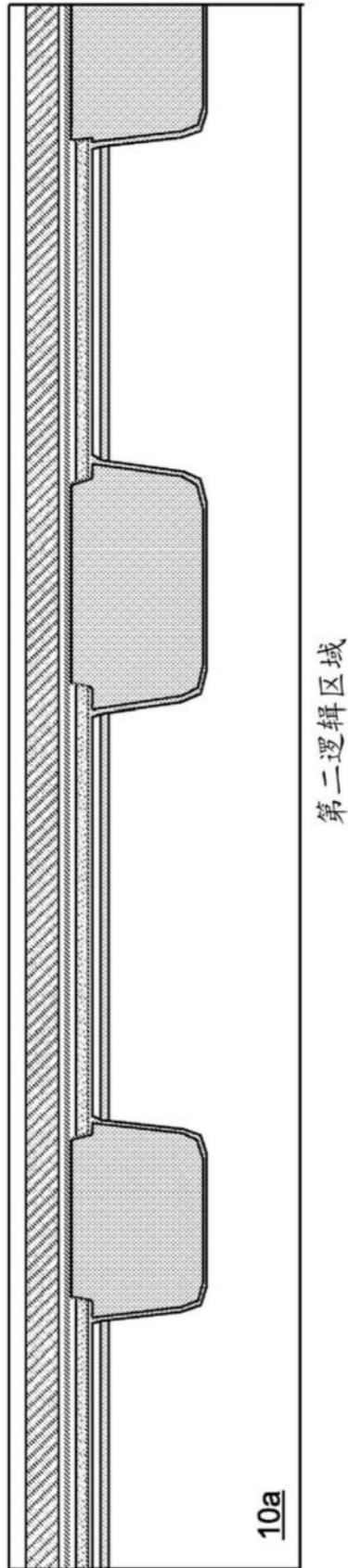


图7D

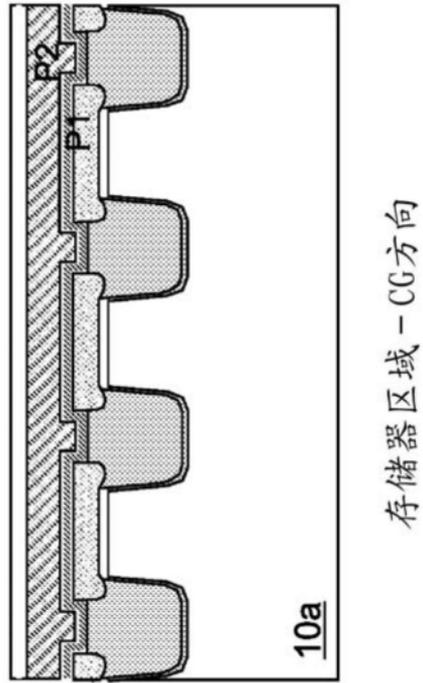


图8A

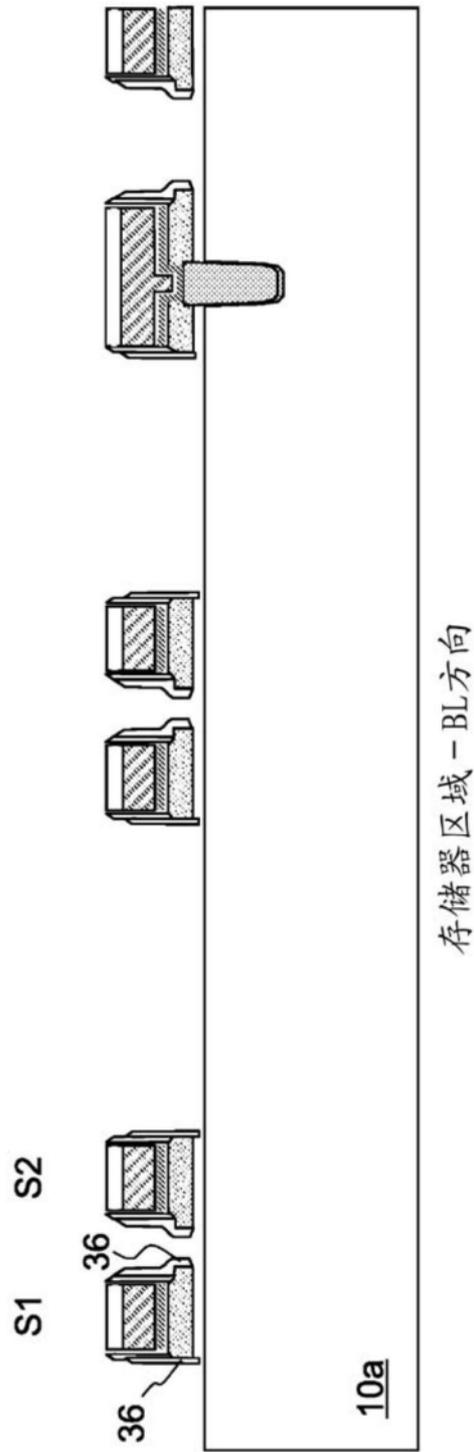


图8B

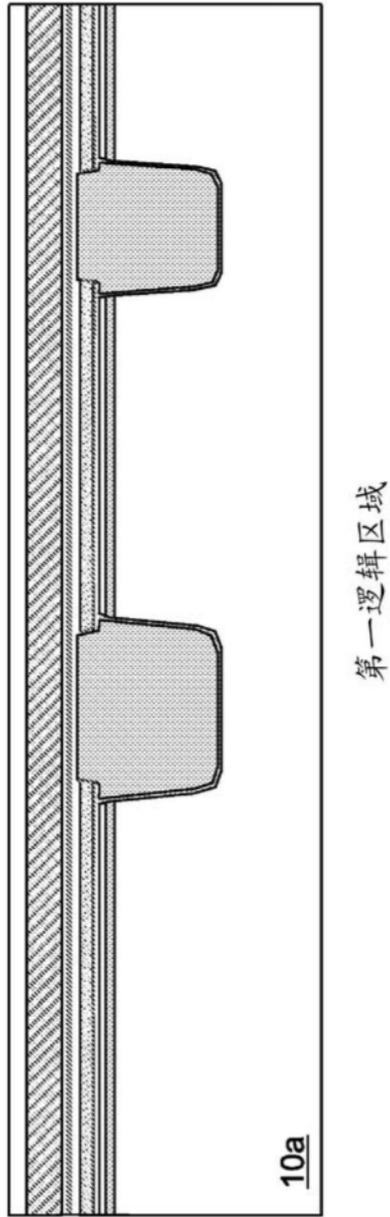


图8C

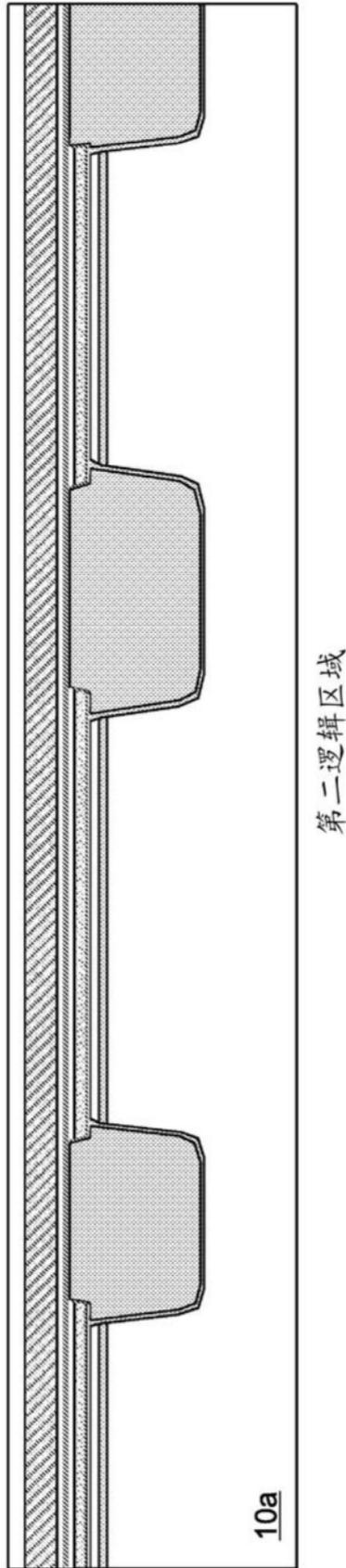


图8D

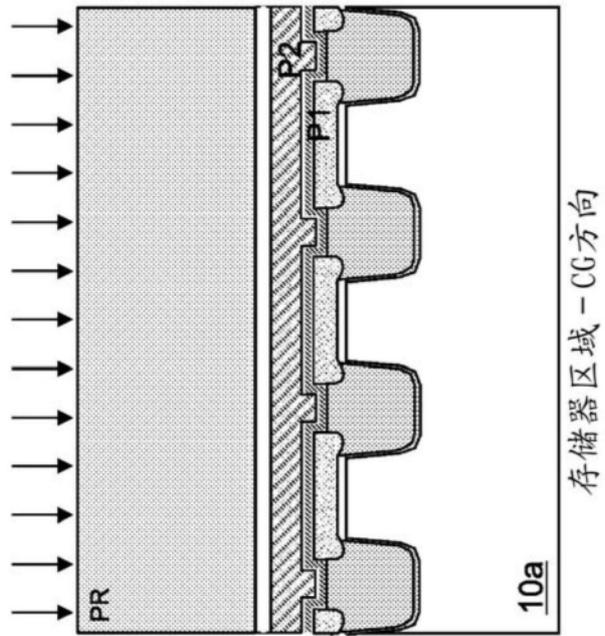


图9A

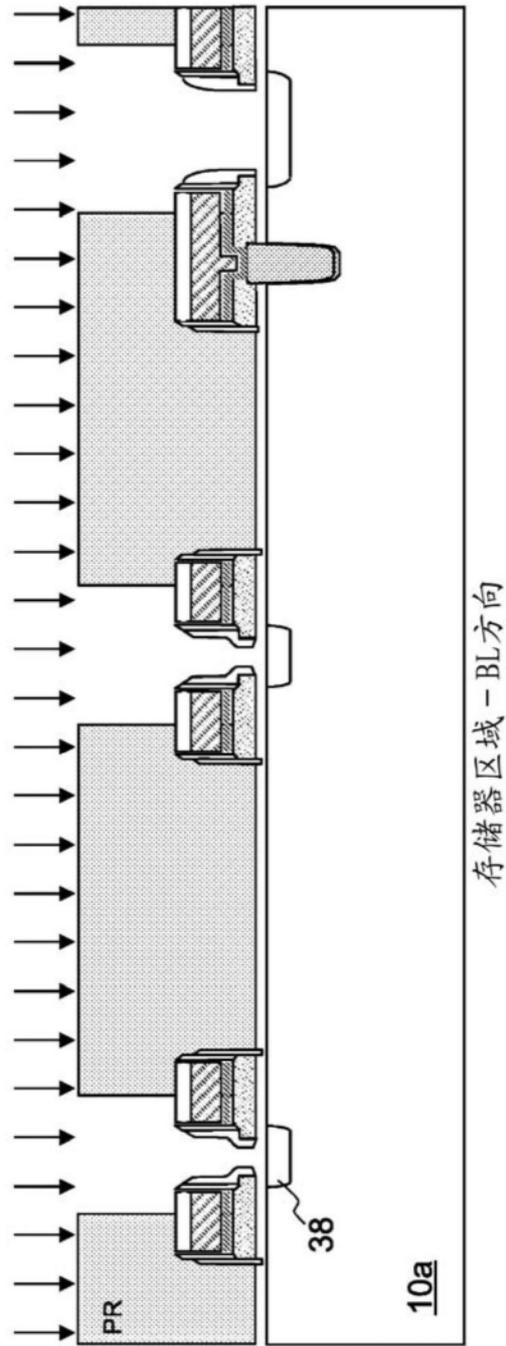


图9B

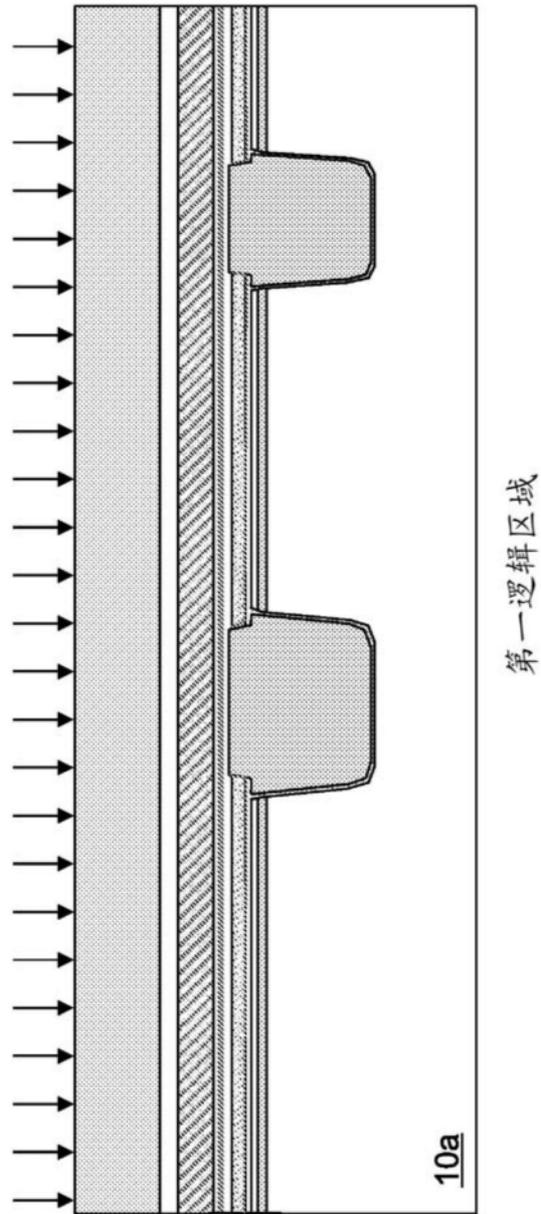


图9C

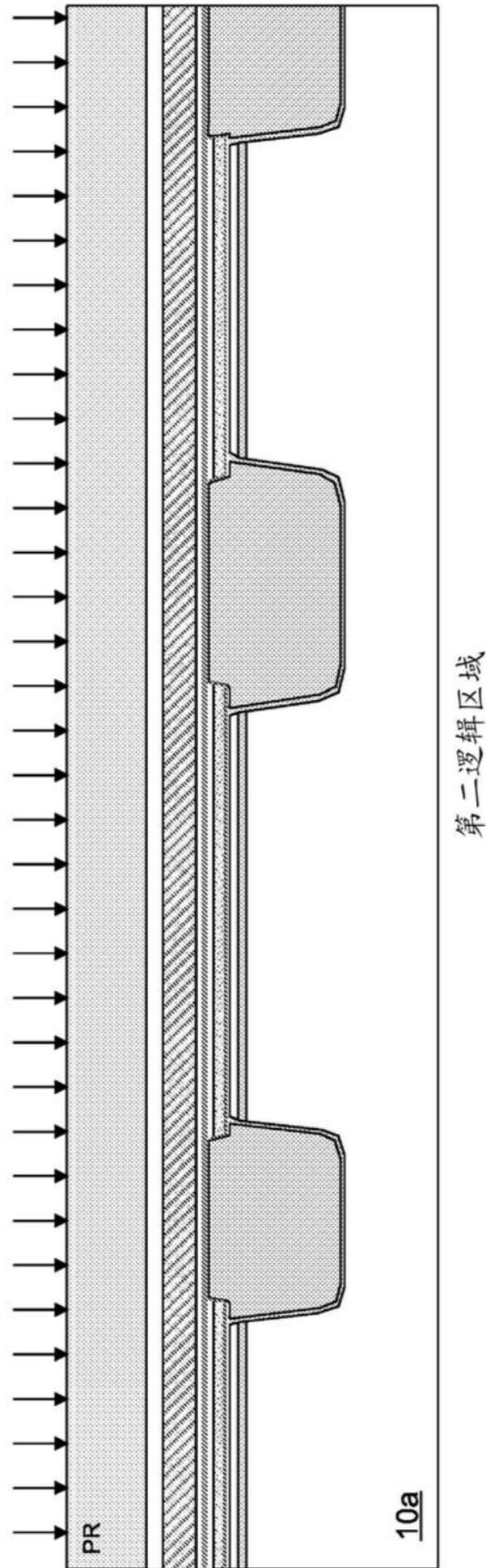


图9D

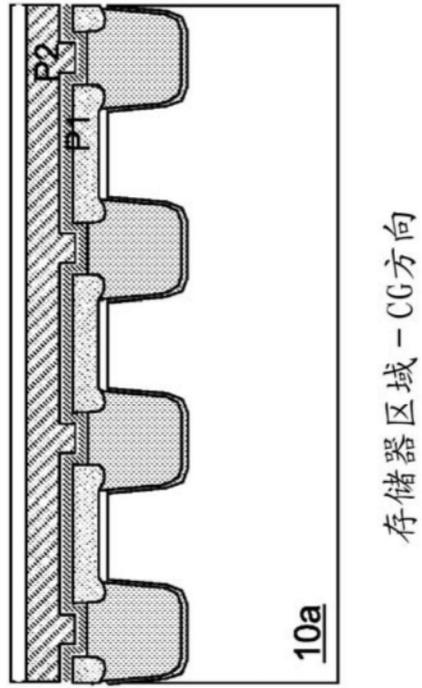


图10A

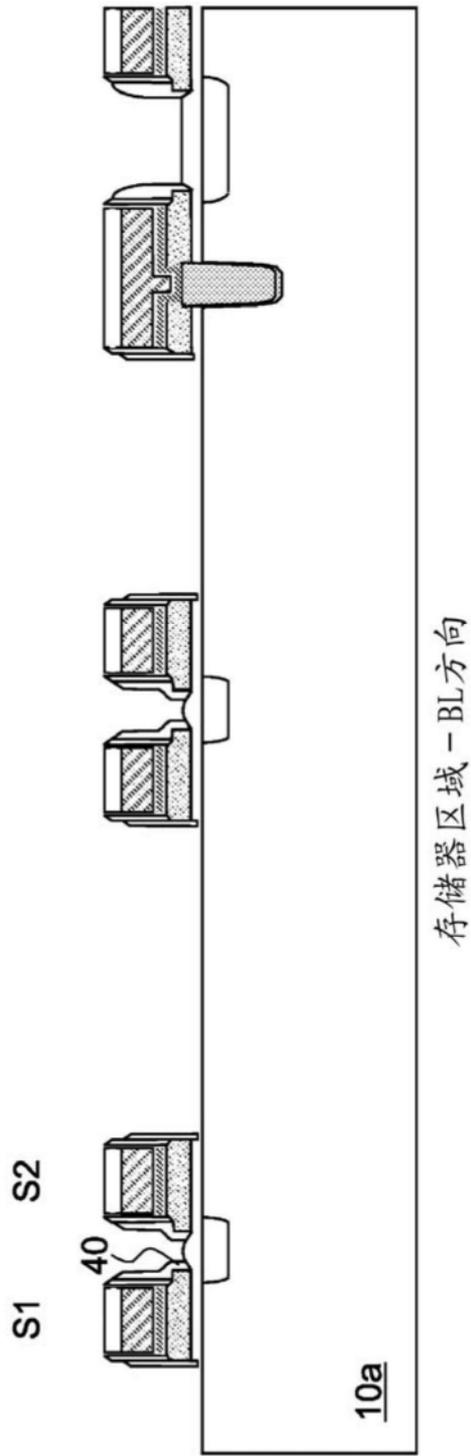


图10B

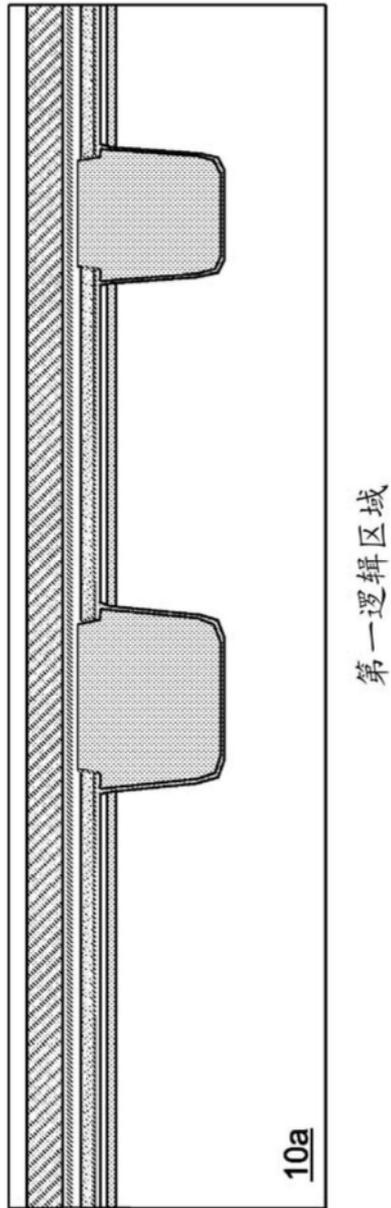


图10C

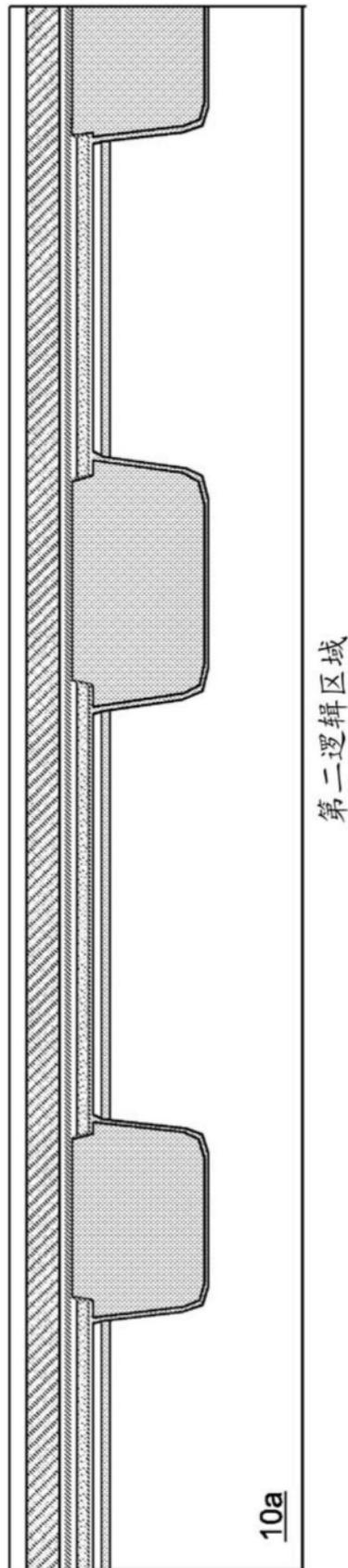
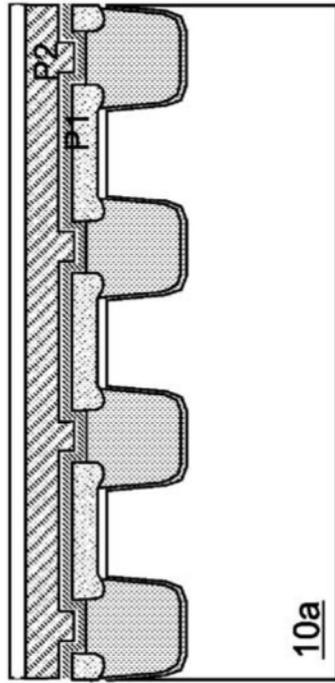


图10D



存储器区域 - CG方向

图11A

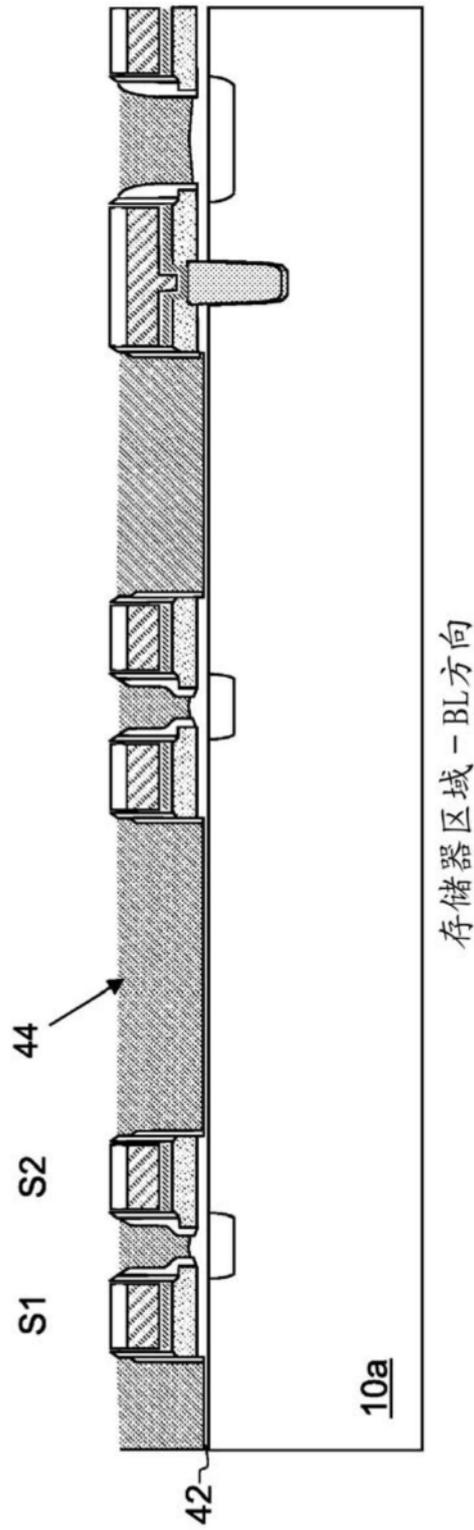


图11B

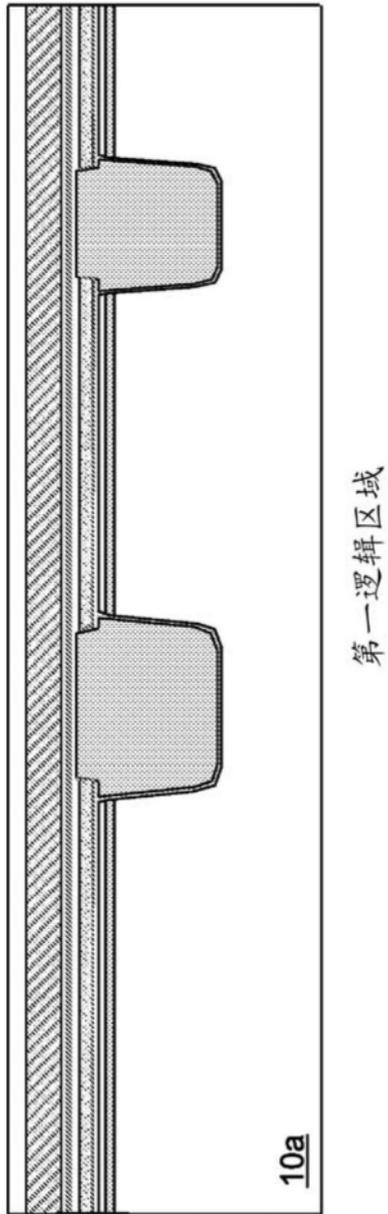


图11C

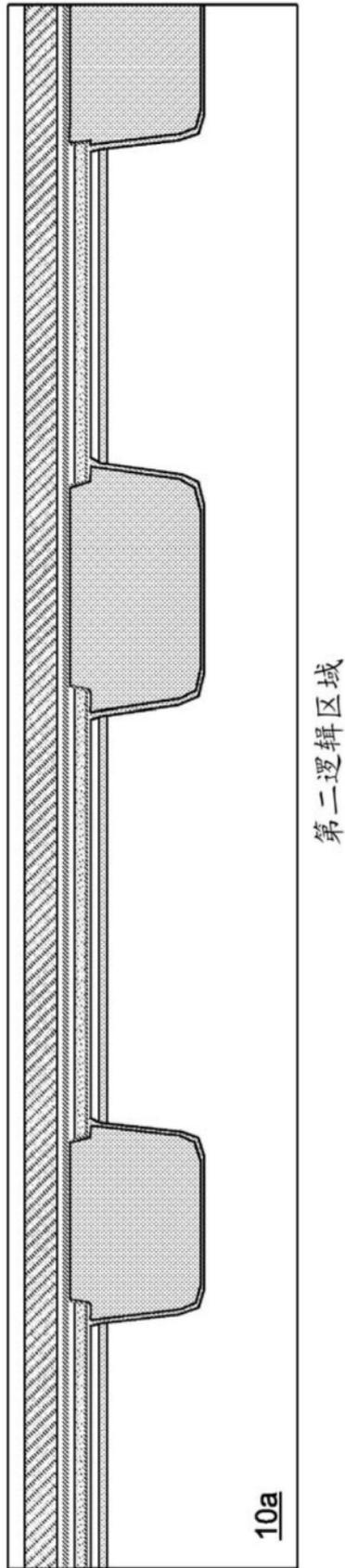


图11D

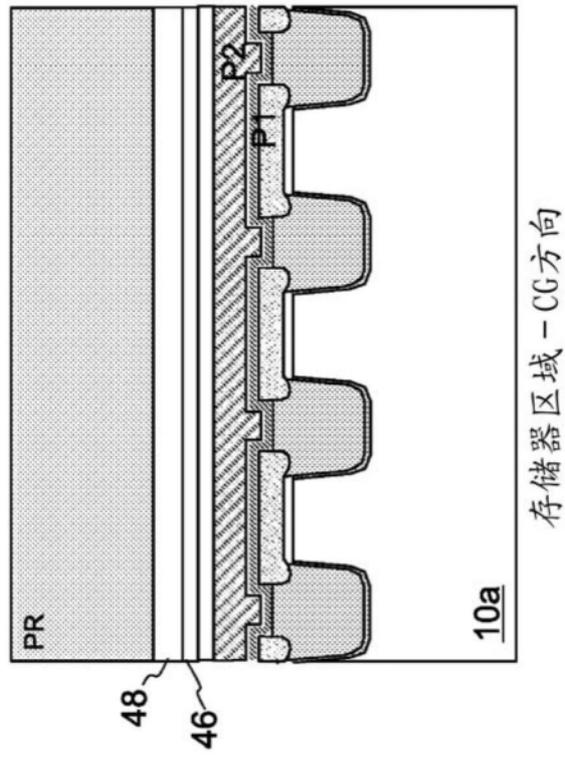


图12A

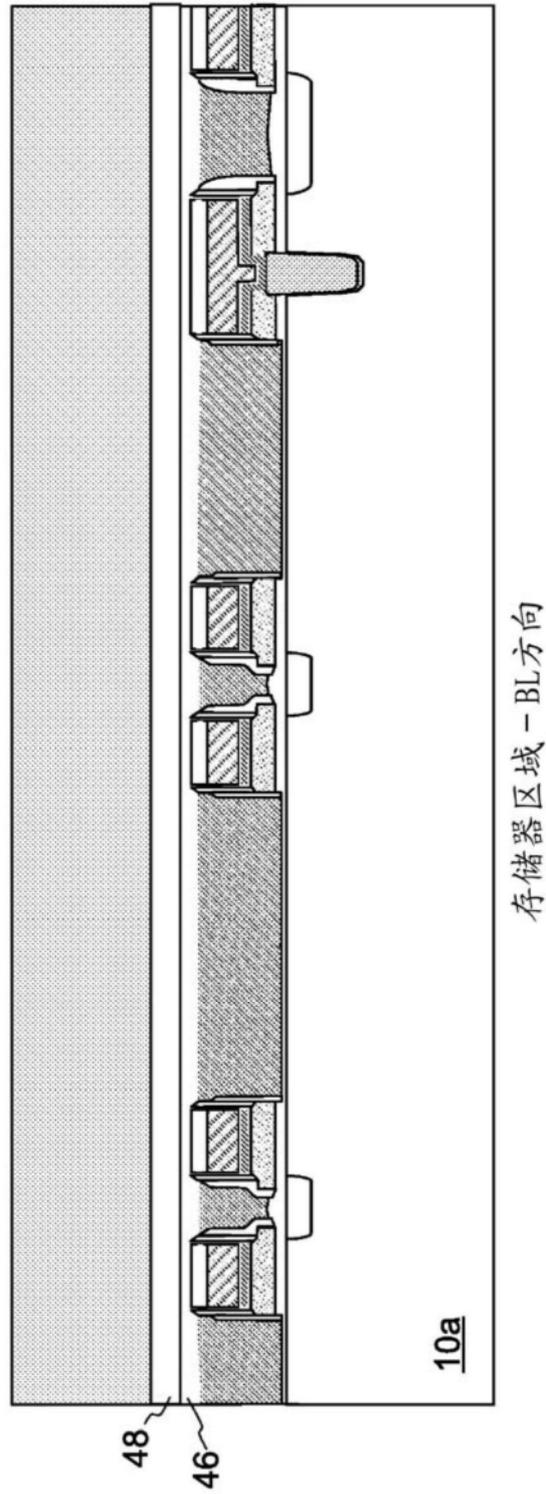


图12B

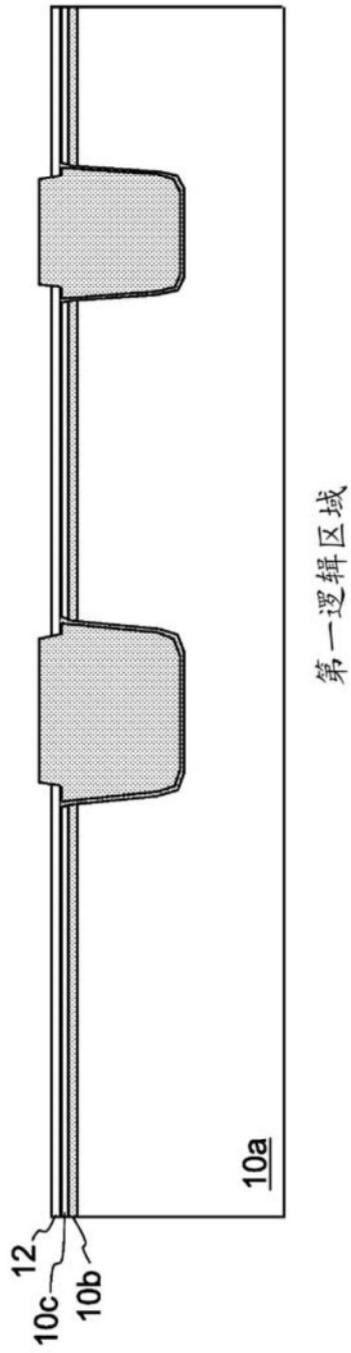
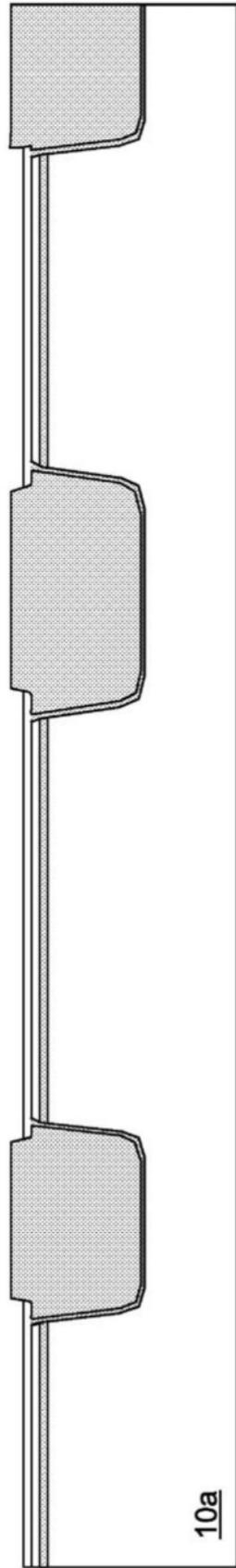


图12C



第二逻辑区域

图12D

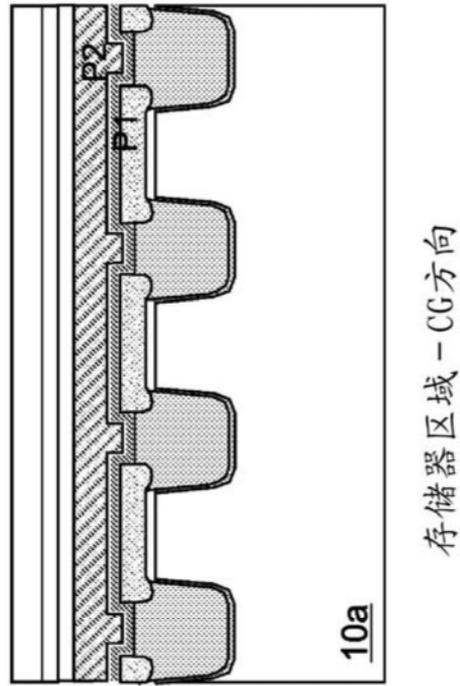


图13A

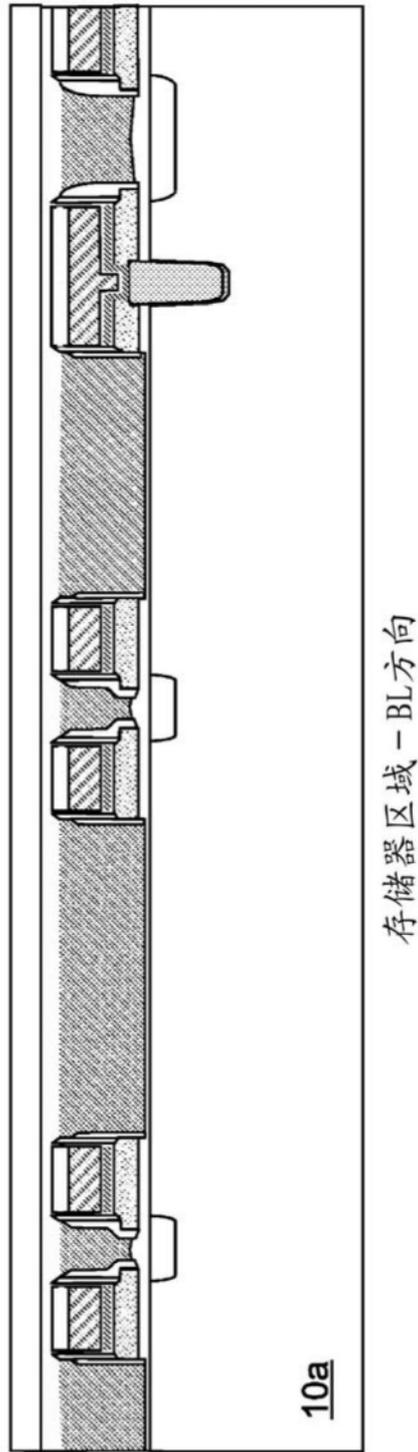


图13B

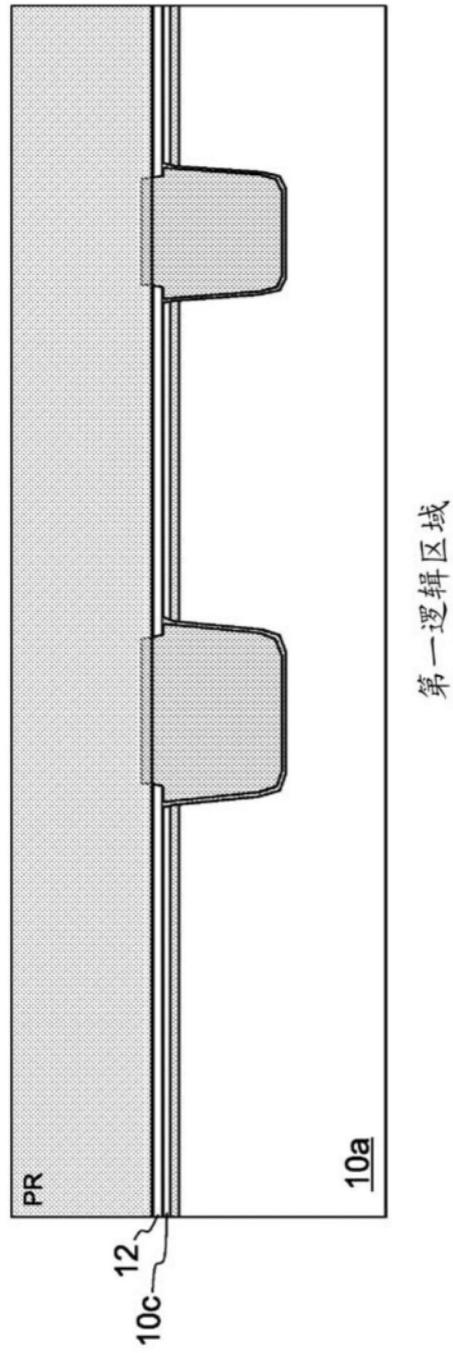
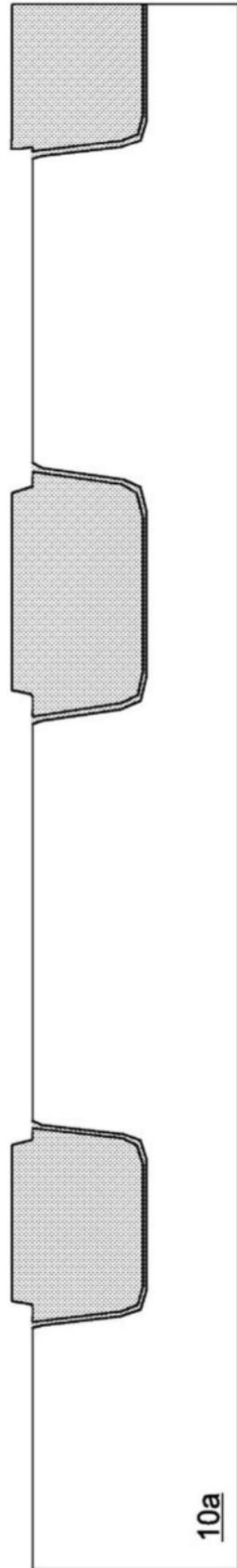


图13C



第二逻辑区域

图13D

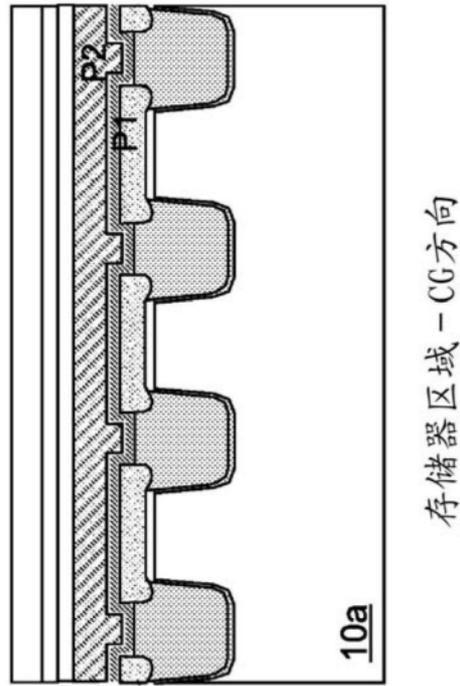


图14A

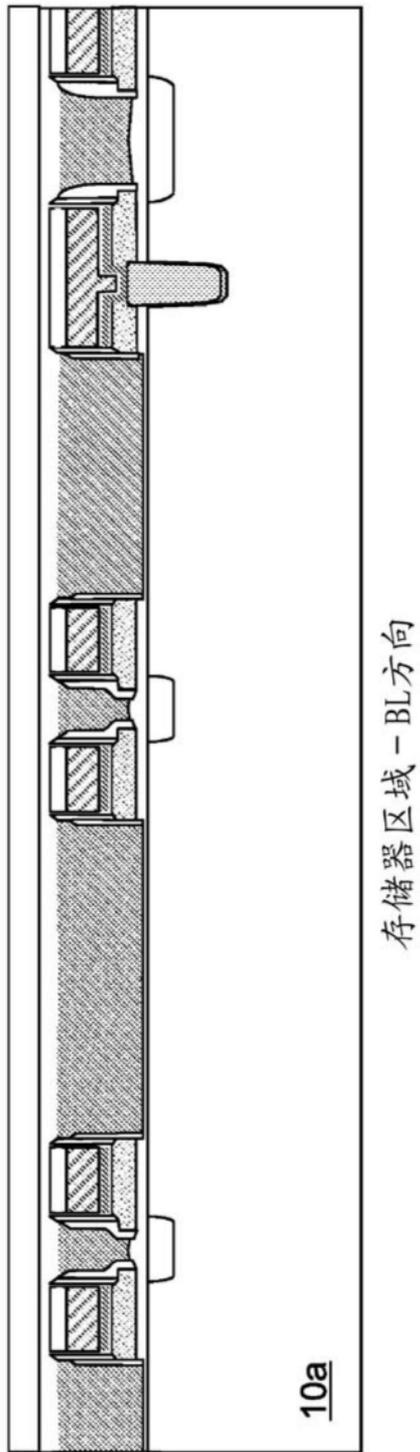


图14B

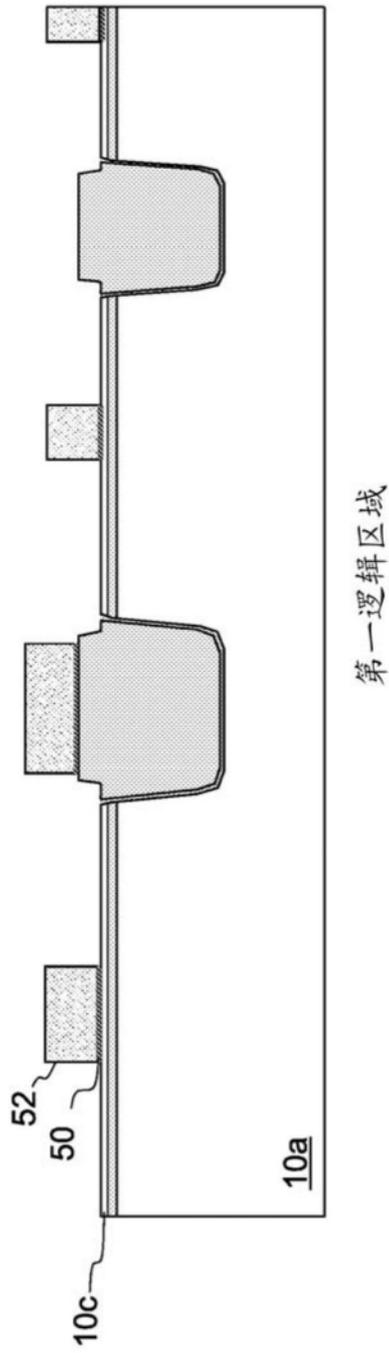


图14C

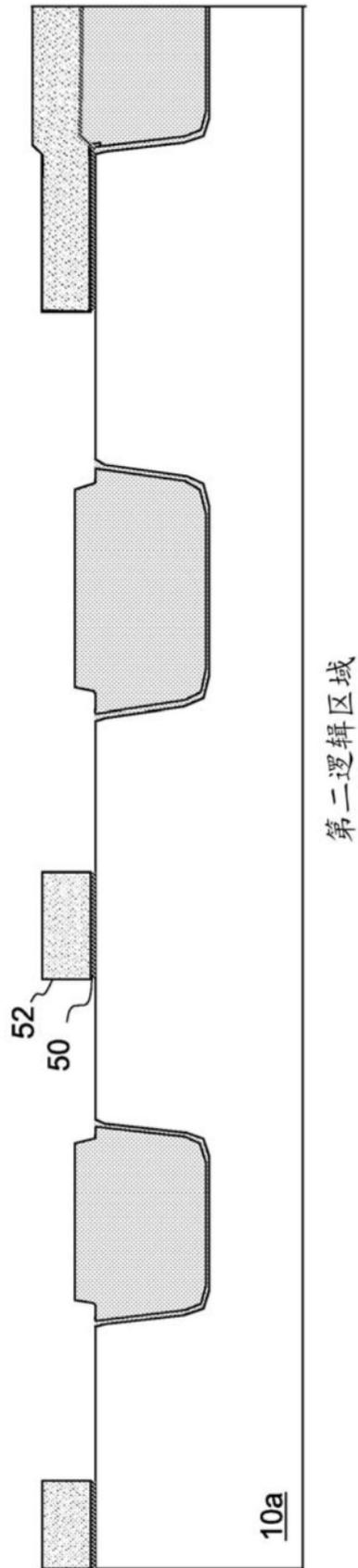


图14D

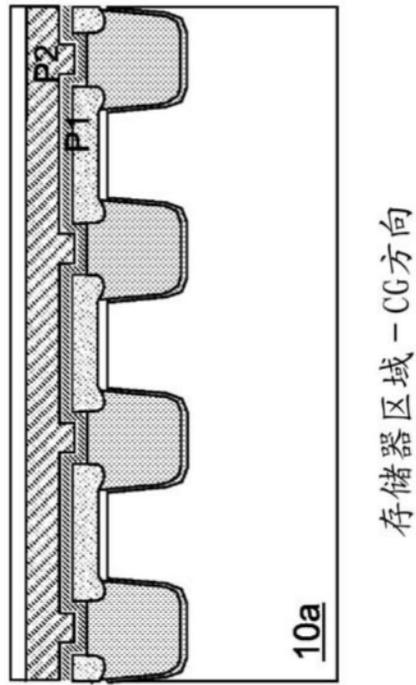


图15A

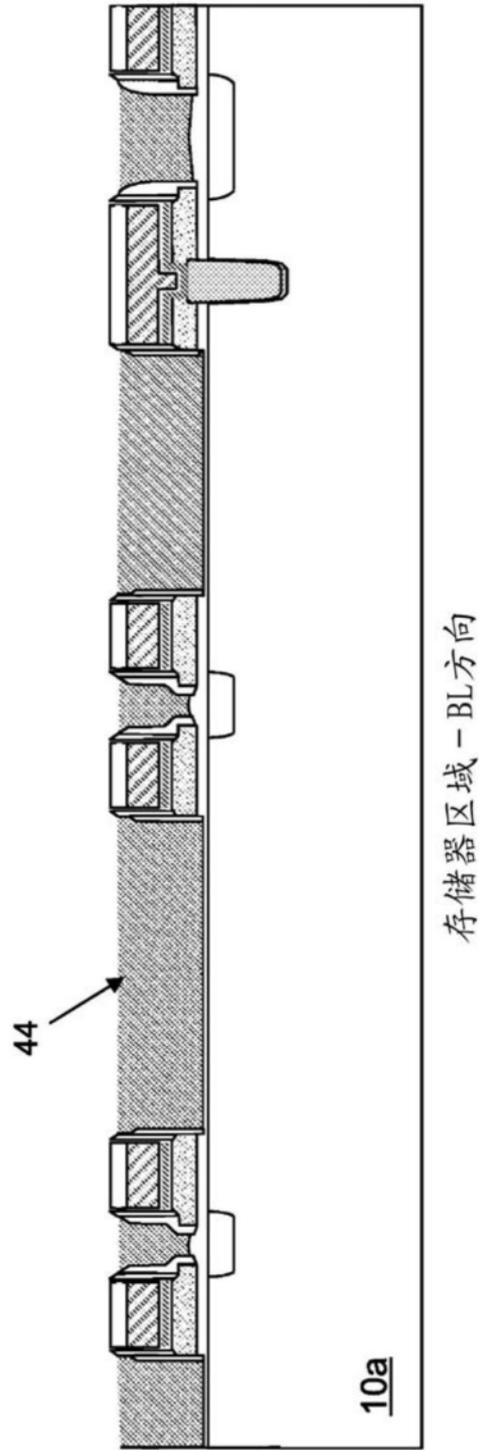


图15B

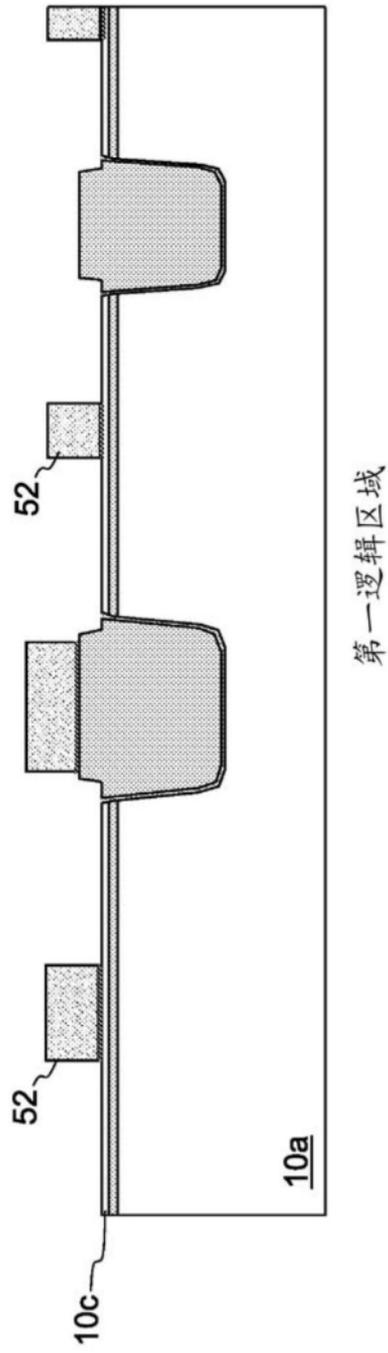


图15C

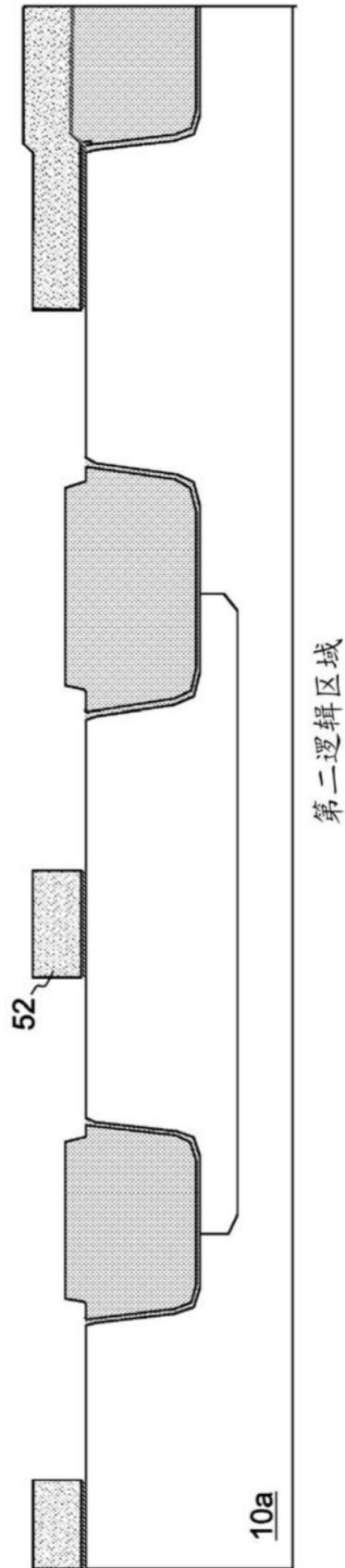


图15D

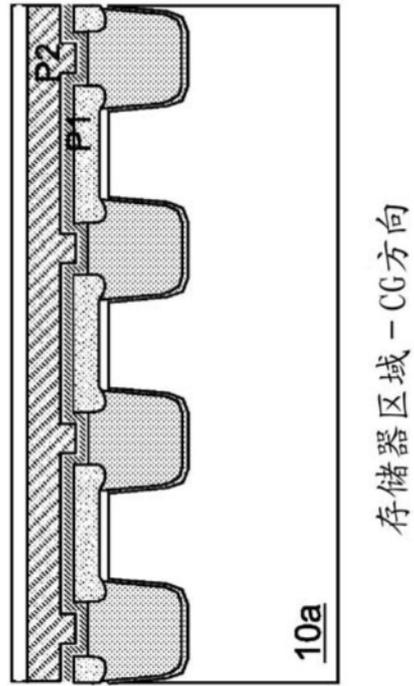


图16A

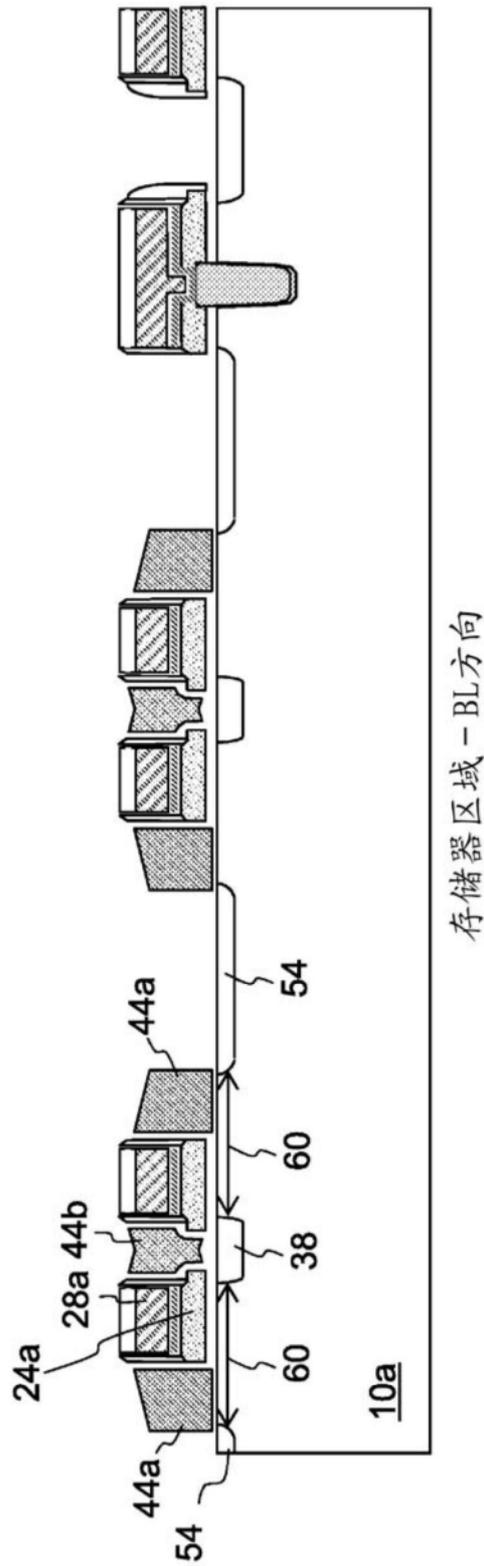


图16B

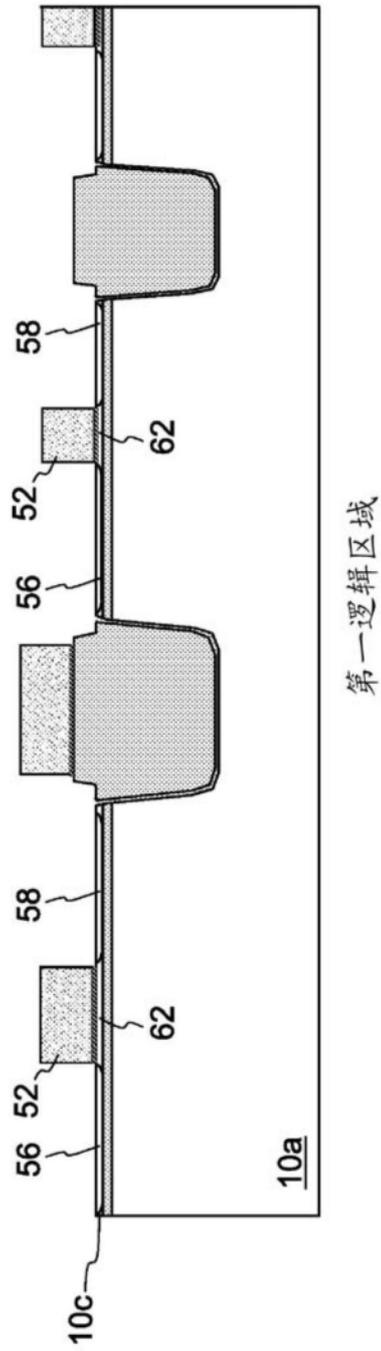


图16C

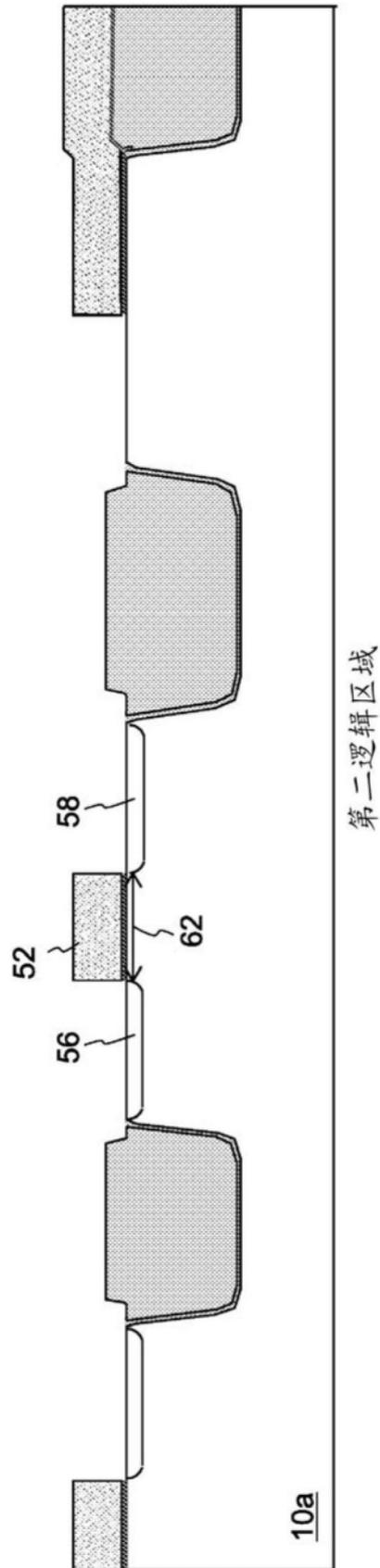


图16D