



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월29일
(11) 등록번호 10-1847162
(24) 등록일자 2018년04월03일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 21/60 (2006.01)
H01L 23/12 (2006.01)
(21) 출원번호 10-2011-0097727
(22) 출원일자 2011년09월27일
심사청구일자 2016년09월27일
(65) 공개번호 10-2013-0033808
(43) 공개일자 2013년04월04일
(56) 선행기술조사문헌
KR1020080055642 A*
JP20111077093 A*
JP2009054741 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
이상민
대전광역시 동구 용운로 207 154동 104호 (용운동, 주공아파트1단지)
김병찬
충청북도 청주시 흥덕구 죽천로146번길 7 103동 602호 (북대동, 대원칸타빌아파트)
윤경로
대전광역시 유성구 유성대로 1741, 104동 804호 (전민동, 세종아파트)
(74) 대리인
특허법인이지

전체 청구항 수 : 총 19 항

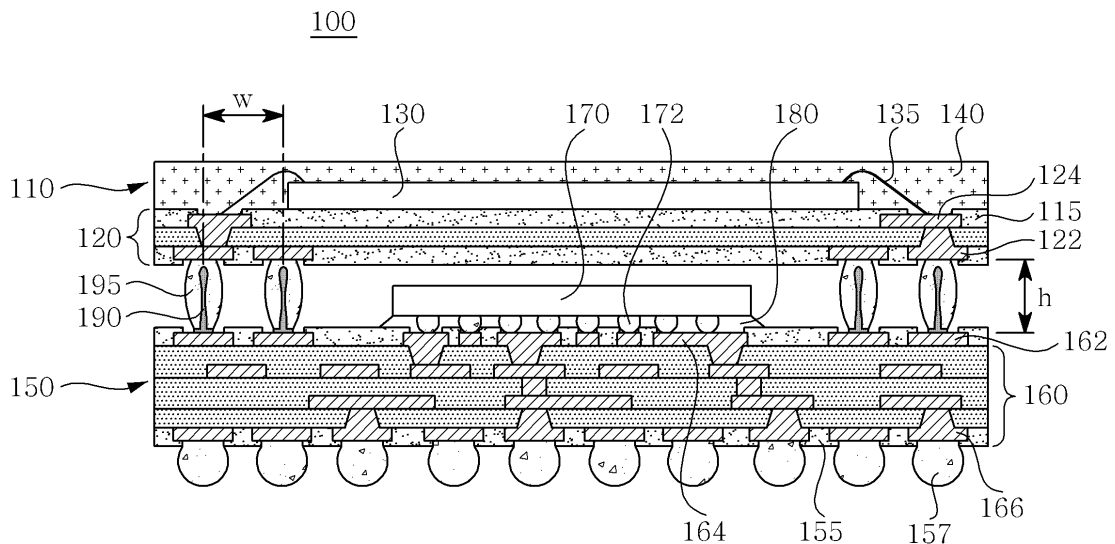
심사관 : 정구원

(54) 발명의 명칭 반도체 패키지 및 그 제조방법

(57) 요약

본 발명의 일 실시 예에 따른 반도체 패키지는 일면에 복수 개의 제1접속패드를 갖는 제1패키지와, 일면에는 상기 제1접속패드와 대응되도록 형성된 제2접속패드 및 상기 제2접속패드 상에 형성된 접속핀을 갖는 제2패키지 및 상기 접속핀 바깥둘레를 감싸도록 형성되어 상기 제1접속패드와 제2접속패드에 접합되는 솔더층을 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

일면에 복수 개의 제1접속패드를 갖는 제1패키지;

일면에는 상기 제1접속패드와 대응되도록 형성된 제2접속패드 및 상기 제2접속패드 상에 형성된 접속핀을 갖는 제2패키지; 및

상기 접속핀 바깥둘레를 감싸도록 형성되어 상기 제1접속패드와 제2접속패드에 접합되는 솔더층을 포함하고,

상기 접속핀은, 상기 제2 접속패드의 외부로 돌출되고 상기 솔더층으로 둘러싸이는 축부를 포함하고,

상기 제1패키지와 상기 제2패키지 사이에서,

상기 축부는 직경이 작아지다 커지는 부분을 포함하고,

상기 솔더층의 직경은 커지다 작아지는 반도체 패키지.

청구항 2

청구항 1에 있어서,

상기 접속핀은 상기 축부와 상기 제2 접속패드 사이에 형성되는 헤드부를 더 포함하고,

상기 축부와 상기 헤드부가 접하는 지점에서,

상기 헤드부의 직경은 상기 축부의 직경보다 큰 반도체 패키지.

청구항 3

청구항 2에 있어서,

상기 헤드부는 원반형으로 이루어진 반도체 패키지.

청구항 4

삭제

청구항 5

청구항 1에 있어서,

상기 제1패키지의 타면에 실장되는 제1반도체칩을 더 포함하는 반도체 패키지.

청구항 6

청구항 1에 있어서,

상기 제2패키지의 일면에 실장되는 제2반도체칩을 더 포함하는 반도체 패키지.

청구항 7

청구항 5에 있어서,

상기 제1패키지의 타면에 상기 제1반도체칩과 전기적으로 연결되도록 형성된 제3접속패드를 더 포함하는 반도체 패키지.

청구항 8

청구항 7에 있어서,

상기 제1반도체칩과 제3접속패드는 와이어 본딩(wire bonding)으로 연결된 반도체 패키지.

청구항 9

청구항 1에 있어서,

상기 제2패키지의 타면에 외부 장치와 전기적으로 연결되도록 형성된 제4접속패드를 더 포함하는 반도체 패키지.

청구항 10

청구항 9에 있어서,

상기 제4접속패드에 형성된 외부접속단자를 더 포함하는 반도체 패키지.

청구항 11

일면에 복수 개의 제1접속패드 및 상기 제1접속패드 상에 형성된 접속볼을 갖는 제1패키지를 준비하는 단계;

일면에 상기 제1접속패드와 대응되는 제2접속패드 및 상기 제2접속패드 상에 형성된 접속핀을 갖는 제2패키지를 준비하는 단계; 및

상기 제1패키지 및 상기 제2패키지를 접합하는 단계를 포함하고,

상기 접속핀은, 상기 제2 접속패드의 외부로 돌출되고 솔더층으로 둘러싸이는 축부를 포함하고,

상기 제1패키지 및 상기 제2패키지를 접합하는 단계에서,

상기 접속볼은 상기 축부를 바깥둘레를 감싸는 솔더층이 되고,

상기 제1패키지와 상기 제2패키지 사이에서,

상기 축부는 직경이 작아지다 커지는 부분을 포함하고,

상기 솔더층의 직경은 커지다 작아지는 반도체 패키지의 제조방법.

청구항 12

청구항 11에 있어서,

상기 제1접속패드 상에 형성된 접속볼의 노출된 부분에는,

상기 축부의 상기 제1패키지와 대향하는 단부와 대응되는 홈이 형성된 반도체 패키지의 제조방법.

청구항 13

청구항 11에 있어서,

상기 접속핀은 상기 축부와 상기 제2 접속패드 사이에 형성되는 헤드부를 더 포함하고,

상기 축부와 상기 헤드부가 접하는 지점에서,

상기 헤드부의 직경은 상기 축부의 직경보다 큰 반도체 패키지의 제조방법.

청구항 14

청구항 13에 있어서,

상기 헤드부는 원반형으로 이루어진 반도체 패키지의 제조방법.

청구항 15

청구항 12에 있어서,

상기 접속볼은 솔더(solder)로 이루어지고, 상기 접속볼의 홈은 대응되는 형상을 갖는 코이닝(coining) 헤드를 이용한 코이닝 공정에 의해 형성되는 반도체 패키지의 제조방법.

청구항 16

청구항 11에 있어서,
 상기 제1패키지를 준비하는 단계는,
 일면에는 제1접속패드가 형성되고, 타면에는 제3접속패드가 형성된 베이스 기판을 준비하는 단계;
 상기 베이스 기판의 타면에 상기 제3접속패드와 전기적으로 연결되도록 제1반도체칩을 실장하는 단계; 및
 상기 제1접속패드에 상기 접속볼을 형성하는 단계
 를 포함하는 반도체 패키지의 제조방법.

청구항 17

청구항 16에 있어서,
 상기 제1반도체칩을 실장하는 단계는 와이어 본딩 공정에 의해 수행되며,
 상기 제1반도체칩을 실장하는 단계 이후에,
 상기 제1반도체칩 및 와이어를 몰딩하는 단계를 더 포함하는 반도체 패키지의 제조방법.

청구항 18

청구항 11에 있어서,
 상기 제2패키지를 준비하는 단계는,
 일면에는 상기 제1접속패드와 대응되는 제2접속패드 및 반도체칩 실장용 패드가 형성되고, 타면에는 외부 장치와 연결되는 제4접속패드가 형성된 베이스 기판을 준비하는 단계;
 상기 반도체칩 실장용 패드와 전기적으로 연결되도록 제2반도체칩을 실장하는 단계; 및
 상기 제2접속패드에 상기 접속핀을 접합하는 단계
 를 포함하는 반도체 패키지의 제조방법.

청구항 19

청구항 18에 있어서,
 상기 제2반도체칩을 실장하는 단계는 플립칩(flip-chip) 본딩 공정에 의해 수행되며,
 상기 제2반도체칩을 실장하는 단계 이후에,
 상기 베이스 기판과 상기 제2반도체칩 사이에 언더필(fill) 수지층을 형성하는 단계를 더 포함하는 반도체 패키지의 제조방법.

청구항 20

청구항 11에 있어서,
 상기 제1패키지 및 상기 제2패키지를 접합하는 단계는,
 상기 접속볼과 접속핀이 접하도록 상기 제1패키지와 제2패키지를 배치시키는 단계; 및
 리플로우 공정을 수행하여 상기 제1패키지와 제2패키지를 접합하는 단계
 를 포함하는 반도체 패키지의 제조방법.

발명의 설명

기술 분야

본 발명은 반도체 패키지 및 그 제조방법에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 패키징(packaging)이라 함은 회로가 설계된 반도체칩에 전기적인 연결을 해주고, 외부의 충격에 견디게끔 밀봉 포장해주어 비로소 실생활에서 사용할 수 있게 물리적인 기능과 형상을 갖게 해주는 것이다.
- [0003] 반도체 패키지는 반도체칩을 최종 제품화하는 반도체 패키징 공정의 결과물이다. 웨이퍼 한 장에는 동일한 전기 회로가 인쇄된 칩이 수십 내지 수백 개까지 높일 수 있으나, 반도체칩 자체만으로 외부로부터 전기를 공급받아 전기 신호를 전달해 주거나 전달받을 수 없다.
- [0004] 또한, 반도체칩은 미세한 회로를 담고 있기 때문에 외부의 충격에 쉽게 손상될 수 있다. 결국 반도체칩 자체로는 완전한 제품일 수 없고, 인쇄회로기판에 실장되어야 완전한 제품으로서의 역할을 하게 된다.
- [0005] 반도체칩의 크기 축소, 열 방출 능력 및 전기적 수행능력 향상, 신뢰성 향상, 그리고 가격 저하 등이 패키징 기술에 좌우된다. 따라서, 반도체 디바이스의 고집적화와 고성능화를 뒷받침해 줄 수 있는 패키징 능력 향상을 요구하게 되었다. 반도체 패키지는 반도체 장치의 요구사항을 만족시키는 것은 물론, 그와 더불어 부품을 인쇄회로기판에 실장하는 다음 영역에서 일어나는 조건에도 적합한 패키지 성능을 갖추어야만 한다.
- [0006] 최근 휴대용 전자제품이 소형화하면서 반도체가 실장될 공간은 더욱 줄어들고, 제품은 더욱 다기능화하고 고성능화되기 때문에 이를 뒷받침해 줄 반도체의 개수는 늘어나는 추세이다. 멀티미디어의 발전과 컴퓨터 통신산업의 급속한 발전과 더불어 반도체칩에 대한 소형화, 대용량화 및 고속화가 이루어짐에 따라 반도체 패키지도 박형화, 다핀화하는 고집적화 추세로 기술개발이 되어 가고 있다.
- [0007] 따라서, 단위 체적당 실장 효율을 높이기 위해서 패키지는 경박단소화의 추세를 따라야 한다. 이에 따라, 칩 크기와 거의 같은 크기의 패키지인 CSP(Chip Scale Package)가 나타났다. 최근의 패키지 개발 추세는 칩의 크기에 맞게 줄이는 것을 넘어서, 스택 패키지(SCSP:Stacked CSP)처럼 칩 위에 또 칩을 올려 쌓아 올리거나 기능이 다른 여러 개의 반도체칩을 하나의 패키지 안에 배열하는 MCM(Multi Chip Moudle) 패키지 등도 개발되었다.
- [0008] 스택 패키지 중에서 패키지 위에 패키지를 쌓는 패키지 온 패키지(Package On Package:POP)가 고밀도 패키지를 위한 대안으로 떠오르게 되었다.
- [0009] 종래 기술에 따른 패키지 온 패키지(POP) 구조가 국내공개특허 제2001-0056937호에 개시되어 있다.
- [0100] 그러나, 이와 같은 종래 기술에 따른 패키지 온 패키지(POP) 구조는 볼 패드의 미세 피치화(fine pitch) 즉, 볼 패드 간의 간격에 좁아짐에 따라 솔더 퍼짐에 의해 인접 패드와의 단락(short) 문제 등으로 인하여 패키지 조립이 어려워지고 있다.
- [0111] 또한, 상부 패키지와 하부 패키지 간의 간격 최소 250 μ m 이상 확보하여야 하므로, 솔더볼 사이즈를 줄이는 데에도 한계가 있다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 상술한 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명의 일 측면은 솔더(solder) 퍼짐에 의한 단락 문제가 발생하지 않는 반도체 패키지 및 그 제조방법을 제공하는 것이다.
- [0013] 또한, 본 발명의 다른 측면은 상부 패키지와 하부 패키지 간의 높이를 일정 수준 이상으로 유지하는 반도체 패키지 및 그 제조방법을 제공하는 것이다.
- [0014] 또한, 본 발명의 또 다른 측면은 상부 패키지와 하부 패키지의 접합 얼라인먼트(alignment)가 향상된 반도체 패키지 및 그 제조방법을 제공하는 것이다.
- [0015] 또한, 본 발명의 또 다른 측면은 파인 패드 피치(fine pad pitch) 특성을 만족하는 반도체 패키지 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

- [0016] 본 발명의 일 실시 예에 따른 반도체 패키지는 일면에 복수 개의 제1접속패드를 갖는 제1패키지와, 일면에는 상

기 제1접속패드와 대응되도록 형성된 제2접속패드 및 상기 제2접속패드 상에 형성된 접속핀을 갖는 제2패키지 및 상기 접속핀 바깥둘레를 감싸도록 형성되어 상기 제1접속패드와 제2접속패드에 접합되는 솔더층을 포함한다.

- [0017] 여기에서, 상기 접속핀은 헤드부 및 일단은 상기 헤드부와 연결되고, 타단은 외부로 돌출된 측부를 포함할 수 있다.
- [0018] 이때, 상기 헤드부는 원반형으로 이루어질 수 있으며, 상기 측부의 일단 및 타단의 직경은 중심단의 직경보다 클 수 있다.
- [0019] 또한, 상기 제1패키지의 타면에 실장되는 제1반도체칩을 더 포함할 수 있고, 상기 제2패키지의 일면에 실장되는 제2반도체칩을 더 포함할 수 있다.
- [0020] 또한, 상기 제1패키지의 타면에 상기 제1반도체칩과 전기적으로 연결되도록 형성된 제3접속패드를 더 포함할 수 있으며, 상기 제1반도체칩과 제3접속패드는 와이어 본딩(wire bonding)으로 연결될 수 있다.
- [0021] 또한, 상기 제2패키지의 타면에 외부 장치와 전기적으로 연결되도록 형성된 제4접속패드를 더 포함할 수 있으며, 상기 제4접속패드에 형성된 외부접속단자를 더 포함할 수 있다.
- [0022] 또한, 본 발명의 일 실시 예에 따른 반도체 패키지의 제조방법은 일면에 복수 개의 제1접속패드 및 상기 제1접속패드 상에 형성된 접속핀을 갖는 제1패키지를 준비하는 단계와, 일면에 상기 제1접속패드와 대응되는 제2접속패드 및 상기 제2접속패드 상에 형성된 접속핀을 갖는 제2패키지를 준비하는 단계 및 상기 제1패키지 및 상기 제2패키지를 접합하는 단계를 포함한다.
- [0023] 여기에서, 상기 접속핀은 헤드부 및 일단은 상기 헤드부와 연결되고 타단은 외부로 돌출된 측부를 포함할 수 있으며, 상기 제1접속패드 상에 형성된 접속핀의 노출된 부분에는 상기 접속핀 측부의 타단과 대응되는 형상의 홈이 형성될 수 있다.
- [0024] 이때, 상기 헤드부는 원반형으로 이루어질 수 있다.
- [0025] 또한, 상기 측부의 일단 및 타단의 직경은 중심단의 직경보다 클 수 있다.
- [0026] 상기 접속핀은 솔더(solder)로 이루어지고, 상기 접속핀의 홈은 대응되는 형상을 갖는 코이닝(coining) 헤드를 이용한 코이닝 공정에 의해 형성될 수 있다.
- [0027] 이때, 상기 제1패키지를 준비하는 단계는 일면에는 제1접속패드가 형성되고, 타면에는 제3접속패드가 형성된 베이스 기판을 준비하는 단계와, 상기 베이스 기판의 타면에 상기 제3접속패드와 전기적으로 연결되도록 제1반도체칩을 실장하는 단계 및 상기 제1접속패드에 상기 접속핀을 형성하는 단계를 포함할 수 있다.
- [0028] 이때, 상기 제1반도체칩을 실장하는 단계는 와이어 본딩 공정에 의해 수행되며, 상기 제1반도체칩을 실장하는 단계 이후에, 상기 제1반도체칩 및 와이어를 몰딩하는 단계를 더 포함할 수 있다.
- [0029] 또한, 상기 제2패키지를 준비하는 단계는 일면에는 상기 제1접속패드와 대응되는 제2접속패드 및 반도체칩 실장용 패드가 형성되고, 타면에는 외부 장치와 연결되는 제4접속패드가 형성된 베이스 기판을 준비하는 단계와, 상기 반도체칩 실장용 패드와 전기적으로 연결되도록 제2반도체칩을 실장하는 단계 및 상기 제2접속패드에 상기 접속핀을 접합하는 단계를 포함할 수 있다.
- [0030] 이때, 상기 제2반도체칩을 실장하는 단계는 플립칩(flip-chip) 본딩 공정에 의해 수행되며, 상기 제2반도체칩을 실장하는 단계 이후에, 상기 베이스 기판과 상기 제2반도체칩 사이에 언더필(under-fill) 수지층을 형성하는 단계를 더 포함할 수 있다.
- [0031] 또한, 상기 제1패키지 및 상기 제2패키지를 접합하는 단계는 상기 접속핀과 접속핀이 접하도록 상기 제1패키지와 제2패키지를 배치시키는 단계 및 리플로우 공정을 수행하여 상기 제1패키지와 제2패키지를 접합하는 단계를 포함할 수 있다.
- [0032] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.
- [0033] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원

칙에 입각하여 본 발명의 기술적 사상에 부합되는 의미와 개념으로 해석되어야만 한다.

발명의 효과

- [0034] 본 발명은 미세 직경을 갖는 접속핀을 이용하여 패키지와 패키지를 접합함으로써, 리플로우 공정 중 솔더 퍼짐으로 인한 단락(short)을 방지할 수 있는 효과가 있다.
- [0035] 또한, 본 발명은 일정 길이를 갖는 접속핀을 이용하여 패키지와 패키지를 접합함으로써, 접합된 패키지와 패키지 사이의 간격을 일정 수준 이상 확보할 수 있는 효과가 있다.
- [0036] 또한, 본 발명은 접속볼에 접속핀의 돌출된 부분과 대응되는 형상의 홈을 형성함으로써, 패키지와 패키지 접합시 용이하게 얼라인먼트(alignment)할 수 있는 효과가 있다.
- [0037] 또한, 본 발명은 미세 직경을 갖는 접속핀을 이용하여 패키지 접합 시 솔더 체적 증가를 억제함으로써, 패드 간 간격을 감소시켜 파인 패드 피치(fine pad pitch)를 달성할 수 있는 효과가 있다.

도면의 간단한 설명

- [0038] 도 1은 본 발명의 일 실시 예에 따른 반도체 패키지의 구조를 나타내는 단면도이다.
 도 2 내지 도 5는 본 발명의 일 실시 예에 따른 반도체 패키지의 제조방법을 순차적으로 나타낸 공정단면도이다.
 도 6은 본 발명의 일 실시 예에 따른 접속핀을 나타내는 단면도이다.
 도 7은 본 발명의 일 실시 예에 따라 형성된 접속볼을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 실시예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서에서, 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다.
- [0040] 이하, 첨부된 도면을 참조하여 본 발명의 실시 형태를 상세히 설명하기로 한다.

반도체 패키지

- [0042] 도 1은 본 발명의 일 실시 예에 따른 반도체 패키지의 구조를 나타내는 단면도이다.
- [0043] 도 1을 참조하면, 본 실시 예에 따른 반도체 패키지(100)는 제1패키지(110), 제2패키지(150) 및 이 둘을 결합하고 있는 솔더층(195)을 포함한다.
- [0044] 도 1에 도시한 바와 같이, 제1패키지(110)는 베이스 기판(120) 및 베이스 기판(120) 상에 실장된 제1반도체칩(130)을 포함할 수 있다.
- [0045] 본 실시 예에서는 도 1을 기준으로, 베이스 기판(120) 하면에는 복수 개의 제1접속패드(122)가 형성되고, 상면에는 반도체칩(130)과 전기적으로 연결되는 복수 개의 제3접속패드(124)가 형성될 수 있다.

- [0046] 베이스 기판(120)은 단층 또는 다수의 절연층과 다수의 회로층이 적층되어 형성된 다층 인쇄회로기판일 수 있다
- [0047] 이때, 상기 절연층으로는 수지 절연층이 사용될 수 있다. 상기 수지 절연층으로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들에 유리 섬유 또는 무기 필러와 같은 보강재가 함침된 수지, 예를 들어, 프리프레그가 사용될 수 있고, 또한 열경화성 수지 및/또는 광경화성 수지 등이 사용될 수 있으나 특별히 이에 한정되는 것은 아니다.
- [0048] 또한, 상기 제1접속패드(122) 및 제3접속패드(124)를 포함하는 회로층은 회로기판 분야에서 회로용 전도성 금속으로 사용되는 것이라면 제한 없이 적용 가능하며, 인쇄회로기판에서는 구리를 사용하는 것이 전형적이다.
- [0049] 또한, 베이스 기판(120) 상에 제1접속패드(122) 및 제3접속패드(124)를 노출시키도록 형성된 솔더 레지스트층(115)을 더 포함할 수 있다.
- [0050] 도 1에서는 베이스 기판(120) 상에 하나의 제1반도체칩(130)이 실장된 것으로 도시하고 있으나, 특별히 이에 한정되는 것은 아니며, 복수 개의 반도체칩이 실장되는 것 역시 가능하다 할 것이다.
- [0051] 이때, 베이스 기판(120) 상에 제1반도체칩(130)은 에폭시(epoxy) 등과 같은 접합 물질(미도시)을 이용하여 접합될 수 있으나, 특별히 이에 한정되는 것은 아니다.
- [0052] 본 실시 예에서 제1패키지(110)의 제1반도체칩(130)은 와이어 본딩(wire bonding)을 통해 베이스 기판(120)과 전기적으로 연결된다.
- [0053] 예를 들어, 도 1에 도시된 바와 같이, 제1반도체칩(130) 상면에 형성된 접속단자(미도시)와 베이스 기판(120) 상면의 제3접속패드(124)를 와이어(wire)(135)를 이용한 와이어 본딩(wire bonding) 공정을 통하여 연결하였으나, 특별히 이에 한정되는 것은 아니며, 플립칩 본딩(flip-chip bonding) 공정을 통해 연결되는 것 역시 가능하다 할 것이다.
- [0054] 제1패키지(110) 베이스 기판(120) 상부에는 몰딩재(140)가 형성되는데, 이는 베이스 기판(110) 상에 형성된 제1반도체칩(130) 및 와이어(135)를 외부로부터 보호하기 위한 것으로, 일반적으로 에폭시 몰딩 컴파운드(Epoxy Molded Compound:EMC) 또는 실리콘(silicon)계 에폭시 등을 이용할 수 있으나, 특별히 이에 한정되는 것은 아니다.
- [0055] 제2패키지(150)는 상술한 제1패키지(110)와 마찬가지로, 베이스 기판(160) 및 베이스 기판(160) 상에 실장된 제2반도체칩(170)을 포함할 수 있다.
- [0056] 제2패키지(150)의 베이스 기판(160) 역시, 단층 또는 다수의 절연층과 다수의 회로층이 적층되어 형성된 다층 인쇄회로기판일 수 있다.
- [0057] 도 1을 기준으로, 베이스 기판(160)의 상면에는 복수 개의 제2접속패드(162) 및 반도체칩 실장용 패드(164)가 형성되어 있으며, 베이스 기판(160)의 하면에는 제4접속패드(166)가 형성되어 있다.
- [0058] 여기에서, 제2접속패드(162)는 상술한 제1패키지(110)의 제1접속패드(122)와 대응되는 위치에 형성될 수 있으나, 특별히 이에 한정되는 것은 아니다.
- [0059] 제2패키지(150) 베이스 기판(160)의 제2접속패드(162), 반도체칩 실장용 패드(164) 및 제4접속패드(166)를 포함하는 회로층 역시 상술한 바와 마찬가지로, 회로기판 분야에서 회로용 전도성 금속으로 사용되는 것이라면 제한 없이 적용 가능하다.
- [0060] 또한, 제4접속패드(166)는 외부 장치와의 전기적인 연결을 위한 것으로, 도 1에 도시한 바와 같이, 제4접속패드(166) 상에는 외부접속단자(157)가 형성될 수 있으며, 여기에서 외부접속단자(157)는 솔더볼일 수 있으나, 특별

히 이에 한정되는 것은 아니다.

- [0061] 또한, 베이스 기판(160) 상에 제2접속패드(162), 반도체칩 실장용 패드(164) 및 제4접속패드(166)를 노출시키도록 형성된 솔더 레지스트층(155)을 더 포함할 수 있다.
- [0062] 본 실시 예에서 제2패키지(150)의 제2반도체칩(170)은 플립칩 본딩(flip-chip bonding) 공정을 통해 베이스 기판(160)과 전기적으로 연결된다.
- [0063] 예를 들어, 도 1에 도시한 바와 같이, 제2반도체칩(170) 하면에 형성된 접속 범프(172)와 베이스 기판(160) 상면의 반도체칩 실장용 패드(164)를 플립칩 본딩(slip-chip) 본딩 공정을 통하여 연결하였으나, 특별히 이에 한정되는 것은 아니며, 와이어(wire)를 이용한 와이어 본딩(wire bonding) 공정을 통해 연결되는 것 역시 가능할 것이다.
- [0064] 본 실시 예에서 제2패키지(150)는 베이스 기판(160)과 제2반도체칩(170) 하면 사이의 결합 부분에 언더필(under-fill)액을 충전하여 경화시킨 언더필재(180)를 더 포함할 수 있다.
- [0065] 본 실시 예에서는 제2반도체칩(170) 하면과 베이스 기판(160) 사이의 결합 부분에 언더필재(180)를 형성하고 있으나, 특별히 이에 한정되는 것은 아니며, 제2반도체칩(170)을 감싸도록 몰딩재를 형성하는 것 역시 가능할 것이다.
- [0066] 본 실시 예에서는 제2패키지(150)의 제2접속패드(162) 상에 접속핀(190)이 형성될 수 있으나, 특별히 이에 한정되는 것은 아니며 제1패키지(110)의 제1접속패드(122)에 접속핀이 형성되도록 구현하는 것 역시 가능하다.
- [0067] 본 실시 예에 따른 접속핀(190)은 도 6에 도시한 바와 같이, 헤드부(191) 및 일단은 헤드부(191)와 연결되고 타단은 외부로 돌출된 축부(193)를 포함할 수 있다.
- [0068] 이때, 헤드부(191)는 원반형으로 이루어져 있으며, 축부(193)의 일단은 원반형인 헤드부(191)의 중심부와 연결되도록 형성될 수 있으나, 특별히 이에 한정되는 것은 아니다.
- [0069] 또한, 접속핀(190)은 금형을 이용한 사출 성형에 의해 헤드부(191)와 축부(193)가 일체형으로 형성될 수 있다.
- [0070] 본 실시 예에서 접속핀(190)의 축부(193)는 도 6에 도시한 바와 같이, 일단(a) 및 타단(c)의 직경이 중심단(b)의 직경보다 크게 형성될 수 있다.
- [0071] 이는, 제1패키지(110)와의 리플로우(reflow) 접합 시 스트레스(stress)에 취약한 접합 부분인 일단(a) 및 타단(c)은 넓은 면적을 갖도록 하여 스트레스(stress)에 대응할 수 있도록 한 것이고, 용융된 솔더(solder)의 체적으로 인하여 볼록해지는 중심단(b) 부분은 볼록해지는 현상을 최소화하기 위하여 얇은 두께를 갖도록 형성한 것이다.
- [0072] 본 실시 예에서는 도 1과 같이, 접속핀(190)이 곡선 형태로 이루어져 있으나, 특별히 이에 한정되는 것은 아니며, 어떠한 형태라도 가능할 것이다.
- [0073] 본 실시 예에서, 도 6에 도시한 바와 같이 접속핀(190)의 길이(P)는 최소한 180 μ m 이상이어야 하는데, 만일 접속핀(190)의 길이가 180 μ m 미만일 경우에는 제1패키지(110)와 제2패키지(150) 접합 시 제1패키지(110)와 제2패키지(150) 사이의 최소한의 간격이 확보되지 않을 수 있다.
- [0074] 즉, 접합되는 제1패키지(110)와 제2패키지(150) 사이의 최소한의 간격을 확보하기 위해서는 접속핀(190) 역시 최소한의 길이 이상이 되어야 할 것이다.

- [0075] 또한, 본 실시 예에서 접속핀(190)으로는 전기전도성을 갖는 물질이라면 어느 것이든 사용 가능하다.
- [0076] 또한, 본 실시 예에 따른 반도체 패키지는 도 1에 도시한 바와 같이, 접속핀(190)의 바깥둘레를 감싸도록 형성되어, 제1패키지(110)의 제1접속패드(122)와 제2패키지(150)의 제2접속패드(162)에 접합되는 솔더층(195)을 더 포함할 수 있다.
- [0077] 이에 따라, 본 실시 예에 따른 반도체 패키지는 접속핀(190)을 이용하여 두 개의 패키지 즉, 제1패키지(110)와 제2패키지(150)를 접합함으로써, 종래의 솔더볼을 통한 접합 시 솔더 체적 증가로 인하여 발생될 수 있는 단락(short) 현상을 방지할 수 있다.
- [0078] 또한, 일정 길이 이상을 갖는 접속핀(190)을 이용함으로써, 접합되는 제1패키지(110)와 제2패키지(150) 간의 간격을 일정하게 유지할 수 있다.
- [0079] **반도체 패키지의 제조방법**
- [0080] 도 2 내지 도 5는 본 발명의 일 실시 예에 따른 반도체 패키지의 제조방법을 순차적으로 나타내는 공정단면도이다.
- [0081] 우선, 도 2를 참조하면, 일면에 복수 개의 제1접속패드(122) 및 제1접속패드(122) 상에 형성된 접속볼(125)을 갖는 제1패키지(110)를 준비한다.
- [0082] 본 실시 예에서 제1패키지(110)를 준비하는 단계는 도 2를 기준으로, 상면에는 제3접속패드(124)가 형성되고, 하면에는 제1접속패드(122)가 형성된 베이스 기판(120)을 준비하는 단계와 준비된 베이스 기판(120)의 제3접속패드(124)와 전기적으로 연결되도록 제1반도체칩(130)을 실장하는 단계 및 베이스 기판(120)의 제1접속패드(122) 상에 접속볼(125)을 형성하는 단계를 포함할 수 있다.
- [0083] 여기에서, 베이스 기판(120)은 단층 또는 다층 인쇄회로기판일 수 있다.
- [0084] 예를 들어, 도 2에서 베이스 기판(120)은 하나의 절연층(121) 상, 하면에 제1접속패드(122) 및 제3접속패드(124)가 형성된 것으로 도시하고 있으나, 특별히 이에 한정되는 것은 아니며, 복수의 절연층 및 복수의 회로층이 더 형성될 수 있다.
- [0085] 이때, 베이스 기판(120)에 제1접속패드(122) 및 제3접속패드(124)를 포함하는 회로층을 형성하는 것은 당업계에 공지된 일반적인 회로 형성 공정을 이용하여 수행될 수 있으며, 이는 이미 공지된 기술이므로 그 상세한 설명은 생략한다.
- [0086] 또한, 베이스 기판(120) 상에는 제1접속패드(122) 및 제3접속패드(124)를 노출시키는 솔더 레지스트층(115)이 더 형성될 수 있다.
- [0087] 본 실시 예에서 제1반도체칩(130)을 실장하는 것은 와이어 본딩(wire bonding) 공정 또는 플립칩 본딩(flip-chip bonding) 공정에 의해 수행될 수 있다.
- [0088] 예를 들어, 도 2를 참조하면, 베이스 기판(120)의 제3접속패드(124)와 제1반도체칩(130)에 형성된 접속단자(미도시)를 와이어(wire(135))를 이용한 와이어 본딩(wire bonding) 공정을 통해 연결하고 있으나, 특별히 이에 한정되는 것은 아니며, 베이스 기판(120) 상에 플립칩 실장용 패드(미도시)를 형성하고, 제1반도체칩(130) 하면에 접속범프(미도시)를 형성하여 플립칩 본딩(flip-chip) 공정을 통하여 연결하는 것 역시 가능하다.

- [0089] 이후, 실장된 제1반도체칩(130)과 와이어(135)를 외부로부터 보호하기 위하여 베이스 기판(120) 상부 전체를 감싸도록 몰딩재(140)를 형성할 수 있다. 이때, 제1반도체칩(130)을 베이스 기판(110) 상에 플립칩 본딩(flip-chip bonding)한 경우에는 제1반도체칩(130)과 베이스 기판(120) 사이의 연결된 부분만을 감싸도록 언더필재(미도시)를 형성하는 것 역시 가능하다 할 것이다.
- [0090] 다음, 도 2에 도시된 바와 같이, 베이스 기판(120)의 제1접속패드(122)에는 접속볼(125)을 형성하는데, 이때, 접속볼(125)은 특별히 제한되는 것은 아니나 솔더(solder)로 이루어질 수 있다.
- [0091] 또한, 도 7에 도시된 바와 같이, 제1접속패드(122) 상에 형성된 접속볼(125)의 노출된 부분 즉, 제1접속패드(122)와 접하는 부분과 반대되는 부분에는 후술할 접속핀(190)의 돌출된 부분(B)(도 6 참조)과 대응되는 형상의 홈(A)이 형성될 수 있다.
- [0092] 이때, 접속볼(125)의 홈(A)은 대응되는 형상을 갖는 코이닝(coining) 헤드를 이용한 코이닝(coining) 공정을 통해 형성될 수 있다.
- [0093] 즉, 일반적으로 당 업계에서는 패드 상에 솔더볼을 형성한 다음, 솔더볼의 높이를 일정하게 하기 위하여 솔더볼 상면을 가압하여 평탄하게 만드는 코이닝(coining) 공정을 수행하는데, 이때, 상기 홈(A)과 대응되는 돌출부가 형성된 코이닝(coining) 헤드를 이용하여 솔더볼 상면을 가압함으로써, 솔더볼에 도 2와 같은 홈(A)이 형성되도록 할 수 있다.
- [0094] 그러나, 이는 하나의 예시일 뿐, 접속볼(125)에 홈을 형성하는 공정이 이에 한정되는 것은 아니다.
- [0095] 다음, 도 3을 참조하면, 일면에 상기 제1접속패드(122)와 대응되는 제2접속패드(162) 및 제2접속패드(162) 상에 형성된 접속핀(190)을 갖는 제2패키지(150)를 준비한다.
- [0096] 본 실시 예에서 제2패키지(150)를 준비하는 단계는 도 3을 기준으로 상면에는 제1접속패드(122)와 대응되는 제2접속패드(162) 및 반도체칩 실장용 패드(164)가 형성되고, 하면에는 외부 장치와 연결되는 제4접속패드(166)가 형성된 베이스 기판(160)을 준비하는 단계, 반도체칩 실장용 패드(164)와 전기적으로 연결되도록 제2반도체칩(170)을 실장하는 단계 및 제2접속패드(162)에 접속핀(190)을 접합하는 단계를 포함할 수 있다.
- [0097] 여기에서, 베이스 기판(160)은 단층 또는 다층 인쇄회로기판일 수 있다.
- [0098] 예를 들어, 도 3에서 베이스 기판(160)은 복수의 절연층(161) 및 제2접속패드(162), 반도체칩 실장용 패드(164), 제4접속패드(166) 및 복수의 회로층(163)이 형성된 것으로 도시하고 있으나, 특별히 이에 한정되는 것은 아니다.
- [0099] 이때, 베이스 기판(160)에 제2접속패드(162), 반도체칩 실장용 패드(164) 및 제4접속패드(166)를 포함하는 회로층을 형성하는 것은 당업계에 공지된 일반적인 회로 형성 공정을 이용하여 수행될 수 있으며, 이는 이미 공지된 기술이므로 그 상세한 설명은 생략한다.
- [0100] 또한, 베이스 기판(160) 상에는 제2접속패드(162), 반도체칩 실장용 패드(164) 및 제4접속패드(164)를 노출시키는 솔더 레지스트층(155)이 더 형성될 수 있다.
- [0101] 여기에서, 제2반도체칩(170)을 실장하는 것은 플립칩 본딩(flip-chip) 본딩 공정 또는 와이어 본딩(wire bonding) 공정에 의해 수행될 수 있다.
- [0102] 예를 들어, 본 실시 예에서는 도 3을 참조하면, 베이스 기판(160)의 반도체칩 실장용 패드(164)와 제2반도체칩(170) 하면에 형성된 접속범프(172)를 플립칩 본딩(flip-chip bonding) 공정을 통해 연결하고 있으나, 특별히 이에 한정되는 것은 아니며, 와이어 본딩(wire bonding) 공정을 통해 연결하는 것 역시 가능하다.

- [0103] 이후, 실장된 제2반도체칩(170) 하면과 베이스 기판(160) 사이의 연결된 부분에 언더필(under-fill)액을 충전 및 경화시켜 언더필재(180)를 형성할 수 있다. 이때, 제2반도체칩(170) 상부 전체를 감싸도록 몰딩하는 것 역시 가능하다 할 것이다.
- [0104] 다음, 도 3을 참조하면, 제2패키지(150) 베이스 기판(160)의 제2접속패드(162)에 접속핀(190)을 접합한다.
- [0105] 여기에서, 접속핀(190)은 도 6에 도시한 바와 같이, 헤드부(191) 및 일단은 헤드부(191)와 연결되고 타단은 외부로 돌출되도록 형성된 축부(193)를 포함할 수 있다.
- [0106] 이때, 헤드부(191)는 원반형으로 이루어져 있으며, 축부(193)의 일단(a)(도 6 참조)은 원반형인 헤드부(191)의 중심부와 연결되도록 형성될 수 있으나, 특별히 이에 한정되는 것은 아니다.
- [0107] 또한, 접속핀(190)은 금형을 이용한 사출 성형에 의해 헤드부(191)와 축부(193)가 일체형으로 형성될 수 있다.
- [0108] 본 실시 예에서 접속핀(190)의 축부(193)는 도 6에 도시한 바와 같이, 일단(a) 및 타단(c)의 직경이 중심단(b)의 직경보다 크게 형성될 수 있다.
- [0109] 이는, 제1패키지(110)와의 리플로우(reflow) 접합 시 스트레스(stress)에 취약한 접합 부분인 일단(a) 및 타단(b)은 넓은 면적을 갖도록 하여 스트레스(stress)에 대응할 수 있도록 한 것이고, 용융 시 솔더(solder) 체적으로 인하여 블록해지는 중심단(b) 부분의 블록해지는 현상을 최소화하기 위하여 얇은 두께를 갖도록 형성한 것이다.
- [0110] 본 실시 예에서는 도 6과 같이, 접속핀(190)이 곡선 형태로 이루어질 수 있으나, 특별히 이에 한정되는 것은 아니며, 어떠한 형태라도 가능할 것이다.
- [0111] 본 실시 예에서, 접속핀(190)의 길이(P)는 최소한 180 μ m 이상일 수 있는데, 접속핀(190)의 길이가 180 μ m 미만일 경우에는 제1패키지(110)와 제2패키지(150) 접합 시 제1패키지(110)와 제2패키지(150) 사이의 최소한의 간격이 확보되지 않기 때문이다.
- [0112] 즉, 접합되는 제1패키지(110)와 제2패키지(150) 사이의 최소한의 간격을 확보하기 위해서는 접속핀(190) 역시 최소한의 길이 이상이 되어야 하는 것이다.
- [0113] 또한, 본 실시 예에서, 접속핀(190)으로는 전기전도성을 갖는 물질이라면 어느 것이든 사용 가능하다.
- [0114] 다음, 도 4 및 도 5를 참조하면, 제1패키지(110)와 제2패키지(150)를 접합한다.
- [0115] 본 실시 예에서, 제1패키지(110)와 제2패키지(150)를 접합하는 단계는 도 4에 도시된 바와 같이, 제1패키지(110) 하부에 제2패키지(150)를 배치시킨다.
- [0116] 이때, 제1패키지(110)의 제1접속패드(122)에 형성된 접속볼(125)의 홈(A)에 제2패키지(150)의 제2접속패드(162)에 형성된 접속핀(190)의 돌출된 부분의 끝단(B)이 삽입되도록 배치될 수 있다.
- [0117] 이와 같이, 접속핀(190)의 돌출된 부분의 끝단(B)과 대응되는 형상의 홈(A)을 갖는 접속볼(125)을 이용함으로써, 제1패키지(110)와 제2패키지(150) 접합 시 얼라인먼트(alignment)가 용이하게 이루어질 수 있다.
- [0118] 다음, 리플로우 공정을 통하여 접속볼(125)을 용융시켜 제1패키지(110)의 제1접속패드(122)와 제2패키지(150)의 제2접속패드(162) 및 접속핀(190)을 결합한다.
- [0119] 즉, 제1접속패드(122)에 형성된 접속볼(125)이 용융되어 아래로 흐르면서 접속핀(190)의 바깥둘레를 감싸고 제2

접속패드(162)에 융착되면서 제1접속패드(122)와 제2접속패드(162) 및 접속핀(190)을 하나로 결합하는 것이다.

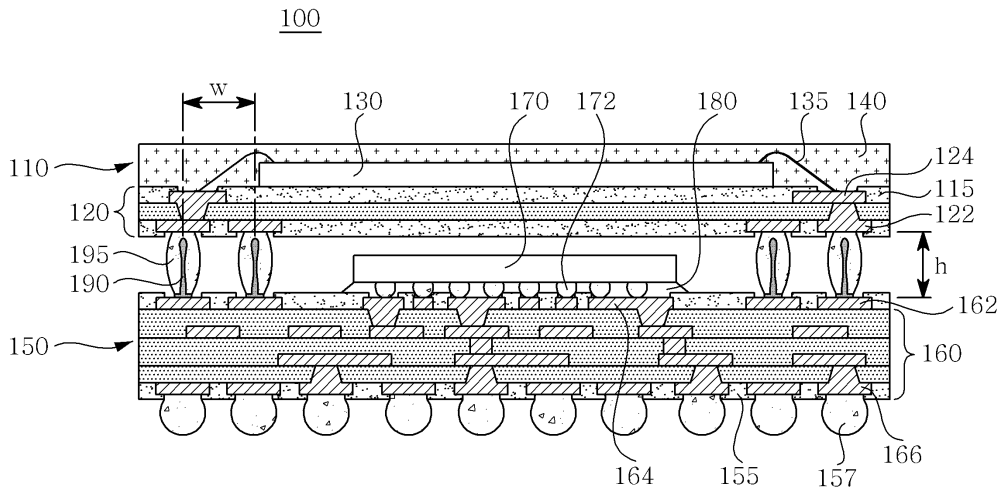
- [0120] 이와 같이, 일정 길이를 갖는 접속핀을 이용하여 제1패키지와 제2패키지를 결합함으로써, 결합된 제1패키지와 제2패키지 사이에 일정 수준 이상의 간격(h)을 확보할 수 있다.
- [0121] 또한, 미세 직경을 갖는 접속핀을 이용함으로써, 패키지 결합 시 솔더 체적 증가로 인하여 발생할 수 있는 단락(short)을 방지할 수 있다.
- [0122] 또한, 접속핀을 이용하여 패키지를 결합함으로써, 솔더 체적 증가를 억제하여 패드 간 간격(w)을 감소시켜 파인 패드 피치(fine pad pitch)를 달성할 수 있다.
- [0123] 이상 본 발명의 구체적인 실시 예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로 본 발명에 따른 반도체 패키지 및 그 제조방법은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.
- [0124] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

부호의 설명

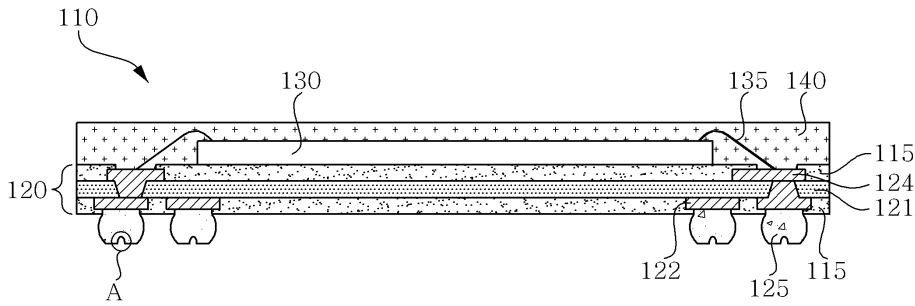
- | | | |
|--------|-------------------|--------------|
| [0125] | 100 : 반도체 패키지 | 110 : 제1패키지 |
| | 115 : 솔더 레지스트층 | 120 : 베이스 기판 |
| | 121 : 절연층 | 122 : 제1접속패드 |
| | 124 : 제3접속패드 | 125 : 접속볼 |
| | 130 : 제1반도체칩 | 135 : 와이어 |
| | 140 : 몰딩재 | 150 : 제2패키지 |
| | 155 : 솔더 레지스트층 | 157 : 외부접속단자 |
| | 160 : 베이스 기판 | 162 : 제2접속패드 |
| | 164 : 반도체칩 실장용 패드 | 166 : 제4접속패드 |
| | 170 : 제2반도체칩 | 172 : 접속범프 |
| | 180 : 언더필재 | 190 : 접속핀 |
| | 195 : 솔더층 | |

도면

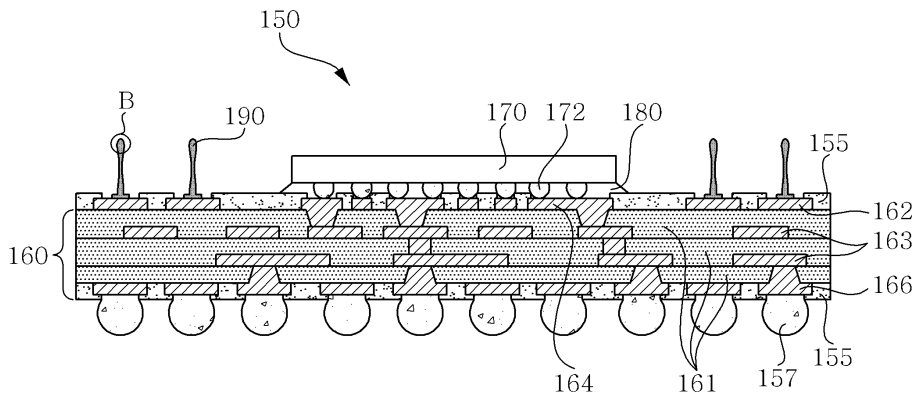
도면1



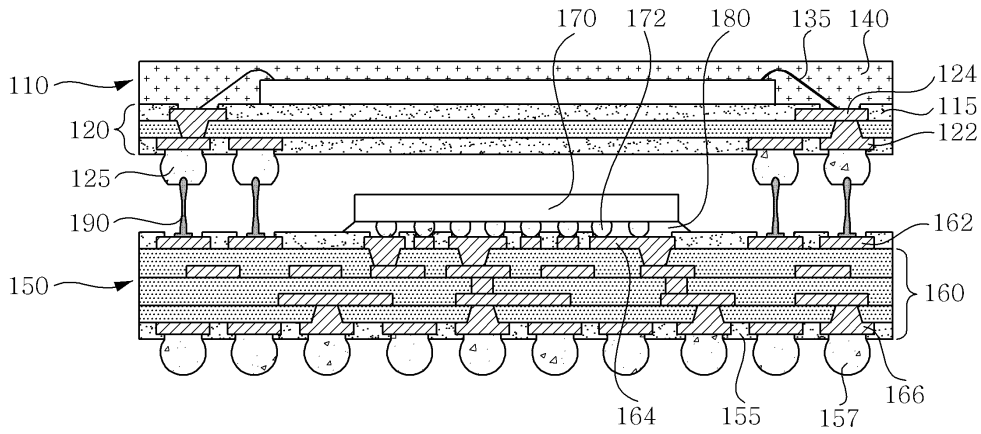
도면2



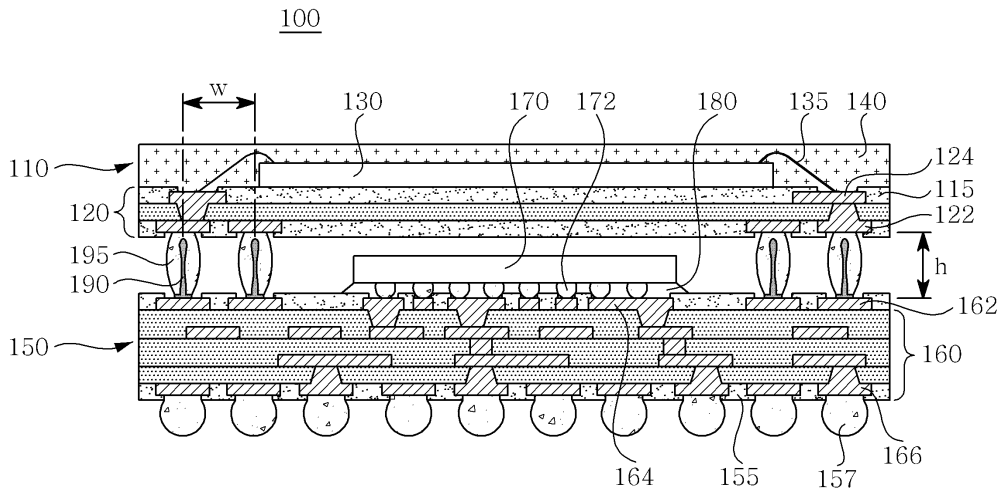
도면3



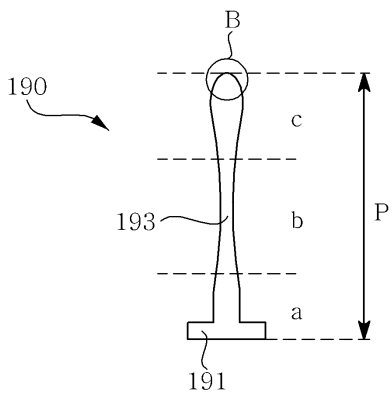
도면4



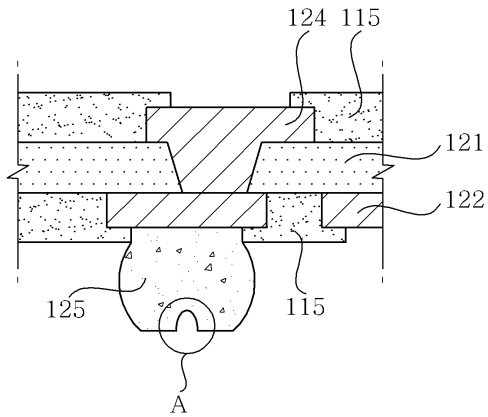
도면5



도면6



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 11의 6번째 줄

【변경전】

상기 솔더층으로

【변경후】

솔더층으로