



(12) 发明专利

(10) 授权公告号 CN 102544067 B

(45) 授权公告日 2014. 01. 29

(21) 申请号 201210060504. 3

CN 101777555 A, 2010. 07. 14,

(22) 申请日 2012. 03. 09

CN 101834181 B, 2011. 06. 29,

(73) 专利权人 浙江大学

审查员 陈龙

地址 310027 浙江省杭州市西湖区浙大路
38 号

(72) 发明人 郑剑锋 韩雁 马飞 董树荣
吴健 苗萌 曾杰

(74) 专利代理机构 杭州天勤知识产权代理有限
公司 33224

代理人 胡红娟

(51) Int. Cl.

H01L 29/06 (2006. 01)

H01L 29/74 (2006. 01)

(56) 对比文件

CN 101281909 B, 2010. 04. 21,

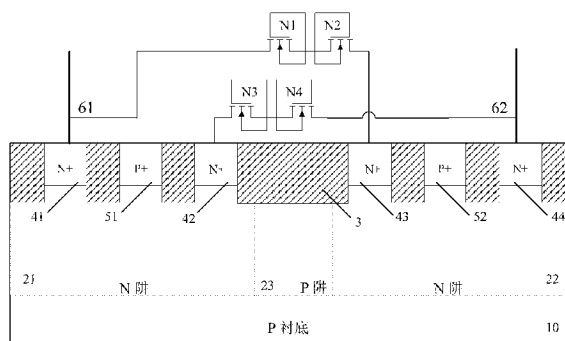
权利要求书1页 说明书4页 附图5页

(54) 发明名称

一种基于 NMOS 管辅助触发的双向可控硅器件

(57) 摘要

本发明公开了一种基于 NMOS 管辅助触发的双向可控硅器件,包括 P 衬底层和四个 NMOS 管;P 衬底层上设有第一 N 阱、P 阱和第二 N 阱;第一 N 阱上设有第一 N+ 有源注入区、第一 P+ 有源注入区和第二 N+ 有源注入区;第二 N 阱上设有第三 N+ 有源注入区、第二 P+ 有源注入区和第四 N+ 有源注入区;第三 N+ 有源注入区与第二 NMOS 管相连,第一 NMOS 管与第一金属电极相连;第二 N+ 有源注入区与第三 NMOS 管相连,第四 NMOS 管与第二金属电极相连。本发明可控硅器件利用 NMOS 管作为辅助触发单元,使得器件具有可调且较低的正反向击穿电压,使得器件可适用于一些混合电压接口电路或者不同电源域间的 ESD 防护应用。



1. 一种基于 NMOS 管辅助触发的双向可控硅器件,其特征在于,包括:

P 衬底层(10)和四个 NMOS 管;

所述的 P 衬底层(10)上从左到右依次设有第一 N 阱(21)、P 阱(23)和第二 N 阱(22),所述的 P 阱(23)与第一 N 阱(21)和第二 N 阱(22)并排相连;

所述的第一 N 阱(21)上从左到右依次并排设有第一 N+ 有源注入区(41)、第一 P+ 有源注入区(51)和第二 N+ 有源注入区(42);所述的第二 N 阱(22)上从左到右依次并排设有第三 N+ 有源注入区(43)、第二 P+ 有源注入区(52)和第四 N+ 有源注入区(44);

所述的第一 N+ 有源注入区(41)与第一 P+ 有源注入区(51)、第一 P+ 有源注入区(51)与第二 N+ 有源注入区(42)、第二 N+ 有源注入区(42)与第三 N+ 有源注入区(43)、第三 N+ 有源注入区(43)与第二 P+ 有源注入区(52)以及第二 P+ 有源注入区(52)与第四 N+ 有源注入区(44)均通过浅槽(3)隔离;

所述的第一 N+ 有源注入区(41)和第一 P+ 有源注入区(51)通过第一金属电极(61)相连,所述的第二 P+ 有源注入区(52)和第四 N+ 有源注入区(44)通过第二金属电极(62)相连;

所述的第三 N+ 有源注入区(43)与第二 NMOS 管的漏极相连,第一 NMOS 管的源极与第一金属电极(61)相连;所述的第二 N+ 有源注入区(42)与第三 NMOS 管的漏极相连,第四 NMOS 管的源极与第二金属电极(62)相连;第一 NMOS 管的栅极、漏级、阱电极和第二 NMOS 管的栅极、源极、阱电极六极共连,第三 NMOS 管的栅极、源极、阱电极和第四 NMOS 管的栅极、漏级、阱电极六极共连。

一种基于 NMOS 管辅助触发的双向可控硅器件

技术领域

[0001] 本发明属于集成电路静电防护技术领域,具体涉及一种基于 NMOS 管辅助触发的双向可控硅器件。

背景技术

[0002] 自然界的静电放电 (ESD) 现象对集成电路的可靠性构成了严重的威胁。在工业界,集成电路产品的失效 30% 都是由于遭受静电放电现象所引起的,而且越来越小的工艺尺寸,更薄的栅氧厚度都使得集成电路受到静电放电破坏的几率大大增加。因此,改善集成电路静电放电防护的可靠性对提高产品的成品率具有不可忽视的作用。

[0003] 静电放电现象的模式通常分为四种: HBM(人体放电模式), MM(机器放电模式), CDM(组件充电放电模式) 以及电场感应模式 (FIM)。而最常见也是工业界产品必须通过的两种静电放电模式是 HBM 和 MM。当发生静电放电时,电荷通常从芯片的一只引脚流入而从另一只引脚流出,此时静电电荷产生的电流通常高达几个安培,在电荷输入引脚产生的电压高达几伏甚至几十伏。如果较大的 ESD 电流流入内部芯片则会造成内部芯片的损坏,同时,在输入引脚产生的高压也会造成内部器件发生栅氧击穿现象,从而导致电路失效。因此,为了防止内部芯片遭受 ESD 损伤,对芯片的每个引脚都要进行有效的 ESD 防护,对 ESD 电流进行泄放。

[0004] 在 ESD 防护的发展过程中,二极管、GGNMOS(栅接地的 NMOS 管)、SCR(可控硅) 等器件通常被作为 ESD 防护单元。对于现代 CMOS(互补金属氧化物半导体) 集成电路,在芯片的输入\输出端通常带有输入缓冲级\输出缓冲级或者是 MOS 器件的栅极作为输入。因此,在发生 ESD 事件时,ESD 应力会直接施加在栅氧上,如果 ESD 器件开启不够及时或者箝位电压过高的话,很可能发生栅氧击穿现象,从而对芯片造成破坏。

[0005] 由于单向 SCR 结构具有低维持电压,高电流泄放能力等特点,所以单向 SCR 结构在 ESD 防护中有着很广的应用。

[0006] 图 1 为一种 CMOS 工艺下的单向 SCR 结构,该单向 SCR 在一个方向上的触发电压较高,而在另一个方向上为寄生二极管结构,触发电压很低且不可调,因此,该结构很难直接应用片上 ESD 防护,尤其不能应用在一些要求双向触发电压可调且较低的混合电压域接口电路 ESD 防护上。

[0007] 图 2 为一种 CMOS 工艺下的双向 SCR 结构,该结构相比单向 SCR 结构,在两个方向都具有相同的触发电压,但触发电压值同样过高且不可调,在深亚微米工艺下,难以保护脆弱的栅氧。

发明内容

[0008] 针对现有技术所存在的上述技术缺陷,本发明公开了一种基于 NMOS 管辅助触发的双向可控硅器件,使得可控硅在两个方向上具有双向可调且较低的触发电压,可直接应用于深亚微米工艺下的一些混合电压接口电路的 ESD 防护。

[0009] 一种基于 NMOS 管辅助触发的双向可控硅器件,包括:

[0010] P 衬底层和四个 NMOS 管;

[0011] 所述的 P 衬底层上从左到右依次设有第一 N 阱、P 阱和第二 N 阱,所述的 P 阱与第一 N 阱和第二 N 阱并排相连;

[0012] 所述的第一 N 阱上从左到右依次并排设有第一 N+ 有源注入区、第一 P+ 有源注入区和第二 N+ 有源注入区;所述的第二 N 阱上从左到右依次并排设有第三 N+ 有源注入区、第二 P+ 有源注入区和第四 N+ 有源注入区;

[0013] 所述的第一 N+ 有源注入区和第一 P+ 有源注入区通过第一金属电极相连,所述的第二 P+ 有源注入区和第四 N+ 有源注入区通过第二金属电极相连;

[0014] 所述的第三 N+ 有源注入区与第二 NMOS 管的漏极相连,第一 NMOS 管的源极与第一金属电极相连;所述的第二 N+ 有源注入区与第三 NMOS 管的漏极相连,第四 NMOS 管的源极与第二金属电极相连;第一 NMOS 管的栅极、漏级、阱电极和第二 NMOS 管的栅极、源极、阱电极六极共连,第三 NMOS 管的栅极、源极、阱电极和第四 NMOS 管的栅极、漏级、阱电极六极共连。

[0015] 所述的第一 N+ 有源注入区与第一 P+ 有源注入区、第一 P+ 有源注入区与第二 N+ 有源注入区、第二 N+ 有源注入区与第三 N+ 有源注入区、第三 N+ 有源注入区与第二 P+ 有源注入区或第二 P+ 有源注入区与第四 N+ 有源注入区通过浅槽隔离。

[0016] 所述的可控硅器件的等效电路由四个电阻、三个三极管和四个 NMOS 管构成;其中,第一三极管的发射极与第一电阻的一端和第一 NMOS 管的源极相连并构成可控硅器件的第一电极,基极与第一电阻的另一端、第三 NMOS 管的漏极和第三三极管的发射极或集电极相连,集电极与第三电阻的一端相连;第二三极管的发射极与第二电阻的一端和第四 NMOS 管的源极相连并构成可控硅器件的第二电极,基极与第二电阻的另一端、第二 NMOS 管的漏极和第三三极管的集电极或发射极相连,集电极与第四电阻的一端相连;第三三极管的基极与第三电阻的另一端和第四电阻的另一端相连;第一 NMOS 管的栅极、漏级、阱电极和第二 NMOS 管的栅极、源极、阱电极六极共连,第三 NMOS 管的栅极、源极、阱电极和第四 NMOS 管的栅极、漏级、阱电极六极共连。

[0017] 所述的第一三极管和第二三极管均为 PNP 型三极管,所述的第三三极管为 NPN 型三极管。

[0018] 所述的第一三极管由所述的第一 P+ 有源注入区、第一 N 阱和 P 阱构成;所述的第二三极管由所述的第二 P+ 有源注入区、第二 N 阱和 P 阱构成;所述的第三三极管由第一 N 阱、第二 N 阱和 P 阱构成;所述的第一电阻和第三电阻为第一 N 阱的寄生电阻;所述的第二电阻和第四电阻为第二 N 阱的寄生电阻。

[0019] 本发明可控硅器件的保护电压范围可达 (1.2 ~ 5)V,触发电压为 (5 ~ 12)V。

[0020] 本发明可控硅器件利用 NMOS 管作为辅助触发单元,使得器件具有可调且较低的触发电压,实现低触发电压的 ESD 防护;同时该可控硅器件具有双向的正反向击穿电压,使得器件可适用于深亚微米工艺下的片上 ESD 防护,尤其可适用于一些混合电压接口电路或者不同电源域间的 ESD 防护应用。

附图说明

- [0021] 图 1 为传统单向可控硅器件的结构示意图。
- [0022] 图 2 为传统双向可控硅器件的结构示意图。
- [0023] 图 3 为本发明可控硅器件的实施版图。
- [0024] 图 4 为图 3 沿 AA' 方向的剖面示意图。
- [0025] 图 5 为本发明可控硅器件的等效电路图。
- [0026] 图 6(a) 为当 ESD 事件发生于 A 端口时本发明可控硅器件的 ESD 电流泄放路径图。
- [0027] 图 6(b) 为当 ESD 事件发生于 K 端口时本发明可控硅器件的 ESD 电流泄放路径图。
- [0028] 图 7 为本发明可控硅器件的结构示意图。
- [0029] 图 8 为本发明可控硅器件和传统双向可控硅器件的电流电压特性示意图。

具体实施方式

[0030] 为了更为具体地描述本发明,下面结合附图及具体实施方式对本发明的技术方案及其相关原理进行详细说明。

[0031] 如图 3 和图 4 所示,一种基于 NMOS 管辅助触发的双向可控硅器件,包括:

[0032] P 衬底层 10 和四个 NMOS 管;

[0033] P 衬底层 10 上从左到右依次设有第一 N 阱 21、P 阱 23 和第二 N 阱 22, P 阱 23 与第一 N 阱 21 和第二 N 阱 22 并排相连;

[0034] 第一 N 阱 21 上从左到右依次并排设有第一 N+ 有源注入区 41、第一 P+ 有源注入区 51 和第二 N+ 有源注入区 42;第二 N 阱 22 上从左到右依次并排设有第三 N+ 有源注入区 43、第二 P+ 有源注入区 52 和第四 N+ 有源注入区 44;

[0035] 第一 N+ 有源注入区 41 和第一 P+ 有源注入区 51 通过第一金属电极 61 相连,第二 P+ 有源注入区 52 和第四 N+ 有源注入区 44 通过第二金属电极 62 相连;

[0036] 第三 N+ 有源注入区 43 与第二 NMOS 管 N2 的漏极相连,第一 NMOS 管 N1 的源极与第一金属电极 61 相连;第二 N+ 有源注入区 42 与第三 NMOS 管 N3 的漏极相连,第四 NMOS 管 N4 的源极与第二金属电极 62 相连;第一 NMOS 管 N1 的栅极、漏极、阱电极和第二 NMOS 管 N2 的栅极、源极、阱电极六极共连,第三 NMOS 管 N3 的栅极、源极、阱电极和第四 NMOS 管 N4 的栅极、漏极、阱电极六极共连。

[0037] 第一 N+ 有源注入区 41 与第一 P+ 有源注入区 51、第一 P+ 有源注入区 51 与第二 N+ 有源注入区 42、第二 N+ 有源注入区 42 与第三 N+ 有源注入区 43、第三 N+ 有源注入区 43 与第二 P+ 有源注入区 52 以及第二 P+ 有源注入区 52 与第四 N+ 有源注入区 44 均通过浅槽 3 隔离,浅槽 3 内填充有氧化硅。

[0038] 如图 5 所示,本实施方式可控硅器件的等效电路由四个电阻 R1 ~ R4、三个三极管 Q1 ~ Q3 和四个 NMOS 管 N1 ~ N4 构成;其中,第一三极管 Q1 的发射极与第一电阻 R1 的一端和第一 NMOS 管 N1 的源极相连并构成可控硅器件的 A 电极,基极与第一电阻 R1 的另一端、第三 NMOS 管 N3 的漏极和第三三极管 Q3 的发射极或集电极相连,集电极与第三电阻 R3 的一端相连;第二三极管 Q2 的发射极与第二电阻 R2 的一端和第四 NMOS 管 N4 的源极相连并构成可控硅器件的 K 电极,基极与第二电阻 R2 的另一端、第二 NMOS 管 N2 的漏极和第三三极管 Q3 的集电极或发射极相连,集电极与第四电阻 R4 的一端相连;第三三极管 Q3 的基极与第三电阻 R3 的另一端和第四电阻 R4 的另一端相连;第一 NMOS 管 N1 的栅极、漏极、阱电

极和第二 NMOS 管 N2 的栅极、源极、阱电极六极共连,第三 NMOS 管 N3 的栅极、源极、阱电极和第四 NMOS 管 N4 的栅极、漏级、阱电极六极共连。

[0039] 第一三极管 Q1 和第二三极管 Q2 均为 PNP 型三极管,第三三极管 Q3 为 NPN 型三极管。

[0040] 第一三极管 Q1 由第一 P+ 有源注入区 51、第一 N 阱 21 和 P 阱 23 构成;第二三极管 Q2 由第二 P+ 有源注入区 52、第二 N 阱 22 和 P 阱 23 构成;第三三极管 Q3 由第一 N 阱 21、第二 N 阱 22 和 P 阱 23 构成;第一电阻 R1 和第三电阻 R3 为第一 N 阱 21 的寄生电阻;第二电阻 R2 和第四电阻 R4 为第二 N 阱 22 的寄生电阻。

[0041] 如图 6(a) 和图 7 所示,当 ESD 事件发生在 A 端,而 K 端接地时,ESD 电流在 A 端上产生的电压会导致第一 N 阱 21 和 P 阱 23 所构成的反向 PN 结发生雪崩击穿,当雪崩击穿产生的载流子在第一电阻 R1 上所产生的压降达到第一 P+ 有源注入区 51 和第一 N 阱 21 所构成的正向二极管的开启电压 (0.7V) 时,寄生的 SCR 路径开启,并将 A 端电压箝位在一个较低电位,此时的 ESD 电流将通过 SCR 路径来泄放。由于 NMOS 管的存在,第三 NMOS 管 N3 会先于第一 N 阱 21 和 P 阱 23 所构成的反向 PN 结发生雪崩击穿;通过加入的第二 N+ 有源注入区 42 来提供辅助电流路径,使第一电阻 R1 产生足够压降让第一三极管 Q1 更早开启;故触发电压要比不接 NMOS 管的情况下要低。由于当 ESD 事件发生在 K 端,而 A 端接地时,若不加第四 NMOS 管 N4,ESD 应力电流会直接从第三 NMOS 管 N3 反向寄生二极管路径流过,所以需加入第四 NMOS 管 N4 防止此情况发生。

[0042] 如图 6(b) 和图 7 所示,当 ESD 事件发生在 K 端,而 A 端接地时,ESD 电流在 K 端上产生的电压会导致第二 N 阱 22 和 P 阱 23 所构成的反向 PN 结发生雪崩击穿,当雪崩击穿产生的载流子在第二电阻 R2 上所产生的压降达到第二 P+ 有源注入区 52 和第二 N 阱 22 所构成的正向二极管的开启电压 (0.7V) 时,寄生的 SCR 路径开启,并将 K 端电压箝位在一个较低电位,此时的 ESD 电流将通过 SCR 路径来泄放。同时,也由于 NMOS 管的存在,第二 NMOS 管 N2 会先于第二 N 阱 22 和 P 阱 23 所构成的反向 PN 结发生雪崩击穿;通过加入的第三 N+ 有源注入区 43 来提供辅助电流路径,使第二电阻 R2 产生足够压降让第二三极管 Q2 更早开启;故触发电压要比不接 NMOS 管的情况下要低。同时,也由于当 ESD 事件发生在 A 端,而 K 端接地时,若不加第一 NMOS 管 N1,ESD 应力电流会直接从第二 NMOS 管 N2 反向寄生二极管路径流过,所以需加入第一 NMOS 管 N1 防止此情况发生。

[0043] 图 8 所示了本实施方式与传统双向可控硅器件在 ESD 应力由 A 端至 K 端下的电流电压特性,从图中可以看出传统双向可控硅器件的触发电压为 34.4V,而本实施方式的触发电压只有 10.8V;由于两种结构为双向且对称,当 ESD 应力由 K 至 A,所得的电流电压特性曲线对称。由于 NMOS 管的存在,提供了额外辅助电流路径,使寄生的三极管提前开启,大大降低了可控硅器件的触发电压,并且可以通过调整第二 NMOS 管和第三 NMOS 管的溃崩电压的大小来调整双向触发电压的大小,适用于深亚微米以下的片上 ESD 防护。

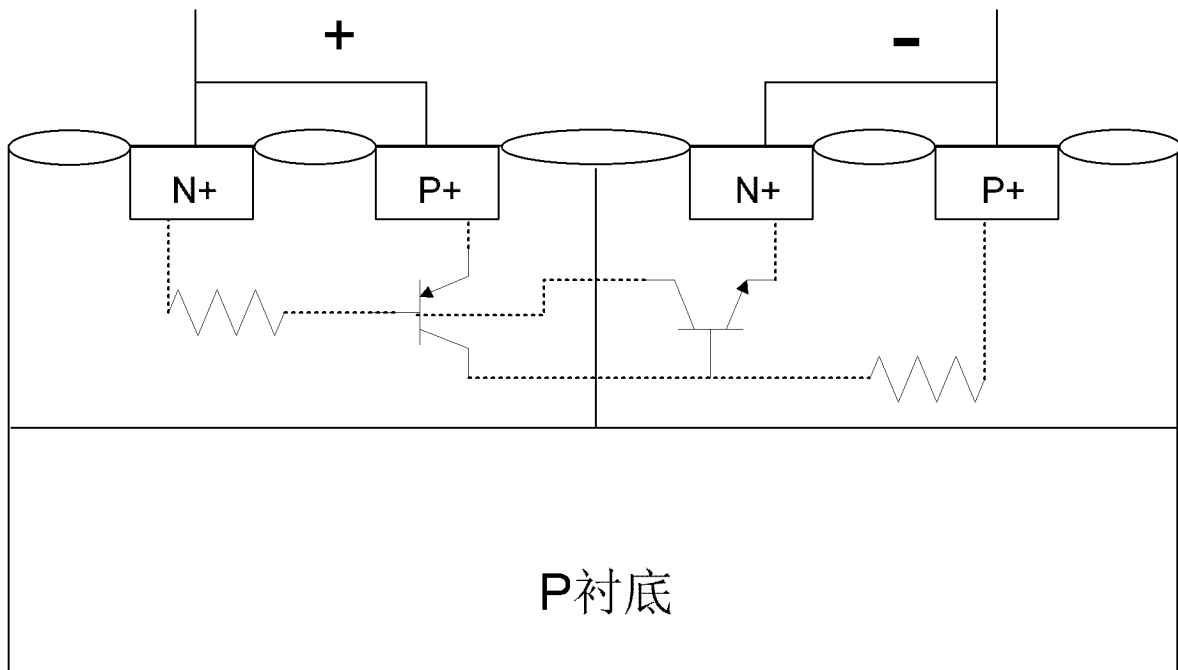


图 1

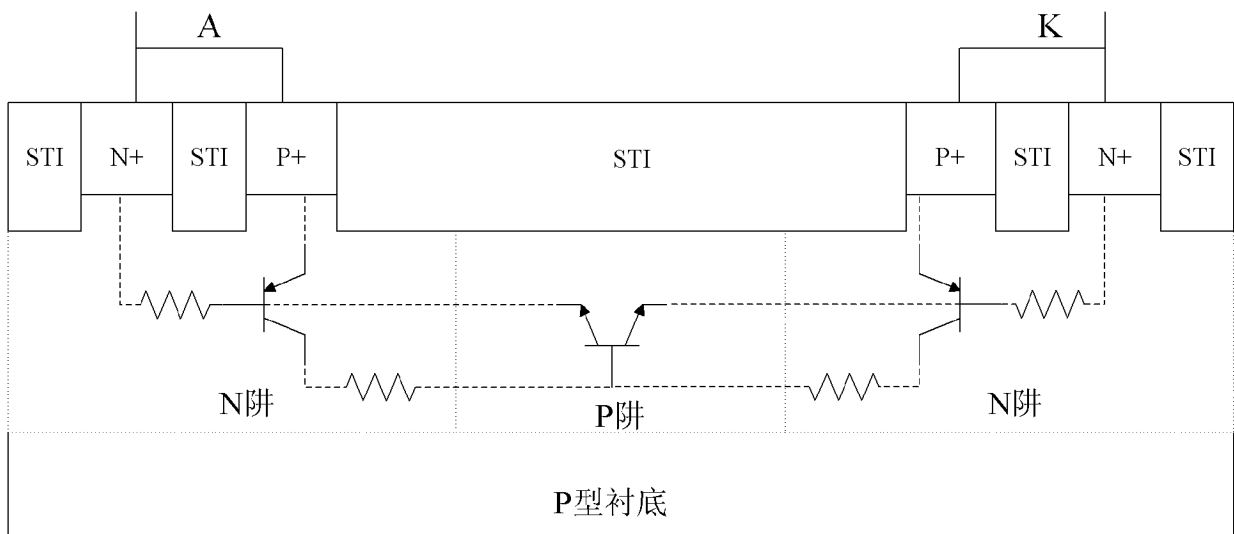


图 2

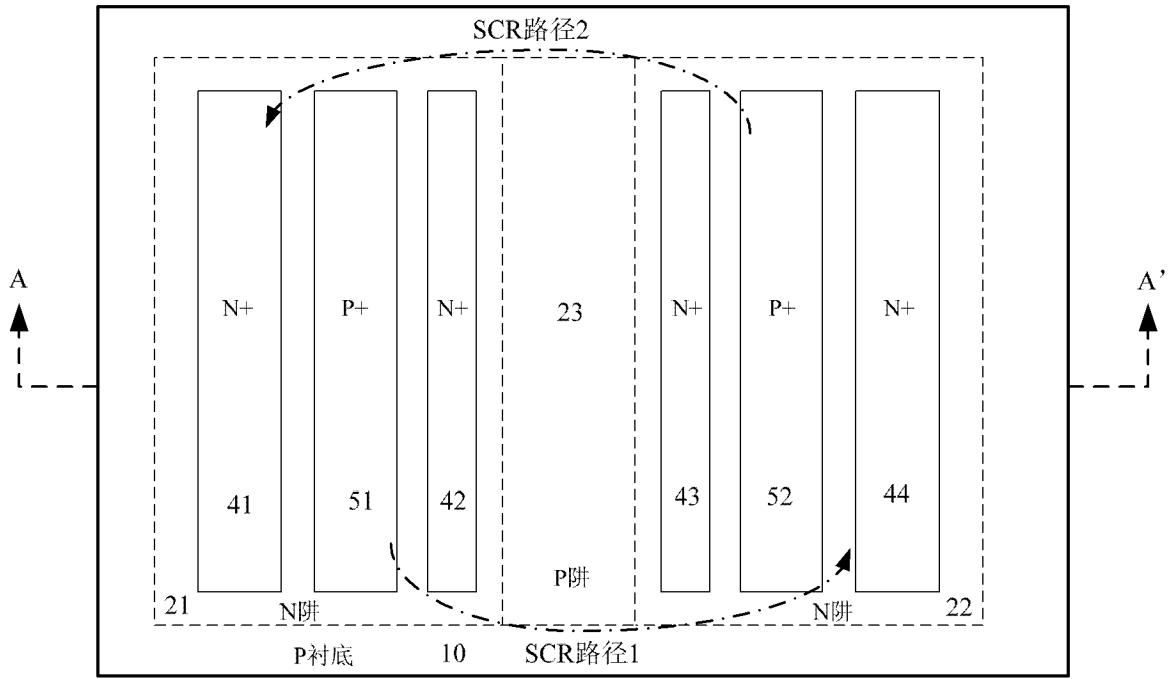


图 3

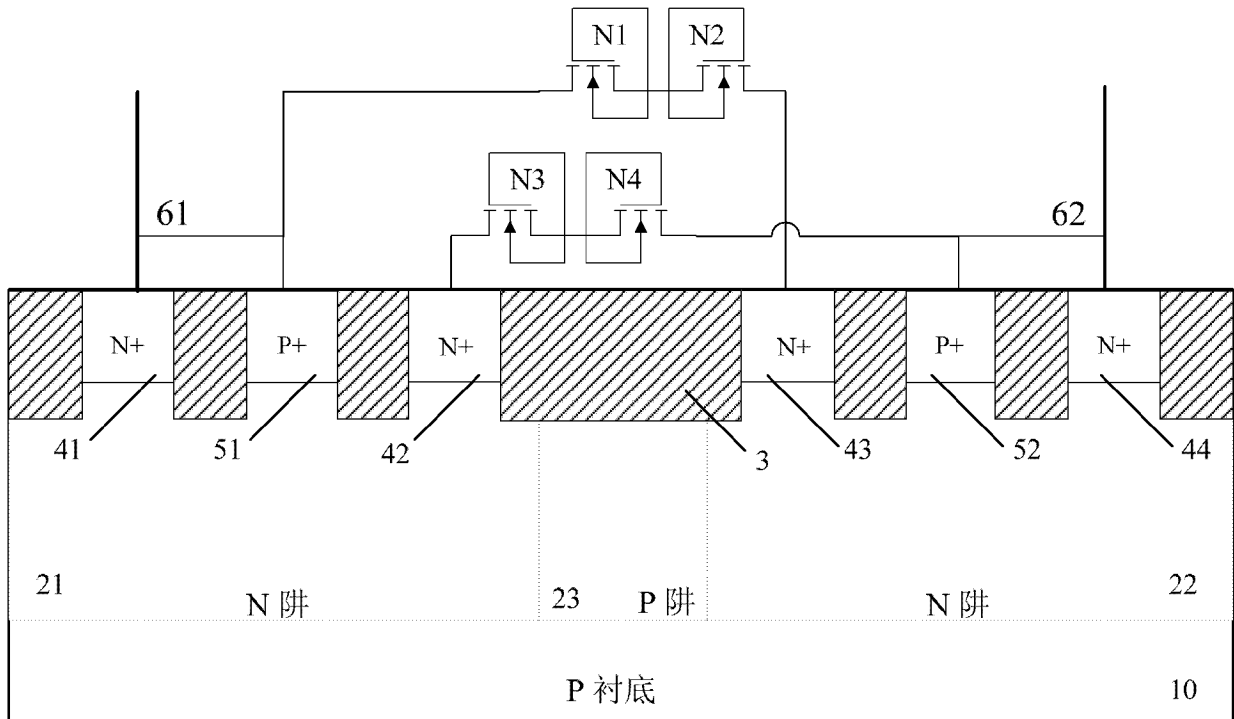


图 4

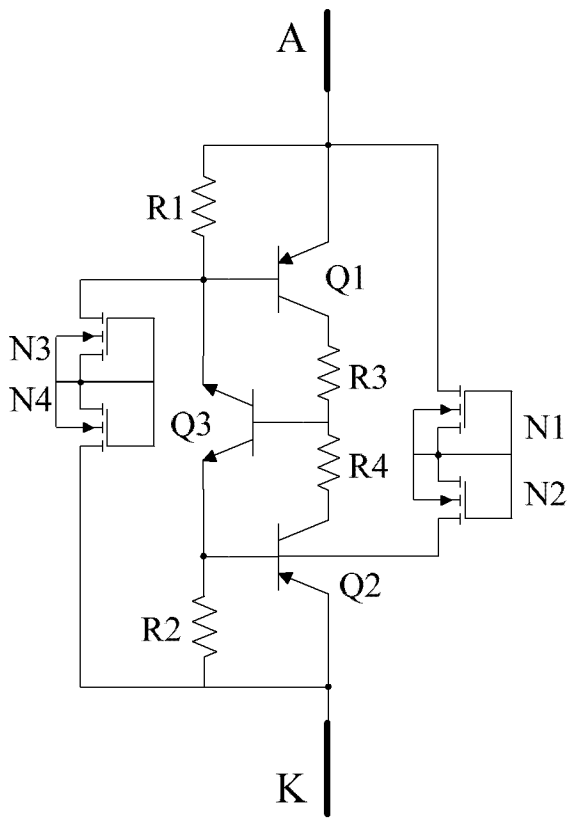


图 5

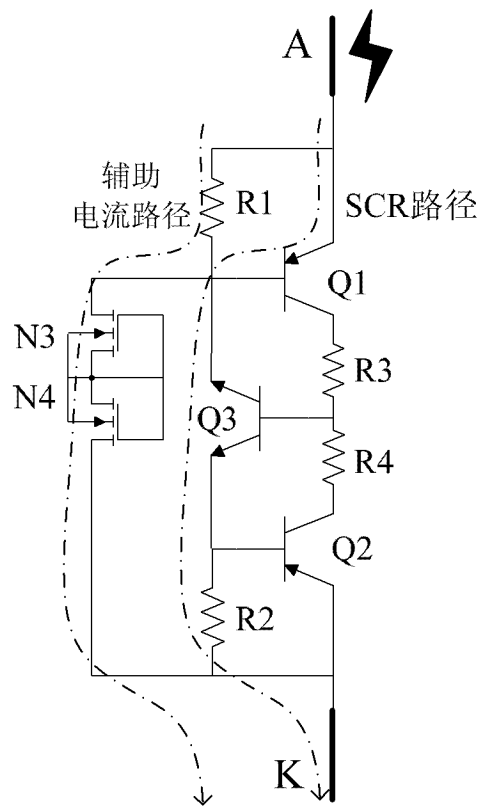


图 6(a)

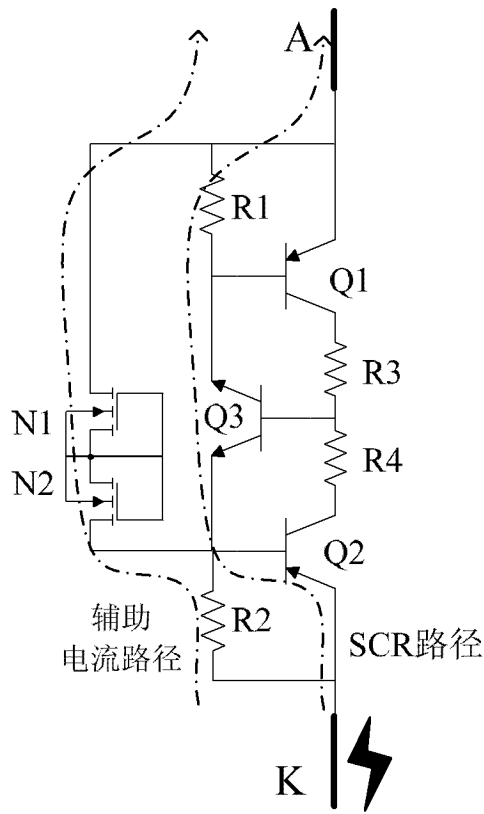


图 6 (b)

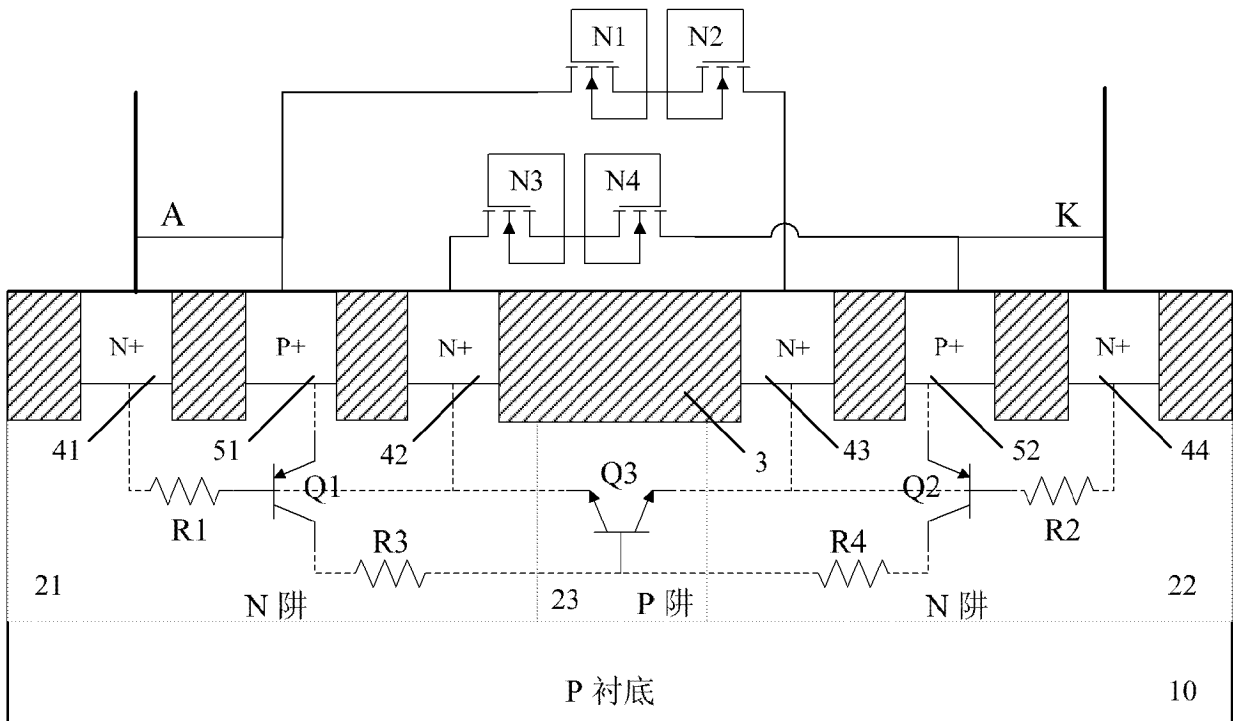


图 7

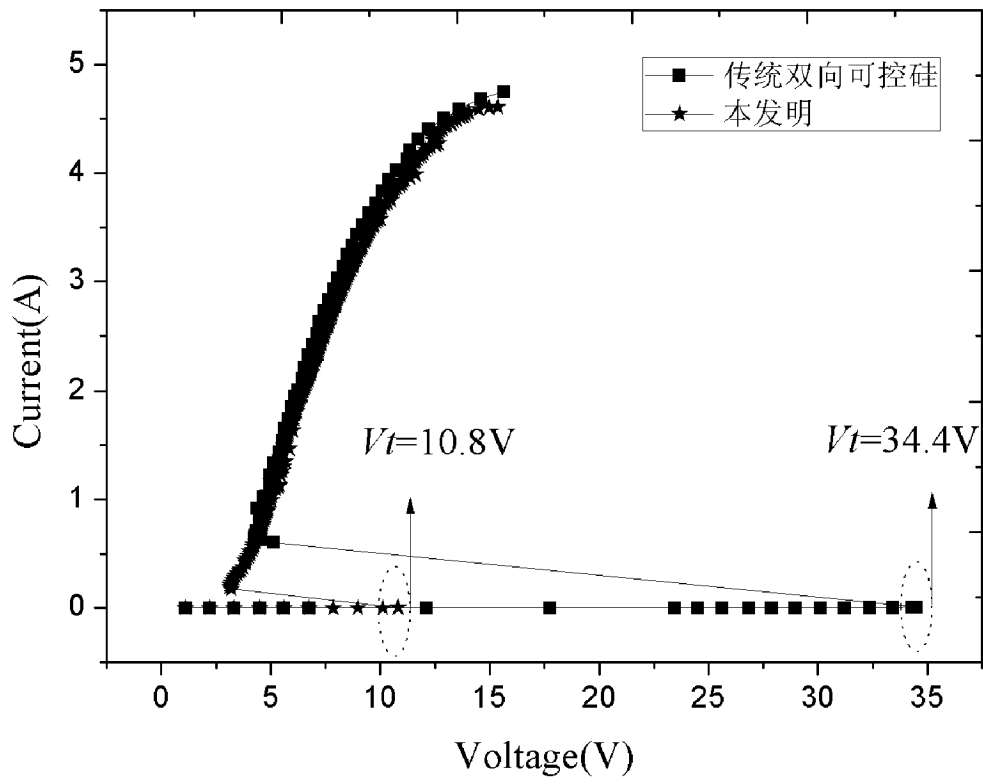


图 8