

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5613994号
(P5613994)

(45) 発行日 平成26年10月29日 (2014. 10. 29)

(24) 登録日 平成26年9月19日 (2014. 9. 19)

(51) Int. Cl.		F I		
H O 1 L 21/322	(2006. 01)	H O 1 L 21/322		Y
C 3 O B 29/06	(2006. 01)	C 3 O B 29/06		A
C 3 O B 33/02	(2006. 01)	C 3 O B 33/02		

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2009-98262 (P2009-98262)	(73) 特許権者	302006854
(22) 出願日	平成21年4月14日 (2009. 4. 14)		株式会社 S U M C O
(65) 公開番号	特開2010-251471 (P2010-251471A)		東京都港区芝浦一丁目2番1号
(43) 公開日	平成22年11月4日 (2010. 11. 4)	(74) 代理人	100064908
審査請求日	平成23年12月16日 (2011. 12. 16)		弁理士 志賀 正武
		(74) 代理人	100108578
			弁理士 高橋 詔男
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(72) 発明者	小野 敏昭
			東京都港区芝浦一丁目2番1号 株式会社 S U M C O 内
		(72) 発明者	伊藤 亘
			東京都港区芝浦一丁目2番1号 株式会社 S U M C O 内

最終頁に続く

(54) 【発明の名称】 シリコンウェーハおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

最高温度が1050 以上シリコンの融点以下で昇降温レートが150 / s e c 以上の条件により、熱処理時にウェーハで発生する内部応力が20MPaを超えるような条件とされる熱処理工程を有する半導体デバイスの製造プロセスに供されるシリコンウェーハの製造方法であって、

シリコン単結晶をチョクラルスキー法によりシリコン単結晶直胴部を初期酸素濃度 O_i が、 $1.2 \times 10^{17} \sim 1.8 \times 10^{17} \text{ atoms/cm}^3$ (Old - ASTM)、Void 欠陥が存在する領域として育成する引き上げ工程と、スライスされたウェーハに H_2 や Ar とされる非酸化性雰囲気による1100 以上で30min以上の高温アニール処理を施しデバイス形成領域であるウェーハ表層のVoid 欠陥を消滅するDZ処理工程と、該DZ処理工程前において、窒素を含まない非酸化性ガス雰囲気として、処理温度950 ~ 1200 の範囲、保持時間5sec ~ 1minの範囲、降温速度10 / s e c ~ 0.1 / s e c の範囲とされる析出溶解熱処理工程とを有することにより、

1000、16時間の熱処理をおこなった場合におけるウェーハ内部での酸素析出物密度を、半導体デバイスの製造プロセスでのフォトリソ工程において析出物から発生したスリップ転位によって生じるウェーハの変形による最大ずれ量を許容基準値である10nmを超えない 1×10^4 個/cm² 以下とすることを特徴とするシリコンウェーハの製造方法。

【請求項2】

前記引き上げ工程において、初期酸素濃度 O_i が、 $1.3 \times 10^{17} \sim 1.8 \times 10^{17}$ atoms/cm³ (Old-ASTM) となるように設定されることを特徴とする請求項 1 記載のシリコンウェーハの製造方法。

【請求項 3】

最高温度が 1050 以上シリコンの融点以下で昇降温レートが 150 /sec 以上の条件により、熱処理時にウェーハで発生する内部応力が 20 MPa を超えるような条件とされる熱処理工程を有する半導体デバイスの製造プロセスに供されるシリコンウェーハの製造方法であって、

シリコン単結晶をチヨクラルスキー法によりシリコン単結晶直胴部を初期酸素濃度 O_i が、 $1.2 \times 10^{17} \sim 1.8 \times 10^{17}$ atoms/cm³ (Old-ASTM、窒素が $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm³ ドープされ Void 欠陥が存在する領域として育成する引き上げ工程と、スライスされたウェーハに H₂ や Ar とされる非酸化性雰囲気による 1100 以上で 30 min 以上の高温アニール処理を施しデバイス形成領域であるウェーハ表層の Void 欠陥を消滅する DZ 処理工程と、該 DZ 処理工程前において、

窒素を含まない非酸化性ガス雰囲気として、処理温度 1225 ~ 1350 の範囲、保持時間 5 sec ~ 1 min の範囲、降温速度 10 /sec ~ 0.1 /sec の範囲とされる析出溶解熱処理工程とを有することにより、

1000、16 時間の熱処理をおこなった場合におけるウェーハ内部での酸素析出物密度を、半導体デバイスの製造プロセスでのフォトリソ工程において析出物から発生したスリップ転位によって生じるウェーハの変形による最大ずれ量を許容基準値である 10 nm を超えない 1×10^4 個/cm² 以下とすることを特徴とするシリコンウェーハの製造方法。

【請求項 4】

前記析出溶解熱処理工程において、処理雰囲気として窒素を含まない非酸化性ガスと 1% 以上の酸素ガスの混合雰囲気とすることを特徴とする請求項 1 から 3 のいずれか記載のシリコンウェーハの製造方法。

【請求項 5】

前記ウェーハの表面には、平坦面である表面側主面と、周縁部に形成された表面側面取り部とが設けられ、前記ウェーハの裏面には、平坦面である裏面側主面と、周縁部に形成された裏面側面取り部とが設けられ、

前記表面側面取り部の周縁端からウェーハ半径方向内方に向けた方向の幅 A1 が、前記裏面側面取り部の周縁端からウェーハ半径方向内方に向けた方向の幅 A2 よりも狭められるとともに、

前記表面側面取り部の幅 A1 が 50 μm から 200 μm の範囲とされ、前記裏面側面取り部の幅 A2 が 200 μm から 300 μm の範囲とされることを特徴とする請求項 1 から 4 のいずれか記載のシリコンウェーハの製造方法。

【請求項 6】

前記表面側面取り部は、前記表面側主面に対して傾斜する第一傾斜面を有し、前記裏面側面取り部は、前記裏面側主面に対して傾斜する第二傾斜面を有し、

前記第一傾斜面の傾斜角度 1 は 10° から 50° の範囲とされ、前記第二傾斜面の傾斜角度 2 は 10° から 30° の範囲とされ、更に 1 2 とされていることを特徴とする請求項 5 記載のシリコンウェーハの製造方法。

【請求項 7】

前記第一傾斜面と前記周縁端との間には、これらを接続する第一曲面が表面最外周に設けられ、前記第二傾斜面 W と前記周縁端との間には、これらを接続する第二曲面が裏面最外周部に設けられ、

前記第一曲面の曲率半径 R1 の範囲は 80 μm から 250 μm の範囲とされ、前記第二曲面の曲率半径 R2 の範囲は 100 μm から 300 μm の範囲とされることを特徴とする請求項 6 記載のシリコンウェーハの製造方法。

10

20

30

40

50

【請求項 8】

請求項 1 から 7 のいずれか記載のシリコンウェーハの製造方法により製造されたことを特徴とするシリコンウェーハ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコンウェーハおよびその製造方法に係り、特に、高い内部応力が発生する熱処理に供されるシリコンウェーハの反り等変形発生防止に用いて好適な技術に関する。

【背景技術】

10

【0002】

デバイスプロセスでの熱プロセスは低温処理、高温処理が多数用いられるため、エピタキシャルウェーハを用いた場合でも基板ウェーハに酸素析出形成が起こる。従来、この酸素析出物はプロセス中に起こる可能性がある金属不純物捕獲(ゲッターリング)に有効であり、酸素析出物形成は望まれていた。

【0003】

ところが、最近のデバイス製造プロセスでは急速昇降温工程が多数用いられてきており、デバイスプロセス中の熱処理における応力負荷が増大している。特に、デバイスの高集積化によりこのような急速昇降温工程がよりいっそう短時間化、最高温度も高温化する傾向にある。45nmノード(hp65)からはFLA(flash lamp annealing)、LSA(Laser Spike Anneal)、LTP(laser thermal process)、Spike-RTA(Rapid Thermal Annealing)と呼ばれるアニール工程が用いられる場合がある。

20

【0004】

このうち、FLA熱処理ではウェーハを400～600の初期温度に昇温しておき、Xeランプ等の短波長の光を用いてウェーハ全面に光照射し、ウェーハ極表層のみを1100以上シリコンの融点付近まで急速加熱・急冷する。また、熱処理時間はμ(マイクロ)秒からミリ秒の単位(オーダー)である。

【0005】

FLA処理に関する技術が以下の文献に開示されている。

【先行技術文献】

30

【特許文献】

【0006】

【特許文献1】特表2008-515200号公報

【特許文献2】特開2008-98640号公報

【0007】

これらのような熱処理ではウェーハ表面と裏面に数100の温度差が生じ、以前からおこなわれてきたRTAに比べて非常に高い応力が負荷されることがある。具体的には、20MPaをこえるような熱応力が部分的に発生する可能性がある。

【発明の概要】

【発明が解決しようとする課題】

40

【0008】

しかし、これらのような急速昇降温工程では、酸素析出物が形成した場合、形成した析出物はサイズのばらつきが生じて、サイズの大きな析出物から転位(Slip)を発生し、ウェーハを局所的に反らすという問題が生じることがある。反りを起こすと、デバイスプロセスにおいて露光時に下地パターンとの重ね合わせズレが起こるため、デバイス歩留まりを低下させることになる。また、このように局所的に反りを起こしたウェーハの形状を元に戻すことは不可能である。

【0009】

一方、デバイスプロセスにおいてポート傷・搬送傷を完全に抑制することは不可能である。上述したようなウェーハ変形を生じさせる転位(Slip)はこのポート傷・搬送傷から

50

も発生する。このようなスリップ伸展は、ウェーハの酸素濃度・ボロン濃度が高い方が抑制することが知られている。

しかし、酸素濃度の増大、ボロン濃度の増大は、同時に、上記酸素析出形成を促進する効果がある。したがって、酸素析出形成によるウェーハ変形・反りの発生を抑制しつつ、同時に、プロセス起因のSlip発生を抑制させることは困難であった。

【0010】

さらには、プロセス中で析出形成が進むことで、酸素が消費され、格子間酸素が減少する。この場合、発生した転位の伸展がさらに抑制できないことになり、ウェーハ強度がさらに低下することが考えられる。しかも、特許文献2の0042段に記載されるように、不純物の拡散を抑制するためなどの理由により、FLAより後の工程においては700 10

【0011】

本発明は、上記の事情に鑑みてなされたもので、高温におけるDZアニール処理を施してもバルク中での酸素析出形成がなく、さらにはデバイスプロセス中における酸素析出形成も抑制できるため、デバイスプロセスにおける局所的なウェーハ変形を防止でき、さらにデバイスプロセス中で析出形成が起こらず、Slip耐性の優れたシリコンウェーハとその製造方法とを提供することを目的とする。

【課題を解決するための手段】

【0012】

発明者らは、FLA, Spike-RTAなど急速昇降温工程においては、処理温度(ピーク温度)が高く、極めて短時間の間に昇温・降温がおこなわれるため、ウェーハにかかる応力が大きくなり、酸素析出の際に伸展するスリップによりウェーハに反り等の変形が発生するので、これに耐え得るウェーハを提供する手段を探求した。まず、従来のような条件の厳しくない熱処理時において、ウェーハ変形防止の手段として採用してきたウェーハ中の酸素析出物によるスリップ伸長防止は、上記の熱処理における温度条件が過酷で厳しすぎるため、逆に酸素析出からのスリップ伸展がウェーハ変形の原因となるため、無効であることがわかった。また、FLA, Spike-RTAにおいては、熱処理に供されるウェーハ種類の違いによりウェーハ中における応力(stress)の発生状態が異なるため、これらのウェーハ種類に対応した変形防止対策が必要であることがわかった。 30

【0013】

具体的には、大きなストレスを発生するデバイス工程に供する前に、ウェーハ内部の酸素析出を抑制するように、インゴット引き上げ時における酸素濃度の設定と、引き上げ時に添加するドーパント濃度の設定と、析出核を溶解するRTA処理の条件を設定する。その結果、後述する実施例のように、これらの条件を適切に設定することにより、急速昇降温工程によってウェーハに発生する変形の原因となるスリップ抑制状態と、同時に急速昇降温工程以外の処理で問題となるポート傷・搬送傷から発生するスリップ伸展をも防止可能とする状態を実現できることを見出した。

【0014】

本発明のシリコンウェーハの製造方法は、最高温度が1050 以上シリコンの融点以下で昇降温レートが150 /sec以上の条件により、熱処理時にウェーハで発生する内部応力が20MPaを超えるような条件とされる熱処理工程を有する半導体デバイスの製造プロセスに供されるシリコンウェーハの製造方法であって、 40

シリコン単結晶をチョクラルスキー法によりシリコン単結晶直胴部を初期酸素濃度O_iが、 $1.2 \times 10^{17} \sim 1.8 \times 10^{17} \text{ atoms/cm}^3$ (Old-ASTM)、Void欠陥が存在する領域として育成する引き上げ工程と、スライスされたウェーハにH₂やArとされる非酸化性雰囲気による1100 以上で30min以上の高温アニール処理を施しデバイス形成領域であるウェーハ表層のVoid欠陥を消滅するDZ処理工程と、該DZ処理工程前において、窒素を含まない非酸化性ガス雰囲気として、処理温 50

度 $950 \sim 1200$ の範囲、保持時間 $5 \text{ sec} \sim 1 \text{ min}$ の範囲、降温速度 $10 / \text{sec} \sim 0.1 / \text{sec}$ の範囲とされる析出溶解熱処理工程とを有することにより、
 1000 、 16 時間の熱処理をおこなった場合におけるウェーハ内部での酸素析出物密度を、半導体デバイスの製造プロセスでのフォトリソ工程において析出物から発生したスリップ転位によって生じるウェーハの変形による最大ずれ量を許容基準値である 10 nm を超えない 1×10^4 個 / cm^2 以下とすることを特徴とする。

本発明は、前記引き上げ工程において、初期酸素濃度 O_i が、 $13.8 \times 10^{17} \sim 18 \times 10^{17} \text{ atoms / cm}^3$ ($O_{1d} - ASTM$) となるように設定されることができる。

本発明のシリコンウェーハの製造方法は、最高温度が 1050 以上シリコンの融点以下で昇降温レートが $150 / \text{sec}$ 以上の条件により、熱処理時にウェーハで発生する内部応力が 20 MPa を超えるような条件とされる熱処理工程を有する半導体デバイスの製造プロセスに供されるシリコンウェーハの製造方法であって、

シリコン単結晶をチヨクラルスキー法によりシリコン単結晶直胴部を初期酸素濃度 O_i が、 $12.0 \times 10^{17} \sim 18 \times 10^{17} \text{ atoms / cm}^3$ ($O_{1d} - ASTM$ 、窒素が $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms / cm}^3$ ドープされ $Void$ 欠陥が存在する領域として育成する引き上げ工程と、スライスされたウェーハに H_2 や Ar とされる非酸化性雰囲気による 1100 以上で 30 min 以上の高温アニール処理を施しデバイス形成領域であるウェーハ表層の $Void$ 欠陥を消滅する DZ 処理工程と、該 DZ 処理工程前において、

窒素を含まない非酸化性ガス雰囲気として、処理温度 $1225 \sim 1350$ の範囲、保持時間 $5 \text{ sec} \sim 1 \text{ min}$ の範囲、降温速度 $10 / \text{sec} \sim 0.1 / \text{sec}$ の範囲とされる析出溶解熱処理工程とを有することにより、

1000 、 16 時間の熱処理をおこなった場合におけるウェーハ内部での酸素析出物密度を、半導体デバイスの製造プロセスでのフォトリソ工程において析出物から発生したスリップ転位によって生じるウェーハの変形による最大ずれ量を許容基準値である 10 nm を超えない 1×10^4 個 / cm^2 以下とすることを特徴とする。

本発明は、前記析出溶解熱処理工程において、処理雰囲気として窒素を含まない非酸化性ガスと 1% 以上の酸素ガスの混合雰囲気とすることができる。

本発明は、前記ウェーハの表面には、平坦面である表面側主面と、周縁部に形成された表面側面取り部とが設けられ、前記ウェーハの裏面には、平坦面である裏面側主面と、周縁部に形成された裏面側面取り部とが設けられ、

前記表面側面取り部の周縁端からウェーハ半径方向内方に向けた方向の幅 A_1 が、前記裏面側面取り部の周縁端からウェーハ半径方向内方に向けた方向の幅 A_2 よりも狭められるとともに、

前記表面側面取り部の幅 A_1 が $50 \mu\text{m}$ から $200 \mu\text{m}$ の範囲とされ、前記裏面側面取り部の幅 A_2 が $200 \mu\text{m}$ から $300 \mu\text{m}$ の範囲とされることができる。

本発明は、前記表面側面取り部は、前記表面側主面に対して傾斜する第一傾斜面を有し、前記裏面側面取り部は、前記裏面側主面に対して傾斜する第二傾斜面を有し、

前記第一傾斜面の傾斜角度 θ_1 は 10° から 50° の範囲とされ、前記第二傾斜面の傾斜角度 θ_2 は 10° から 30° の範囲とされ、更に $\theta_1 > \theta_2$ とされていることができる。

本発明は、前記第一傾斜面と前記周縁端との間には、これらを接続する第一曲面が表面最外周に設けられ、前記第二傾斜面 W と前記周縁端との間には、これらを接続する第二曲面が裏面最外周部に設けられ、

前記第一曲面の曲率半径 R_1 の範囲は $80 \mu\text{m}$ から $250 \mu\text{m}$ の範囲とされ、前記第二曲面の曲率半径 R_2 の範囲は $100 \mu\text{m}$ から $300 \mu\text{m}$ の範囲とされることができる。

本発明のシリコンウェーハの製造方法は、最高温度が 1050 以上シリコンの融点以下で昇降温レートが $150 / \text{sec}$ 以上の条件とされる熱処理工程を有する半導体デバイスの製造プロセスに供されるシリコンウェーハの製造方法であって、

10

20

30

40

50

シリコン単結晶をチョクラルスキー法によりシリコン単結晶直胴部をVoid欠陥が存在する領域として育成する引き上げ工程と、スライスされたウェーハにH₂やArとされる非酸化性雰囲気による1100以上シリコンの融点以下で30min以上の高温アニール処理を施しデバイス形成領域であるウェーハ表層のVoid欠陥を消滅するDZ処理工程と、該DZ処理工程前において、窒素を含まない非酸化性ガス雰囲気として、処理温度950~1200の範囲、保持時間5sec~1minの範囲、降温速度10/sec~0.1/secの範囲とされる析出溶解熱処理工程とを有することができる。

本発明において、最高温度が1050以上シリコンの融点以下で昇降温レートが150/sec以上の条件とされる熱処理工程を有する半導体デバイスの製造プロセスに供されるシリコンウェーハの製造方法であって、

シリコン単結晶をチョクラルスキー法によりシリコン単結晶直胴部を窒素が $1 \times 10^3 \sim 5 \times 10^4 \text{ atoms/cm}^3$ ドープされVoid欠陥が存在する領域として育成する引き上げ工程と、スライスされたウェーハにH₂やArとされる非酸化性雰囲気による1100以上で30min以上の高温アニール処理を施しデバイス形成領域であるウェーハ表層のVoid欠陥を消滅するDZ処理工程と、該DZ処理工程前において、窒素を含まない非酸化性ガス雰囲気として、処理温度1225~1350の範囲、保持時間5sec~1minの範囲、降温速度10/sec~0.1/secの範囲とされる析出溶解熱処理工程とを有することができる。

本発明は、前記析出溶解熱処理工程において、処理雰囲気として窒素を含まない非酸化性ガスと1%以上の酸素ガスの混合雰囲気とすることができる。

また、本発明のシリコンウェーハの製造方法は、前記引き上げ工程において、初期酸素濃度O_iが、 $1.2 \times 10^{17} \sim 1.8 \times 10^{17} \text{ atoms/cm}^3$ (Old-ASTM)となるように設定されることがある。

また、本発明のシリコンウェーハにおいては、上記のいずれが記載のシリコンウェーハの製造方法により製造されたことができる。

本発明のシリコンウェーハは、1000、16時間の熱処理後に、酸素析出密度が $1 \times 10^4 \text{ 個/cm}^2$ 以下とされてなることができる。

【0015】

本発明のシリコンウェーハの製造方法は、最高温度が1050以上シリコンの融点以下で昇降温レートが150/sec以上の条件とされる熱処理工程を有する半導体デバイスの製造プロセスに供されるシリコンウェーハの製造方法であって、

シリコン単結晶をチョクラルスキー法によりシリコン単結晶直胴部をVoid欠陥が存在する領域として育成する引き上げ工程と、スライスされたウェーハにH₂やArとされる非酸化性雰囲気による1100以上で30min以上の高温アニール処理を施しデバイス形成領域であるウェーハ表層のVoid欠陥を消滅するDZ処理工程と、該DZ処理工程前において、窒素を含まない非酸化性ガス雰囲気として、処理温度950~1200の範囲、保持時間5sec~1minの範囲、降温速度10/sec~0.1/secの範囲とされる析出溶解熱処理工程とを有することにより、早い引き上げ速度で引き上げられてVoid欠陥を有するV領域からなり、極めてBMDのできやすいいわゆるアニールウェーハであっても、析出溶解熱処理工程によって、変形原因となる酸素析出核を溶解することにより、従来のRTA処理に比べて条件が厳しく、シリコンウェーハで生じる最大応力が20MPaを超えるようなデバイス製造プロセス急速昇降温熱処理に供した場合でも、変形が防止できるとともに、同時に、ウェーハ強度低下の原因となるポット傷・搬送傷から発生するスリップ伸展をも防止可能なシリコンウェーハを提供可能とすることができる。

【0016】

急速昇降温工程の一例として、45nmノード(hp65)で、MOSFETのアニール工程があり、ここでは、従前のRTAに比べて、より高温、短時間なアニールがおこなわれる。これは、図3に示すように、符号Mosで示すMOSFETのソースMs、

10

20

30

40

50

ドレイン M d に隣接し基板表面からの深さ（接合深さ） X_i が 20 nm 程度と浅い不純物拡散領域である極浅接合 M e x において、図 4 に示すような箱形の不純物プロファイル、つまり、極浅接合 M e x 領域内における不純物濃度の均一性と境界での急峻な変化状態の実現が必要だからである。このように、高い加熱温度により打ち込んだ不純物を十分に活性化して抵抗を下げ、同時に、短い加熱時間により不純物の不必要な拡散を抑えるとともに活性化した不純物の失活（deactination）を避けるためである。

【 0 0 1 7 】

このように、45 nm ノード（h p 6 5）で要求される 20 nm を下回る接合深さ X_i を実現するために、ウェーハを 400 ~ 600 以下の初期温度に昇温しておき、X e フラッシュランプ等の短波長の光を用いてウェーハ全面に光照射しミリ秒単位の熱処理時間（10）でウェーハ極表面層のみを 900 ~ 1350 程度まで急速加熱・急冷する F L A や、ウェーハをホットプレート上で 400 ~ 600 の初期温度に昇温しておき、連続発振レーザを照射してウェーハをスポット走査することで、 μ 秒からミリ秒熱処理時間となるように 1100 以上シリコンの融点付近まで急速加熱・急冷する L S A などがおこなわれる。

F L A、L S A においては、h a l o の不純物濃度分布特性維持、接合リークの低減、ゲート・リークの抑制、ソース・ドレインの寄生抵抗の低減、ゲートの空乏化も抑制を実現可能な処理条件が選択される。

【 0 0 1 8 】

上記のような条件とされた F L A などにおいては、熱処理時にウェーハで発生する内部応力が 50 ~ 150 MP a というレベルに達することがある。本発明における急速昇降温工程としては、この F L A に限らず、発生する内部応力が 20 MP a を超えるような条件の厳しい熱処理を全て対象とする。（20）

【 0 0 1 9 】

また、F L A や、急速昇降温工程としての S p i k e - R T A においては、温度条件が高く、昇温速度、降温速度が大きいいため、上記のように大きな熱応力によりサイズの大きな酸素析出物からスリップ転位が発生する。

この結果、オーバーレイエラー（Overlay Error）すなわち、デバイス製造における急速昇降温工程前後でおこなわれるフォトリソ工程でパターンの重ね合わせがずれてしまうという事態が生じる。（30）

【 0 0 2 0 】

一例として、I C、L S I 等の製造に見られるようにシリコンウェーハにパターンを露光する場合は、図 5 に示すように、ウェーハ 2 1 をワークステージ 2 2 上に真空吸着により保持固定し、フォトマスク 2 3 をワークステージ 2 2 より上方のマスクホルダ 2 4 に保持固定し、ワークステージ 2 2 を上昇させウェーハ（薄板状ワーク）2 1 をフォトマスク 2 3 に密着させ、しかる後露光を行う。ウェーハ 2 1 の表面には予めフォトレジスト膜（図示せず）が形成されており、このフォトレジスト膜に対して露光が行われ、フォトマスク 2 3 のパターンが焼き付けられる。

【 0 0 2 1 】

図 6 においては、ウェーハ上で急速昇降温工程の前工程で形成したパターンに対して、急速昇降温工程の後工程で形成しようとするパターンを重ね合わせた際に発生した水平方向の変化量をウェーハ各点における矢印の長さで示している。露光時にはウェーハがステージ上に真空吸着されるが、この吸着されるウェーハに反り等の変形があると、吸着時に反りなどの変形が矯正された状態でステージにウェーハが固定されるため、ウェーハの矯正された変形分だけ前工程でウェーハ上に形成されたパターンが変形（水平移動）し、本来あるべき位置からずれてしまいオーバーレイエラーが生じると考えられる。（40）

【 0 0 2 2 】

このウェーハの反りなどの変形は、サイズの大きな析出物から発生したスリップ転位によって生じると考えられる。反りなどの変形により、一定以上の変形が生じた場合には、この変形は矯正できないことから、当該ウェーハは排棄されることになり、デバイス収率（50）

が著しく低下するとともに、全体としてのデバイス製造コストが大幅に増大してしまう。

【0023】

本願発明者らの知見として、このようなオーバーレイエラーは、発生するBMD（酸素析出物）の密度によってほぼ予測でき、図7に示すように、発生するBMD密度が 5×10^4 個/cm²を超える程度で急激に変形が発生し、最大ずれ量が許容基準値である10nmを超えてしまう。図に示す最大ずれ量の増大は、スリップ発生量の増大に起因していると考えられる。

【0024】

また、従来、ウェーハには酸素析出物によってゲッタリング能を付与してきたが、現実にはゲッタリングが必要となる頻度、すなわち、重金属汚染が発生する頻度は、現状のデバイス製造工程においては極めて低い。これは、ゲッタリングを必要としていた200mmウェーハを主に使用していた製造ラインおよびこのラインが設置された環境における清浄度（異物の存在していない率）に対して、現在の300mmウェーハのそれ、または450mmウェーハのそれが極めて向上しているためである。従って、発生確率の低い汚染への対策であるゲッタリング能付与に比べて、ダイレクトにデバイス収率に影響を及ぼすオーバーレイエラーへの対策として、BMDを低減することを選択したものである。

【0025】

また、同時に、FLAや、急速昇降温工程としてのSpike-RTAにおいては、リング状のサセプタがウェーハのエッジ部分とのみ接触するようにしてウェーハを支持した状態で、熱処理がおこなわれる。このため、<4, 0, 0>方向における反射鉋によるX線トポグラフィーで観測した際に、図8に示すような支持されているウェーハエッジ部分にスリップ転位が発生する。

【0026】

このスリップ転位は支持部分付近、すなわち、ウェーハエッジ部分のみで、デバイス部分にかからない周縁部から3mm程度であれば、デバイス部分そのものに影響がないとは考えられるが、結果的に、このスリップからウェーハの割れが発生するなど、ウェーハ自体の強度が低下し、やはりデバイス収率の低下の原因となる。従来は酸素析出物でのスリップ伸長抑制が可能であったが、スリップ伸長効果のある酸素析出物があると、急速昇降温工程でのウェーハ変形によるオーバーレイエラーが生じてしまうため、この手法以外の対策が好ましい。

【0027】

本願発明者らは、シリコンウェーハの製造工程において、このようなウェーハ変形発生防止とスリップ発生防止とを同時に可能とする対策として、チョクラルスキー法により育成される際に設定すべき条件を見出したものである。

【0028】

本発明のシリコンウェーハにおいては、シリコン単結晶がチョクラルスキー法により育成される際にVoid欠陥を有するシリコン単結晶を引き上げ可能な高速引き上げにより育成されたものである。

本発明においてVoid欠陥を有するとは、少なくとも、Grown-in欠陥フリーではなく、COP欠陥などの結晶育成に伴って生る可能性のある欠陥を有しているV領域を有すること、つまり、COP発生領域を有することを意味し、このV領域を有していれば、OSF領域、Pv領域、Pi領域を有していてもよいことを意味する。

【0029】

また、本発明で、OSF領域とは、乾燥酸素雰囲気で900 から1000 まで、昇温速度5 /minで昇温した後、乾燥酸素雰囲気で1000 、1時間、その後、ウェット酸素雰囲気で1000 から1150 まで昇温速度3 /minで昇温した後、ウェット酸素雰囲気で1150 、2時間、その後900 まで降温する熱処理後に、2μmのライトエッチングを実施してOSF領域を顕在化させ、OSF密度のウェーハ面内分布を測定した際に、OSFの密度が10個/cm²の領域を意味し、OSF領域を排除可能とは、上述したようにOSF領域を顕在化させ、OSF密度のウェーハ面内分布を測定

10

20

30

40

50

した際に、OSFの密度が $10 \text{ 個} / \text{cm}^2$ の領域が存在しない場合、OSF領域が存在しない、すなわち、OSF領域が排除可能と判断するものである。

【0030】

なお、Pv領域、Pi領域とは、チョクラルスキー法によりシリコン単結晶インゴットを育成し、前記インゴット内での格子間シリコン型点欠陥が支配的に存在する領域をI領域とし、空孔型点欠陥が支配的に存在する領域をV領域とし、格子間シリコン型点欠陥の凝集体及び空孔型点欠陥の凝集体が存在しない領域をP領域とするとき、前記I領域に隣接しかつ前記P領域に属し侵入型転位を形成し得る最低の格子間シリコン濃度未満の領域をPi領域とし、前記OSF領域に隣接しかつ前記P領域に属しCOPを形成し得る空孔濃度以下の領域をPv領域とする。

10

【0031】

シリコンウェーハは、CZ法により引き上げ炉内のシリコン融液からインゴットをボロンコフ(Voronkov)の理論に基づいた所定の引上げ速度プロファイルで引上げた後、このインゴットを切出して作製される。一般的に、CZ法により炉内のシリコン融液からシリコン単結晶のインゴットを引上げたときには、シリコン単結晶における欠陥として、点欠陥(point defect)と点欠陥の凝集体(agglomerates:三次元欠陥)が発生する。点欠陥は空孔型点欠陥と格子間シリコン型点欠陥という二つの一般的な形態がある。空孔は一つのシリコン原子がシリコン結晶格子で正常的な位置の一つから離脱したものである。このような空孔に起因する欠陥が空孔型点欠陥(ボイド欠陥)である。一方、シリコン結晶の格子点以外の位置(インタースチシャルサイト)に存在するシリコン原子が格子間シリ

20

【0032】

点欠陥は一般的にシリコン融液(溶融シリコン)とインゴット(固状シリコン)の間の接触面で形成される。しかし、インゴットを継続的に引上げることによって接触面であった部分は引上げとともに冷却し始める。冷却の間、空孔又は格子間シリコンは拡散し、空孔の凝集体(vacancy agglomerates)であるCOP又は格子間シリコンの凝集体(interstitial agglomerates)である転位クラスタが形成される。言い換えれば、凝集体は点欠陥の合併に起因して発生する三次元構造である。空孔型点欠陥の凝集体は前述したCOPの他に、LSTD(Laser Scattering Tomograph Defects)又はFPD(Flow Pattern Defects)と呼ばれる欠陥を含み、格子間シリコン型点欠陥の凝集体は前述したLDと呼ばれる欠陥を含む。FPDとは、インゴットを切出して作製されたシリコンウェーハを30分間セコエッチング(Secco etching、HF:K₂Cr₂O₇(0.15mol/l)=2:1の混合液によるエッチング)したときに現れる特異なフローパターンを呈する痕跡の源であり、LSTDとは、シリコン単結晶内に赤外線を照射したときにシリコンとは異なる屈折率を有し散乱光を発生する源である。

30

【0033】

ボロンコフの理論は、インゴットの引上げ速度をV(mm/分)、インゴットとシリコン融液の界面近傍のインゴット鉛直方向の温度勾配をG(/mm)とするときに、V/G(mm²/分・)を制御し、含まれる欠陥の数・種類を特定できるインゴットを成長させることである。

40

このV/Gの値が高い値から低い値と変化するのに対応して、上述したV領域、OSF領域、Pv領域、Pi領域、I領域の順となる。

【0034】

このような領域の境界となるV/Gの値は、V領域とOSF領域との境界となるしきい値、OSF領域とPv領域との境界となるしきい値、Pv領域とPi領域との境界となるしきい値、Pi領域とI領域との境界となるしきい値の順に減少する。

このV/Gの値は、引き上げ炉上部におけるホットゾーンの構造等、各実機によって異なるが、COP密度、OSF密度、BMD密度、LSTD密度又はFPD、ライトエッチング欠陥密度などを測定することによって、判別可能である。

【0035】

50

また、「ライトエッチング欠陥」とは、As-Grownのシリコン単結晶ウェーハを硫酸銅水溶液に浸漬した後自然乾燥し、窒素雰囲気中で900、20分程度の熱処理を行なうCuデコレーションを行ない、その後、試片表層のCuシリサイド層を除去するために、HF/HNO₃混合溶液中に浸漬して、表層を数十ミクロン程度エッチングして除去し、その後、ウェーハ表面を2μmライトエッチング(クロム酸エッチング)し、光学顕微鏡を用いて検出される欠陥である。この評価手法によれば、結晶育成時に形成した転位クラスタをCuデコレーションすることで顕在化させ、転位クラスタを感度良く検出することができる。即ちライトエッチング欠陥には、転位クラスタが含まれる。

また、本発明において、「LPD密度」とは、レーザ光散乱式パーティクルカウンター(SP1(surfscan SP1):KLA-Tencor社製)を用いて検出される0.09μmサイズ以上の欠陥の密度である。

10

【0036】

本発明においてCOPを含むウェーハとは0.09μm以上のLPD(Light point defect)数が100個/wf以上のウェーハである。

本発明において、V領域からなるように引き上げるためには、例えば、V/Gが、0.22以上とすることができる。

本発明におけるDZ処理を施すウェーハとしては、レーザ光散乱式パーティクルカウンター(SP1(surfscan SP1):KLA-Tencor社製)で測定した際に、0.09μm以上のサイズのLPD数が上記の範囲のウェーハが採用される。つまり、このようなCOPを含むウェーハとは、窒素ドーブして引き上げたインゴットからスライスされ、上記のようなウェーハ面内密度(ウェーハ全面での個数/ウェーハ面積)を有するCOPが存在するものであり、全面Void欠陥を含むウェーハとOSF-ringも一部含むウェーハとをその対象とする。

20

本発明では、窒素ドーブウェーハではOSF-ring領域がVoid領域に拡大する傾向が見られるが、OSF領域やPv領域等を含んでいてもよい。

【0037】

本発明において、最高温度が1050以上シリコンの融点以下で昇降温レートが150/sec以上の条件とされる熱処理工程を有する半導体デバイスの製造プロセスに供されるシリコンウェーハの製造方法であって、

シリコン単結晶をチョクラルスキー法によりシリコン単結晶直胴部を窒素が $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^3$ ドーブされVoid欠陥が存在する領域として育成する引き上げ工程と、スライスされたウェーハにH₂やArとされる非酸化性雰囲気による1100以上で30min以上の高温アニール処理を施しデバイス形成領域であるウェーハ表層のVoid欠陥を消滅するDZ処理工程と、該DZ処理工程前において、窒素を含まない非酸化性ガス雰囲気として、処理温度1225~1350の範囲、保持時間5sec~1minの範囲、降温速度10/sec~0.1/secの範囲とされる析出溶解熱処理工程とを有することにより、BMDの形成されやすい窒素を含むウェーハであっても、析出溶解熱処理工程において、窒素を含まない状態に比べて高い温度条件とすることで、ウェーハ変形発生防止とスリップ発生防止とを同時に可能とすることができる。

30

40

【0038】

本発明は、前記析出溶解熱処理工程において、処理雰囲気として窒素を含まない非酸化性ガスと1%以上の酸素ガスの混合雰囲気とすることにより、ウェーハ変形発生防止とスリップ発生防止とを同時に可能とすることができる。

【0039】

また、本発明のシリコンウェーハの製造方法は、前記引き上げ工程において、初期酸素濃度O_iが、 $1.2 \times 10^{17} \sim 1.8 \times 10^{17} \text{ atoms/cm}^3$ (Old-ASTM)となるように設定されることにより、引き上げ時の設定で高酸素濃度とされても、ウェーハ変形発生防止とスリップ発生防止とを同時に可能とすることができる。

【0040】

50

また、本発明のシリコンウェーハにおいては、上記のいずれが記載のシリコンウェーハの製造方法により製造され、1000、16時間の熱処理後に、酸素析出密度が 1×10^4 個/cm²以下とされてなることで、図6に示すオーバーレイエラーの原因となるウェーハの反り等の変形発生と、図5に示すような支持されているウェーハエッジ部分のスリップ転位発生とを同時に防止可能なウェーハとすることができる。

【0041】

なお、ウェーハまたはデバイス生産に係る製造工程においては、ウェーハの反り等の変形とエッジ部分のスリップ転位とは、スリップ長によって判断することができる。具体的には、後述するように、0.5~2mmを、2~5mmを、5~10mmをxとしてそれぞれを判別する。

10

【発明の効果】

【0042】

本発明によれば、従来のRTA処理に比べて条件が厳しく、シリコンウェーハで生じる最大応力が20MPaを超えるようなデバイス製造プロセス急速昇降温熱処理に供した場合でも、原因となる酸素析出を低減してウェーハ変形発生を防止できるとともに、同時に、ウェーハ強度低下の原因となるポート傷・搬送傷から発生するスリップ伸展をも防止可能なシリコンエピタキシャルウェーハを提供可能とすることができる。

【図面の簡単な説明】

【0043】

【図1】本発明に係るシリコンエピタキシャルウェーハの製造方法の第1実施形態を示すフローチャートである。

20

【図2】本発明の実施形態のシリコンウェーハの製造方法を実施する際に使用されるCZ炉の縦断面模式図である。

【図3】MOSFETを示す模式断面図である。

【図4】不純物濃度と接合深さとの関係において箱形の不純物プロファイルを示すグラフである。

【図5】従来の露光機におけるワークステージの断面図である。

【図6】オーバーレイエラーを示す平面図である。

【図7】BMD密度とスリップ発生による最大ずれ量との関係を示すグラフである。

【図8】X線トポグラフィーによりウェーハエッジ部分のスリップ転位発生状態を示す図である。

30

【図9】本発明に係るシリコンウェーハの縁部を示す拡大断面図である。

【図10】RTA処理装置の一部を示す概念図である。

【発明を実施するための形態】

【0044】

以下、本発明に係るシリコンウェーハおよびその製造方法の第1実施形態を、図面に基づいて説明する。

図1は、本実施形態におけるシリコンウェーハおよびその製造方法を示すフローチャートである。

【0045】

40

本実施形態におけるシリコンウェーハの製造方法は、図1に示すように、製造条件設定工程S0と、引き上げ工程を含むウェーハ準備工程S11と、析出溶解熱処理工程S3と、DZ処理工程S13と、を有し、製造されたシリコンエピタキシャルウェーハは、急速昇降温熱処理工程S52を有するデバイス製造工程S5に供されるものとされる。

【0046】

図1に示す製造条件設定工程S0は、デバイス製造工程S5に供されるウェーハの規格や、ウェーハ準備工程S1におけるCZ(チョクラルスキー)法によりシリコン融液からシリコン単結晶を引き上げる際の条件とDZ処理工程S13の処理条件、および、これらに基づいた析出溶解熱処理工程S3の条件を設定するものとされる。特に、ウェーハを供する後工程としての半導体デバイスの製造工程S5におけるFLA等の急速昇温冷却熱処

50

理工程 S 5 2 に応じて、ウェーハで発生する応力とこの応力に対応して要求される酸素析出状態を所望の状態に設定するものとされ、析出溶解熱処理工程 S 3 における処理条件を、デバイス工程 S 5 において、シリコンウェーハが供される熱処理が、最高温度が 1 1 0 0 以上シリコンの融点以下で処理時間が 1 μ 秒から 1 0 0 m 秒程度までの条件とされる急速昇温冷却熱処理工程 S 5 2 の前後で、前フォトリソ工程 S 5 1 で形成されたパターンと、後フォトリソ工程 S 5 3 で形成するパターンとにずれが生じオーバーレイエラーとならないように、この急速昇温冷却熱処理工程 S 5 2 において、変形発生とスリップ発生を抑制可能な条件を設定することになる。

この製造条件設定工程 S 0 は、ウェーハ準備工程 S 1 における操業条件としては、引き上げ時に制御するパラメーターとなる引き上げ速度 V と固液界面からの温度国倍 G との比、V / G の値、シリコンウェーハ（基板）の酸素濃度 O_i 、ドーパント濃度などが設定される。

10

【 0 0 4 7 】

ウェーハ準備工程 S 1 は、C Z 炉により、C Z 法で単結晶を引き上げるとともに、引き上げられたシリコンインゴットからスライス加工、および、面取り、研削、研磨、洗浄等の表面処理をおこなうことによってシリコンウェーハを準備する工程である。ここで、シリコンウェーハは径寸法 3 0 0 m m 以上 4 5 0 m m 程度のものが適応可能である。

【 0 0 4 8 】

図 2 は、本発明の実施形態におけるシリコンウェーハの製造方法を実施するのに適した C Z 炉の縦断面図である。

20

【 0 0 4 9 】

図 2 に示す C Z 炉は、チャンバー内の中心部に配置されたルツボ 1 と、ルツボ 1 の外側に配置されたヒータ 2 と、ヒータ 2 の外側に配置された磁場供給装置 9 とを備えている。ルツボ 1 は、内側にシリコン融液 3 を収容する石英ルツボ 1 a を外側の黒鉛ルツボ 1 b で保持する二重構造であり、ペディスタルと呼ばれる支持軸 1 c により回転および昇降駆動される。

【 0 0 5 0 】

ルツボ 1 の上方には、円筒形状の熱遮蔽体 7 が設けられている。熱遮蔽体 7 は、黒鉛で外殻を作り、内部に黒鉛フェルトを充填した構造である。熱遮蔽体 7 の内面は、上端部から下端部にかけて内径が漸減するテーパ面になっている。熱遮蔽体 7 の上部外面は内面に対応するテーパ面であり、下部外面は、熱遮蔽体 7 の厚みを下方に向かって漸増させるようにほぼストレート面に形成されている。

30

そして、シードチャック 5 に取り付けた種結晶 T をシリコン融液 3 に浸漬し、ルツボ 1 および引き上げ軸 4 を回転させつつ種結晶 T を引き上げることにより、シリコン単結晶 6 を形成できるようになっている。

【 0 0 5 1 】

熱遮蔽体 7 は、ヒータ 2 およびシリコン融液 3 面からシリコン単結晶 6 の側面部への輻射熱を遮断するものであり、育成中のシリコン単結晶 6 の側面を包囲するとともに、シリコン融液 3 面を包囲するものである。熱遮蔽体 7 の仕様例を挙げると次のとおりである。半径方向の幅 W は例えば 5 0 m m、逆円錐台面である内面の垂直方向に対する傾きは例えば 2 1 °、熱遮蔽体 7 の下端の融液面からの高さ H 1 は例えば 6 0 m m とする。また、磁場供給装置 9 から供給される磁場は、水平磁場やカスプ磁場など採用することができ、例えば水平磁場の強度としては、2 0 0 0 ~ 4 0 0 0 G (0 . 2 T ~ 0 . 4 T)、より好ましくは 2 5 0 0 ~ 3 5 0 0 G (0 . 2 5 T ~ 0 . 3 5 T) とされ、磁場中心高さが融液液面に対して - 1 5 0 ~ + 1 0 0 m m、より好ましくは - 7 5 ~ + 5 0 m m の範囲内になるように設定される。

40

【 0 0 5 2 】

ウェーハ準備工程 S 1 においては、まず、ルツボ 1 内に高純度シリコンの多結晶を例えば 1 0 0 k g 装入するとともに、必要なドーパントを投入してシリコン単結晶中のドーパント濃度を調整することが好ましい。

50

次に、C Z 炉内を不活性ガス等の所定の雰囲気とするとともにその圧力を調整する。

次いで、磁場供給装置 9 から例えば 3 0 0 0 G (0 . 3 T) の水平磁場を磁場中心高さが融液液面に対して - 7 5 ~ + 5 0 mm となるように供給印加するとともに、ヒータ 2 によりシリコンの多結晶を加熱してシリコン融液 3 とする。

次に、シードチャック 5 に取り付けられた種結晶 T をシリコン融液 3 に浸漬し、ルツボ 1 および引き上げ軸 4 を回転させつつ結晶引き上げを行う。

この場合の引き上げ条件としては、単結晶の成長速度を V (mm / 分) とし、単結晶成長時の融点から 1 3 5 0 の温度勾配 G (/ mm) としたときの比 V / G (mm² / 分 ·) を 0 . 2 2 ~ 0 . 1 5 程度に制御し、 V を V o i d 欠陥が存在する V 領域としてシリコン単結晶が引き上げ可能な速度である 0 . 6 5 ~ 0 . 4 2 ~ 0 . 3 3 mm / 分に制御する、といった条件を例示できる。

10

【 0 0 5 3 】

また、他の条件としては、石英ルツボの回転数を 5 ~ 0 . 2 r p m とし、単結晶の回転速度を 2 0 ~ 1 0 r p m とし、アルゴン雰囲気圧力を 3 0 T o r r とし、更に磁場強度を 3 0 0 0 G a u s s とした条件を例示できる。更に磁場強度を 3 0 0 0 ~ 5 0 0 0 G a u s s とした条件を例示できる。また、単結晶の回転速度を 1 5 r p m 以上とすることもある。

【 0 0 5 4 】

図 1 に示す製造条件設定工程 S 0 は、それぞれ以下のように設定する。

【 0 0 5 5 】

製造条件設定工程 S 0 において、引き上げ工程における条件として、抵抗値が 0 . 0 0 1 c m ~ 1 k c m となるようにボロン等がドーブされ、初期酸素濃度 O_i が、 $1.2 \times 10^{17} \sim 1.8 \times 10^{17}$ atoms / cm³ (O l d - A S T M) の範囲とし、 V o i d 欠陥が存在するように引き上げ速度を設定するとともに、D Z 処理工程 S 1 3 における条件として、 H_2 や $A r$ とされる非酸化性雰囲気、処理温度 1 1 5 0 ~ 1 3 0 0 、 3 0 m i n ~ 1 6 時間とし、析出溶解熱処理工程 S 3 における条件として、処理温度 9 5 0 ~ 1 2 0 0 の範囲、保持時間 5 s e c ~ 1 m i n の範囲、降温速度 1 0 / s e c ~ 0 . 1 / s e c の範囲、窒素を含まない非酸化性ガス雰囲気または、窒素を含まない非酸化性ガスと 1 % 以上の酸素ガスの混合雰囲気とする。

20

【 0 0 5 6 】

製造条件設定工程 S 0 において、引き上げ工程における条件として、抵抗値が 0 . 0 0 1 c m ~ 1 k c m となるようにボロンがドーブされ、初期酸素濃度 O_i が、 $1.2 \times 10^{17} \sim 1.8 \times 10^{17}$ atoms / cm³ (O l d - A S T M) の範囲とし、 V o i d 欠陥が存在するように引き上げ速度を設定するとともに、D Z 処理工程 S 1 3 における条件として、 H_2 や $A r$ とされる非酸化性雰囲気、処理温度 1 1 5 0 ~ 1 3 0 0 、 3 0 m i n ~ 1 6 時間とし、析出溶解熱処理工程 S 3 における条件として、処理温度 1 2 2 5 ~ 1 3 5 0 の範囲、保持時間 5 s e c ~ 1 m i n の範囲、降温速度 1 0 / s e c ~ 0 . 1 / s e c の範囲、窒素を含まない非酸化性ガス雰囲気または、窒素を含まない非酸化性ガスと 1 % 以上の酸素ガスの混合雰囲気とする。

30

【 0 0 5 7 】

図 1 に示す析出溶解熱処理工程 S 3 は、上記の条件として R T A 処理装置 1 0 にて D Z 処理工程 S 1 3 の前工程として処理される。R T A 処理装置 1 0 は、図 1 0 に示すように、炉内に設けられた S i c からなるリング状のエッジリング 1 1 で周縁部を支持され水平状態とされたウェーハ W を、上記のように設定された雰囲気ガス G 雰囲気とした状態で、透明石英等からなるアップドーム 1 2 を通して複数のランプ 1 3 により加熱することで、ウェーハ W 内部の析出核となる元を溶解する。R T A 処理装置 1 0 におけるランプ 1 3 は、それぞれ金メッキなどの表面処理をされたリフレクタ 1 4 内部に設けられており、また、S U S からなる壁部 1 5 により、アップドーム 1 2 とロアードームとが接続されてこれらによりチャンバ (炉) が形成されている。

40

【 0 0 5 8 】

50

図1に示すDZ処理工程S13は、例えば、縦型のバッチ炉によっておこなわれ、析出溶解熱処理工程S3によって溶解処理のされたウェーハに、 H_2 やArとされる非酸化性雰囲気、1150以上、30min以上とされる高温アニール処理を施すことにより、デバイス形成領域であるウェーハ表層のVoid欠陥を消滅する。

【0059】

このようにDZ処理工程S13終了後のシリコンウェーハは、1000、16時間の熱処理をおこなった場合、BMD(酸素析出物)密度が 1×10^4 個/cm²以下とされてなる。

【0060】

図1に示すデバイス製造工程S5では、45nmノード(hp65)によるデバイスをシリコンウェーハに作り込むための必要な処理がおこなわれ、Spike-RTA、FLA等の急速昇温冷却熱処理工程S52を有するものとされる。

【0061】

図1に示す前フォトリソ工程S51と後フォトリソ工程S53においては、図5に示すように、ウェーハ1をワークステージ2上に真空吸着により保持固定し、フォトマスク3をワークステージ2より上方のマスクホルダ4に保持固定し、ワークステージ2を上昇させ薄板状ワーク1をフォトマスク3に密着させ、しかる後露光を行う。ウェーハ1の表面には予めフォトレジスト膜(図示せず)が形成されており、このフォトレジスト膜に対して露光が行われ、フォトマスク3のパターンが焼き付けられる。

【0062】

本実施形態におけるシリコンウェーハは、製造条件設定工程S0において、急速昇温冷却熱処理工程S52における条件を考慮して、ウェーハ準備工程S11における引き上げ条件、析出溶解熱処理工程S3、DZ処理工程S13の処理条件を決定し、これらの条件に従って、製造工程としての処理をおこなったため、ウェーハ内部にスリップ転位が発生する 5×10^4 個/cm²を超える程度の密度およびサイズの析出物が形成されることがないため、このような析出物に起因し、図5に示すように、ウェーハ21をワークステージ22上に真空吸着により保持固定した場合でも、図7に示す最大ずれ量が許容基準値である10nmを超えてしまうことがないため、図6に示すオーバーレイエラーを起こす原因となる反り・変形を生じることがない。

同時に、図8に示すような支持されているウェーハWのエッジ部分でスリップ転位が発生することを防止して、ウェーハの強度が低下することも防止できる。

【0063】

なお、急速昇降温工程S52としてSpike-RTA処理を行う場合には、図10に示すRTA装置10において、条件を設定して行うことが可能である。

【0064】

さらに、図9に示すように、ウェーハの表面W22には、平坦面である主面W23と、周縁部に形成された表面側面取り部W24とが設けられている。また、裏面Wrには、平坦面である主面W27と、周縁部に形成された裏面側面取り部W28とが設けられている。表面側面取り部W24は、その周縁端Wtからウェーハ半径方向内方に向けた方向の幅A1が、裏面側面取り部W28の周縁端Wtからウェーハ半径方向内方に向けた方向の幅A2よりも狭められている。表面側面取り部W24の幅A1は50μmから200μmの範囲が好ましい。また、裏面側面取り部W28の幅A2は200μmから300μmの範囲が好ましい。

【0065】

また、表面側面取り部W24は、表面Wuの主面W23に対して傾斜する第一傾斜面W11を有しており、裏面側面取り部W28は、裏面Wrの主面W27に対して傾斜する第二傾斜面W12を有している。第一傾斜面W11の傾斜角度 θ_1 は10°から50°の範囲が好ましく、第二傾斜面W12の傾斜角度 θ_2 は10°から30°の範囲が好ましく、更に $\theta_1 > \theta_2$ とされていることが好ましい。

また、第一傾斜面W11と周縁端Wtとの間には、これらを接続する第一曲面W13が

10

20

30

40

50

表面最外周W_{ut}に設けられている。また、第二傾斜面W₁₂と周縁端W_tの間には、これらを接続する第二曲面W₁₄が裏面最外周部W_{rt}に設けられている。第一曲面W₁₃の曲率半径R₁の範囲は80 μmから250 μmの範囲が好ましく、第二曲面W₁₄の曲率半径R₂の範囲は100 μmから300 μmの範囲が好ましい。

【0066】

上記の端部構成とすることで、ウェーハハンドリング時における傷発生を低減することが可能となる。本実施形態においては、急速昇降温工程S₅₂での処理条件を設定することに加えて、このようなウェーハ周縁部において条件を設定することで、厳しい条件である急速昇降温工程S₅₂においてさらなる割れ発生防止を可能とするものである。

【実施例】

【0067】

以下本発明に係る実施例を説明する。

【0068】

<実験例>

【0069】

窒素濃度、初期酸素濃度を表に示すように設定して引き上げられたVoid欠陥を含むV領域からなる直径300 mmのシリコン単結晶インゴットから、スライス、両面研磨(DSP)によって、(100)ウェーハを準備した。

このシリコンウェーハに、析出溶解熱処理工程S₃の条件を表にRTA条件として示すように設定してRTA処理をおこなった後、DZ処理として、縦型バッチ炉において1000、16時間のアニール処理をおこなった。

【0070】

さらに、デバイス製造工程における熱処理を次の条件と模して、変形発生に対する強制熱応力試験としてのRTA熱処理を施し、酸素析出物(BMD)起因のスリップ発生有無をX線トポグラフィーにて確認した。

・デバイス製造工程における処理模擬

1 step ;	850	30分
2 step ;	1000	30分
3 step ;	1000	60分
4 step ;	850	30分

(いずれも昇降温速度は5 /min)

【0071】

この結果を表にRTA炉応力負荷試験結果(BMD起因Slip発生)として示す。

ここで、BMD密度の測定は、上記デバイスシミュレーション後に1000 / 16 hrの顕在化熱処理後のライトエッチング2 μm後に実施した。

【0072】

また、傷発生に対する応力負荷試験として、次の条件でバッチ炉にて熱処理をおこなった後、X線トポグラフィーを用いてスリップの長さを測定した。この結果を表に縦型炉応力負荷試験結果(ボート起因Slip)として示す。

・縦型炉熱応力試験条件

700 から1150 までの昇温レートを8 /minとして1150 に60min保持し、1.5 /minの降温レートで700 まで冷却した。

【0073】

10

20

30

40

【表 1】

	RTA条件					DZ処理前 LPD密度 (個/cm ²)	DZ処理 温度(°C) /時間(min)	DZ処理 後LPD密度 (個/cm ²)	温度 (°C)	時間 (sec)	雰囲気	冷却速度 (°C/sec)	1000°C/ 16hr後 BMD密度 (/cm ²)	RTA炉 応力負荷 試験結果 (BMD起因 Slip発生)	縦型炉 応力負荷 試験結果 (ボート 起因 Slip)
	初期酸 素濃度 (x E7Iato ms/cc)	ドーブ 窒素濃度 (atoms/cc)	DZ処理前 LPD密度 (個/cm ²)	DZ処理 温度(°C) /時間(min)	DZ処理 後LPD密度 (個/cm ²)										
サンプル1	8.5	ドーブなし	42.8	1200/60	0.014	—	—	<1.0E4	—	—	—	<1.0E4	○	×	
サンプル2	13.5	ドーブなし	58.5	1200/60	0.016	—	—	2.60E+05	—	—	—	2.60E+05	×	○	
サンプル3	12.3	ドーブなし	10.2	1200/60	0.011	950	100%Ar	<1.0E4	10	10	10	<1.0E4	○	○	
サンプル4	13.8	ドーブなし	38.3	1200/60	0.013	1150	100%Ar	<1.0E4	10	10	10	<1.0E4	○	○	
サンプル5	16.7	ドーブなし	2.5	1200/60	0.026	1200	100%Ar	<1.0E4	10	10	10	<1.0E4	○	○	
サンプル6	17.7	ドーブなし	8.9	1150/180	0.034	1200	99%Ar+1%O ₂	<1.0E4	10	5	10	<1.0E4	○	○	
サンプル7	17.5	ドーブなし	10.6	1200/60	0.022	1200	95%+5%O ₂	<1.0E4	5	5	5	<1.0E4	○	○	
サンプル8	15.3	ドーブなし	35.3	1200/60	0.021	1150	90%Ar+10%N ₂	4.50E+04	10	10	10	4.50E+04	×	○	
サンプル9	14.2	ドーブなし	34.2	1200/60	0.026	1150	100%Ar	6.70E+04	10	10	15	6.70E+04	×	○	
サンプル10	13.8	1.20E+13	28.5	1200/60	0.011	1200	95%+5%O ₂	<1.0E4	10	5	10	<1.0E4	○	○	
サンプル11	13.7	6.30E+13	63.6	1150/180	0.016	1200	95%+5%O ₂	<1.0E4	5	5	5	<1.0E4	○	○	
サンプル12	13.1	5.40E+14	5.3	1200/60	0.014	1200	95%+5%O ₂	<1.0E4	10	5	10	<1.0E4	○	○	
サンプル13	14.6	4.80E+14	7.4	1200/60	0.022	1325	95%+5%O ₂	<1.0E4	5	5	10	<1.0E4	○	○	
サンプル14	13.5	4.00E+13	35.6	1200/60	0.030	1150	95%+5%O ₂	2.30E+05	10	10	10	2.30E+05	×	○	

10

20

30

40

【0074】

ここで、結果の表記は、X線トポグラフィーにより測定したスリップ発生の有無、あるいはスリップ長が次の範囲のものである。

○ ; スリップ長 0.5 ~ 2 mm

○ ; スリップ長 2 ~ 5 mm

× ; スリップ長 5 ~ 10 mm

【0075】

50

サンプル1においては、低酸素基板適用により高温アニール処理中にBMD形成抑制、アニール処理後のRTA処理にてBMD起因のSlip発生なし。しかし低酸素基板なので、アニール処理後の縦型炉応力負荷試験にてSlip発生したのでNG。

【0076】

サンプル2においては、高温アニール処理中にBMD形成し、RTA処理にてSlip発生。酸素濃度が高く、縦型炉ポート傷からのSlipは抑制。したがってNG。

【0077】

サンプル3においては、RTA処理にて結晶育成時に形成した酸素析出核が容体化。その後のアニール処理にてBMDの再形成がない。したがってOK。

【0078】

サンプル4, 5, 6, 7も同様にOK。

【0079】

サンプル8においては、RTA処理時の窒化膜形成により空孔が注入され析出核が安定化。高温アニール処理中にBMD成長。したがってNG。

【0080】

サンプル9においては、RTA処理時の高速冷却にて空孔が凍結され、析出核が安定化。高温アニール処理中にBMDが成長。したがってNG。

【0082】

サンプル14においては、N-dopeウェーハでは結晶育成時に形成した酸素析出核が安定でありRTA処理の最高温度が低く場合、消滅せずアニール処理にてBMDの成長が起こった。したがってNG。

【符号の説明】

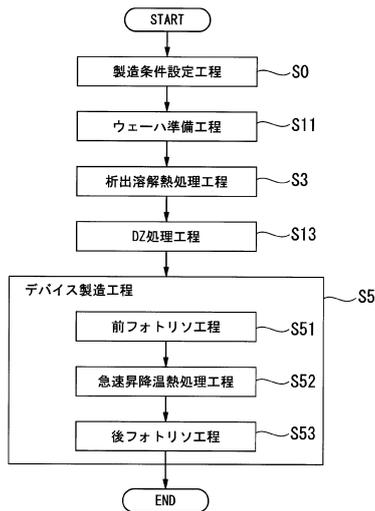
【0083】

W...シリコンウェーハ

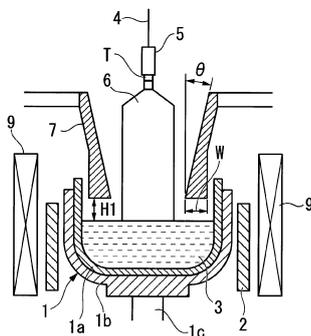
10

20

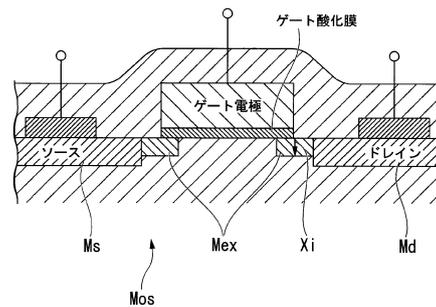
【図1】



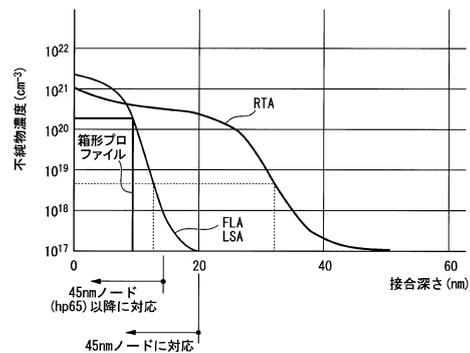
【図2】



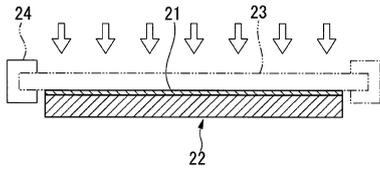
【図3】



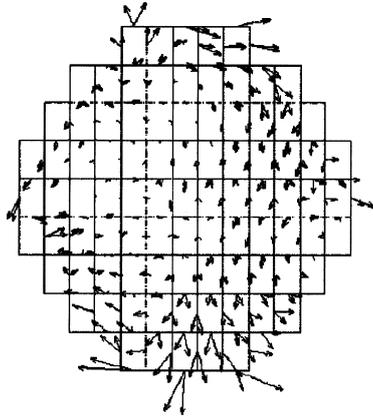
【図4】



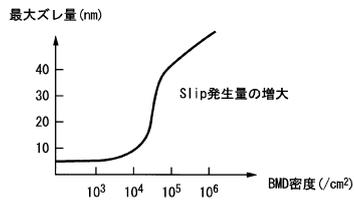
【図5】



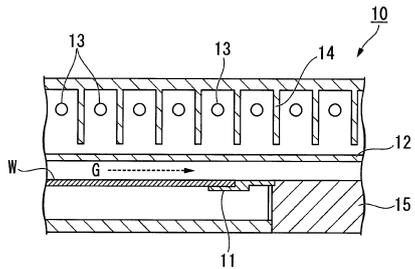
【図6】



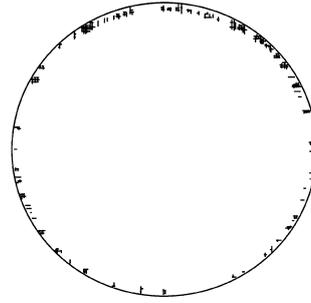
【図7】



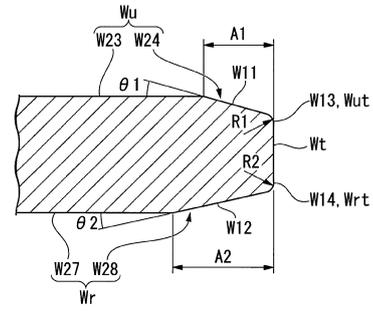
【図10】



【図8】



【図9】



フロントページの続き

(72)発明者 藤瀬 淳
東京都港区芝浦一丁目2番1号 株式会社SUMCO内

審査官 柴山 将隆

(56)参考文献 特開2008-066357(JP,A)
特開2004-221435(JP,A)
特開2000-031150(JP,A)
特開2008-150283(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/322
C30B 29/06
C30B 33/02