

公告本

A4
C4

申請日期	AP, 7. 5
案 號	AP 113312
類 別	G06F 12/06

(以上各欄由本局填註)

498202

發 明 專 利 說 明 書

一、發明 名稱	中 文	可適應不同記憶體模組負載之回授結構
	英 文	
二、發明 創作人	姓 名	張乃舜
	國 籍	中華民國
	住、居所	台北縣中和市秀朗路三段 10 巷 14 弄 26-6 號 7 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: 有 無主張優先權

美國	2000/1/4	60/174,426
美國	2000/1/25	60/177,906

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀封面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (|)

本發明是有關於一種電腦系統之記憶體控制電路，且特別是有關於一種個人電腦主機板內，可因應不同之記憶體模組負載，而調整時序延遲的回授結構。

拜半導體科技進步所賜，電腦之中央處理單元(CPU)運算能力的進步可謂一日千里，也因此個人電腦(PC)操作時的時脈，也由往昔的數MHz (百萬赫茲)進步到目前的數百MHz。個人電腦內的主要記憶體，是PC裡動態存放資訊之所在，今日PC中具有數十至數百MB(百萬位元組)之記憶體是很平常的事。隨著CPU工作時脈的不斷提昇，記憶體之工作時脈也已達到100MHz或以上。

傳統較低速之記憶體控制電路係採用資料訊號配合時脈訊號來傳送資料。但是當系統的運作頻率提昇之後，此種配合時脈訊號傳送資料的方式，將無法確保資料傳送的正確性。為了改善高速運作之記憶體訊號所面臨的問題，並進一步提高資料傳輸的效能，乃發展出以資料選通訊號(Data Strobe簡稱DS)來配合資料的傳送，使資料在傳送時，不致於因為速度提高而使資料漏失。

在產業界的一些實際應用中，是以在傳送端同步傳送資料訊號DAT及資料選通訊號DS的作法，來產生資料選通訊號DS，而在接收端則將資料選通訊號DS延遲一小段時間，此延遲的時間滿足積體電路之建立時間(setup time)和保持時間(hold time)，以正確讀取資料。亦即傳送端在同一個時脈訊號的邊緣，同時送出資料訊號DAT與資料選通訊號DS，藉著積體電路間近乎相同的延遲過程(trace)，平衡了傳輸線路及積體電路內緩衝器的延遲時間，並且使資料

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明 (7)

訊號 DAT 及資料選通訊號 DS 之間的偏移 (skew) 達到最小化。

但是到底要延遲多久，係與資料訊號 DAT 及資料選通訊號 DS 之間的偏移、延遲元件之設計、系統工作時脈及環境有關，又是一個令人頭痛的問題。故業界有人提出另一種解決方法，就是讓資料選通訊號 DS 延遲時脈訊號 CLK 的週期的四分之一的時間，不論系統運作時所參考的時脈頻率為何，都可使延遲後的資料選通訊號 DS 永遠都在時脈訊號 CLK 的正半週或負半週的中間部份開始，如此可以確保可以接收到正確的資料。

爲了確保資料選通訊號 DS 能夠在適當的時間，例如：延遲 CLK 的週期四分之一的時間，來配合資料訊號 DAT，很多設計都將資料選通訊號 DS，由連接至記憶體途中，回授至一個資料選通回授 (Data Strobe Feedback 簡稱 DSF) 訊號腳位，以利用此腳位上的資訊，來瞭解目前運作時電路的實際延遲情形，並進一步調整發出資料選通訊號 DS 的時機，以正確存取資料。一般會利用如鎖相迴路之類的電路來做上述的時序調整。

請參考第 1 圖，第 1 圖繪示習知之記憶體模組回授控制電路的結構示意圖。如第 1 圖所示，控制晶片組 10 上具有數個資料選通訊號腳位 DQS[0:8] 以及一資料選通回授訊號腳位 DQSFB，資料選通訊號腳位 DQS[0:8] 連接到複數個記憶體模組插槽 12, 14, 16 上的資料選通訊號腳位 (未標示)，並選擇其中一條走線 (trace)，於其連接途中盡量接近中點之處，引出一分歧走線回到資料選通回授訊號腳位 DQSFB，分歧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

點至該些記憶體模組插槽12,14,16的佈線長度Path 1與分歧點至資料選通回授訊號腳位DQSFB的佈線長度Path 2應盡量相等，以模擬相等的傳輸延遲。如此控制晶片組由資料選通回授訊號腳位DQSFB上的訊號就可獲得近似實際在記憶體模組端的資料選通訊號之延遲情形。

但是由於實際的延遲情況與記憶體模組插槽上的負載有關，亦即插置於記憶體模組插槽上的記憶體模組之個數與記憶體模組中的積體電路的個數都會影響實際的傳輸延遲情形，所以上述習知之回授結構根本無法依據不同之記憶體模組負載，來調整資料訊號DAT及資料選通訊號DS之時序，影響了電腦系統的穩定度。

上述習知的回授結構，因為佈線上有分歧的設計，所以在記憶體模組插槽端的訊號波形會產生變形，影響正確讀取資料的時序容忍度。另外習知的回授結構中，因為要盡量使分歧點至該些記憶體模組插槽的佈線長度與分歧點至資料選通回授訊號腳位的佈線長度相近，不僅增加了佈線設計的困難度，也容易使印刷電路板的面積增加。

本發明提供一種可適應不同記憶體模組負載之回授結構，其可以因應記憶體模組插槽上不同的記憶體模組負載，亦即，能因應不同的記憶體模組個數，也能因應包含不同個數之積體電路的記憶體模組，使控制晶片組依據不同負載，來調整資料訊號DAT及資料選通訊號DS之時序，以確保資料傳送之正確性。

本發明提供一種可適應不同記憶體模組負載之回授結構，其不需使分歧點至記憶體模組插槽的佈線長度與分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(Ψ)

歧點至資料選通回授訊號腳位的佈線長度相近，故能降低佈局設計的困難度；在許多情況下，更能降低印刷電路板的面積，進一步使成本降低。

本發明所提供之一種可適應不同記憶體模組負載之回授結構，係運用於電腦系統中，其包括：可用以插置至少一個記憶體模組之複數個記憶體模組插槽，每一記憶體模組插槽上皆具有資料選通訊號腳位；耦接至該些記憶體模組插槽之控制晶片組，此控制晶片組具有資料選通訊號腳位以及資料選通回授訊號腳位，此控制晶片組之資料選通訊號腳位連接到上述記憶體模組插槽之資料選通訊號腳位；可變參考電壓源，用以提供參考電壓；以及比較器，其具有第一輸入端、第二輸入端及輸出端，其輸出端接至上述資料選通回授訊號腳位，其第一輸入端接收上述參考電壓，而其第二輸入端連接至控制晶片組之資料選通訊號腳位與上述記憶體模組插槽之資料選通訊號腳位的連接途中任一點；其中，此電腦系統控制上述可變參考電壓源，來改變參考電壓之值，以調整比較器之輸出時序，進而使控制晶片組利用資料選通回授訊號腳位上之訊號，來調整資料訊號DAT及資料選通訊號DS之時序，以正確存取該記憶體模組上之資料。

依據本發明之一實施例，上述之可適應不同記憶體模組負載之回授結構，其中的可變參考電壓源係接受控制訊號之控制，來改變參考電壓之值，而這控制訊號係由控制晶片組所發出。其可以在電腦系統開機後，由電腦系統自動讀取插置於記憶體模組插槽上之記憶體模組的組態資

五、發明說明（ ζ ）

訊，再依據這組態資訊，控制可變參考電壓源，來改變參考電壓之值。亦可以是由此電腦系統之使用者，透過電腦系統中的基本輸出入系統，來設定組態資訊，以控制可變參考電壓源。

本發明提供另一種可適應不同記憶體模組負載之回授結構，可應用於電腦系統中，此電腦系統使用一種記憶體模組，此種記憶體模組具有負載腳位以及模擬負載，其中模擬負載連接至負載腳位，本發明之回授結構包括：複數個記憶體模組插槽，可用以插置上述記憶體模組，每一記憶體模組插槽上也具有負載腳位，當記憶體模組插置於任一記憶體模組插槽時，記憶體模組之負載腳位連接至記憶體模組插槽之負載腳位；以及控制晶片組，耦接至該些記憶體模組插槽，控制晶片組具有選通訊號腳位以及選通回授訊號腳位；其中，控制晶片組之選通訊號腳位先連接到任一記憶體模組插槽之負載腳位，再一個接一個串接至其他記憶體模組插槽之負載腳位，最後再連接至控制晶片組之選通回授訊號腳位，形成一個沒有分歧的訊號回授迴路，當記憶體模組插槽上插置有上述記憶體模組時，控制晶片組利用選通回授訊號腳位上之訊號，來模擬插置於記憶體模組插槽上之負載所造成的延遲情形，以正確存取該記憶體模組上之資料。

本發明再提供另一種可適應不同記憶體模組負載之回授結構，包括：複數個記憶體模組插槽，可用以插置至少一個記憶體模組，每一記憶體模組插槽上都具有資料選通訊號腳位；以及控制晶片組，耦接至上述記憶體模組插

五、發明說明（6）

槽，此控制晶片組具有資料選通訊號腳位以及資料選通回授訊號腳位；其中，控制晶片組之資料選通訊號腳位先連接到任一記憶體模組插槽之資料選通訊號腳位，再一個接一個串接至其他記憶體模組插槽之資料選通訊號腳位，最後再連接至控制晶片組之資料選通回授訊號腳位，形成一個沒有分歧的訊號回授迴路，當記憶體模組插槽上插置有記憶體模組時，控制晶片組利用資料選通回授訊號腳位上之訊號，來獲得插置於這些記憶體模組插槽上之負載所造成的延遲資訊，以正確存取記憶體模組上之資料。

本發明更提供另一種可適應不同記憶體模組負載之回授結構，包括：複數個記憶體模組插槽，可用以插置至少一個記憶體模組；複數個模擬負載，用以模擬記憶體模組所造成之負載延遲；開關組，耦接至上述模擬負載，用以致動這些模擬負載的一部分；以及控制晶片組，耦接至這些記憶體模組插槽，控制晶片組具有選通訊號腳位以及選通回授訊號腳位，控制晶片組之選通訊號腳位先連接到上述模擬負載，再由模擬負載連接回選通回授訊號腳位；當記憶體模組插槽上插置有記憶體模組時，該開關組致動部分的模擬負載，而控制晶片組利用選通回授訊號腳位上之訊號，來模擬插置於記憶體模組插槽上之負載所造成的延遲情形，以正確存取記憶體模組上之資料。

依據本發明之另一實施例，上述之可適應不同記憶體模組負載之回授結構，其中的開關組係接受開關控制訊號之控制，來致動部分的模擬負載，而這開關控制訊號係由控制晶片組所發出。其可以在電腦系統開機後，由電腦系

五、發明說明（ 7 ）

統自動讀取插置於記憶體模組插槽上之記憶體模組的組態資訊，再依據這組態資訊，控制開關組，使被致動之部分模擬負載能模擬記憶體模組之負載情形。亦可以是由此電腦系統之使用者，透過電腦系統中的基本輸出入系統，來設定組態資訊，以控制開關組。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖係繪示習知之記憶體模組回授控制電路的結構示意圖。

第2圖係繪示本發明之第一實施例之記憶體模組回授控制電路的結構示意圖。

第3圖係繪示本發明之第二實施例之記憶體模組回授控制電路的結構示意圖。

第4圖係繪示第3圖之實施例所用之記憶體模組的示意圖。

第5圖係繪示本發明之第三實施例之記憶體模組回授控制電路的結構示意圖。

第6圖係繪示本發明之第四實施例之記憶體模組回授控制電路的結構示意圖。

第7圖係繪示第6圖之實施例中參考電壓與時序延遲的關係圖實例。

第8圖係繪示第6圖之實施例中可變參考電壓源之一結構方塊實例。

五、發明說明(8)

圖式標號之簡單說明：

10	控制晶片組	12	記憶體模組插槽
14	記憶體模組插槽	16	記憶體模組插槽
20	控制晶片組	22	記憶體模組插槽
24	記憶體模組插槽	26	記憶體模組插槽
30	控制晶片組	32	記憶體模組插槽
34	記憶體模組插槽	36	記憶體模組插槽
38	記憶體模組	39	模擬負載
40	控制晶片組	42	記憶體模組插槽
44	記憶體模組插槽	46	記憶體模組插槽
60	控制晶片組	62	記憶體模組插槽
64	記憶體模組插槽	66	記憶體模組插槽
70	可變參考電壓源	72	比較器
80	穩壓器	82	複數個電阻
84	開關組		

實施例

第2圖係繪示本發明之第一實施例之記憶體模組回授控制電路的結構示意圖，請參考第2圖。圖中所示本發明之一種可適應不同記憶體模組負載之回授結構，包括複數個記憶體模組插槽22,24,26以及控制晶片組20，每一個記憶體模組插槽上都具有資料選通訊號腳位，而控制晶片組20亦具有資料選通訊號腳位以及資料選通回授訊號腳位。

在這些記憶體模組插槽22,24,26上可以插置至少一個記憶體模組，所以於電腦系統(主機板)設計之初，設計者並無法知道運作時實際的記憶體模組負載到底有多少，因此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

控制晶片組20之資料選通訊號腳位先連接到任一記憶體模組插槽之資料選通訊號腳位，再一個接一個串接至其他記憶體模組插槽之資料選通訊號腳位，最後再由最後一個串接的記憶體模組插槽之資料選通訊號腳位連接至控制晶片組20之資料選通回授訊號腳位，形成一個沒有分歧的訊號回授迴路。因為目前的電腦系統主機板，都包括不只一個的資料選通訊號腳位，故上述的描述採簡化形式，表示回授迴路係選擇其中一條資料選通訊號的走線。

在本實施例中，為了便於佈局設計，且使路徑的長度最短，上述沒有分歧的訊號回授迴路，係由控制晶片組20的資料選通訊號腳位先連接到距離控制晶片組最近之記憶體模組插槽22之資料選通訊號腳位，再依距離遠近次序串接至其他記憶體模組插槽24,26之資料選通訊號腳位，最後由距離控制晶片組最遠之記憶體模組插槽26之資料選通訊號腳位連接至控制晶片組20之資料選通回授訊號腳位。

由於本發明之回授結構，記憶體模組負載位於回授迴路的途中，故當記憶體模組插槽22,24,26上插置有記憶體模組時，控制晶片組20利用資料選通回授訊號腳位上之訊號，來獲得插置於這些記憶體模組插槽22,24,26上之負載所造成的延遲資訊，以正確存取記憶體模組上之資料。

第3圖係繪示本發明之第二實施例之記憶體模組回授控制電路的結構示意圖。第4圖係繪示第3圖之實施例所用之記憶體模組的示意圖。請同時參考第3圖與第4圖。圖中所示本發明提供之可適應不同記憶體模組負載之回授結構，可應用於一種電腦系統中，此電腦系統使用如第4圖之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

記憶體模組38，此種記憶體模組38具有負載腳位以及模擬負載39，例如電容，其中模擬負載39連接至負載腳位。本發明之回授結構包括複數個記憶體模組插槽32,34,36以及控制晶片組30，每一個記憶體模組插槽上都具有負載腳位，而控制晶片組30除了原先的資料選通訊號腳位外，亦具有獨立的選通訊號腳位以及選通回授訊號腳位。

本發明中，當記憶體模組插置於任一記憶體模組插槽32,34,36時，記憶體模組之負載腳位連接至記憶體模組插槽之負載腳位上。首先，控制晶片組30之選通訊號腳位先連接到任一記憶體模組插槽32,34,36之負載腳位，再一個接一個串接至其他記憶體模組插槽之負載腳位，最後再由最後一個串接的記憶體模組插槽之負載腳位連接至控制晶片組30之選通回授訊號腳位，形成一個沒有分歧的訊號回授迴路。

在本實施例中，為了便於佈局設計，且使路徑的長度最短，上述沒有分歧的訊號回授迴路，係由控制晶片組30的選通訊號腳位先連接到距離控制晶片組最近之記憶體模組插槽32之負載腳位，再依距離遠近次序串接至其他記憶體模組插槽34,36之負載腳位，最後由距離控制晶片組30最遠之記憶體模組插槽36之負載腳位連接至控制晶片組30之選通回授訊號腳位。

本發明之回授結構，模擬負載回授迴路與實際的記憶體模組負載電路分開，因此避免了回授迴路路徑干擾正常的資料選通推動電路，且由於模擬負載位於回授迴路的途中，故當記憶體模組插槽32,34,36上插置有記憶體模組時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (\ /)

控制晶片組30可利用選通回授訊號腳位上之訊號，來模擬插置於記憶體模組插槽32,34,36上之負載所造成的延遲情形，以正確存取記憶體模組上之資料。

第5圖係繪示本發明之第三實施例之記憶體模組回授控制電路的結構示意圖，請參考第5圖。圖中所示本發明之一種可適應不同記憶體模組負載之回授結構，包括複數個記憶體模組插槽42,44,46、複數個模擬負載52,54,56、開關組50以及控制晶片組40。其中，控制晶片組40除了原先的資料選通訊號腳位外，亦具有獨立的選通訊號腳位以及選通回授訊號腳位。

控制晶片組40之選通訊號腳位先連接到上述模擬負載52,54,56，再由模擬負載52,54,56連接回選通回授訊號腳位；連接於開關組50之模擬負載52,54,56，例如一組大小不同的電容，係用以模擬記憶體模組所造成之負載延遲，而開關組50可以用來致動(開關)部分的模擬負載。控制晶片組40連接至記憶體模組插槽42,44,46，當記憶體模組插槽上42,44,46插置有記憶體模組時，開關組50致動部分的模擬負載52,54,56，而控制晶片組40利用選通回授訊號腳位上之訊號，來模擬插置於記憶體模組插槽42,44,46上之負載所造成的延遲情形，以正確存取記憶體模組上之資料。

依據本發明之第三實施例，上述之可適應不同記憶體模組負載之回授結構，其中的開關組50係接受開關控制訊號之控制，來致動部分的模擬負載52,54,56，而這開關控制訊號可以由控制晶片組40所發出。其可以在電腦系統開機後，由電腦系統之中央處理單元(未繪示)經由控制晶片組

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

40，自動讀取插置於記憶體模組插槽42,44,46上之記憶體模組的組態資訊，再依據這組態資訊，來控制開關組50，使被致動之部分模擬負載能模擬記憶體模組之負載情形。亦可以是由此電腦系統之使用者，透過電腦系統中的基本輸出入系統(BIOS)，直接設定組態資訊，以控制開關組50。如熟悉此藝者可知曉，開關組50也可以由複數個跳線開關所組成，其直接由使用者於插置記憶體模組的同時一併設定，這樣就不需要開關控制訊號。

第6圖係繪示本發明之第四實施例之記憶體模組回授控制電路的結構示意圖，請參考第6圖。圖中所示本發明之一種可適應不同記憶體模組負載之回授結構，係運用於電腦系統中，其包括：複數個記憶體模組插槽62,64,66、控制晶片組60、可變參考電壓源70以及比較器72。上述控制晶片組60具有資料選通訊號腳位以及資料選通回授訊號腳位，而每一記憶體模組插槽上皆具有資料選通訊號腳位。

控制晶片組60之資料選通訊號腳位連接到記憶體模組插槽62,64,66之資料選通訊號腳位，且由控制晶片組60之資料選通訊號腳位與記憶體模組插槽62,64,66之資料選通訊號腳位的連接途中任一點，引出一個分歧支線連接到比較器72的一個輸入端，比較器72的另一個輸入端接收由可變參考電壓源70送出之參考電壓，比較器72之輸出端接至控制晶片組60之資料選通回授訊號腳位。上述的描述採簡化形式，表示回授迴路係只選擇一條資料選通訊號的走線。

第7圖係繪示第6圖之實施例中參考電壓與比較器輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

出之時序延遲的關係圖實例。本發明之可變參考電壓源70係用以提供參考電壓，當本發明之電腦系統之記憶體模組插槽62,64,66上插置有記憶體模組負載，而系統運作時，此電腦系統控制可變參考電壓源70，來改變參考電壓之值，如第7圖所示般，調整比較器72之輸出時序，進而使控制晶片組60利用資料選通回授訊號腳位上之訊號，來調整資料訊號DAT及資料選通訊號DS之時序，以正確存取該記憶體模組上之資料。

依據本發明之第四實施例，上述之可適應不同記憶體模組負載之回授結構，其中的可變參考電壓源70係接受控制訊號之控制，來改變參考電壓之值，而這控制訊號可以由控制晶片組60所發出。其可以在電腦系統開機後，由電腦系統之中央處理單元(未繪示)經由控制晶片組60，自動讀取插置於記憶體模組插槽62,64,66上之記憶體模組的組態資訊，再依據這組態資訊，控制可變參考電壓源70，來改變參考電壓之值，進一步調整資料訊號DAT及資料選通訊號DS之時序。亦可以是由此電腦系統之使用者，透過電腦系統中的基本輸出入系統，來設定組態資訊，以控制可變參考電壓源70。當然，此組態資訊係對應於插置在記憶體模組插槽62,64,66上之記憶體模組負載。

第8圖係繪示第6圖之實施例中可變參考電壓源70之一結構方塊實例。請參考第8圖，可變參考電壓源70包括：穩壓器80、電阻86、複數個並聯電阻82以及開關組84。穩壓器80係用來提供精準的電壓。電阻86之一端連接至穩壓器80所提供之精準電壓，另一端則連接至該些並聯電阻82

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

之並聯端，此端點也是提供參考電壓的端點。該些並聯電阻82之另一端連接至開關組84，而開關組84也連接至地電位。當系統運作時，控制訊號控制開關組84之開關，使並聯電阻82之等效電阻改變，基於分壓法則，就等於改變了參考電壓之值。如熟悉此藝者可知曉，開關組84也可以由複數個跳線開關所組成，其直接由使用者於插置記憶體模組的同時一併設定，這樣就不需要控制訊號。

如熟悉此藝者可知曉，上述之可變參考電壓源70以及比較器72等都可以直接製作於控制晶片組60中。而本實施例前述的分歧點就可以是包括在控制晶片組內，也可以非常接近控制晶片組的連接腳。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

5752twff.doc/008

四、中文發明摘要(發明之名稱：)

可適應不同記憶體模組負載之回授結構

一種可適應不同記憶體模組負載之回授結構，其利用控制晶片組之資料選通回授訊號腳位上的訊號，來模擬或獲得目前插置於記憶體模組插槽上的記憶體模組負載所造成的影響，以調整資料訊號及資料選通訊號之時序，進一步正確存取記憶體模組上之資料。本發明之實施例包括：利用可變參考電壓源與比較器，來依不同之記憶體模組負載，以調整回授給資料選通回授訊號腳位上訊號的時序；利用獨立的模擬負載迴路與開關組；利用獨立的模擬負載迴路與特別設計具有模擬負載的記憶體模組；以及完整包含記憶體模組負載之資料選通訊號的電器迴路。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1.一種可適應不同記憶體模組負載之回授結構，係運用於一電腦系統中，包括：

複數個記憶體模組插槽，可用以插置至少一記憶體模組，每一該些記憶體模組插槽上包括一資料選通訊號腳位；

一控制晶片組，耦接至該些記憶體模組插槽，該控制晶片組包括一資料選通訊號腳位以及一資料選通回授訊號腳位，該控制晶片組之該資料選通訊號腳位連接到該些記憶體模組插槽之該資料選通訊號腳位；

一可變參考電壓源，用以提供一參考電壓；以及

一比較器，具有一第一輸入端、一第二輸入端及一輸出端，該輸出端接至該資料選通回授訊號腳位，該第一輸入端接收該參考電壓，該第二輸入端連接至該控制晶片組之該資料選通訊號腳位與該些記憶體模組插槽之該資料選通訊號腳位連接途中的任一點；

其中，該電腦系統控制該可變參考電壓源，來改變該參考電壓之值，以調整該比較器之輸出時序。

2.如申請專利範圍第1項所述之回授結構，其中該可變參考電壓源係接受一控制訊號之控制，來改變該參考電壓之值，而該控制訊號係由該控制晶片組所發出。

3如申請專利範圍第2所述之回授結構，當該電腦系統開機後，該電腦系統讀取插置於該些記憶體模組插槽上之該記憶體模組的一組態資訊，再依據該組態資訊，控制該可變參考電壓源，來改變該參考電壓之值。

4如申請專利範圍第2所述之回授結構，該電腦系統包

六、申請專利範圍

括一基本輸出入系統，該電腦系統之一使用者，可透過該基本輸出入系統，設定一組態資訊，以控制該可變參考電壓源。

5.如申請專利範圍第1項所述之回授結構，其中該可變參考電壓源包括：

一穩壓器，用以提供一精準電壓；

一第一電阻，一端連接至該精準電壓，另一端連接提供該參考電壓；

複數個並聯電阻，該些並聯電阻之一端係接在一起，且連接至該參考電壓；以及

一開關組，耦接該些並聯電阻之另一端及一地電位，用以導通部分該些並聯電阻到該地電位。

6.如申請專利範圍第1項所述之回授結構，其中該可變參考電壓源以及該比較器係置於該控制晶片組中。

7.一種可適應不同記憶體模組負載之回授結構，可應用於一電腦系統，該電腦系統使用一記憶體模組，該記憶體模組包括一負載腳位以及一模擬負載，其中該模擬負載連接至該負載腳位，該回授結構包括：

複數個記憶體模組插槽，用以插置該記憶體模組，每一該些記憶體模組插槽上包括一負載腳位，當該記憶體模組插置於任一該些記憶體模組插槽時，該記憶體模組之該負載腳位連接至該些記憶體模組插槽之該負載腳位；以及

一控制晶片組，耦接至該些記憶體模組插槽，該控制晶片組包括一選通訊號腳位以及一選通回授訊號腳位；

其中，該控制晶片組之該選通訊號腳位先連接到任一

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

該些記憶體模組插槽之該負載腳位，再一個接一個串接至其他記憶體模組插槽之該負載腳位，最後再連接至該控制晶片組之該選通回授訊號腳位，形成一訊號回授迴路，當該些記憶體模組插槽上插置有該記憶體模組時，該控制晶片組利用該選通回授訊號腳位上之訊號，來模擬插置於該些記憶體模組插槽上之負載所造成的延遲情形，以正確存取該記憶體模組上之資料。

8.如申請專利範圍第7項所述之回授結構，其中該訊號回授迴路，係由該控制晶片組之該選通訊號腳位先連接到距離該控制晶片組最近之記憶體模組插槽之該負載腳位，再依距離遠近次序串接至其他記憶體模組插槽之該負載腳位，最後由距離該控制晶片組最遠之記憶體模組插槽之該負載腳位連接至該控制晶片組之該選通回授訊號腳位。

9.一種可適應不同記憶體模組負載之回授結構，包括：

複數個記憶體模組插槽，可用以插置至少一記憶體模組，每一該些記憶體模組插槽上包括一資料選通訊號腳位；以及

一控制晶片組，耦接至該些記憶體模組插槽，該控制晶片組包括一資料選通訊號腳位以及一資料選通回授訊號腳位；

其中，該控制晶片組之該資料選通訊號腳位先連接到任一該些記憶體模組插槽之該資料選通訊號腳位，再一個接一個串接至其他記憶體模組插槽之該資料選通訊號腳位，最後再連接至該控制晶片組之該資料選通回授訊號腳

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

位，形成一訊號回授迴路，當該些記憶體模組插槽上插置有該記憶體模組時，該控制晶片組利用該資料選通回授訊號腳位上之訊號，來獲得插置於該些記憶體模組插槽上之負載所造成的延遲資訊，以正確存取該記憶體模組上之資料。

10.如申請專利範圍第9項所述之回授結構，其中該訊號回授迴路，係由該控制晶片組之該資料選通訊號腳位先連接到距離該控制晶片組最近之記憶體模組插槽之該資料選通訊號腳位，再依距離遠近次序串接至其他記憶體模組插槽之該資料選通訊號腳位，最後由距離該控制晶片組最遠之記憶體模組插槽之該資料選通訊號腳位連接至該控制晶片組之該資料選通回授訊號腳位。

11.一種可適應不同記憶體模組負載之回授結構，包括：

複數個記憶體模組插槽，可用以插置至少一記憶體模組；

複數個模擬負載，用以模擬該記憶體模組所造成之負載延遲；

一開關組，耦接至該些模擬負載，用以致動部分該些模擬負載；以及

一控制晶片組，耦接至該些記憶體模組插槽，該控制晶片組包括一選通訊號腳位以及一選通回授訊號腳位，該控制晶片組之該選通訊號腳位先連接到該些模擬負載，再由該些模擬負載連接回該選通回授訊號腳位；

當該些記憶體模組插槽上插置有該記憶體模組時，該

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

開關組致動部分該些模擬負載，而該控制晶片組利用該選通回授訊號腳位上之訊號，來模擬插置於該些記憶體模組插槽上之負載所造成的延遲情形，以正確存取該記憶體模組上之資料。

12.如申請專利範圍第11項所述之回授結構，其中該開關組係接授一開關控制訊號之控制，來致動部分該些模擬負載，而該開關控制訊號係由該控制晶片組所發出。

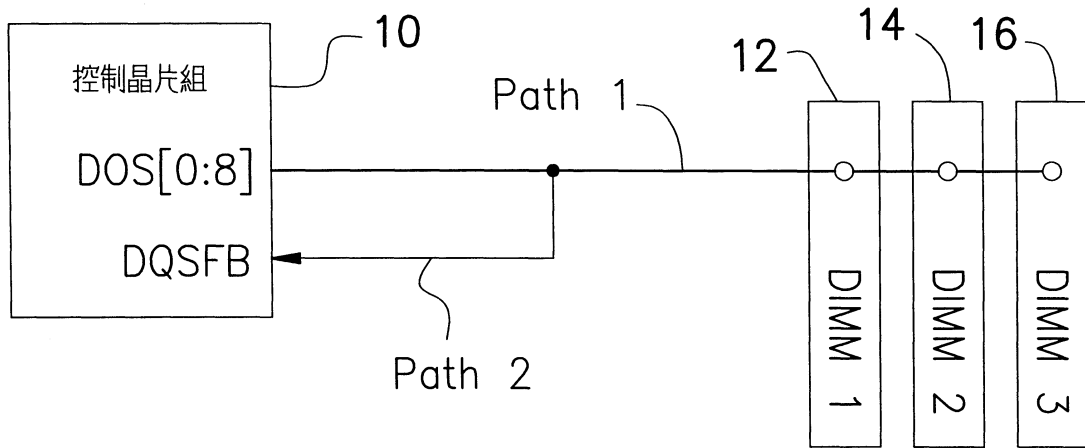
13.如申請專利範圍第12項所述之回授結構，係運用於一個人電腦系統中，當該個人電腦系統開機後，該個人電腦系統讀取插置於該些記憶體模組插槽上之該記憶體模組的一組態資訊，再依據該組態資訊，控制該開關組，使被致動之部分該些模擬負載能模擬該記憶體模組之負載情形。

14.如申請專利範圍第12項所述之回授結構，係運用於一個人電腦系統中，該個人電腦系統包括一基本輸出入系統，該個人電腦系統之一使用者，可透過該基本輸出入系統，設定插置於該些記憶體模組插槽上之該記憶體模組的一組態資訊，以控制該開關組，使被致動之部分該些模擬負載能模擬該記憶體模組之負載情形。

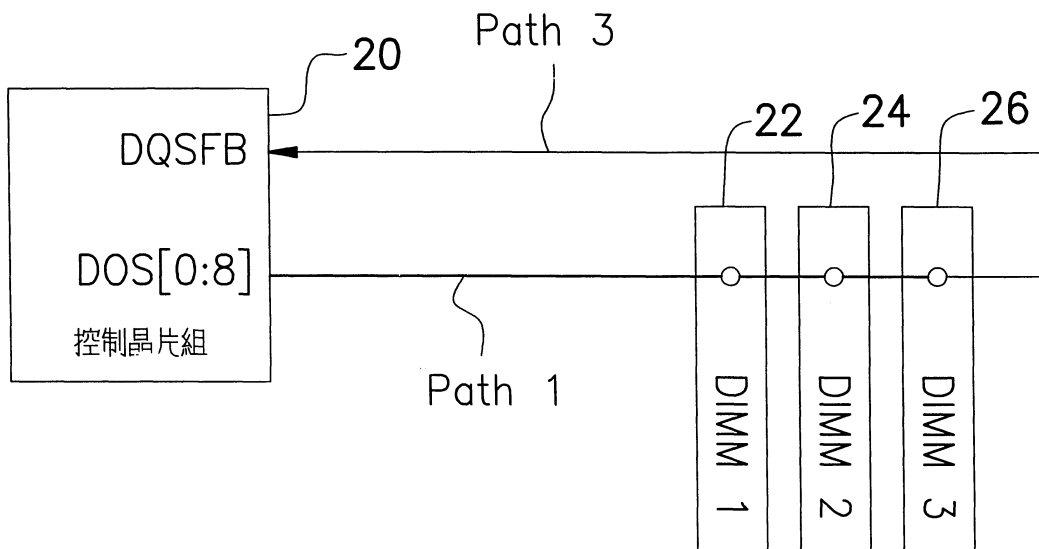
15.如申請專利範圍第11項所述之回授結構，其中該開關組係複數個跳線開關所組成。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

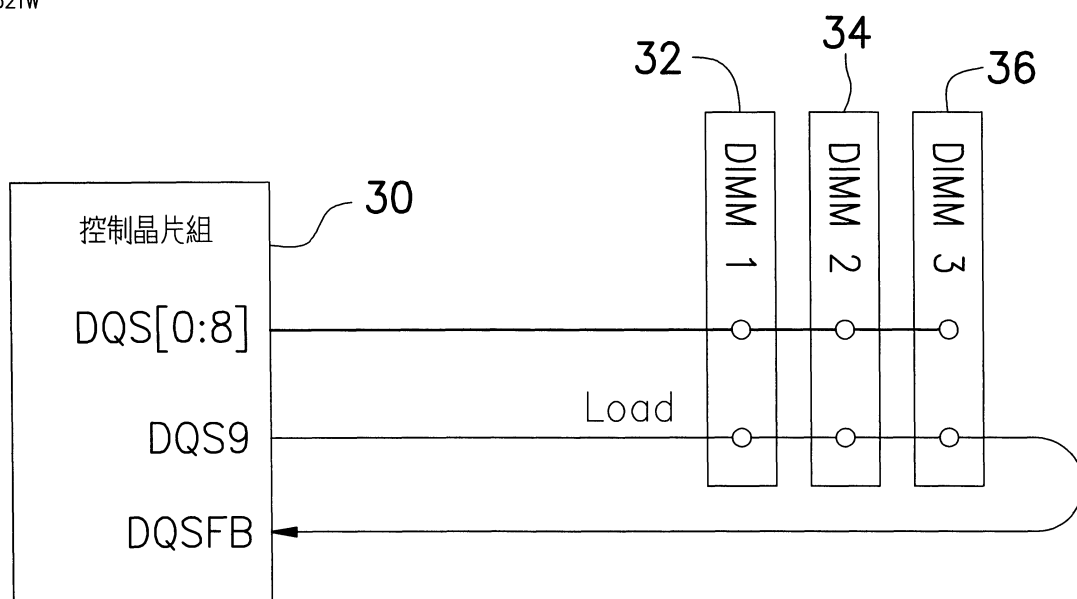


第 1 圖

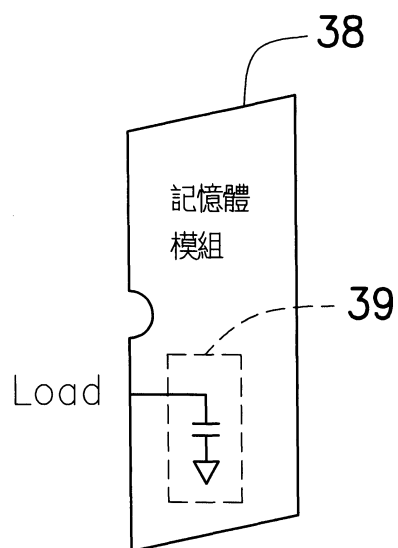


第 2 圖

5752TW



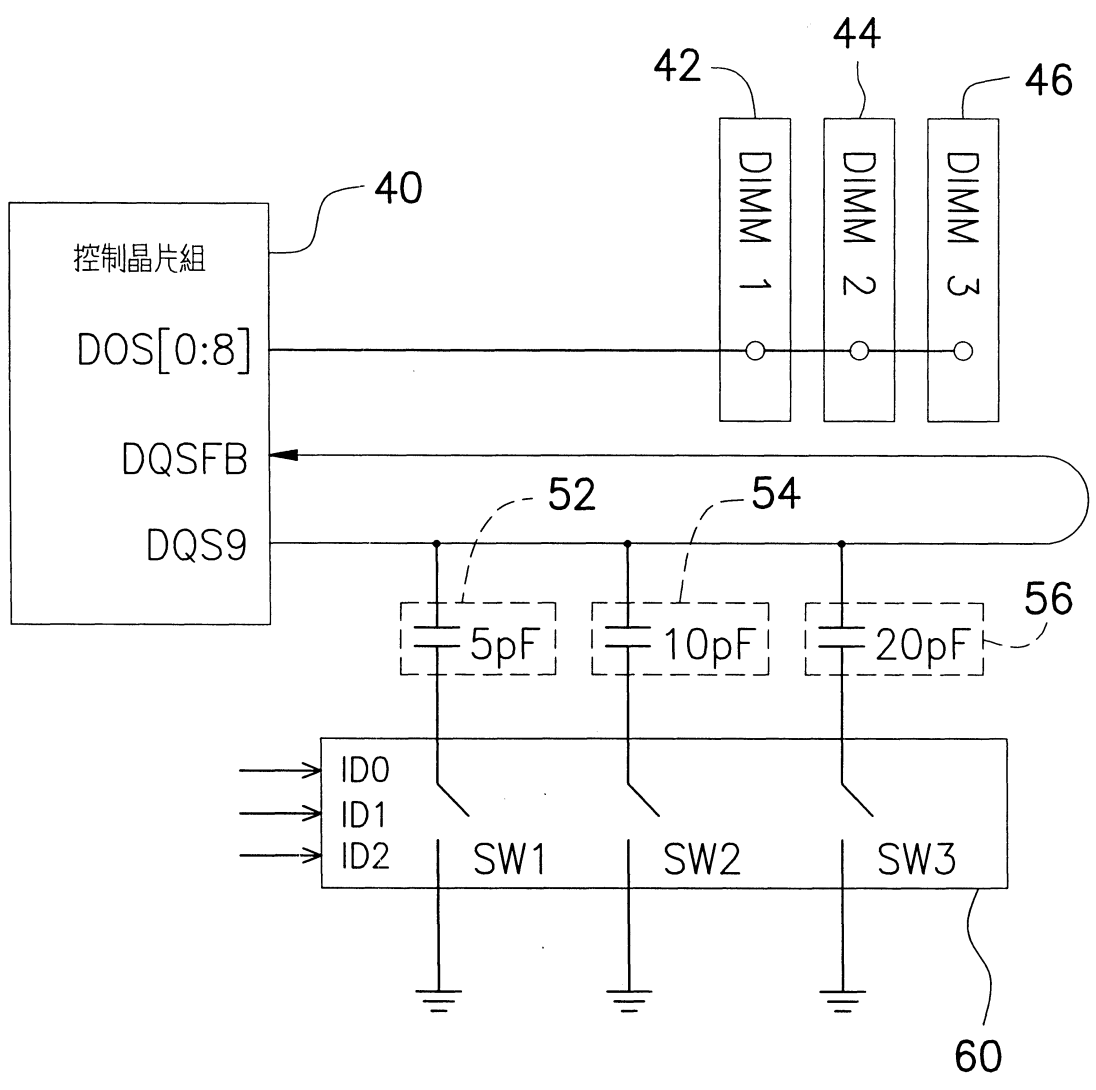
第 3 圖



第 4 圖

5752TW

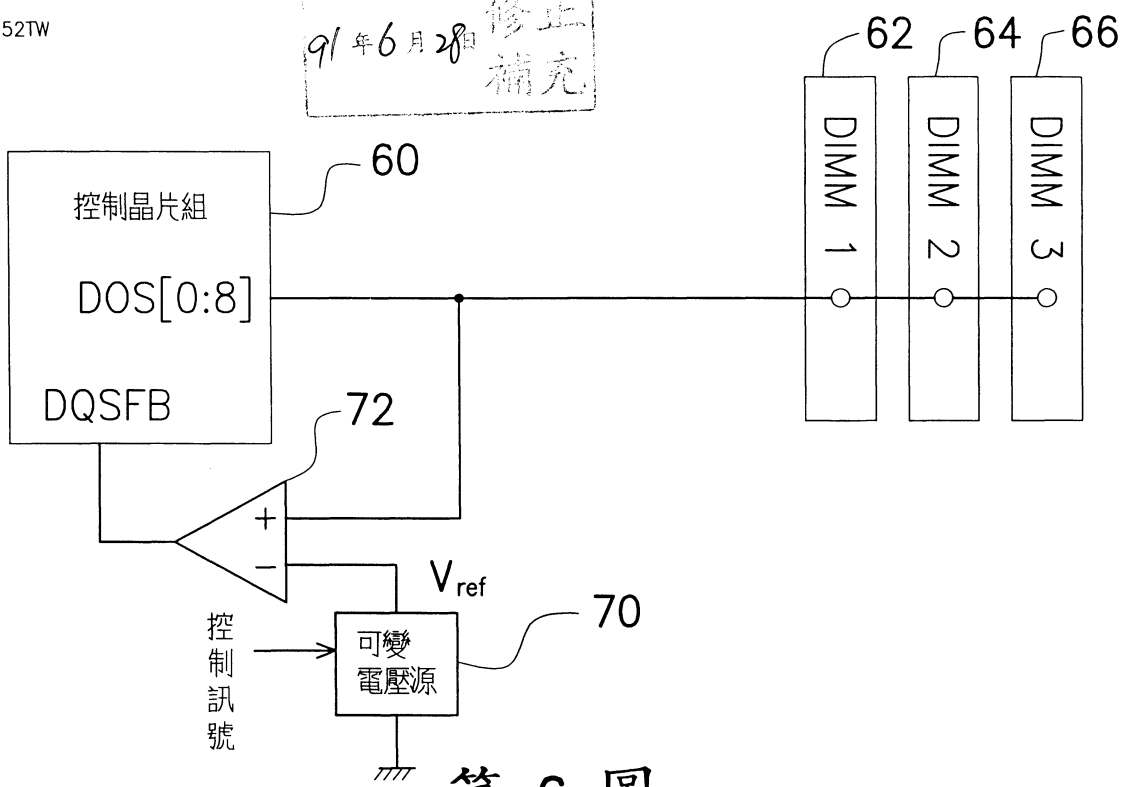
91年6月28日 修正
補充



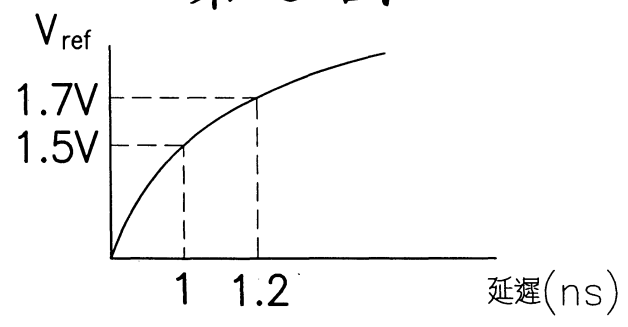
第 5 圖

5752TW

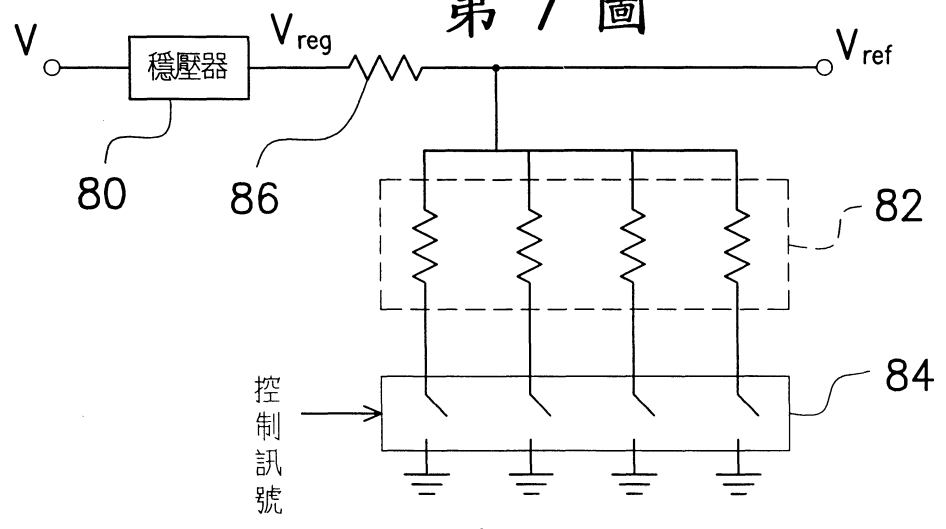
91年6月28日 修正補充



第 6 圖



第 7 圖



第 8 圖