

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年7月29日(29.07.2010)

(10) 国際公開番号
WO 2010/084725 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
G09F 9/33 (2006.01) H01L 31/10 (2006.01)
 - (21) 国際出願番号: PCT/JP2010/000226
 - (22) 国際出願日: 2010年1月18日(18.01.2010)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2009-012581 2009年1月23日(23.01.2009) JP
 - (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 中辻広志
(NAKATSUJI, Hiroshi).
 - (74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪
府大阪市中央区北浜一丁目8番16号 大阪
証券取引所ビル10階 奥田国際特許事務所
Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME, AND DISPLAY DEVICE
(54) 発明の名称: 半導体装置およびその製造方法ならびに表示装置

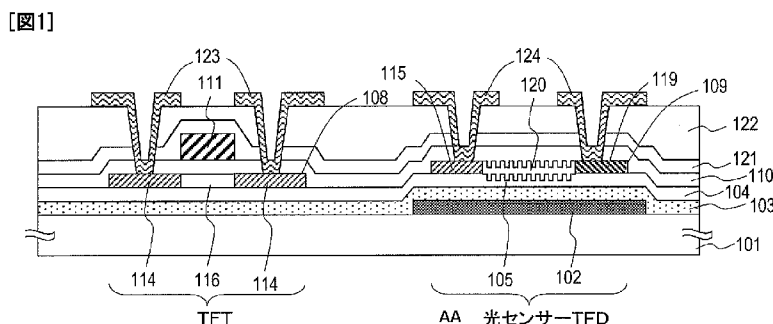


FIG. 1:
AA OPTICAL SENSOR TFD

(57) Abstract: Disclosed is a semiconductor device wherein a thin film transistor and a thin film diode are provided on one same substrate, and the characteristics respectively required for the thin film transistor and the thin film diode are achieved. Specifically disclosed is a semiconductor device which comprises an insulating layer (104) formed on the surface of a substrate (101), and a thin film transistor and a thin film diode which are formed on the insulating layer (104). A part of the surface of the insulating layer (104), which is positioned below a semiconductor layer (109) of the thin film diode, is provided with a first recessed and projected pattern (105). Meanwhile, a part of the surface of the insulating layer (104), which is positioned below a semiconductor layer (108) of the thin film transistor, is not provided with the first recessed and projected pattern (105). The surface of the semiconductor layer (109) of the thin film diode has a second recessed and projected pattern that reflects the shape of the first recessed and projected pattern (105).

(57) 要約:

[続葉有]



WO 2010/084725 A1

薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置において、薄膜トランジスタおよび薄膜ダイオードに要求されるそれぞれの実現する。基板101の表面に形成された絶縁層104と、絶縁層104上に形成された薄膜トランジスタおよび薄膜ダイオードとを備え、絶縁層104の表面のうち薄膜ダイオードの半導体層109の下に位置する部分には、第1の凹凸パターン105が形成されており、薄膜トランジスタの半導体層108の下に位置する部分には、第1の凹凸パターン105が形成されておらず、薄膜ダイオードの半導体層109の表面は、第1の凹凸パターン105の形状を反映した第2の凹凸パターンを有している。

明 細 書

発明の名称：半導体装置およびその製造方法ならびに表示装置 技術分野

[0001] 本発明は、薄膜トランジスタ（Thin Film Transistor：TFT）と薄膜ダイオード（Thin Film Diode：TFD）とを備える半導体装置及びその製造方法、ならびに表示装置に関する。

背景技術

[0002] 近年、同一基板上に形成された薄膜トランジスタ（TFT）および薄膜ダイオード（TFD）を備えた半導体装置や、そのような半導体装置を有する電子機器の開発が進められている。このような半導体装置の製造方法としては、基板上に形成された同一の結晶質半導体膜を用いてTFTおよびTFDの半導体層を形成する方法が提案されている。

[0003] 特許文献1には、TFDを利用した光センサー部と、TFTを利用した駆動回路とを同一基板上に備えたイメージセンサーが開示されている。特許文献1では、基板上に形成された非晶質半導体膜を結晶化させてTFTおよびTFDの半導体層を形成している。

[0004] このように、TFTとTFDとを同一基板上に一体的に形成すると、半導体装置を小型化できるだけでなく、部品点数を低減できる等の大きなコストメリットが得られる。さらに、従来の部品の組み合わせでは得られない新たな機能が付加された商品の実現も可能になる。

[0005] 一方、特許文献2は、同一の半導体膜（非晶質シリコン膜）を用いて、結晶質シリコンを用いたTFT（結晶質シリコンTFT）と、非晶質シリコンを用いたTFD（非晶質シリコンTFD）とを同一基板上に形成することを開示している。具体的には、基板上に形成された非晶質シリコン膜のうちTFTの活性領域を形成しようとする領域のみに、非晶質シリコンの結晶化を促進する触媒元素を添加する。この後、加熱処理を行うことにより、TFTの活性領域を形成しようとする領域のみが結晶化され、TFDとなる領域が

アモルファス状態であるシリコン膜を形成する。このシリコン膜を用いると、結晶質シリコンTFTと、非晶質シリコンTFDとを同一基板上に簡便に作製することができる。

- [0006] さらに、特許文献3では、同一の半導体膜（非晶質シリコン膜）を用いて、TFTおよびTFDの活性領域として、結晶状態が互いに異なる結晶質半導体層を形成する方法を開示している。特許文献3では、TFTの半導体層の結晶性をTFDの半導体層の結晶性よりも高くすることによって、TFTおよびTFDに要求されるデバイス特性の最適化を図ることが提案されている。

先行技術文献

特許文献

- [0007] 特許文献1：特開平6-275808号公報
特許文献2：特開平6-275807号公報
特許文献3：国際公開第2008/132862号

発明の概要

発明が解決しようとする課題

- [0008] 特許文献1では、同一の結晶質半導体膜を結晶化させて、TFTの半導体層およびTFDの半導体層の両方を形成している。TFTおよびTFDでは、それぞれの用途に応じて求められるデバイス特性は異なるが、この方法によると、TFTおよびTFDに要求されるそれぞれのデバイス特性を同時に満足することが難しいという問題がある。
- [0009] 特許文献2および特許文献3に開示された方法では、同一の非晶質半導体膜から結晶状態の異なるTFTおよびTFDの半導体層を形成している。しかしながら、半導体層ごとに結晶状態を最適化することは製造プロセス上、困難であり、製造工程数が大幅に増加する場合がある。また、TFTおよびTFDの用途によっては、半導体層の結晶状態を制御しても、それぞれに要求される特性をより確実に実現することが困難な場合もある。

[0010] 本発明は上記の問題を鑑みてなされたものであり、その目的は、薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置において、薄膜トランジスタおよび薄膜ダイオードに要求されるそれぞれの特性を実現することにある。

課題を解決するための手段

[0011] 本発明の半導体装置は、基板と、基板の表面に形成された絶縁層と、前記絶縁層上に形成され、チャネル領域、ソース領域およびドレイン領域を含む半導体層、ゲート電極、および前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有する薄膜トランジスタと、前記絶縁層上に形成され、少なくともn型領域とp型領域とを含む半導体層を有する薄膜ダイオードとを備えた半導体装置であって、前記絶縁層の表面のうち前記薄膜ダイオードの半導体層の下に位置する部分には、第1の凹凸パターンが形成されており、前記薄膜トランジスタの半導体層の下に位置する部分には、前記第1の凹凸パターンが形成されておらず、前記薄膜ダイオードの半導体層の表面は、前記第1の凹凸パターンの形状を反映した第2の凹凸パターンを有している。

[0012] ある好ましい実施形態において、前記薄膜ダイオードおよび前記薄膜トランジスタの半導体層は、前記絶縁層の前記表面に接している。

[0013] ある好ましい実施形態において、前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層である。

[0014] 前記第1の凹凸パターンは複数の溝を含んでもよい。

[0015] ある好ましい実施形態において、前記薄膜ダイオードは、前記薄膜ダイオードの半導体層のうち前記n型領域と前記p型領域との間に位置する真性領域をさらに含み、前記薄膜ダイオードの半導体層のうち少なくとも前記真性領域の表面は前記第2の凹凸パターンを有している。

[0016] 前記薄膜トランジスタは、nチャネル型薄膜トランジスタおよびpチャネル型薄膜トランジスタを含む複数の薄膜トランジスタであってもよい。

[0017] 本発明の半導体装置の製造方法は、薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置の製造方法であって、(a) 前記基板の表面に絶縁層を形成する工程と、(b) 前記絶縁層の表面の一部に第1の凹凸パターンを形成する工程と、(c) 前記絶縁層上に、前記第1の凹凸パターンの形状を反映した第2の凹凸パターンを表面に有する部分と前記第2の凹凸パターンを表面に有しない部分とを含む非晶質半導体膜を形成する工程と、(d) 前記非晶質半導体膜を結晶化させることにより、結晶質半導体膜を得る工程と、(e) 前記結晶質半導体膜をパターニングすることにより、前記第2の凹凸パターンを有しない部分を用いて、後に薄膜トランジスタの活性領域となる第1の島状半導体層を形成し、前記第2の凹凸パターンを有する部分を用いて、後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程とを包含する。

[0018] 本発明の表示装置は、複数の表示部を有する表示領域と、前記表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および前記電極に接続された薄膜トランジスタを有し、前記薄膜トランジスタと、前記薄膜ダイオードとは、表面に絶縁層を有する基板上に形成されており、前記薄膜トランジスタは、前記絶縁層上に形成され、チャンネル領域、ソース領域およびドレイン領域を含む半導体層、ゲート電極、および前記半導体層と前記ゲート電極との間に設けられたゲート絶縁層とを含み、前記薄膜ダイオードは、前記絶縁層上に形成され、少なくともn型領域とp型領域とを含む半導体層を含み、前記絶縁層の表面のうち前記薄膜ダイオードの半導体層の下に位置する部分には、第1の凹凸パターンが形成されており、前記薄膜トランジスタの半導体層の下に位置する部分には、前記第1の凹凸パターンが形成されておらず、前記薄膜ダイオードの半導体層の表面は、前記第1の凹凸パターンの形状を反映した第2の凹凸パターンを有している。

[0019] ある好ましい実施形態において、前記表示部は、バックライトと、前記バックライトから出射する光の輝度を調整するバックライト制御回路とをさら

に備え、前記光センサー部は、外光の照度に基づく照度信号を生成して前記バックライト制御回路に出力する。

[0020] ある好ましい実施形態において、それぞれが前記光センサー部を有する複数の光タッチセンサー部を有し、前記複数の光タッチセンサー部は、それぞれ、各表示部または2以上の表示部からなるセットに対応して前記表示領域に配置されている。

発明の効果

[0021] 本発明によると、同一基板上に形成されたTFTおよびTFDを備えた半導体装置において、TFTおよびTFDの半導体層を、それぞれ、要求されるデバイス特性に応じて最適化できる。従って、TFTおよびTFDに要求されるそれぞれのデバイス特性を両立させることが可能になる。

[0022] また、TFDの半導体層の表面凹凸を増大させることができるので、例えばTFDを光センサーとして用いる場合には光センサーの光利用効率を高めることができる。一方、TFTでは、半導体層の表面凹凸が抑えられるので、信頼性（ゲート耐圧）を確保できる。

[0023] さらに、本発明の製造方法によると、上記の半導体装置を、製造工程や製造コストを増大させることなく簡便に製造でき、製品のコンパクト化、高性能化、低コスト化を図ることができる。

図面の簡単な説明

[0024] [図1]本発明による第1実施形態の半導体装置を示す模式的な断面図である。

[図2] (a) および (b) は、それぞれ、第1実施形態における絶縁層104に形成された凹凸パターンを例示する上面図および断面図である。

[図3] (A) から (D) は、本発明による第1実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図4] (E) から (H) は、本発明による第1実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図5] (A) から (D) は、本発明による第2実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図6] (E) から (G) は、本発明による第2実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図7] (H) から (J) は、本発明による第2実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図8] 本発明による第3実施形態の光センサーTFDの回路図である。

[図9] 本発明による第3実施形態の光センサー方式のタッチパネルの構成図である。

[図10] 本発明による第3実施形態のタッチパネル方式の液晶表示装置における背面基板を例示する模式的な平面図である。

[図11] 本発明による第3実施形態のアンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。

発明を実施するための形態

[0025] 本願発明者は、同一基板上に形成されたTF TおよびTF Dのデバイス特性をそれぞれ最適化するために、TF TおよびTF Dの半導体層の構造とデバイス特性との関係について、様々な角度から検討を行った。その結果、TF TおよびTF Dの半導体層の表面粗さを制御することにより、これらの半導体層の結晶状態にかかわらず、それぞれに要求されるデバイス特性を両立できることを見出した。

[0026] 具体的には、TF D（光センサーとして用いる光センサーTF D）では、半導体層の表面凹凸を大きくすることにより、半導体層に入射する光の反射を抑制して、明電流を増加させることができる。その結果、外光に対する感度、すなわち光に対するSN比（明暗での電流値比）を向上できる。一方、TF Tでは、半導体層の表面凹凸が大きいと、信頼性（特にゲート耐圧）を低下させる要因となる。従って、半導体層の表面凹凸をより低減することが望ましい。

[0027] 本願発明は、上記知見に基づいてなされたものであり、TF Dの半導体層の下地となる絶縁層に凹凸パターンを設けておくことにより、TF Dの半導体層の表面凹凸をTF Tの半導体層の表面凹凸よりも増大させることを特徴

とする。これにより、TFDの半導体層では、表面に3次元構造が形成されて表面積が増大する。従って、TFDの半導体層の表面積（単位領域あたりの表面積、言い換えると、半導体層表面が理想的に平坦であるとしたときの単位表面積あたりの実際の表面積）はTFEの半導体層の表面積よりも大きくなる。この結果、TFDでは、明電流を増加させて、光の利用効率を高めることができる。一方、TFEでは、半導体層の表面凹凸がTFDよりも抑えられるので、高い信頼性を確保できる。

[0028] TFDの半導体層は、n型領域とp型領域との間に位置する真性領域をさらに含んでいてもよい。この場合、TFDの半導体層のうち少なくとも真性領域の表面に、絶縁層の凹凸パターンを反映した凹凸パターンが形成されていると、光の利用効率をより効果的に向上できるので好ましい。

[0029] 本願発明の半導体装置は、例えば次のようにして製造できる。

[0030] まず、基板上に絶縁層を形成し、その表面のうちTFDを形成しようとする領域に第1の凹凸パターンを形成する。次いで、絶縁層上に非晶質半導体膜を堆積させる。このとき、非晶質半導体膜には、下地である絶縁層の第1の凹凸パターンの形状を反映した第2の凹凸パターンが形成される。この後、非晶質半導体膜をレーザー照射などによって結晶化し、結晶質半導体膜を得る。続いて、結晶質半導体膜のうち上記第2の凹凸パターンが形成された部分を用いてTFDの活性領域となる島状半導体層を形成し、上記第2の凹凸パターンが形成されていない部分を用いてTFEの活性領域となる島状半導体層を形成する。このようにして、表面構造の異なる半導体層を作り分けることができる。

[0031] 上記方法によると、各半導体層の下地となる絶縁層を利用して、TFDおよびTFEの半導体層の構造を互いに異ならせることができる。従って、上述した特許文献2のように、半導体層の結晶状態を互いに異ならせる必要がないので、製造工程を複雑にすることなく、TFEおよびTFDにそれぞれ要求されるデバイス特性を実現できる。

[0032] 絶縁層に形成される第1の凹凸パターンは、特に限定されないが、複数の

溝、穴またはその両方を含む3次元構造であってもよい。このような第1の凹凸パターンは、例えばフォトリソグラフィーおよびエッチング工程によって形成される。

[0033] (第1実施形態)

以下、図面を参照しながら、本発明による半導体装置の第1の実施形態を説明する。本実施形態の半導体装置は、同一の基板上に形成されたnチャネル型TFETと光センサーTFDとを備えており、例えばアクティブマトリクス型の表示装置として用いられる。

[0034] 図1は、本実施形態の半導体装置の一例を示す模式的な断面図である。本実施形態の半導体装置は、典型的には、同一基板上に設けられた複数のTFETおよび複数のTFDを有するが、ここでは、簡単のため、単一のTFETおよび単一のTFDのみの構成を図示している。また、TFETとして、シングルドレイン構造を有するnチャネル型TFETを例示しているが、TFETの構造はこれに限定されない。例えば、LDD構造またはGOLD構造のTFETを備えていてもよいし、nチャネル型TFETおよびpチャネル型TFETを含む複数のTFETを備えていてもよい。

[0035] 本実施形態の半導体装置は、基板101の上に下地膜となる絶縁層103、104を介して形成されたTFETとTFDとを備えている。絶縁層104の表面のうちTFDの半導体層の下に位置する部分には、複数の溝からなる凹凸パターン（「第1の凹凸パターン」ともいう。）105が形成されている。

[0036] TFETは、チャネル領域116、ソース領域およびドレイン領域114を含む半導体層108と、半導体層108の上に設けられたゲート絶縁層110と、チャネル領域116の導電性を制御するゲート電極111と、ソース領域およびドレイン領域114にそれぞれ接続された電極・配線123とを有する。TFDは、少なくともn型領域115とp型領域119とを含む半導体層109と、n型領域115およびp型領域119にそれぞれ接続された電極・配線124とを有する。図示する例では、半導体層109における

n型領域115とp型領域119との間に真性領域120が設けられている。真性領域120の表面は、絶縁層104の凹凸パターン105を反映した凹凸パターン（「第2の凹凸パターン」ともいう。）を有している。なお、絶縁層104の表面形状を半導体層108、109により確実に反映させるためには、半導体層108、109は絶縁層104の表面と接していることが好ましい。また、図示しないが、ゲート絶縁層110のうち真性領域120の上に位置する部分は、真性領域120の表面形状を反映した凹凸を有している。

[0037] TFTおよびTFDの上には、層間絶縁層として、窒化ケイ素膜121および酸化ケイ素膜122が形成されている。また、基板101として透光性を有する基板を用いる場合には、基板101の裏面から半導体層109に光が入射することを防止するために、TFDの半導体層109と基板101との間に遮光層102が設けられていてもよい。

[0038] 図2(a)および(b)は、本実施形態における絶縁層104の凹凸パターン105を例示する上面図および断面図である。この例では、TFDにおける電流が流れる方向に直交する方向に沿って複数の溝が配列されている。各溝の深さdは50nm、幅wは1.5 μ m、隣接する溝の間隔uは1.5 μ mである。

[0039] 凹凸パターン105は、図示する例に限定されない。溝の代わりに、複数の窪み（穴）を含んでいてもよいし、溝および窪みの両方を含んでいてもよい。凹凸パターン105の高さ（図示する例では各溝の深さd）は、20nm以上であることが好ましく、これにより、その上に堆積する半導体膜に凹凸パターン105の形状をより確実に反映させることができる。一方、凹凸パターン105が高すぎると、その上に半導体膜を形成することが困難となるおそれがあるので、凹凸パターン105の高さは100nm以下であることが好ましい。なお、本明細書では、「凹凸パターン105の高さ」は、凹凸パターンにおける凹部底面から凸部上面までの基板法線に沿った長さを指すものとする。

- [0040] 凹凸パターン105として、複数の溝または穴が周期的に配列された構造を用いる場合には、溝または穴の周期は、真性領域120の幅よりも十分短いことが好ましく、例えば $3\mu\text{m}$ 以下である。一方、周期が短すぎると、その上に堆積する半導体膜に凹凸パターン105の形状をより確実に反映させ難くなるため、 $0.1\mu\text{m}$ 以上であることが好ましい。図示する例では、溝の周期は $3\mu\text{m}$ ($=w+u$) である。
- [0041] 本実施形態において、半導体層109に形成される第2の凹凸パターンは、図2に示す凹凸パターン105と略等しい周期で配列された複数の溝を有する。ただし、各溝の底面がやや丸みを帯びる場合がある。また、第2の凹凸パターンの高さは、上述した凹凸パターン105の高さ d よりも小さいか、または同程度である。
- [0042] 本実施形態の半導体装置によると、同一の半導体膜を用いて、結晶性を大きく異ならせることなく、表面構造の異なる半導体層を作り分けることができる。よって、TFTおよびTFDの半導体層をそれぞれの用途に応じて最適化でき、それぞれに要求されるデバイス特性を両立することができる。
- [0043] 本実施形態におけるTFDは光センサーTFDとして好適に用いられる。TFDの半導体層（真性領域）109の表面積は、TFTの半導体層108の表面積よりも大きいため、光の利用効率を向上できる。また、TFDの半導体層109の表面凹凸により入射光の反射を抑制できる。この結果、光照射時の明電流が増加し、明暗比（SN比）を向上できる。
- [0044] 一方、本実施形態におけるTFTでは、半導体層108の表面凹凸が小さく抑えられているので、ゲート絶縁層110の耐圧特性やゲートバイアスストレスに対する信頼性を高めることができ、電界効果移動度も向上できる。従って、アクティブマトリクス型表示装置において、画素用スイッチング素子として、または、駆動回路用TFTとして使用される。
- [0045] TFTの半導体層108およびTFDの半導体層109は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であることが好ましい。これにより、製造工程を簡略化できる。また、TFTでは、活性

領域として結晶質半導体層を用いることによって、高い電界効果移動度や低閾値電圧を実現できる。一方、TFD（特に光センサーTFD）では、非晶質よりも結晶質半導体層を活性領域として用いることによって、順バイアス動作における信号リセット速度や赤外領域でのセンシング感度を高めることができる。

[0046] 以下、図面を参照しながら、本実施形態の半導体装置の製造方法の一例を説明する。

[0047] まず、図3（A）に示すように、基板101上に遮光層102を形成し、続いて、下地膜となる絶縁層103、104を形成する。ここでは、窒化ケイ素膜103および酸化ケイ素膜104を形成する。この後、酸化ケイ素膜104の一部に、凹凸パターン105を形成する。

[0048] 基板101として、低アルカリガラス基板や石英基板を用いることができる。本実施形態では低アルカリガラス基板を用いる。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。

[0049] 遮光層102は、TFDに対する基板裏面方向からの光を遮ることができるように配置される。遮光層102の材料としては、金属膜あるいはケイ素膜等を用いることができる。金属膜を用いる場合は、後の製造工程における熱処理を考慮し、高融点金属であるタンタル（Ta）やタングステン（W）、モリブデン（Mo）等が好ましい。本実施形態では、Mo膜をスパッタリングにより成膜し、パターニングして、遮光層102を形成する。遮光層102の厚さは20～200nm、好ましくは30～150nmである。本実施形態では、例えば100nmとする。

[0050] 窒化ケイ素膜103および酸化ケイ素膜104は、基板101からの不純物拡散を防ぐために設けられる。本実施形態では、これらの絶縁層103、104をプラズマCVD法を用いて形成する。これらの絶縁層103、104の合計厚さは100～600nm、好ましくは150～450nmである。本実施形態では、窒化ケイ素膜103の厚さは50～400nm、例えば200nmとし、酸化ケイ素膜104の厚さは30～300nm、例えば1

50 nmとする。また、ここでは2層の絶縁層を形成するが、例えば酸化ケイ素膜からなる単層を形成してもよい。

[0051] 凹凸パターン105は、酸化ケイ素膜104上に所定のパターンを有するレジスト層（図示せず）を設け、レジスト層で覆われていない部分をエッチングすることによって形成できる。なお、本実施形態では、酸化ケイ素膜104に凹凸パターン105を形成するが、凹凸パターン105を形成する絶縁層の材料は酸化ケイ素に限定されない。凹凸パターン105の形成方法も上記に限定されない。

[0052] 次に、図3（B）に示すように、酸化ケイ素膜104の上に非晶質半導体膜（ここでは非晶質ケイ素膜）106を形成する。非晶質ケイ素膜106の形成は、プラズマCVD法やスパッタ法などの公知の方法で行うことができる。非晶質ケイ素膜106の厚さを例えば50 nmとする。得られた非晶質ケイ素膜106の表面には、凹凸パターン105の形状を反映した凹凸パターンが形成される。

[0053] 続いて、図3（C）に示すように、基板101の上方から、非晶質ケイ素膜106をレーザー光107で照射することにより、非晶質ケイ素膜106を結晶化させて結晶質ケイ素膜106'を得る。得られた結晶質ケイ素膜106'は、凹凸パターン105上に位置し、凹凸パターン105の形状を反映した凹凸パターンを有する部分106bと、そのような凹凸パターンが形成されておらず、より平坦な表面を有する部分106aとを有する。

[0054] 本実施形態では、レーザー光107として、波長が308 nmのXeClエキシマレーザー光を利用するが、上記波長のレーザー光に限定されず波長が248 nmのKrFエキシマレーザーや固体レーザーを用いてもよい。レーザー光107のビームサイズは、基板101表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の結晶化を行う。このとき、ビームの一部が重なるようにして走査することが好ましい。これにより、非晶質ケイ素膜106の任意の一点において、複数回のレーザー照射が行われ、結晶状態の均一性を向上できる。

- [0055] 次いで、図3(D)に示すように、結晶質ケイ素膜106'の不要な領域を除去して素子間分離を行う。これにより、結晶質ケイ素膜106'の凹凸パターンを有しない部分106aを用いて、後のTFEの活性領域(ソース・ドレイン領域、チャネル領域)となる島状の半導体層108を形成する。また、結晶質ケイ素膜106'の凹凸パターンを有する部分106bを含むように、後のTFDの活性領域(n⁺型/p⁺型領域、真性領域)となる島状の半導体層109を形成する。好ましくは、半導体層109の少なくとも真性領域となる領域が、凹凸パターンを有する部分106bを含むように半導体層109を形成する。従って、TFDの半導体層109の表面凹凸は、TFEの半導体層108の表面凹凸よりも大きくなる。
- [0056] 続いて、図4(E)に示すように、これらの半導体層108、109を覆うゲート絶縁層110を形成した後、ゲート絶縁層110の上に後のTFEのゲート電極111を形成する。
- [0057] ゲート絶縁層110としては、厚さが20~150nmの酸化ケイ素膜を用いることが好ましく、ここでは100nmの酸化ケイ素膜を用いる。
- [0058] ゲート電極111は、スパッタ法またはCVD法などを用いてゲート絶縁層110上に導電膜を堆積し、これをパターニングすることによって形成される。導電膜としては、高融点金属のW、Ta、Ti、Moまたはその合金材料のいずれかが望ましい。また、導電膜の厚さは300~600nmであることが好ましい。本実施形態では、窒素が微量に添加されたタンタル(厚さ:450nm)を用いる。
- [0059] 次に、図4(F)に示すように、後にTFDの活性領域となる半導体層109の一部を覆うように、ゲート絶縁層110上にレジストからなるマスク112を形成する。この状態で、基板101の上方よりn型不純物(リン)113を全面にイオンドーピングする。リン113は、ゲート絶縁層110をスルーして、半導体層108、109に注入される。この工程により、TFDの半導体層109において、マスク112で覆われていない領域と、TFEの半導体層108において、ゲート電極111で覆われていない領域に

リン113が注入される。レジストマスク112またはゲート電極111によって覆われている領域には、リン113はドーピングされない。これにより、TFETの半導体層108のうちリン113が注入された領域は、後のTFETのソース領域およびドレイン領域114となり、ゲート電極111にマスクされてリン113が注入されなかった領域は、後にTFETのチャネル領域116となる。また、TFDの半導体層109のうちリン113が注入された領域は、後のTFDのn⁺型領域115となる。

[0060] レジストマスク112を除去した後、図4(G)に示すように、後にTFDの活性領域となる半導体層109の一部と、後にTFETの活性領域となる半導体層108の全体とを覆うように、ゲート絶縁層110上にレジストからなるマスク117を形成する。この状態で、基板101上方よりp型不純物(ボロン)118を全面にイオンドーピングする。このときのボロン118のイオンドーピングは、ゲート絶縁層110をスルーし、半導体層109に注入される。この工程により、TFDの半導体層109において、マスク117で覆われていない領域にボロン118が注入されて、後のTFDのp⁺型領域119となる。また、TFDの半導体層109のうちボロンもリンも注入されなかった領域は、後の真性領域120となる。

[0061] 図示しないが、マスク117を除去した後、不活性雰囲気下、例えば窒素雰囲気にて熱処理を行う。この熱処理により、TFETのソース・ドレイン領域114やTFDのn⁺型領域115及びp⁺型領域119では、ドーピング時に生じた結晶欠陥等のドーピングダメージを回復させ、それぞれにドーピングされたリンとボロンが活性化される。この熱処理は、一般的な加熱炉を用いてもよいが、RTA(Rapid Thermal Annealing)を用いて行うことが好ましい。特に、基板表面に高温の不活性ガスを吹き付け、瞬時に昇降温を行う方式のものが適している。

[0062] 続いて、図4(H)に示すように、層間絶縁層として、窒化ケイ素膜121と酸化ケイ素膜122とをこの順で形成する。必要に応じて、半導体層108、109を水素化するための熱処理、例えば1気圧の窒素雰囲気あるいは

は水素混合雰囲気中で350～450℃のアニールを行ってもよい。この後、層間絶縁層121、122にコンタクトホールを形成する。次いで、層間絶縁層122上およびコンタクトホール内部に金属材料からなる膜（例えば窒化チタンとアルミニウムとの二層膜）を堆積し、パターニングすることによりTFETの電極・配線123とTFDの電極・配線124とを形成する。このようにして、薄膜トランジスタ125と薄膜ダイオード126とが得られる。なお、これらを保護する目的で、薄膜トランジスタ125および薄膜ダイオード126上に窒化ケイ素膜などからなる保護膜を設けてもよい。

[0063] 上記方法によると、同一の非晶質ケイ素膜106を用い、かつ、非晶質ケイ素膜106の下地となる絶縁層104の表面形状を利用して、表面構造の異なる半導体層108、109を作り分けることができる。すなわち、より平坦な表面を有し、TFETに適する半導体層108と、表面凹凸が大きく、光センサーTFDに適する半導体層109とを形成できる。従って、半導体層の結晶状態を異ならせる必要がないので、従来よりも簡便なプロセスでTFETおよびTFDの特性をそれぞれ最適化できる。また、絶縁層104の表面形状によって半導体層108、109の表面構造を任意に制御できるので、より確実に所望のデバイス特性を実現できる。

[0064] 上記方法では、半導体層108、109として、略同等の結晶性を有する結晶質半導体層を形成しているが、これらの半導体層108、109の結晶状態は互いに異なってもよい。例えば、非晶質半導体膜106の一部のみを結晶化させることにより、半導体層108を結晶質半導体層とし、半導体層109を非晶質半導体層としてもよい。さらに、非晶質半導体膜106を部分的に薄膜化するか、あるいは、非晶質半導体膜106の一部のみを厚くすることによって、これらの半導体層108、109の厚さを互いに異ならせることもできる。その場合、薄膜ダイオード126の半導体層109を厚くすると、光感度を向上できるので好ましい。ただし、製造プロセスをより簡略化する観点からは、半導体層108、109の結晶状態および厚さは略等しく、表面構造のみが異なっていることが好ましい。

[0065] (第2実施形態)

次に、本発明による半導体装置の第2実施形態を説明する。本実施形態の半導体装置は、第1実施形態の半導体装置(図1)と同様の構成を有する。ただし、本実施形態では、触媒元素を利用して非晶質半導体膜の結晶化を行う点で、第1実施形態の半導体装置の製造方法と異なっている。

[0066] 以下、図面を参照しながら、本実施形態の半導体装置の製造方法の一例を説明する。

[0067] まず、図5(A)に示すように、基板201上に遮光層202をパターン形成し、下地膜となる絶縁層203、204を形成する。ここでは、窒化ケイ素膜203と酸化ケイ素膜204とを形成する。この後、酸化ケイ素膜204に凹凸パターン205を形成する。形成方法は、図3(A)を参照しながら前述した方法と同様である。

[0068] 続いて、図5(B)に示すように、酸化ケイ素膜204の上に、非晶質半導体膜(非晶質ケイ素膜)206を形成し、非晶質ケイ素膜206の表面に触媒元素(ここではニッケル)を添加して触媒元素含有層207を得る。非晶質ケイ素膜206および触媒元素含有層207は、凹凸パターン205の形状を反映した凹凸パターンを有する。

[0069] 非晶質ケイ素膜206の形成方法は、図3(B)を参照しながら前述した方法と同様である。触媒元素含有層207は、非晶質ケイ素膜206に対して、重量換算で例えば5ppmのニッケルを含む水溶液(酢酸ニッケル水溶液)をスピンコート法で塗布することによって形成できる。触媒元素として、ニッケル(Ni)以外に、鉄(Fe)、コバルト(Co)、スズ(Sn)、鉛(Pb)、パラジウム(Pd)、銅(Cu)から選ばれた一種または複数種の元素を用いることができる。これらの元素よりも触媒効果は小さいが、ルテニウム(Ru)、ロジウム(Rh)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、金(Au)等も触媒元素として機能する。添加する触媒元素の量は極微量であり、非晶質ケイ素膜206の表面上の触媒元素濃度は、全反射蛍光X線分析(TRXRF)法により、管理される。本実

施形態では、 $5 \times 10^{12} \text{ atoms/cm}^2$ 程度である。尚、本工程に先立って、スピン塗布時の非晶質ケイ素膜206の表面の濡れ性向上のため、オゾン水等で非晶質ケイ素膜206の表面をわずかに酸化させてもよい。

[0070] なお、本実施形態ではスピンコート法でニッケルをドーピングする方法を用いたが、蒸着法やスパッタ法などにより触媒元素を含む薄膜（本実施形態の場合はニッケル膜）を非晶質ケイ素膜206上に形成する手段をとっても良い。

[0071] 続いて、不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行う。この加熱処理は、 $550 \sim 620^\circ\text{C}$ で30分～4時間のアニール処理を行うことが好ましい。本実施形態では、一例として 590°C にて1時間の加熱処理を行う。この加熱処理において、添加されたニッケルが非晶質ケイ素膜206中に拡散すると共に、シリサイド化が起こり、それを核として非晶質ケイ素膜206の結晶化が進行する。その結果、図5（C）に示すように、非晶質ケイ素膜206が結晶化されて、結晶質ケイ素膜208となる。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いるRTA（Rapid Thermal Annealing）装置で結晶化を行ってもよい。結晶質ケイ素膜208は、凹凸パターン205の上に位置し、凹凸パターン205の形状を反映した凹凸パターンを有する部分208bと、そのような凹凸パターンが形成されず、より平坦な表面を有する部分208aとを含んでいる。

[0072] 続いて、図5（D）に示すように、加熱処理により得られた結晶質ケイ素膜208にレーザー光209を照射することにより、結晶質ケイ素膜208を再結晶化する。これにより、結晶性の高い結晶質ケイ素膜208'を得る。結晶質ケイ素膜208の各部分208a、208bは、それぞれ、より結晶性の高い部分208c、208dとなる。

[0073] 本実施形態では、レーザー光209として、XeClエキシマレーザー（波長308nm）を用いる。レーザー光のビームサイズは、基板201表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次

走査を行うことで、基板全面の再結晶化を行う。また、ビームの一部が重なるようにして走査することで、結晶質ケイ素膜 208 の任意の一点において、複数回のレーザー照射が行われ、均一性を向上できる。

[0074] 続いて、図 6 (E) に示すように、結晶質ケイ素膜 208' を島状分離する。具体的には、結晶質ケイ素膜 208' のうち凹凸パターンを有しない部分 208c を用いて、後の TFT の活性領域となる半導体層 210 を形成する。また、凹凸パターンを有する部分 208d を含むように、後の TFT の活性領域となる半導体層 211 を形成する。このとき、半導体層 211 のうち少なくとも真性領域となる領域が、凹凸パターンを有する部分 208d を含むことが好ましい。

[0075] この後、図 6 (F) に示すように、これらの半導体層 210、211 を覆うゲート絶縁層 212 を形成した後、ゲート絶縁層 212 の上に後の TFT のゲート電極 213 を形成する。形成方法は、第 1 実施形態で前述した方法と同様である。

[0076] 次いで、図 6 (G) に示すように、半導体層 211 の一部を覆うように、フォトレジストによるマスク 214 を形成する。この状態で、半導体層 210、211 に n 型不純物 (リン) 215 をドーピングする。これにより、TFT の半導体層 210 のうちリン 215 が注入された領域は、後の TFT のソース領域およびドレイン領域 216 となり、ゲート電極 213 にマスクされてリン 215 が注入されなかった領域は、後に TFT のチャネル領域 218 となる。また、TFD の半導体層 211 のうちリン 215 が注入された領域は、後の TFD の n⁺型領域 217 となる。

[0077] マスク 214 を除去した後、図 7 (H) に示すように、半導体層 211 の一部と、半導体層 210 の全体とを覆うように、ゲート絶縁層 212 上にフォトレジストからなるマスク 219 を形成する。この状態で、p 型不純物 (ボロン) 220 を全面にイオンドーピングする。これにより、TFD の半導体層 211 において、マスク 219 で覆われていない領域にボロン 220 が注入されて、後の TFD の p⁺型領域 221 となる。また、TFD の半導体層

211のうちボロンもリンも注入されなかった領域は、後の真性領域222となる。

[0078] この後、不活性雰囲気下、例えば窒素雰囲気にて熱処理を行う。この熱処理により、図7(I)に示すように、不純物が注入された領域(ソース・ドレイン領域216、 n^+ 型領域217及び p^+ 型領域221)にドーピングされたリンおよびボロンを活性化させるとともに、チャンネル領域218および真性領域222に存在するニッケルを、それぞれ、矢印223で示す方向に沿って、ソース・ドレイン領域216および n^+ 型領域217へと移動させる(ゲッタリング)。この結果、TFTのソース・ドレイン領域216にはニッケルが移動してくるため、ソース・ドレイン領域216および n^+ 型領域217におけるニッケル濃度は、チャンネル領域218および真性領域222のニッケル濃度よりも高くなる。このときの加熱処理としては、一般的な加熱炉を用いてもよいが、RTA(Rapid Thermal Annealing)がより望ましい。特に、基板表面に高温の不活性ガスを吹き付け、瞬時に昇降温を行う方式のものが好適に用いられる。

[0079] 続いて、図7(J)に示すように、第1実施形態で前述した方法と同様の方法で、層間絶縁層として、窒化ケイ素膜224と酸化ケイ素膜225とをこの順で形成する。必要に応じて、半導体層210、211を水素化するための熱処理を行ってもよい。この後、TFTの電極・配線226とTFDの電極・配線227とを形成する。このようにして、薄膜トランジスタ228と薄膜ダイオード229とが得られる。なお、これらを保護する目的で、薄膜トランジスタ228と薄膜ダイオード229上に窒化ケイ素膜などからなる保護膜を設けてもよい。

[0080] 本実施形態によると、第1実施形態と同様に、表面構造の異なる半導体層を作り分けることができ、TFDおよびTFTに要求されるデバイス特性を両立させることができる。また、本実施形態では、触媒元素を利用して結晶化を行うため、第1実施形態の方法と比べて、半導体層210、211の結晶性を高めることができる。従って、特に薄膜トランジスタ228の特性を

高めることが可能になる。この結果、薄膜トランジスタ 228 を駆動回路に使用する場合には、回路部の集積化、コンパクト化を実現できる。また、画素用スイッチング素子として用いる場合には、開口率を向上できる。

[0081] (第3実施形態)

本実施形態では、センサー機能を備えた表示装置を説明する。これらの表示装置は、上述した何れかの実施形態の半導体装置を用いて構成されている。

[0082] 本実施形態のセンサー機能を備えた表示装置は、例えば、タッチセンサー付きの液晶表示装置であり、表示領域と、表示領域の周辺に位置する額縁領域とを有している。表示領域は、複数の表示部（画素）と、複数の光センサー部とを有している。各表示部は、画素電極と、画素スイッチング用 T F T とを含んでおり、各光センサー部は T F D を含んでいる。額縁領域には、各表示部を駆動するための表示用の駆動回路が設けられており、駆動回路には駆動回路用 T F T が利用されている。画素スイッチング用 T F T および駆動回路用 T F T と、光センサー部の T F D とは、第1および第2実施形態で説明したような方法により、同一基板上に形成されている。なお、本発明の表示装置では、表示装置に使用される T F T のうち少なくとも画素スイッチング用 T F T が、上記方法により、光センサー部の T F D と同一基板上に形成されていればよく、例えば駆動回路は、他の基板上に別途設けてもよい。

[0083] 本実施形態では、光センサー部は、対応する表示部（例えば原色の画素）に隣接して配置されている。1つの表示部に対して1つの光センサー部を配置してもよいし、複数の光センサー部を配置してもよい。または、複数の表示部のセットに対して光センサー部を1個ずつ配置してもよい。例えば、3つの原色（R G B）の画素からなるカラー表示画素に対して、1個の光センサー部を設けることができる。このように、表示部の数に対する光センサー部の数は（密度）は、分解能に応じて適宜選択できる。

[0084] 光センサー部の観察者側にカラーフィルターが設けられていると、光センサー部を構成する T F D の感度が低下するおそれがあるため、光センサー部

の観察者側にはカラーフィルターが設けられていないことが好ましい。

[0085] なお、本実施形態の表示装置の構成は、上記に限定されない。例えば、光センサー用のTFDを額縁領域に配置して、外光の照度に応じて表示の明るさを制御するアンビエントライトセンサーが付加された表示装置を構成することもできる。また、光センサー部の観察者側にカラーフィルターを配置して、カラーフィルターを介した光を光センサー部で受光することにより、光センサー部をカラーイメージセンサーとして機能させることもできる。

[0086] 以下、図面を参照しながら、本実施形態の表示装置の構成を、タッチパネルセンサーを備えたタッチパネル液晶表示装置を例に説明する。

[0087] 図8は、表示領域に配置される光センサー部の構成の一例を示す回路図である。光センサー部は、光センサー用薄膜ダイオード601と、信号蓄積用のコンデンサー602と、コンデンサー602に蓄積された信号を取り出すための薄膜トランジスタ603とを有する。RST信号が入り、ノード604にRST電位が書き込まれた後、光によるリークでノード604の電位が低下すると、薄膜トランジスタ603のゲート電位が変動してTFEゲートが開閉する。これにより、信号VDDを取り出すことができる。

[0088] 図9は、アクティブマトリクス方式のタッチパネル液晶表示装置の一例を示す模式的な断面図である。この例では、各画素に対して光センサー部を含む光タッチセンサー部が1個ずつ配置されている。

[0089] 図示する液晶表示装置は、液晶モジュール702と、液晶モジュール702の背面側に配置されたバックライト701とを備えている。ここでは図示していないが、液晶モジュール702は、例えば、光透性を有する背面基板と、背面基板に対向するように配置された前面基板と、これらの基板の間に設けられる液晶層とによって構成される。液晶モジュール702は、複数の表示部（原色の画素）を有しており、各表示部は、画素電極（図示せず）と、画素電極に接続された画素スイッチング用薄膜トランジスタ705とを有している。また、各表示部に隣接して、薄膜ダイオード706を含む光タッチセンサー部が配置されている。図示していないが、各表示部の観察者側に

はカラーフィルターが配置されているが、光タッチセンサー一部の観察者側にはカラーフィルターが設けられていない。薄膜ダイオード706およびバックライト701の間には遮光層707が配置されており、バックライト701からの光は遮光層707により遮光されて薄膜ダイオード706には入らず、外光704のみが薄膜ダイオード706に入射する。この外光704の入射を薄膜ダイオード706でセンシングし、光センシング方式のタッチパネルが実現される。なお、遮光層707は、少なくとも、バックライト701の光が、薄膜ダイオード706のうち真性領域に入らないように配置されていけばよい。

[0090] 図10は、アクティブマトリクス方式のタッチパネル液晶表示装置における背面基板の一例を示す模式的な平面図である。本実施形態の液晶表示装置は、多数の画素（R、G、B画素）から構成されるが、ここでは、簡略化のため2画素分のみを示す。

[0091] 背面基板1000は、それぞれが、画素電極22および画素スイッチング用薄膜トランジスタ24を有する複数の表示部（画素）と、各表示部に隣接して配置され、光センサーフォトダイオード26、信号蓄積用のコンデンサー28および光センサー用フォロワー（*follower*）薄膜トランジスタ29を含む光タッチセンサー部とを備えている。

[0092] 薄膜トランジスタ24は、例えば2つのゲート電極およびLDD領域を有するデュアルゲートLDD構造を有している。薄膜トランジスタ24のソース領域は画素用ソースバスライン34に接続され、ドレイン領域は画素電極22に接続されている。薄膜トランジスタ24は、画素用ゲートバスライン32からの信号によってオンオフされる。これにより、画素電極22と、背面基板1000に対向して配置された前面基板に形成された対向電極とによって液晶層に電圧を印加し、液晶層の配向状態を変化させることによって表示を行う。

[0093] 一方、光センサーフォトダイオード26は、例えば第1および第2実施形態で説明したTFDと同様の構成を有し、 p^+ 型領域26p、 n^+ 型領域26n

、およびそれらの領域 26 p、26 n の間に位置する真性領域 26 i とを備えている。信号蓄積用のコンデンサー 28 は、ゲート電極層と S i 層とを電極とし、ゲート絶縁層で容量を形成している。光センサーフォトダイオード 26 における p⁺型領域 26 p は、光センサー用 R S T 信号ライン 36 に接続され、n⁺型領域 26 n は、信号蓄積用のコンデンサー 28 における下部電極 (S i 層) に接続され、このコンデンサー 28 を経て光センサー用 RWS 信号ライン 38 に接続されている。さらに、n⁺型領域 26 n は、光センサー用フォロワー薄膜トランジスタ 29 におけるゲート電極層に接続されている。光センサー用フォロワー薄膜トランジスタ 29 のソースおよびドレイン領域は、それぞれ、光センサー用 V D D 信号ライン 40、光センサー用 C O L 信号ライン 42 に接続されている。

[0094] このように、光センサーフォトダイオード 26、信号蓄積用のコンデンサー 28、および光センサー用フォロワー薄膜トランジスタ 29 は、それぞれ、図 8 に示す駆動回路の薄膜ダイオード 601、コンデンサー 602、薄膜トランジスタ 603 に対応しており、光センサーの駆動回路を構成している。この駆動回路による光センシング時の動作を以下に説明する。

[0095] (1) まず、RWS 信号ライン 38 により、信号蓄積用のコンデンサー 28 に RWS 信号が書き込まれる。これにより、光センサーフォトダイオード 26 における n⁺型領域 26 n の側にプラス電界が生じ、光センサーフォトダイオード 26 に関して逆バイアス状態となる。(2) 基板表面のうち光が照射されている領域に存在する光センサーフォトダイオード 26 では、光リークが生じて R S T 信号ライン 36 の側に電荷が抜ける。(3) これにより、n⁺型領域 26 n の側の電位が低下し、その電位変化により光センサー用フォロワー薄膜トランジスタ 29 に印加されているゲート電圧が変化する。(4) 光センサー用フォロワー薄膜トランジスタ 29 のソース側には V D D 信号ライン 40 より V D D 信号が印加されている。上記のようにゲート電圧が変動すると、ドレイン側に接続された C O L 信号ライン 42 へ流れる電流値が変化するため、その電気信号を C O L 信号ライン 42 から取り出すことがで

きる。(5) COL信号ライン42からRST信号を光センサーフォトダイオード26に書き込み、信号蓄積用のコンデンサー28の電位をリセットする。上記(1)～(5)の動作をスキャンしながら繰り返すことにより、光センシングが可能になる。

[0096] 本実施形態のタッチパネル液晶表示装置における背面基板1000の構成は図10に示す構成に限定されない。例えば、各画素スイッチング用TFTに補助容量(Cs)が設けられていてもよい。また、図示する例では、RGB画素のそれぞれに隣接して光タッチセンサー部が設けられているが、上述したように、RGB画素からなる3つの画素セット(カラー表示画素)に対して1つの光タッチセンサー部が配置されていてもよい。

[0097] ここで、再び図9を参照する。上述してきた例では、図9に示す断面図からわかるように、薄膜ダイオード706を表示領域に配置して、タッチセンサーとして利用しているが、薄膜ダイオード706を表示領域の外に形成し、バックライト701の輝度を、外光704の照度に合わせてコントロールするためのアンビニエントライトセンサーとして利用することもできる。

[0098] 図11は、アンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。液晶表示装置2000は、表示領域52、ゲートドライバ56、ソースドライバ58および光センサー部54を有するLCD基板50と、LCD基板50の背面側に配置されたバックライト60とを備えている。LCD基板50のうち表示領域52の周辺に位置し、ドライバ56、58や光センサー部54が設けられている領域を「額縁領域」と呼ぶこともある。

[0099] バックライト60の輝度は、バックライト制御回路(図示せず)によって制御されている。また、図示しないが、表示領域52およびドライバ56、58には、TFTが利用されており、光センサー部54にはTFDが利用されている。光センサー部54は、外光の照度に基づく照度信号を生成し、フレキシブル基板を用いた接続を利用してバックライト制御回路に入力する。バックライト制御回路では、この照度信号に基づいてバックライト制御信号を生成し、バックライト60に出力する。

[0100] なお、本発明を適用すると、アンビニエントライトセンサー付き有機EL表示装置を構成することもできる。そのような有機EL表示装置は、図11に示す液晶表示装置と同様に、同一の基板上に表示部と光センサー部とが配置された構成を有することができるが、基板の背面側にバックライト60を設ける必要がない。この場合には、光センサー部54を、LCD基板50に設けられた配線によってソースドライバ58に接続し、光センサー部54からの照度信号をソースドライバ58に入力する。ソースドライバ58は、照度信号に基づいて表示部52の輝度を変化させる。

[0101] 以上、本発明の具体的な実施形態について説明を行なったが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。本発明のTFTを用いて、ガラス基板上にアナログ駆動を行うための回路やデジタル駆動を行うための回路も同時に構成できる。例えば、アナログ駆動を行なう回路の場合、ソース側駆動回路、画素部およびゲート側駆動回路を有し、ソース側駆動回路は、シフトレジスタ、バッファ、サンプリング回路（トランスファゲート）、また、ゲート側駆動回路は、シフトレジスタ、レベルシフタ、バッファが設けられる。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。また、本発明の製造工程に従えば、メモリやマイクロプロセッサをも形成し得る。

[0102] 本発明によると、それぞれの半導体素子に最適な半導体膜を用いて、良好な特性を有するTFTとTFDとを同一基板上に備える半導体装置が得られる。従って、駆動回路に用いられるTFTと画素電極をスイッチングするためのTFTとして、高い電界効果移動度及びON/OFF比を有するTFTと、光センサーとして用いられる、暗電流値が低く、光に対するSN比（明暗での電流値比）の高いTFDとを、同一の製造工程で作製できる。特に、これらの半導体層の中でも、TFTの電界効果移動度を大きく左右するチャネル領域と、TFDの光感度に大きく影響する真性領域の表面凹凸をそれぞれ最適化することにより、それぞれの半導体素子に最適な素子特性を実現で

きる。さらに、このような高性能な半導体装置をより簡便な方法で製造でき、製品のコンパクト化、高性能化だけでなく、低コスト化も実現できる。

産業上の利用可能性

[0103] 本発明は、TFTおよびTFDを備えた半導体装置、あるいは、そのような半導体装置を有するあらゆる分野の電子機器に広く適用できる。例えば、本発明を、アクティブマトリクス型液晶表示装置や有機EL表示装置におけるCMOS回路や画素部に適用してもよい。このような表示装置は、例えば携帯電話や携帯ゲーム機の表示画面や、デジタルカメラのモニター等に利用され得る。従って、本発明は、液晶表示装置や有機EL表示装置が組み込まれた電子機器全てに適用され得る。

[0104] 本発明は、特に、アクティブマトリクス型の液晶表示装置および有機EL表示装置などの表示装置、イメージセンサー、光センサー、またはそれらを組み合わせた電子機器に好適に利用できる。特に、TFDを利用した光センサー機能付きの表示装置、またはそのような表示装置を備えた電子機器に本発明を適用すると有利である。また、TFDを利用した光センサーと、TFTを利用した駆動回路とを備えたイメージセンサーに適用することもできる。

符号の説明

[0105]	101	基板
	102	遮光層
	103、104	絶縁層（下地膜）
	105	凹凸パターン
	106	非晶質ケイ素膜
	106'	結晶質ケイ素膜
	106a	結晶質ケイ素膜のうち表面に凹凸パターンを有しない部分
	106b	結晶質ケイ素膜のうち表面に凹凸パターンを有する部分

108、109	島状半導体層
110	ゲート絶縁層
111	ゲート電極
112、117	マスク
113	n型不純物（リン）
114	ソース・ドレイン領域
115	n ⁺ 型領域
116	チャネル領域
118	p型不純物（ホウ素）
119	p ⁺ 型領域
120	真性領域
121、122	層間絶縁層
123	薄膜トランジスタの電極・配線
124	薄膜ダイオードの電極・配線
125	薄膜トランジスタ
126	薄膜ダイオード

請求の範囲

- [請求項1] 基板と、
基板の表面に形成された絶縁層と、
前記絶縁層上に形成され、チャンネル領域、ソース領域およびドレイン領域を含む半導体層、ゲート電極、および前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有する薄膜トランジスタと、
前記絶縁層上に形成され、少なくともn型領域とp型領域とを含む半導体層を有する薄膜ダイオードと
を備えた半導体装置であって、
前記絶縁層の表面のうち前記薄膜ダイオードの半導体層の下に位置する部分には、第1の凹凸パターンが形成されており、前記薄膜トランジスタの半導体層の下に位置する部分には、前記第1の凹凸パターンが形成されておらず、
前記薄膜ダイオードの半導体層の表面は、前記第1の凹凸パターンの形状を反映した第2の凹凸パターンを有している半導体装置。
- [請求項2] 前記薄膜ダイオードおよび前記薄膜トランジスタの半導体層は、前記絶縁層の前記表面に接している請求項1に記載の半導体装置。
- [請求項3] 前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層である請求項1または2に記載の半導体装置。
- [請求項4] 前記第1の凹凸パターンは複数の溝を含む請求項1から3のいずれかに記載の半導体装置。
- [請求項5] 前記薄膜ダイオードは、前記薄膜ダイオードの半導体層のうち前記n型領域と前記p型領域との間に位置する真性領域をさらに含み、
前記薄膜ダイオードの半導体層のうち少なくとも前記真性領域の表面は前記第2の凹凸パターンを有している請求項1から4のいずれかに記載の半導体装置。

[請求項6] 前記薄膜トランジスタは、nチャネル型薄膜トランジスタおよびpチャネル型薄膜トランジスタを含む複数の薄膜トランジスタである請求項1から5のいずれかに記載の半導体装置。

[請求項7] 薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置の製造方法であって、

(a) 前記基板の表面に絶縁層を形成する工程と、

(b) 前記絶縁層の表面の一部に第1の凹凸パターンを形成する工程と、

(c) 前記絶縁層上に、前記第1の凹凸パターンの形状を反映した第2の凹凸パターンを表面に有する部分と前記第2の凹凸パターンを表面に有しない部分とを含む非晶質半導体膜を形成する工程と、

(d) 前記非晶質半導体膜を結晶化させることにより、結晶質半導体膜を得る工程と、

(e) 前記結晶質半導体膜をパターンニングすることにより、前記第2の凹凸パターンを有しない部分を用いて、後に薄膜トランジスタの活性領域となる第1の島状半導体層を形成し、前記第2の凹凸パターンを有する部分を用いて、後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程と

を包含する半導体装置の製造方法。

[請求項8] 複数の表示部を有する表示領域と、

前記表示領域の周辺に位置する額縁領域とを備えた表示装置であって、

薄膜ダイオードを含む光センサー部をさらに備え、

各表示部は電極および前記電極に接続された薄膜トランジスタを有し、

前記薄膜トランジスタと、前記薄膜ダイオードとは、表面に絶縁層を有する基板上に形成されており、

前記薄膜トランジスタは、前記絶縁層上に形成され、チャネル領域

、ソース領域およびドレイン領域を含む半導体層、ゲート電極、および前記半導体層と前記ゲート電極との間に設けられたゲート絶縁層とを含み、

前記薄膜ダイオードは、前記絶縁層上に形成され、少なくとも n 型領域と p 型領域とを含む半導体層を含み、

前記絶縁層の表面のうち前記薄膜ダイオードの半導体層の下に位置する部分には、第 1 の凹凸パターンが形成されており、前記薄膜トランジスタの半導体層の下に位置する部分には、前記第 1 の凹凸パターンが形成されておらず、

前記薄膜ダイオードの半導体層の表面は、前記第 1 の凹凸パターンの形状を反映した第 2 の凹凸パターンを有している表示装置。

[請求項9]

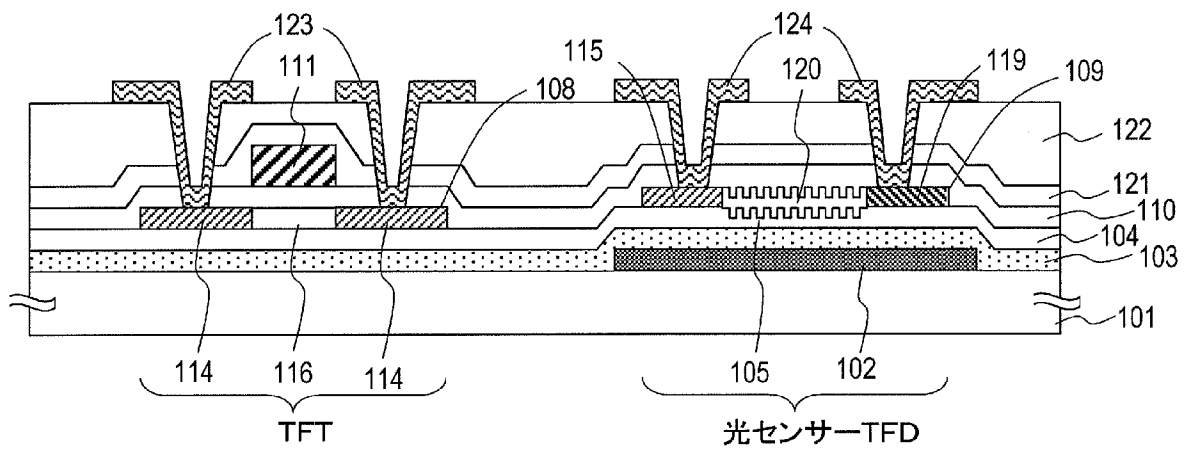
前記表示部は、バックライトと、前記バックライトから出射する光の輝度を調整するバックライト制御回路とをさらに備え、

前記光センサー部は、外光の照度に基づく照度信号を生成して前記バックライト制御回路に出力する請求項 8 に記載の表示装置。

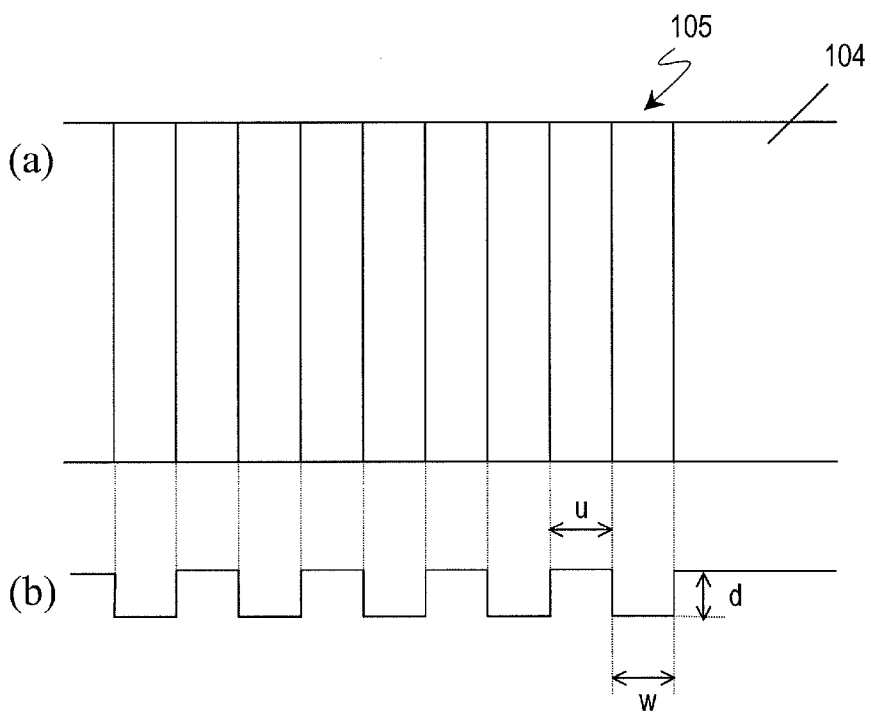
[請求項10]

それぞれが前記光センサー部を有する複数の光タッチセンサー部を有し、前記複数の光タッチセンサー部は、それぞれ、各表示部または 2 以上の表示部からなるセットに対応して前記表示領域に配置されている請求項 8 に記載の表示装置。

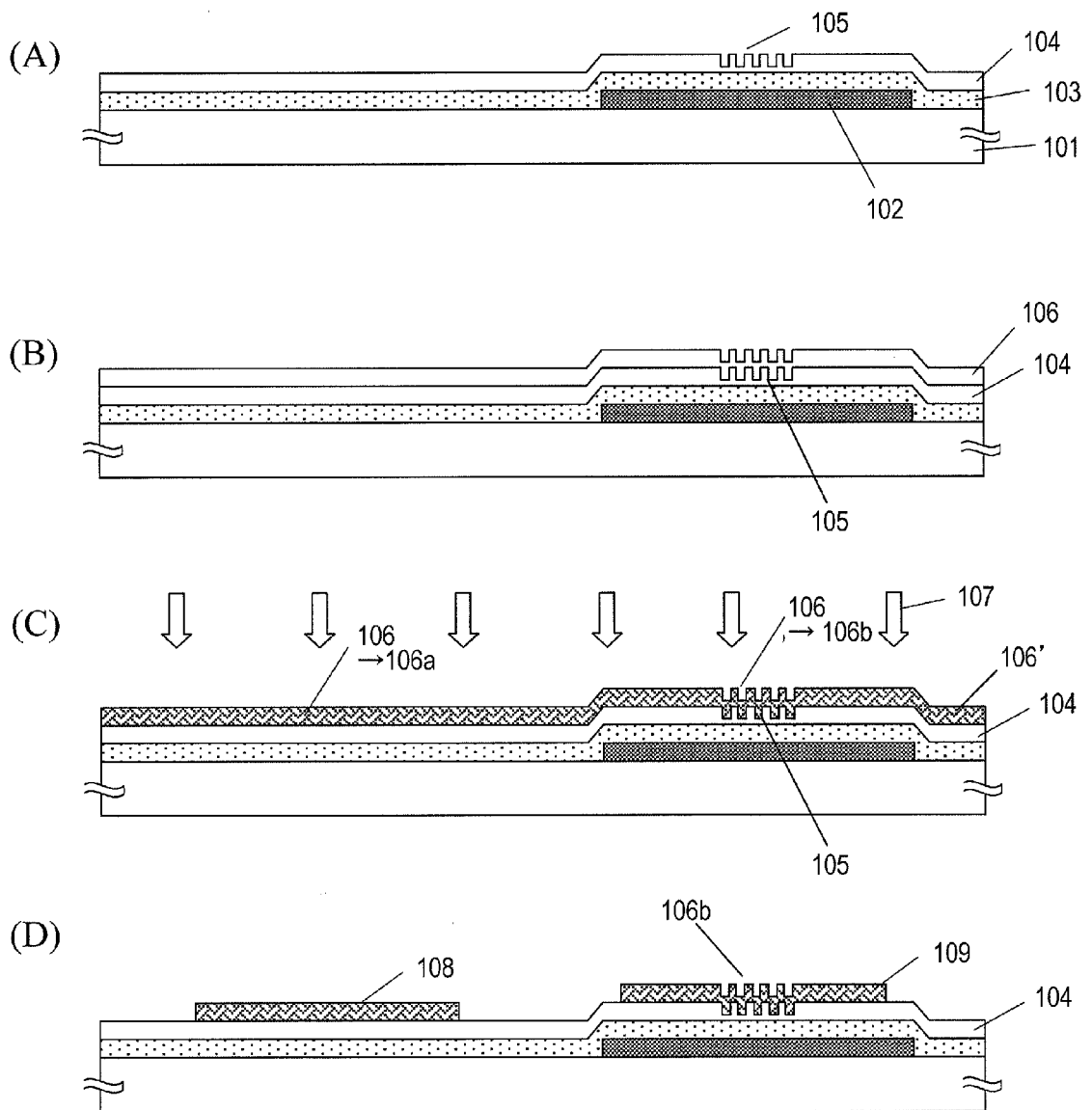
[図1]



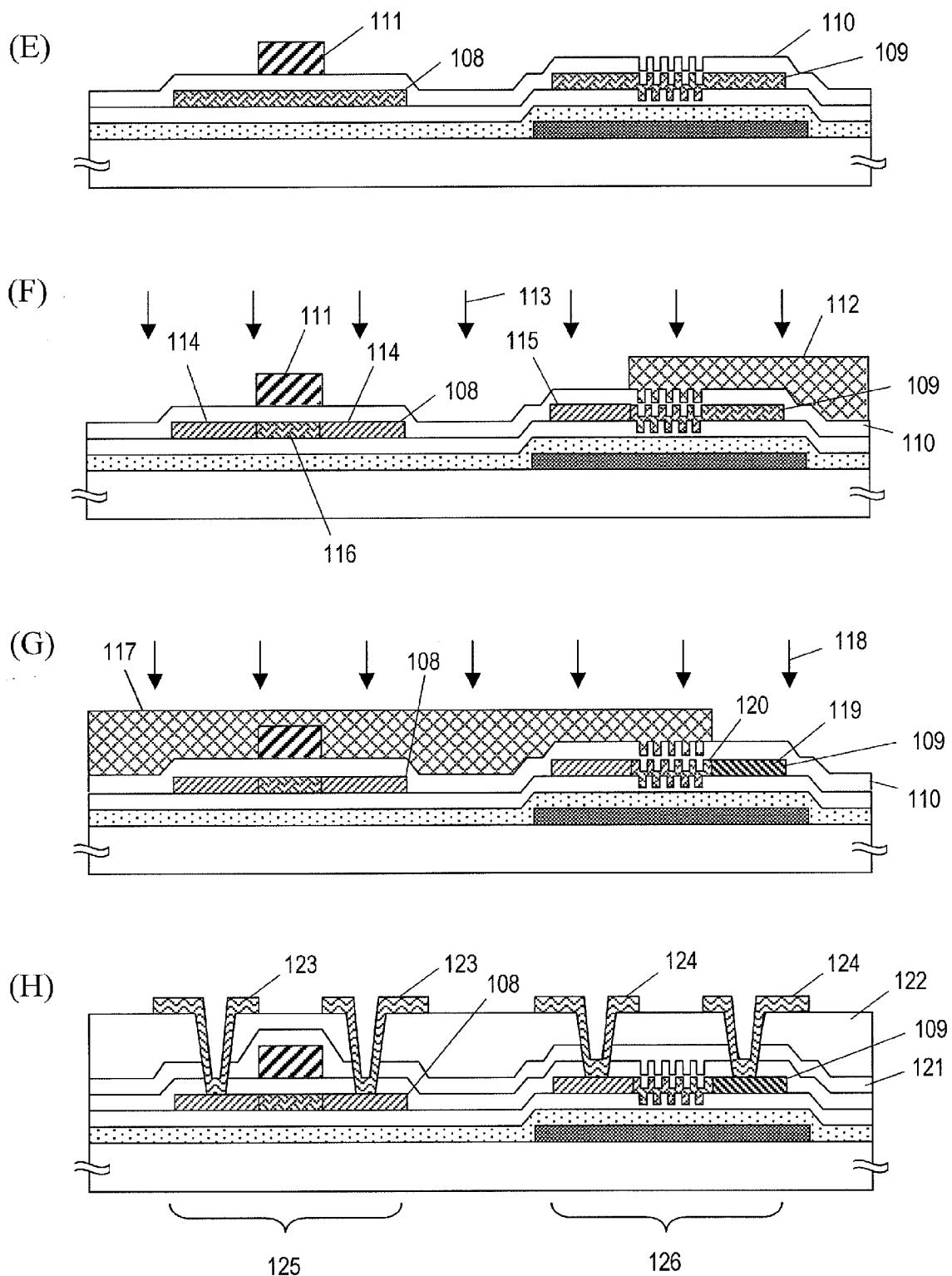
[図2]



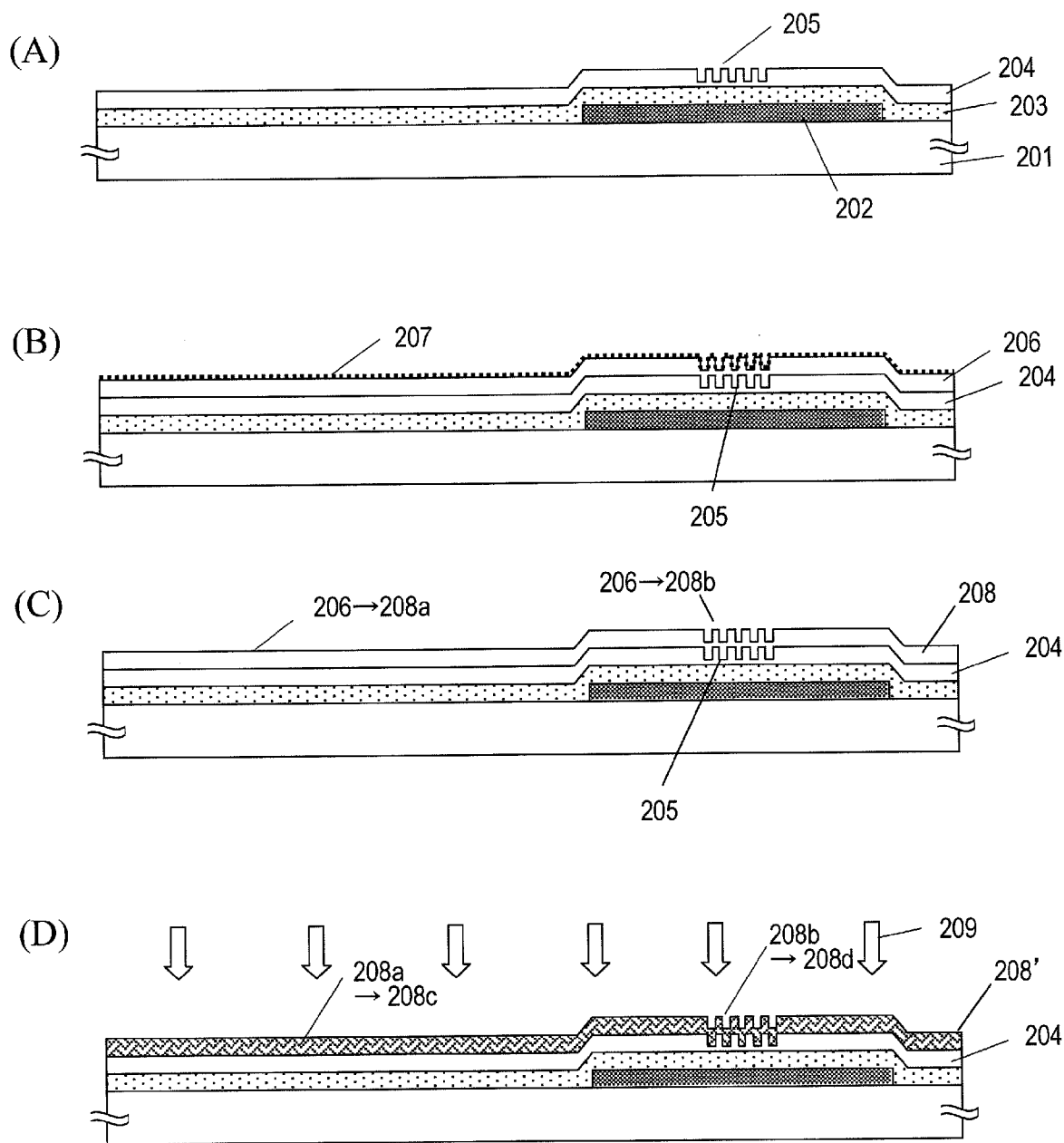
[図3]



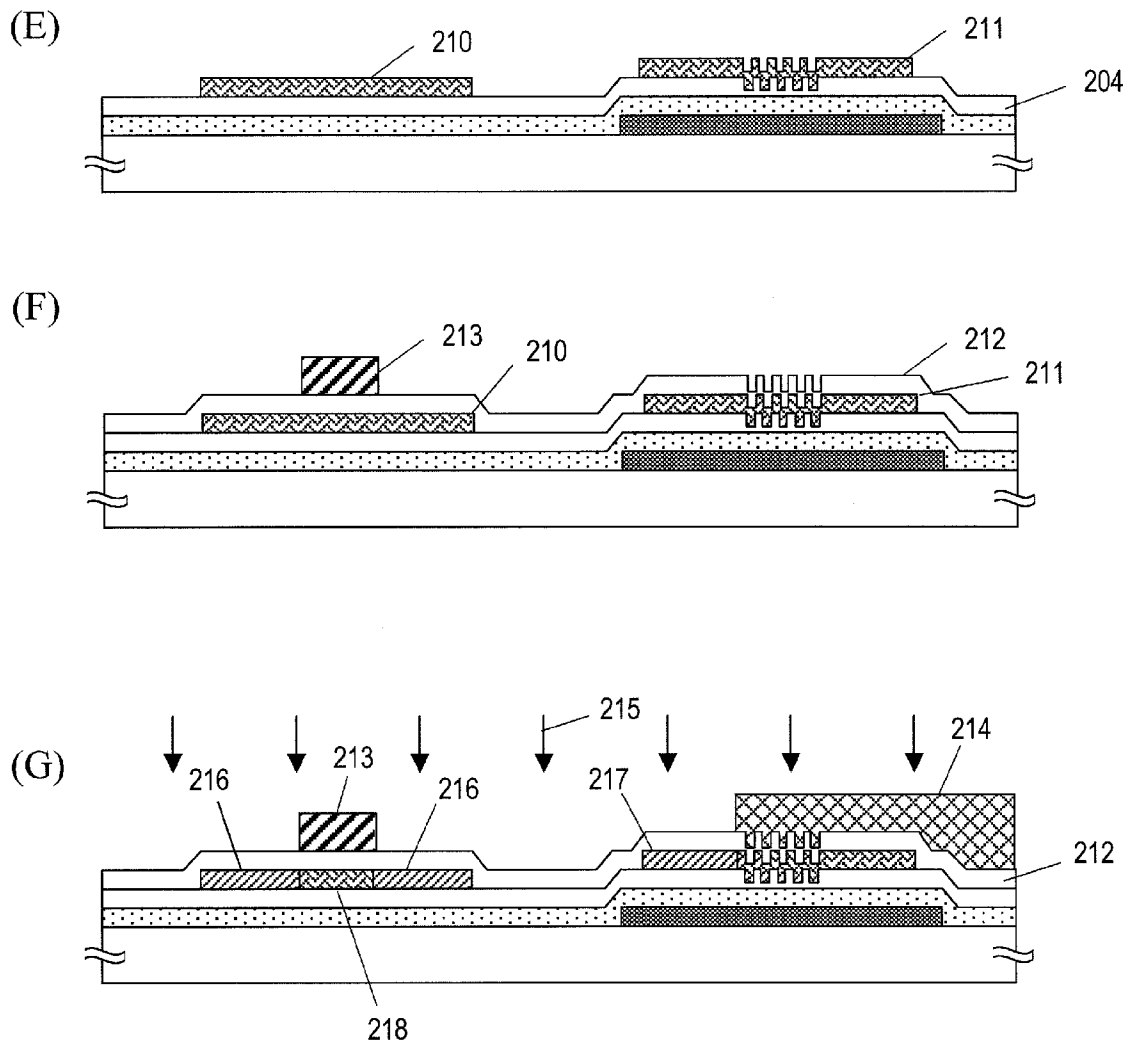
[図4]



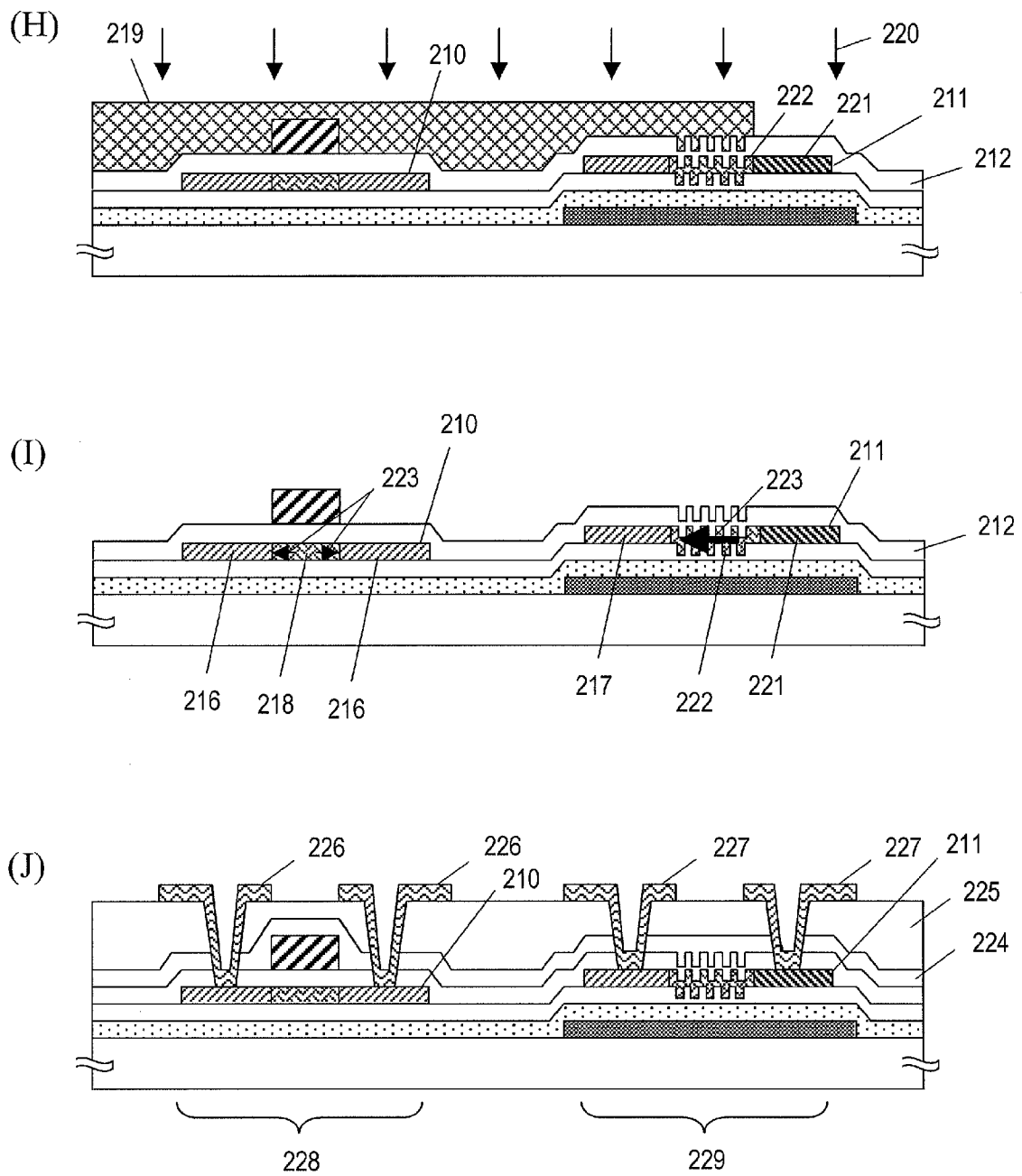
[図5]



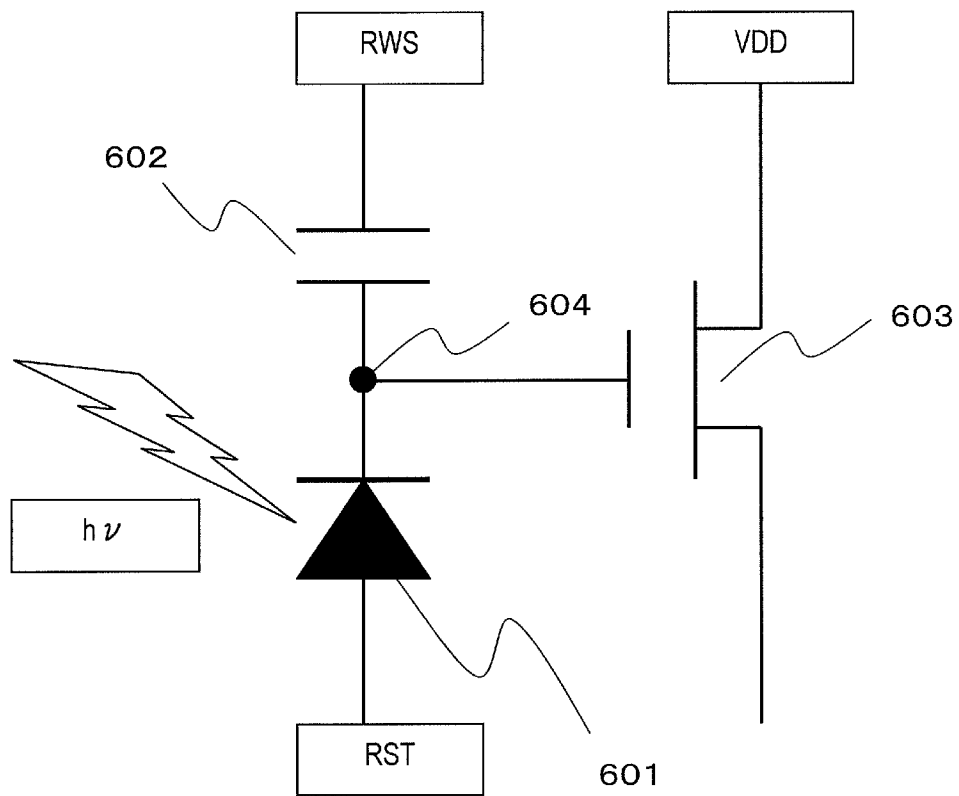
[図6]



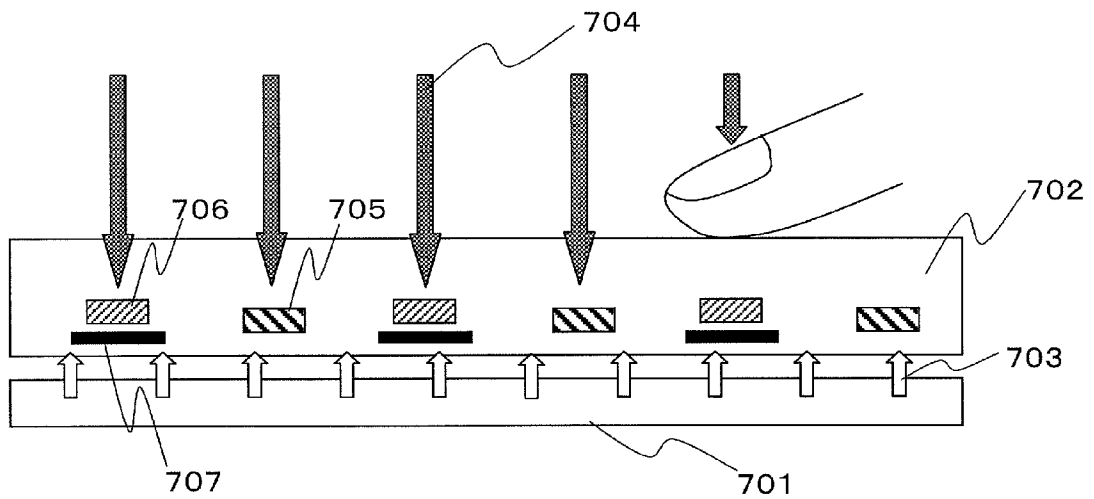
[図7]



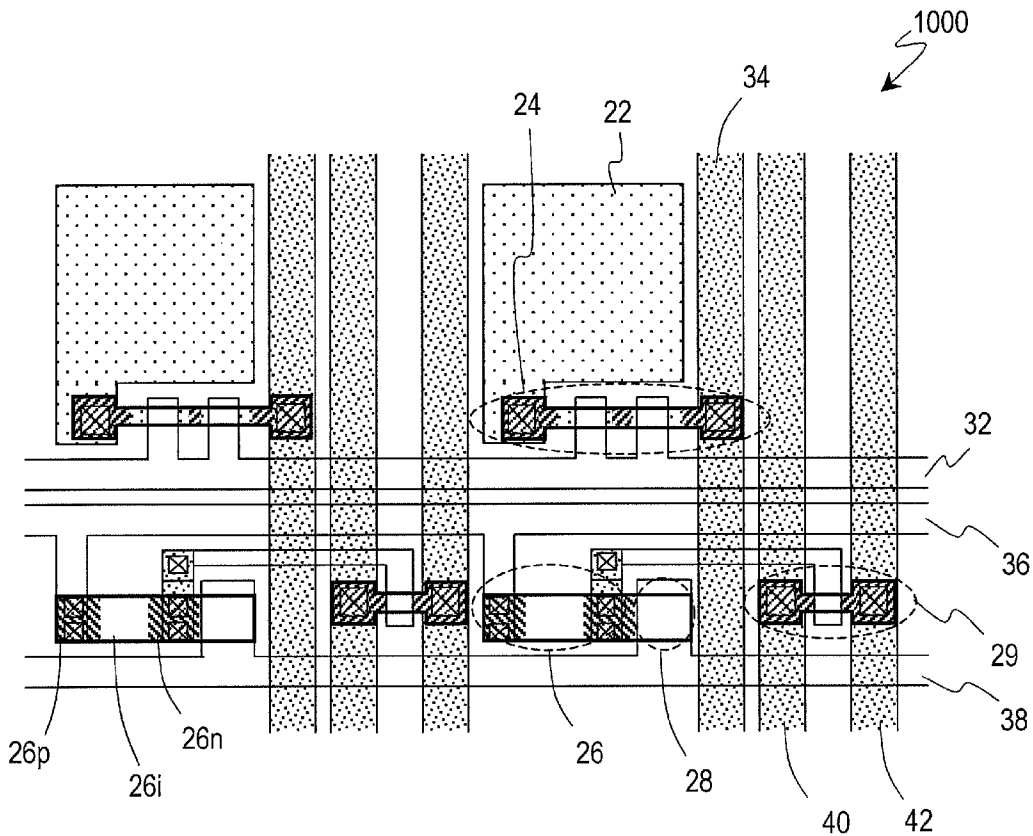
[図8]



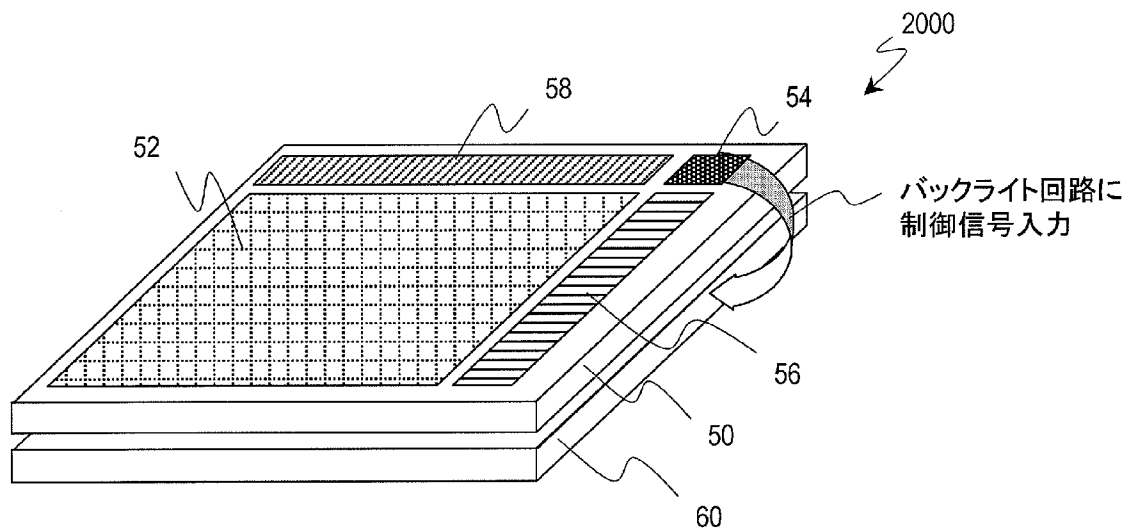
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000226

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01)i, G02F1/1368(2006.01)i, G09F9/33(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i, H01L31/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, G02F1/1368, G09F9/33, H01L21/336, H01L29/786, H01L31/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-3857 A (Toshiba Matsushita Display Technology Co., Ltd.), 05 January 2006 (05.01.2006), entire text; all drawings & US 2005/0045881 A1 & EP 1511084 A2 & KR 10-2005-0022358 A & CN 1624556 A & TW 288266 B & SG 109571 A	1-10
A	JP 2003-249639 A (Sony Corp.), 05 September 2003 (05.09.2003), entire text; all drawings (Family: none)	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 February, 2010 (22.02.10)

Date of mailing of the international search report
02 March, 2010 (02.03.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000226

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 119399/1986 (Laid-open No. 27066/1988) (Oki Electric Industry Co., Ltd.), 22 February 1988 (22.02.1988), entire text; all drawings (Family: none)	1-10
A	WO 2006/129428 A1 (Sharp Corp.), 27 December 2006 (27.12.2006), entire text; all drawings & US 2009/0050891 A1	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/14(2006.01)i, G02F1/1368(2006.01)i, G09F9/33(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i, H01L31/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/14, G02F1/1368, G09F9/33, H01L21/336, H01L29/786, H01L31/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-3857 A (東芝松下ディスプレイテクノロジー株式会社) 2006.01.05, 全文, 全図 & US 2005/0045881 A1 & EP 1511084 A2 & KR 10-2005-0022358 A & CN 1624556 A & TW 288266 B & SG 109571 A	1-10
A	JP 2003-249639 A (ソニー株式会社) 2003.09.05, 全文, 全図 (ファミリーなし)	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

22.02.2010

国際調査報告の発送日

02.03.2010

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	4M	3035
柴山 将隆		
電話番号 03-3581-1101 内線	3462	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	日本国実用新案登録出願61-119399号(日本国実用新案登録出願公開63-27066号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(沖電気工業株式会社)1988.02.22, 全文, 全図(ファミリーなし)	1-10
A	WO 2006/129428 A1 (シャープ株式会社) 2006.12.27, 全文, 全図 & US 2009/0050891 A1	1-10