

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4750489号
(P4750489)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int.Cl. F I
 H O 1 L 21/66 (2006.01) H O 1 L 21/66 Y
 H O 1 L 21/66 J

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2005-200745 (P2005-200745)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成17年7月8日(2005.7.8)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2007-19342 (P2007-19342A)	(74) 代理人	100089118 弁理士 酒井 宏明
(43) 公開日	平成19年1月25日(2007.1.25)	(72) 発明者	玉田 知輝 兵庫県伊丹市東有岡四丁目4番8号 株式会社エルテック内
審査請求日	平成20年6月18日(2008.6.18)	(72) 発明者	片山 俊治 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	永木 康文 兵庫県伊丹市瑞原4丁目1番地 株式会社ルネサスセミコンダクタエンジニアリング内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に第1の方向に配置される第1のSTI(Shallow Trench Isolation)および第2のSTIを設ける第1の工程と、

前記半導体基板上の前記第1のSTIと前記第2のSTIとの間に設けられ、前記第1の方向に配置される第1の活性領域を形成する第2の工程と、

前記第1の方向と異なる第2の方向に配置され、前記第1のSTI、前記第2のSTIおよび前記第1の活性領域を横切るような第1のゲート電極および第2のゲート電極を形成する第3の工程と、

前記第1のゲート電極の側面と上面、前記第2のゲート電極の側面と上面、前記第1のSTI上、前記第2のSTI上および前記第1の活性領域上を埋め込む第1の絶縁膜を形成する第4の工程と、

前記第1の絶縁膜内に設けられ、底面が前記第1のSTI上に存在する第1コンタクトと、前記第1の絶縁膜内に設けられ、底面が前記第1の活性領域上に存在する第2コンタクトと、前記第1の絶縁膜内に設けられ、底面が前記第2のSTI上に存在する第3コンタクトと、を形成する第5の工程と、

を含み、前記第1、第2および第3コンタクトは、前記第1のゲート電極と前記第2のゲート電極との間に設けられていることを特徴とする半導体装置の製造方法。

【請求項2】

前記第3の工程で、前記第2の方向に第3のゲート電極がさらに形成され、

10

20

前記第 1 のゲート電極、前記第 2 のゲート電極、前記第 3 のゲート電極の順番で並ぶようになり、

前記第 1 のゲート電極と前記第 2 のゲート電極との距離よりも前記第 2 のゲート電極と前記第 3 のゲート電極との距離の方が大きくなるようになっており、

前記第 5 の工程で、前記第 1 の絶縁膜内に設けられ、底面が前記第 1 の S T I 上に存在する第 4 コンタクトと、前記第 1 の絶縁膜内に設けられ、底面が前記第 1 の活性領域上に存在する第 5 コンタクトと、前記第 1 の絶縁膜内に設けられ、底面が前記第 2 の S T I 上に存在する第 6 コンタクトと、がそれぞれ形成され、

前記第 4、第 5 および第 6 コンタクトは、前記第 2 のゲート電極と前記第 3 のゲート電極との間に設けられていることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 5 の工程で、前記第 1 の絶縁膜内に設けられ、底面が前記第 1 の S T I 上に存在する第 7 コンタクトと、前記第 1 の絶縁膜内に設けられ、底面が前記第 1 の活性領域上に存在する第 8 コンタクトと、前記第 1 の絶縁膜内に設けられ、底面が前記第 2 の S T I 上に存在する第 9 コンタクトと、がそれぞれ形成され、

前記第 7、第 8 および第 9 コンタクトは、前記第 2 のゲート電極と前記第 3 のゲート電極との間に設けられていることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1、第 2 および第 3 コンタクトは、半導体装置の隣接する活性領域に形成されるコンタクト間のボイドに起因する不良を検出する半導体装置の不良検出用 T E G (Test Experimental Group) を構成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】

前記第 1、第 2 および第 3 コンタクトと、前記第 1 および第 2 の S T I と、前記第 1 の活性領域と、前記第 1 および第 2 のゲート電極および前記第 1 の絶縁膜は前記不良検出用 T E G を構成し、

前記第 1、第 2 および第 3 コンタクトと、前記第 1 および第 2 の S T I と、前記第 1 の活性領域と、前記第 1 および第 2 のゲート電極および前記第 1 の絶縁膜は前記半導体基板上の所定の領域に構成され、

前記所定の領域に電子線を照射し、その二次電子像を撮像する二次電子撮像工程と、前記二次電子像における前記第 1 および第 3 コンタクトと前記第 2 コンタクトとの電位コントラストの周期性の有無で、前記第 1、第 2 および第 3 コンタクト間におけるボイドに起因する不良の有無を判定する不良判定工程と、

により不良判定可能なことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置の製造方法に関するものである。

【背景技術】

【0002】

半導体デバイスの微細化に伴って、配線間の層間絶縁膜埋め込みプロセスの難易度が高くなっている。配線間の層間絶縁膜の埋め込みプロセスマージンがないと、配線間の層間絶縁膜中にボイドが形成される場合がある。このボイドは、後工程でデバイスの不良原因となる可能性がある。たとえば、ゲート電極配線との層間絶縁膜にボイドが存在すると、ゲート電極配線の上層の電極配線と下層の電極配線とを電氣的に接続するコンタクト孔を層間絶縁膜に形成し、このコンタクト孔内に C V D (Chemical Vapor Deposition) 法で導電性物質を埋め込んだ場合に、ボイド部分にも導電性物質が充填されることになる。電氣的に導通すべきでない隣接するコンタクト孔が、両コンタクト孔を結ぶような共通のボイドを含んで形成されると、両コンタクトがボイド部に充填された導電性物質を介して電氣的に導通し、機能不良を誘起する。これをパイピング不良という。

10

20

30

40

50

【0003】

このようなモードの機能不良は、配線のアスペクト比が高く、層間絶縁膜の埋め込みの難易度が高いメモリデバイスで問題になりやすい。本モードの機能不良の発生状況を製造過程でモニタすることにより、被害を最小に食い止めることができるようになる。図9は、従来のパイピング不良をモニタするための半導体装置に形成されるTEG (Test Experimental Group) 構造を示す斜視図である。この半導体装置のTEG構造は、互いに並行して伸びる直線状の素子分離膜211と、この素子分離膜211に対してほぼ直交に互いに並行して伸びる直線状のゲート配線213と、が形成されたシリコン基板210上の図示しない層間絶縁膜の素子分離膜211に挟まれる活性領域212に対応する位置に、シリコン基板210の表面に到達する深さまで導電性材料よりなるコンタクト(プラグともいう)214が埋め込まれる構造を有している。

10

【0004】

上述したようなモードの不良を製造途中でモニタする第1の従来技術として、層間絶縁膜形成後に断面観察する方法がある。この方法では、製造途中のウエハを抜き取り、たとえば図9のプラグ214が形成される位置でへき開させたウエハの断面を観察して、パイピング不良のモニタを行っている。また、製造途中のウエハをモニタする第2の従来技術として、パターン欠陥検査装置を用いたパターン欠陥検査方法が提案されている。たとえば、走査型電子顕微鏡を基本とした半導体の検査装置(以下、電子ビーム式パターン欠陥検査装置という)では、ウエハ上の絶縁膜の表面に正電荷を帯電させた後に、試料上に一次電子線を走査させて、放出される二次電子像を取得する。そして、予め取得したパイピング不良の発生していない正常な領域からの二次電子像と、検査対象となる領域から得られる二次電子像のコントラストを比較することで、検査対象領域における不良を検出するようにしている(たとえば、特許文献1参照)。

20

【0005】

【特許文献1】特開2002-313862号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した第1の従来技術では、製造途中のウエハを抜き取り、断面観察後に廃却する必要があるため、断面観察量を多くすると、ウエハの抜き取り量が多くなってしまふという問題点があった。逆に、ウエハの抜き取り量を少なくするために断面観察量を少なくすると、パイピング不良の発生状況を正確にモニタすることができないという問題点があった。また、この第1の従来技術では、断面観察を人手作業により行っているため、限られた箇所の断面観察しか実施することができない。そのため、ウエハの一部の箇所にしか発生しないようなパイピング不良がウエハに発生した場合には、その検出ができないという問題点もあった。

30

【0007】

一方の上述した第2の従来技術では、図9に示されるように、パイピング不良の有無に拘わらず、プラグ214はすべて活性領域212上、すなわちシリコン基板210上に形成されるためにシリコン基板210と電氣的に導通している。そのため、プラグ214の電位はほぼ所定の値に保たれ、電位コントラストが発生しにくく、パイピング不良を欠陥として検出することは非常に困難であるという問題点があった。さらに、半導体装置における配線間の層間絶縁膜の誘電率を低くするために、層間絶縁膜を意図的に形成する場合があるが、その場合におけるボイドの出来栄を評価する方法は従来知られていなかった。

40

【0008】

この発明は、上記に鑑みてなされたもので、コンタクト間に発生するパイピング不良を電子ビーム式パターン欠陥検査装置で簡便にモニタすることができる半導体装置の製造方法を得ることを目的とする。また、半導体装置における層間絶縁膜のボイドの出来栄を評価する半導体装置の製造方法を得ることも目的とする。

50

【課題を解決するための手段】

【0009】

上記目的を達成するため、この発明にかかる半導体装置の製造方法は、半導体基板上に第1の方向に配置される第1のSTI (Shallow Trench Isolation) および第2のSTIを設ける第1の工程と、前記半導体基板上の前記第1のSTIと前記第2のSTIとの間に設けられ、前記第1の方向に配置される第1の活性領域を形成する第2の工程と、前記第1の方向と異なる第2の方向に配置され、前記第1のSTI、前記第2のSTIおよび前記第1の活性領域を横切るような第1のゲート電極および第2のゲート電極を形成する第3の工程と、前記第1のゲート電極の側面と上面、前記第2のゲート電極の側面と上面、前記第1のSTI上、前記第2のSTI上および前記第1の活性領域上を埋め込む第1の絶縁膜を形成する第4の工程と、前記第1の絶縁膜内に設けられ、底面が前記第1のSTI上に存在する第1コンタクトと、前記第1の絶縁膜内に設けられ、底面が前記第1の活性領域上に存在する第2コンタクトと、前記第1の絶縁膜内に設けられ、底面が前記第2のSTI上に存在する第3コンタクトと、を形成する第5の工程と、を含み、前記第1、第2および第3コンタクトは、前記第1のゲート電極と前記第2のゲート電極との間に設けられていることを特徴とする。

10

【発明の効果】

【0010】

この発明によれば、半導体基板上の活性領域と素子分離膜との上に、下端が半導体基板の表面に至る深さとなるように半導体基板上の層間絶縁膜にコンタクトを構成したことで、このパイピング不良検出用TEGを電子ビーム画像比較方式のパターン欠陥検査方法を用いて検査することによって、パイピング不良が発生していない状態では、活性領域上のコンタクトと素子分離膜上のコンタクトとの間に電位コントラストが周期的に生じ、電位コントラストの周期性の欠如の有無で、パイピング不良の発生の有無を検出することができるという効果を有する。

20

【発明を実施するための最良の形態】

【0011】

以下に添付図面を参照して、この発明にかかる半導体装置の製造方法の好適な実施の形態を詳細に説明する。ただし、以下の実施の形態で用いられるTEG構造を備える半導体装置の斜視図、断面図および平面図は模式的なものであり、層の厚みと幅との関係や各層の厚みの比率などは現実のものとは異なる。

30

【0012】

実施の形態1.

図1は、この発明にかかるTEG構造を備える半導体装置の実施の形態1の構造を模式的に示す斜視図であり、図2は、パイピング不良を有するTEG構造を備える半導体装置の様子を模式的に示す斜視図であり、図3は、TEG構造を備える半導体装置の平面図である。

【0013】

このTEG構造を有する半導体装置は、シリコン基板などの半導体基板10上の所定の領域に形成されたSTI (Shallow Trench Isolation) による素子分離膜11と、素子分離膜11によって囲まれる活性領域12とを有する。これらの図では、直線状の素子分離膜11が互いに並行して配列される場合が示されている。また、この素子分離膜11の配列に対して直交するように、所定の間隔でゲート配線13が形成される。ゲート配線13は、活性領域12に形成されるMOSトランジスタのゲート配線13として形成されるものであり、特許請求の範囲における電極配線に対応する。なお、半導体基板10とゲート配線13との間には、図示していないが、ゲート絶縁膜17が存在する。また、図1～図2では、層間絶縁膜の図示を省略しているが、半導体基板10とゲート配線13上には、層間絶縁膜が形成される。そして、この層間絶縁膜の所定の位置、具体的には隣接して形成されるゲート配線13によって挟まれる素子分離膜11と活性領域12の存在する位置に交互に、それぞれの下部の素子分離膜11と活性領域12 (半導体基板10) に到達す

40

50

るようにWなどの導電性材料でコンタクト（プラグ）14，15が形成される。なお、活性領域12上に形成されるコンタクト15は、たとえばMOSトランジスタのソース/ドレインの電極となるものである。また、この実施の形態1では、活性領域12上だけでなく、素子分離膜11上にもコンタクト14が形成されることを特徴とする。

【0014】

図1と、図3の領域Aでは、層間絶縁膜でボイド（パイピング不良）が発生していない場合を示しており、図2の左側半分と図3の領域Bでは、層間絶縁膜でボイド（パイピング不良）が発生している場合を示している。つまり、図1と図3の領域Aに示される場合には、ゲート配線13に並行して形成されるそれぞれのコンタクト14，15の間は、電氣的に独立しており、パイピング不良を起こしていない状態にある。一方、図2と、図3の領域Bに示される場合には、ゲート配線13に並行して形成される隣接するコンタクト14，15の間で、層間絶縁膜内に生じたボイドが貫通し、そこにコンタクト形成材料が埋め込まれたパイピング部16が形成され、ショートしてしまうパイピング不良を起こしている状態にある。

10

【0015】

ここで、このようなTEG構造を有する半導体装置の製造方法について説明する。図4-1～図4-3と図5-1～図5-4は、この発明によるTEG構造を有する半導体装置の製造方法の手順を模式的に示す断面図であり、図4-1～図4-3は、ゲート電極配線の形成位置でその伸長方向に切断した場合の断面図を示し、図5-1～図5-4は、コンタクト形成位置でのゲート電極配線の伸長方向に切断した場合の断面図を示している。

20

【0016】

まず、シリコンなどの半導体基板10上の所定の位置に、STIにより素子分離膜11を形成する。すなわち、シリコンなどの半導体基板10上の所定の位置に、異方性エッチングにより溝（トレンチ）を形成し、その溝に絶縁膜を埋め込むように半導体基板10上に絶縁膜を成膜する。成膜した絶縁膜をCMP（Chemical Mechanical Polishing）などで研磨して、素子分離膜11と、素子分離膜11で囲まれる活性領域12とを形成する。活性領域12では、絶縁膜が完全に除去された状態となる（図4-1、図5-1）。

【0017】

ついで、MOSトランジスタの形成位置に対応する領域にゲート酸化膜（ゲート絶縁膜）17を形成した後、ゲート配線（ゲート電極配線）13を形成する（図4-2）。なお、ゲート配線13の形成位置でない部分にはゲート配線13は形成されない（図5-2）。その後、ゲート配線13間を埋め込むように、半導体基板10上に層間絶縁膜18を形成する（図4-3、図5-3）。このとき、層間絶縁膜18埋め込みのプロセスマージンがないと、図5-3に示されるようにボイド19が形成される。

30

【0018】

ついで、フォトリソグラフィ技術とエッチング技術を使用して、ゲート配線13が形成されていない活性領域12と素子分離膜11の上にコンタクト孔を形成し、コンタクト孔内にWなどの導電性材料からなるコンタクト14，15を形成する。Wを使用する場合には、W-CVDプロセスによってコンタクト孔内にWプラグが形成される。このとき、図5-3に示されるように層間絶縁膜18内にボイド19が存在すると、ボイド19内にもWなどのコンタクト形成材料が充填されることでパイピング部16が形成され、隣接するコンタクト14，15間が電氣的に導通する。その結果、パイピング不良が発生する（図5-4）。また、コンタクト孔は、活性領域12における半導体基板10の表面上に達する深さまで形成される。そのため、活性領域12に形成されるコンタクト15は、半導体基板10と電氣的に接続されることになり、素子分離膜11に形成されるコンタクト14は、半導体基板10と電氣的に接続されない。そのため、ゲート配線13の伸長方向に沿って、コンタクト14，15は半導体基板10と電氣的に接続しているものと、接続していないものが交互に存在することになる。以上の工程によって、TEG構造を有する半導体装置が製造される。

40

【0019】

50

つぎに、このように製造されたT E G構造を有する半導体装置の電子ビーム画像比較方式を用いたパターン欠陥検査方法について説明する。図6は、電子ビーム画像比較方式のパターン欠陥検査方法を実行する電子ビーム式パターン欠陥検査装置の概略構成を模式的に示す図である。この電子ビーム式パターン欠陥検査装置は、試料101に電子を照射させるための電子照射部102と、試料101の電子照射部102側に配置される帯電制御電極103と、試料101の帯電状態を制御する帯電制御部104と、電子照射部102からの入射電子121が照射された領域から放出される二次電子122を検出する検出器105と、検出器105で得られた二次電子強度を輝度変調して二次電子像を得る画像取得部106と、を備える。

【0020】

この電子ビーム式パターン欠陥検査装置の動作の概略について以下に説明する。帯電制御部104で、帯電制御電極103と試料101との間の電圧を制御することで試料101の電荷状態を制御し、電子照射部102から試料101の所定の領域に入射電子(一次電子)121を照射する。なお、電子照射部102には、試料101の所定の領域に入射電子121を照射するための集束レンズや対物レンズ、また走査させるための偏光器などが含まれている。試料101に入射電子121が照射されることによって、試料101の表面から二次電子122が放出される。この二次電子122は、検出器105で検出され、画像取得部106では、二次電子強度を輝度変調して二次電子像を得る。このようにして、試料101についての二次電子像が得られる。

【0021】

検査者または装置は、得られた二次電子像を用いて、電位コントラスト欠陥を検出する。以下に、電位コントラスト欠陥の検出の原理の概略について説明する。入射電子121が試料101に照射されると、それに起因して必然的に帯電現象が生じる。図1に示されるように、パイピング不良が発生していない状態のコンタクト14, 15において、素子分離膜11上に形成されるコンタクト14は半導体基板10と電氣的に接続していないために、入射電子121の照射によって生じる帯電を蓄積していくが、活性領域12上に形成されるコンタクト15は半導体基板10と電氣的に接続しているために、入射電子121の照射によって生じる帯電が蓄積されず、すなわち半導体基板10上へと電荷が逃げていくために、電氣的に中性の状態を維持する。そのため、半導体基板10と電氣的に接続しているコンタクト15と電氣的に接続していないコンタクト14とで、帯電の状況が異なる結果、電位状態が異なり、電位コントラストが生じる。たとえば、検査に用いる入射電子121の照射に起因して正帯電が生じる場合には、半導体基板10と電氣的に接続しているコンタクト15に比較して、半導体基板10と電氣的に接続していないコンタクト14は正帯電するために、二次電子の検出量が減少し、暗めのコントラストとなる。

【0022】

その結果、図3の領域Aに示されるように、この実施の形態1では、ゲート配線13の伸長方向に沿って、活性領域12と素子分離膜11の上に交互にコンタクト14, 15を形成するようにしているので、パイピング不良が発生していない場合の半導体装置のT E G構造における二次電子像、すなわち電位コントラストは、通常のコントラストと暗めのコントラストが周期的に表れるパターンを示すことになる。

【0023】

しかし、図2に示されるように、ゲート配線13間に形成される層間絶縁膜18にボイドが存在し、パイピング不良が発生している場合には、パイピング部16のWなどの導電性材料を介して半導体基板10と電氣的に接続していないコンタクト14と半導体基板10と電氣的に接続しているコンタクト15とがショートするため、半導体基板10と電氣的に接続していないコンタクト(すなわち、素子分離膜11上に形成されたコンタクト)14と半導体基板10と電氣的に接続しているコンタクト(すなわち、活性領域12上に形成されたコンタクト)15との間で電位コントラストが生じなくなる。つまり、パイピング不良が存在しない場合には、周期的な電位コントラストを示すが、パイピング不良が発生する場合には、図3の領域Bに示されるように、コンタクト14, 15の電位コント

10

20

30

40

50

ラストの周期性が欠如し、パイピング不良の箇所を欠陥として検出することができるようになる。

【 0 0 2 4 】

この実施の形態 1 によれば、半導体基板 1 0 上の活性領域 1 2 と素子分離膜 1 1 との上に、下端が半導体基板 1 0 の表面に至る深さとなるように半導体基板 1 0 上の層間絶縁膜 1 8 にコンタクト 1 5 , 1 4 を構成したことで、電子ビーム画像比較方式のパターン欠陥検査方法を用いて検査することで、パイピング不良が発生していない状態では、活性領域 1 2 上のコンタクト 1 5 と素子分離膜 1 1 上のコンタクト 1 4 との間に電位コントラストが周期的に生じるようになり、電位コントラストの周期性の欠如の有無で、パイピング不良の発生の有無を検出することができるという効果を有する。

10

【 0 0 2 5 】

実施の形態 2 .

実施の形態 1 で、もし、すべての領域でパイピング不良が発生しているとすると、コンタクトで半導体基板に直接に接続していないコンタクトもパイピング部を介して半導体基板と電氣的に導通することになる。その結果、すべてのコンタクトが半導体基板と電氣的に導通することになり、コンタクトの電位はほぼ一定に保たれ、電位コントラストが発生しにくくなる。そのため、コンタクトの周期的なコントラストの変化の欠如を伴い、二次電子像による画像比較方式で欠陥を検出することができなくなる。そこで、この実施の形態 2 では、すべての領域でパイピング不良が発生するような事態を避ける場合について説明する。

20

【 0 0 2 6 】

図 7 は、T E G 構造を備える半導体装置の実施の形態 2 の構造を示す平面図である。この半導体装置の T E G 構造では、実施の形態 1 において、所定の間隔で配置されるゲート配線 1 3 a ~ 1 3 c , 1 3 A の一部のゲート配線 1 3 A を形成せずに、隣接するゲート配線 1 3 a , 1 3 b 間の距離を広くとる領域を設けることを特徴とする。これにより、配線間の層間絶縁膜埋め込みのプロセスマージンを、ゲート配線 1 3 a , 1 3 b 間の距離を広く取った領域で大きく取ることができる。そのため、図 7 中の領域 C において、活性領域 1 2 上に形成されるコンタクト 1 4 と、素子分離膜 1 1 上に形成されるコンタクト 1 5 との間にはパイピング部 1 6 が形成されないため、パイピング不良が発生せず、電子ビーム式パターン欠陥検査装置で観察したときに電位コントラストが発生する。なお、実施の形態 1 と同一の構成要素には同一の符号を付してその説明を省略している。

30

【 0 0 2 7 】

この実施の形態 2 によれば、ゲート配線 1 3 中の一一部のゲート配線 1 3 A を形成しない領域 C で、配線間の層間絶縁膜の埋め込みプロセスマージンを大きく取るようにしたので、隣接するコンタクト 1 4 , 1 5 間でパイピング不良の発生を抑えることができる。その結果、パイピング不良の発生していない場所を確実に T E G 構造内に作成することができ、パイピング不良の発生している場所を、電子ビーム画像比較方式のパターン欠陥検査方法を用いてコンタクト 1 4 , 1 5 の周期的なコントラストの変化の欠如によって検出することができるという効果を有する。

【 0 0 2 8 】

実施の形態 3 .

この実施の形態 3 でも、実施の形態 2 と同様に、実施の形態 1 で、すべての領域でパイピング不良が発生し、コンタクトの周期的なコントラストの変化の欠如を伴い、二次電子像による画像比較方式で欠陥を検出することができなくなることを避ける場合について説明する。

40

【 0 0 2 9 】

図 8 は、T E G 構造を備える半導体装置の実施の形態 3 の構造を示す平面図である。この半導体装置の T E G 構造では、実施の形態 1 において、所定の間隔で配置されるゲート配線 1 3 a ~ 1 3 c のうち一部のゲート配線 1 3 a , 1 3 b の間隔を、層間絶縁膜の埋め込み不良が発生しないレベルまで広げるようにしている。この例では、ゲート配線 1 3 b

50

、13cに挟まれる領域Dでは、実施の形態1と同じゲート配線間の距離となっているが、ゲート配線13a、13bに挟まれる領域Eでは、層間絶縁膜の埋め込み不良が発生しないレベルのゲート配線間の距離となっている。ただし、ゲート配線間隔を広げすぎると、TEGパターンの占有面積が大きくなってしまふので、TEGパターンの占有面積が必要最小限となるように、ゲート配線間の距離を設定する必要がある。なお、ここでは、ゲート配線13a、13b間には実施の形態2の場合と異なり一列のコンタクト14、15しか形成されていない。また、実施の形態1と同一の構成要素には同一の符号を付してその説明を省略している。

【0030】

このようにゲート配線13の間隔を調整することにより、配線間の層間絶縁膜の埋め込みプロセスマージンを、ゲート配線13間の距離を広く取った領域で大きく取ることができる。そのため、ゲート配線間の距離の狭い図8中の領域Dでは、パイピング不良が発生する確率が高いが、領域Eにおいては、活性領域12上に形成されるコンタクト14と、素子分離膜11上に形成されるコンタクト15との間には、パイピング不良が発生せず、電子ビーム式パターン欠陥検査装置で観察したときに、電位コントラストが発生する。

【0031】

この実施の形態3によれば、ゲート配線13のうち一部のゲート配線13a、13b間の距離を層間絶縁膜の埋め込み不良が発生しないレベルまで広げた領域Eで、配線間の層間絶縁膜の埋め込みプロセスマージンを大きく取るようにしたので、隣接するコンタクト14、15間でパイピング不良の発生を抑えることができる。その結果、パイピング不良の発生していない場所を確実にTEG構造内に作成することができ、パイピング不良の発生している場所を、電子ビーム画像比較方式のパターン欠陥検査方法を用い、コンタクト14、15の周期的な電位コントラストの変化の欠如によって検出することができるという効果を有する。

【0032】

実施の形態4

実施の形態1～3では、パイピング不良を検出する場合を説明したが、この実施の形態4では、意図的にボイドを層間絶縁膜に形成する場合の半導体装置のボイド形成状態判定方法について説明する。

【0033】

半導体装置の製造において、配線間の層間絶縁膜の誘電率を低くするために、意図的に層間絶縁膜にボイドを形成する場合がある。その場合に、ボイドの出来栄を評価する必要があるが、その手法として、実施の形態1～3で説明したパイピング不良の程度を利用することができる。ボイドが発生する領域に半導体基板と電氣的に導通するコンタクトと、導通していないコンタクトとを周期的に配置し、電子ビーム式パターン欠陥検査装置でコンタクトのコントラストの乱れを欠陥として検出することにより、ボイドの出来栄を評価することができる。このとき、ボイドが正常に形成できている場合には、すべてのコンタクトは半導体基板と導通し、電位コントラストが生じ難いが、ボイドが形成されていないと、半導体基板と導通していないコンタクト部分には電位コントラストが生じ、欠陥として検出することができる。

【0034】

この実施の形態4によれば、コンタクトの電位コントラストの周期的な欠陥の有無によって、配線間の層間絶縁膜に形成したボイドの出来栄について評価することができる。

【産業上の利用可能性】

【0035】

以上のように、この発明にかかる半導体装置のパイピング不良検出用TEGは、STI分離工程、ゲート電極形成工程、層間絶縁膜形成工程、およびコンタクト形成工程を経て製造される半導体装置に有用である。

【図面の簡単な説明】

【0036】

10

20

30

40

50

【図 1】この発明による T E G 構造を備える半導体装置の実施の形態 1 の構造を模式的に示す斜視図である。

【図 2】パイピング不良を有する T E G 構造を備える半導体装置の様子を模式的に示す斜視図である。

【図 3】T E G 構造を備える半導体装置の平面図である。

【図 4 - 1】この発明による T E G 構造を有する半導体装置の製造方法の手順を模式的に示す断面図である（その 1）。

【図 4 - 2】この発明による T E G 構造を有する半導体装置の製造方法の手順を模式的に示す断面図である（その 2）。

【図 4 - 3】この発明による T E G 構造を有する半導体装置の製造方法の手順を模式的に示す断面図である（その 3）。

10

【図 5 - 1】この発明による T E G 構造を有する半導体装置の製造方法の手順を模式的に示す断面図である（その 1）。

【図 5 - 2】この発明による T E G 構造を有する半導体装置の製造方法の手順を模式的に示す断面図である（その 2）。

【図 5 - 3】この発明による T E G 構造を有する半導体装置の製造方法の手順を模式的に示す断面図である（その 3）。

【図 5 - 4】この発明による T E G 構造を有する半導体装置の製造方法の手順を模式的に示す断面図である（その 4）。

【図 6】電子ビーム式パターン欠陥検査装置の概略構成を模式的に示す図である。

20

【図 7】T E G 構造を備える半導体装置の実施の形態 2 の構造を示す平面図である。

【図 8】T E G 構造を備える半導体装置の実施の形態 3 の構造を示す平面図である。

【図 9】従来のパイピング不良をモニタするための半導体装置に形成される T E G 構造を示す斜視図である。

【符号の説明】

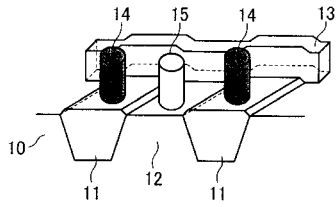
【 0 0 3 7 】

- 1 0 半導体基板
- 1 1 素子分離膜
- 1 2 活性領域
- 1 3 , 1 3 a , 1 3 b , 1 3 c ゲート配線
- 1 4 , 1 5 コンタクト（プラグ）
- 1 6 パイピング部
- 1 7 ゲート絶縁膜
- 1 8 層間絶縁膜
- 1 9 ボイド
- 1 0 1 試料
- 1 0 2 電子照射部
- 1 0 3 帯電制御電極
- 1 0 4 帯電制御部
- 1 0 5 検出器
- 1 0 6 画像取得部

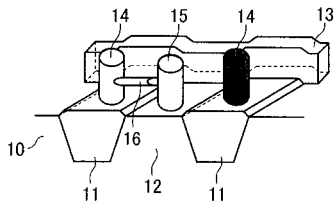
30

40

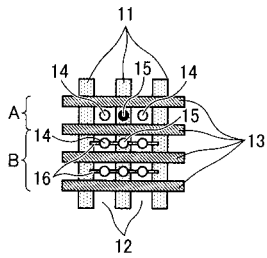
【図 1】



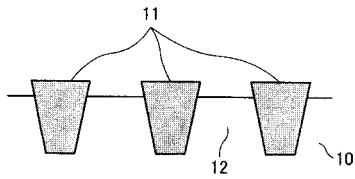
【図 2】



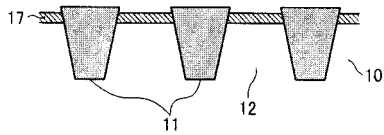
【図 3】



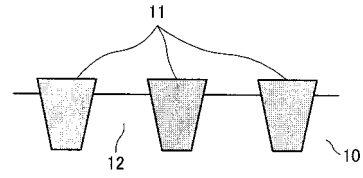
【図 5 - 1】



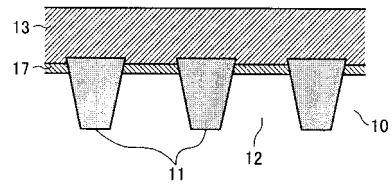
【図 5 - 2】



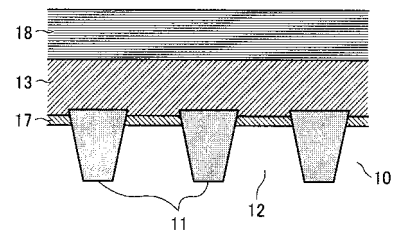
【図 4 - 1】



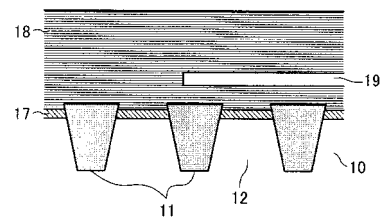
【図 4 - 2】



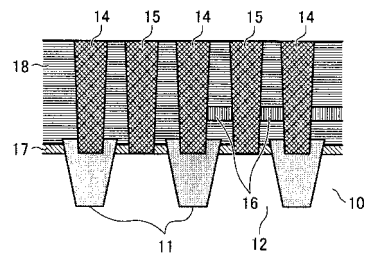
【図 4 - 3】



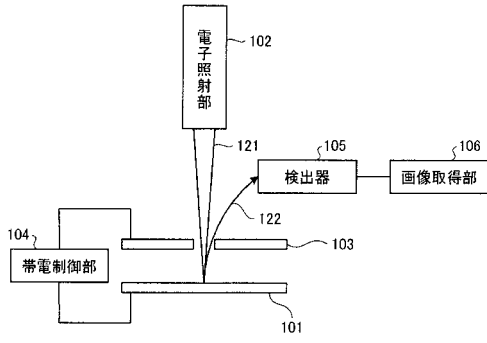
【図 5 - 3】



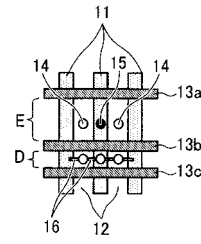
【図 5 - 4】



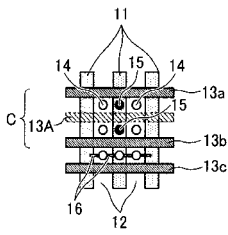
【図6】



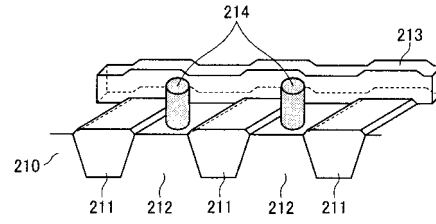
【図8】



【図7】



【図9】



フロントページの続き

審査官 高瀬 勤

- (56)参考文献 特開2003-133379(JP,A)
特開2002-43385(JP,A)
特開2004-95961(JP,A)
特開2002-313862(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/66