

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-108249

(P2006-108249A)

(43) 公開日 平成18年4月20日(2006.4.20)

| (51) Int. Cl.           | F I            | テーマコード (参考) |
|-------------------------|----------------|-------------|
| HO 1 L 21/331 (2006.01) | HO 1 L 29/72 P | 5 F 0 0 3   |
| HO 1 L 29/732 (2006.01) | HO 1 L 29/90 Z | 5 F 0 3 8   |
| HO 1 L 29/861 (2006.01) | HO 1 L 27/04 H |             |
| HO 1 L 27/04 (2006.01)  |                |             |
| HO 1 L 21/822 (2006.01) |                |             |

審査請求 未請求 請求項の数 5 O L (全 9 頁)

|           |                              |          |  |
|-----------|------------------------------|----------|--|
| (21) 出願番号 | 特願2004-290454 (P2004-290454) | (71) 出願人 | 000005049<br>シャープ株式会社<br>大阪府大阪市阿倍野区長池町22番22号 |
| (22) 出願日  | 平成16年10月1日(2004.10.1)        | (74) 代理人 | 100065248<br>弁理士 野河 信太郎                      |
|           |                              | (72) 発明者 | 福井 雄司<br>大阪府大阪市阿倍野区長池町22番22号<br>シャープ株式会社内    |
|           |                              | (72) 発明者 | 吉野 和彦<br>大阪府大阪市阿倍野区長池町22番22号<br>シャープ株式会社内    |
|           |                              | (72) 発明者 | 井上 毅<br>大阪府大阪市阿倍野区長池町22番22号<br>シャープ株式会社内     |

最終頁に続く

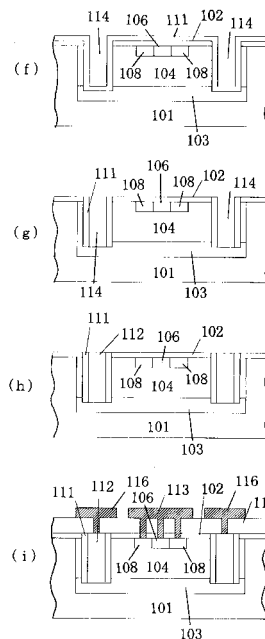
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 静電気などの過電圧から保護し、かつ、素子の微細化、チップ縮小化を図ることができる半導体装置及びその製造方法を提供すること。

【解決手段】 第2導電型半導体基板101の所定の深さに形成された第1導電型埋め込みコレクタ層103と、第2導電型半導体基板101の第1導電型埋め込みコレクタ層103上に形成された第2導電型ベース領域104と、ベース領域104上に形成された第1導電型エミッタ領域108と、ベース領域104及びエミッタ領域108を内方し、かつ、埋め込みコレクタ層103に電氣的に接続するように形成された第1導電型コレクタ引き出し層112と、コレクタ引き出し層112の少なくともエミッタ領域側の側面を覆うように形成された絶縁膜111を備えた半導体装置を提供することにより、上記課題を解決する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

第 2 導電型半導体基板の所定の深さに形成された第 1 導電型埋め込みコレクタ層と、  
前記第 2 導電型半導体基板の第 1 導電型埋め込みコレクタ層上に形成された第 2 導電型  
ベース領域と、

前記ベース領域上に形成された第 1 導電型エミッタ領域と、

前記ベース領域及びエミッタ領域を内方し、かつ、前記埋め込みコレクタ層に電氣的に  
接続するように形成された第 1 導電型コレクタ引き出し層と、

前記コレクタ引き出し層の少なくともエミッタ領域側の側面を覆うように形成された絶  
縁膜を備えたことを特徴とする半導体装置。

10

## 【請求項 2】

第 2 導電型ベース領域の不純物イオン注入量が、 $2 \sim 3 \times 10^{12} \text{ ions/cm}^3$  であ  
る請求項 1 に記載の半導体装置。

## 【請求項 3】

3.1 V ~ 5.5 V の降伏電圧を有する請求項 1 又は 2 に記載の半導体装置。

## 【請求項 4】

コレクタ引き出し層及び絶縁膜の平面視形状が環状である請求項 1 ~ 3 の何れか 1 つに  
記載の半導体装置。

## 【請求項 5】

第 2 導電型半導体基板に第 1 導電型埋め込みコレクタ層を形成する工程 ( a )、

20

前記埋め込みコレクタ層上に第 2 導電型ベース領域を形成する工程 ( b )、

前記ベース領域上に第 1 導電型エミッタ領域を形成する工程 ( c )、

半導体基板に前記ベース領域及びエミッタ領域を内方し、かつ、前記埋め込みコレクタ  
層に達する溝を形成する工程 ( d )、

前記溝の少なくともエミッタ領域側の側面を覆う絶縁膜を形成する工程 ( e )、

前記溝内に埋め込みコレクタ層に電氣的に接続する第 1 導電型引き出しコレクタ層を形  
成する工程 ( f ) とを備えたことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

30

本発明は半導体装置およびその製造方法に関し、より詳しくは静電気などの過電圧から  
保護する入出力保護素子に関するものである。

## 【背景技術】

## 【0002】

従来から、内部回路の静電破壊を防止するために、保護素子が組み込まれた半導体装置  
が提案されている。

( i ) 例えば、特開昭 62 - 69678 号公報 ( 特許文献 1 ) では横型バイポーラトラン  
ジスタを用いる発明が提案されている。以下にその製造方法を説明する。

図 5 に示すように、P 型半導体基板上にロコス酸化法を用いて素子分離を行なった後に  
、ベース取り出し拡散層を形成するために所望の領域にイオン注入 ( $^{49} \text{BF}_2^+$ ) を行なう  
。その後、エミッタ、コレクタ形成のために所望の領域にイオン注入 ( $^{75} \text{As}^+$ ) を行な  
う。さらに、メタル配線によってエミッタとベースをショートさせて横型バイポーラト  
ランジスタを作成する。

40

( ii ) また、特開平 7 - 193153 号公報 ( 特許文献 2 ) では縦型バイポーラトランジ  
スタを用いる発明が提案されている。以下にその製造方法を説明する。

図 6 に示すように、P 型基板 1 上の所望の領域にアンチモン ( Sb ) を含むスピンオン  
ガラスを塗布した後に熱処理を行なうことによって埋め込みコレクタ 2 (  $\text{N}^+$  拡散層 ) を  
形成する。次に  $\text{P}^+$  エピタキシャル層を成長させる。そして、ベース領域 3 を形成するた  
めに所望の領域にイオン注入 ( $^{11} \text{B}^+$ ) を行なう。その後、埋め込みコレクタ取り出し拡  
散層 4 を形成するため所望の領域にイオン注入 ( $^{31} \text{P}^+$ ) を行なう。そして、熱処理を行

50

うことによってベース領域 3、埋め込みコレクタ取り出し拡散領域 4 を形成する。次に、口コ酸化法を用いて素子分離を行なった後に、ベース取り出し拡散層 5 を形成するため所望の領域にイオン注入 ( $^{49}\text{BF}_2^+$ ) を行なう。その後、エミッタ 6 と高濃度取り出し拡散層 7 を形成するために所望の領域にイオン注入 ( $^{75}\text{As}^+$ ) を行なう。さらにメタル配線によってエミッタとベースをショートさせて縦型バイポーラトランジスタを形成する。

【0003】

【特許文献 1】特開昭 62 - 69678 号公報

【特許文献 2】特開平 7 - 193153 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0004】

しかし従来例 (i) においては、保護素子に静電気などの瞬時に過大な電流が流れた場合、十分エネルギーを吸収することができず、内部回路の破壊を引き起こす場合がある。これは横方向にバイポーラトランジスタが形成されており、素子内の接合が浅いため電流通過面積に制限が生じるからである。サージに対して保護回路が十分な能力を得るためには、素子面積を大きくする必要があり素子の微細化、チップ縮小化に不向きである。

また従来例 (ii) においては、バイポーラ動作による電流経路を縦方向のみとするためには、エミッタ 6 とコレクタ取り出し拡散層 4 の距離を十分に離す必要がある。エミッタ 6 とコレクタ取り出し拡散層 4 の距離が不十分であった場合、縦方向 (エミッタ 6 - ベース 3 - 埋め込みコレクタ層 2) のバイポーラ動作とならず、横方向 (エミッタ 6 - ベース 3 - コレクタ取り出し拡散層 4) のバイポーラ動作となり、上記従来例 (i) の横型バイポーラトランジスタと同様の問題が生じ、素子の微細化、チップ縮小化には不向きである。

20

本発明は上述の問題に鑑みてなされたものであり、静電気などの過電圧から保護し、かつ、素子の微細化、チップ縮小化を図ることができる半導体装置及びその製造方法を提供することを課題とする。

【課題を解決するための手段】

【0005】

かくして、本発明によれば、第 2 導電型半導体基板の所定の深さに形成された第 1 導電型埋め込みコレクタ層と、前記第 2 導電型半導体基板の第 1 導電型埋め込みコレクタ層上に形成された第 2 導電型ベース領域と、前記ベース領域上に形成された第 1 導電型エミッタ領域と、前記ベース領域及びエミッタ領域を内方し、かつ、前記埋め込みコレクタ層に電氣的に接続するように形成された第 1 導電型コレクタ引き出し層と、前記コレクタ引き出し層の少なくともエミッタ領域側の側面を覆うように形成された絶縁膜を備えた半導体装置が提供される。

30

つまり、本発明の半導体素子は、第 1 導電型埋め込みコレクタ層、第 2 導電型ベース領域、第 1 導電型エミッタ領域によって構成された縦型バイポーラトランジスタを、トレンチ法を用いた絶縁膜と第 1 導電型コレクタ引き出し層からなるサンドイッチ構造で囲うことにより、素子の微細化、チップ縮小化を行いかつノイズが少ない静電保護素子を提供するものである。

40

また、本発明は別の観点によれば、第 2 導電型半導体基板に第 1 導電型埋め込みコレクタ層を形成する工程 (a)、前記埋め込みコレクタ層上に第 2 導電型ベース領域を形成する工程 (b)、前記ベース領域上に第 1 導電型エミッタ領域を形成する工程 (c)、半導体基板に前記ベース領域及びエミッタ領域を内方し、かつ、前記埋め込みコレクタ層に達する溝を形成する工程 (d)、前記溝の少なくともエミッタ領域側の側面を覆う絶縁膜を形成する工程 (e)、前記溝内に埋め込みコレクタ層に電氣的に接続する第 1 導電型引き出しコレクタ層を形成する工程 (f) とを備えた半導体装置の製造方法が提供される。

【発明の効果】

【0006】

本発明の半導体装置及びその製造方法によれば、第 1 導電型埋め込みコレクタ層、第 2

50

導電型ベース領域、第1導電型エミッタ領域によって構成された縦型バイポーラトランジスタを溝で囲み、この溝の少なくともエミッタ領域側の側面に絶縁膜（例えばSiO<sub>2</sub>等）が形成され、溝内に第1導電型引き出しコレクタ層（例えばN<sup>+</sup>ポリシリコン、金属等）が埋め込み形成され、この引き出しコレクタ層は第1導電型埋め込みコレクタと電極の接続に用いられるという構造であるため、以下の効果を奏する。

(1) 絶縁膜によって上記従来例(ii)で指摘したエミッタとコレクタ間が狭くなっても横方向のバイポーラ動作が起こらない。つまり、エミッタとコレクタ引き出し層の間に絶縁膜を形成することによって、横方向のバイポーラ動作（エミッタ-ベース-コレクタ引き出し層）を回避し、かつ素子の微細化、チップ縮小化が可能となる。

(2) スナップバック後、第1導電型エミッタ領域からの電子が半導体基板内に向けての拡散が絶縁膜によって防止され、それにより他の素子への影響が抑制されてノイズが低減する。

(3) 電流経路は第1導電型埋め込みコレクタ部全面からとなるため、サージの発生に対して電流通過面積を十分に保ち、電流の局所集中が改善されると共に、比較的小さな面積で大電流を流すことができる。

【発明を実施するための最良の形態】

【0007】

以下、本発明に係る半導体装置の実施の形態を図面を用いて説明する。なお、本発明は実施の形態に限定されるものではない。

【0008】

図1(a)~(e)及び図2(f)~(i)は本発明の実施の形態の半導体装置の製造工程を示す断面図であり、図3は図2(h)の第1絶縁層を除去した状態の平面図である。

この半導体装置は、図2(f)に示すように、第2導電型半導体基板101の所定の深さに形成された第1導電型埋め込みコレクタ層103と、第2導電型半導体基板101の埋め込みコレクタ層103上に形成された第2導電型ベース領域104と、ベース領域104上に形成された1対の第1導電型エミッタ領域108と、ベース領域104及びエミッタ領域108を内方し、かつ、埋め込みコレクタ層103に電氣的に接続するように形成された平面視長方形の第1導電型コレクタ引き出し層112と、コレクタ引き出し層112の内外側面を覆うように形成された絶縁膜111を備える。さらに、1対のエミッタ領域108、108の間にベース引き出し層106が各エミッタ領域108と接触して形成されている。また、半導体基板101、ベース領域104、エミッタ領域108及びベース引き出し層106の表面に第1絶縁層102が形成され、第1絶縁層102、絶縁膜111及びコレクタ引き出し層112の表面に第2絶縁層115が形成されている。そして、第2絶縁層115上に電極113がコンタクトホールを通してベース引き出し層106及び各エミッタ領域108に接続し、電極114がコンタクトホールを通してコレクタ引き出し層112に接続している。

本発明の半導体装置は以上のような構成の縦型バイポーラトランジスタである。ここで、本発明において、第1導電型はN型又はP型を示し、第2導電型はP型又はN型を示している。

【0009】

本発明において、半導体基板101としては、シリコン、Ga、Sn、Se等の元素半導体や、GaAs、GaP、AlGaAs等の化合物半導体、SnO<sub>2</sub>、ZnO等の酸化物半導体等が挙げられる。中でもシリコン基板が好ましい。半導体基板がシリコン基板の場合、P型を与える不純物としてはホウ素、アルミニウム等が挙げられ、N型を与える不純物としてはリン、砒素等が挙げられる。

【0010】

埋め込みコレクタ層103は、半導体基板101の表面から深さ（最深部）2000~4000nm程度、厚み1000~2000nm程度で形成される。

ベース引き出し層106及びエミッタ領域108は、半導体基板101の表面に厚み

10

20

30

40

50

50 ~ 200 nm程度で形成される。

コレクタ引き出し層112は、半導体基板101の表面から埋め込みコレクタ層103まで達する厚みであり、エミッタ領域108との間隔(側面-側面間)は1~20 μm程度、好ましくは5 μmである。また、コレクタ引き出し層112の幅は1.0~2.0 μm程度、好ましくは1.0 μmである。本実施の形態では、コレクタ引き出し層112の平面視形状は環状の長方形(図3参照)であるが、開口部のない環状であれば形状は特に限定されるものではなく、正方形、菱形、円形、楕円形、多角形、不定形等とすることができる。なお、コレクタ引き出し層112を形成するに際して、半導体基板101にコレクタ引き出し層形成用の溝が形成される。溝を形成する方法としてはドライエッチングが用いられ、エッチングガスとしては半導体基板をエッチング可能であれば特に限定されないが、半導体基板がシリコン基板の場合は例えばHBr、Cl<sub>2</sub>、O<sub>2</sub>などが使用でき、HBr及びCl<sub>2</sub>の流量は10~100 sccm、O<sub>2</sub>の流量は0~50 sccmで、RF Powerは400~1000 kW、圧力は0.5~100 Paとすることができる。

#### 【0011】

絶縁膜111は、コレクタ引き出し層112の内外側面の全面を覆い、その膜厚は100~300 nm程度、好ましくは200 nmである。この絶縁膜111としては、特に限定されるものではなく、シリコン酸化膜、シリコン窒化膜等が挙げられる。

第1絶縁膜102としては、シリコン酸化膜、シリコン窒化膜等を用いることができ、その膜厚は10~200 nm程度、好ましくは20 nmである。

第2絶縁膜115としては、シリコン酸化膜、シリコン窒化膜等を用いることができ、その膜厚は400~1000 nm程度、好ましくは500 nmである。

電極113、116としては、CVD法等により形成された多結晶シリコン、シリサイド及びそれらの積層体(ポリサイド)等からなるシリコン系膜や、蒸着法等により形成されたアルミニウム、銅及びそれらの合金等からなる金属膜が挙げられ、その膜厚は500~1000 nm程度が好ましい。

#### 【0012】

本発明において、ベース領域104の不純物イオン注入量(例えばホウ素イオン)は1~5×10<sup>12</sup> ions/cm<sup>3</sup>、好ましくは2~3×10<sup>12</sup> ions/cm<sup>3</sup>である。図4に示すように、不純物イオン注入量が2~3×10<sup>12</sup> ions/cm<sup>3</sup>であることにより、降伏電圧(雪崩降伏電圧)を約30~55 V程度とすることができる。したがって、上記不純物イオン注入量を調整することで、任意の電圧を選択することができ、保護したい素子に最適な降伏電圧を設定できるという利点がある。

#### 【0013】

(実施例)

次に、本発明の実施例を図面を用いて説明する。

まず、図1(a)に示すように、シリコンからなるP型半導体基板101上に、SiO<sub>2</sub>膜からなる第1絶縁層102を、熱酸化法により膜厚20 nmで形成した。

#### 【0014】

次に、図1(b)に示すように、第1絶縁層102上に公知のフォトリソグラフィ技術を用いて埋め込みコレクタ形成領域に開口部を有するレジストパターン105を形成し、このレジストパターン105をマスクとしてP型半導体基板101にP<sup>+</sup>(リンイオン)をドーズ量3.0E12、エネルギー3 MeVの条件にて注入し、コレクタ部となるN型埋め込みコレクタ層103を半導体基板101の表面(第1絶縁層102の表面)から深さ3000 nm、厚さ1500 nmで形成した(工程(a))。

続いて、上記レジストパターン105を用いて半導体基板101にB<sup>+</sup>(ホウ素イオン)をドーズ量2.5E12でエネルギー900 KeVと、ドーズ量2.0E12でエネルギー600 KeVと、ドーズ量1.0E11でエネルギー100 KeVの3条件で注入して、埋め込みコレクタ層103から第1絶縁層102までの間にP型ベース領域104を形成した(工程(b))。

#### 【0015】

次に、上記レジストパターン105を除去した後、図1(c)に示すように、ベース引き出し層形成領域に開口部を有するレジストパターン107をフォトリソグラフィ技術により形成し、このレジストパターン107をマスクとしてP型ベース領域104の表面付近にBF<sub>2</sub>をドーズ量2.0E15、エネルギー30KeVの条件で注入して、高濃度P型ベース引き出し層106を厚み150nmで形成した。

#### 【0016】

次に、上記レジストパターン107を除去した後、図1(d)に示すように、エミッタ領域形成領域に開口部を有するレジストパターン109をフォトリソグラフィ技術により形成し、このレジストパターン109をマスクとしてP型ベース引き出し層106に隣接するようにAs<sup>+</sup>(ヒ素イオン)をドーズ量3.0E15、エネルギー40KeVの条件で注入して、高濃度N型エミッタ領域108を厚み150nmで形成した(工程(c))。

#### 【0017】

次に、上記レジストパターン107を除去した後、図1(e)に示すように、コレクタ引き出し層形成領域に開口部を有するレジストパターン110をフォトリソグラフィ技術により形成し、このレジストパターン110をマスクとして、埋め込みコレクタ層103に到達するまで半導体基板101をドライエッチングし、1.0μmの幅でコレクタ引き出し層形成用の溝114を形成した(工程(d))。この溝114を形成するに際しては、エッチングガスとしてHBr、Cl<sub>2</sub>、O<sub>2</sub>を用い、HBr及びCl<sub>2</sub>の流量を60sccm、O<sub>2</sub>の流量を6sccm、RF Powerを0.2kW、圧力を15Paとした。

#### 【0018】

次に、上記レジストパターン110を除去した後、図2(f)に示すように、CVD法にて半導体基板101の表面に絶縁膜111を膜厚200nmで形成した。

続いて、図2(g)に示すように、絶縁膜111を溝114の側面だけに残るようにエッチバック法にて第1絶縁層102の表面及び溝114の底部の絶縁膜111を除去した(工程(e))。このエッチバックに際しては、エッチングガスとしてCF<sub>4</sub>、CHF<sub>3</sub>、Arを用い、CF<sub>4</sub>の流量を40sccm、CHF<sub>3</sub>の流量を20sccm、Arの流量を800sccmで、RF Powerを0.8kW、圧力を210Paとした。

#### 【0019】

次に、N<sup>+</sup>ポリシリコンを溝114が完全に埋まる膜厚600nmでCVD法にて堆積し、その後、図2(h)に示すように、エッチバック法にて溝114内以外のN<sup>+</sup>ポリシリコンを除去して、溝114内だけにコレクタ引き出し層112を形成した(工程(f))。このエッチバックに際しては、エッチングガスとしてSF<sub>6</sub>、Heを用い、SF<sub>6</sub>の流量を100sccm、Heの流量を100sccmで、RF Powerを0.2kW、圧力を40Paとした。

#### 【0020】

次に、図2(i)に示すように、CVD法にて第2絶縁層115を膜厚500nmで形成し、エミッタ領域及びベース引き出し層に対応する箇所とコレクタ引き出し層に対応する箇所(複数)にそれぞれコンタクトホールを開孔し、蒸着法にて配線金属層を膜厚700nmで形成した後にパターンニングして、電極113、116、116を形成することで、本発明の静電保護素子構造の半導体装置を製造した。

#### 【0021】

(他の実施の形態)

1. 上記実施の形態1では、1対のエミッタ領域108に接触してベース引き出し層106が配置された場合を例示したが、各エミッタ領域108とベース引き出し層106とは離れていてもよい。また、エミッタ領域108は1個でもよい。

2. 上記実施例では、第1導電型がN型、第2導電型がP型の場合を例示したが、第1導電型をP型、第2導電型をN型として半導体装置を構成してもよい。

3. 上記実施の形態1では、コレクタ引き出し層112のエミッタ側の側面とその反対側

の側面の両方に絶縁層 1 1 1 を設けた場合を例示したが、少なくともエミッタ側の側面に絶縁層があればよく、反対側の絶縁層を省略した構造とすることも可能である。

4．上記実施の形態 1 では、ベース引き出し層 1 0 6 を設けた場合を例示したが、これを省略した構造とすることも可能である。

5．図 1 ~ 3 では 1 個の素子のみを図示したが、同一基板上に複数の素子を設けて M O S 集積回路とする構成が可能である。

6．さらには、同一基板上に N M O S と P M O S を設けた C M O S 集積回路とすることも可能である。

【産業上の利用可能性】

【0 0 2 2】

本発明の半導体装置は、静電気などの過電圧から半導体装置を保護する入出力保護素子に適用可能である。

【図面の簡単な説明】

【0 0 2 3】

【図 1】本発明の実施の形態 1 の半導体装置の製造工程を示す断面図である。

【図 2】図 1 の続きの製造工程を示す断面図である。

【図 3】図 2 ( h ) の第 1 絶縁層を除去した状態の平面図である。

【図 4】雪崩降伏電圧の P 型不純物注入濃度依存性を示すグラフである。

【図 5】従来技術 ( i ) の簡易素子断面図である。

【図 6】従来技術 ( ii ) の簡易素子断面図である。

【符号の説明】

【0 0 2 4】

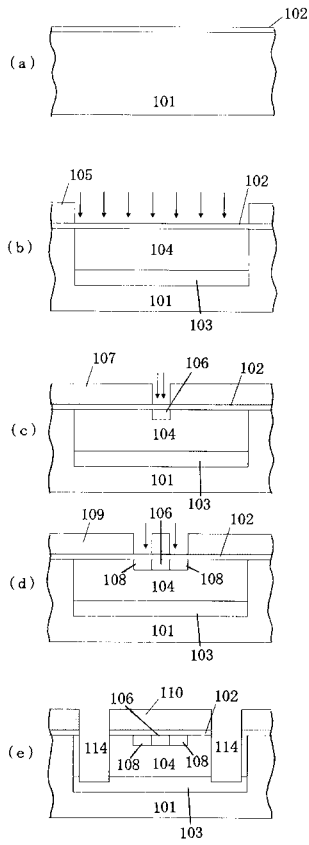
- 1 0 1 半導体基板
- 1 0 2 第 1 絶縁層
- 1 0 3 埋め込みコレクタ層
- 1 0 4 ベース領域
- 1 0 5 レジストパターン
- 1 0 6 ベース引き出し層
- 1 0 7 レジストパターン
- 1 0 8 エミッタ領域
- 1 0 9 レジストパターン
- 1 1 0 レジストパターン
- 1 1 1 絶縁膜
- 1 1 2 コレクタ引き出し層
- 1 1 3 電極
- 1 1 4 溝
- 1 1 5 第 2 絶縁層
- 1 1 6 電極

10

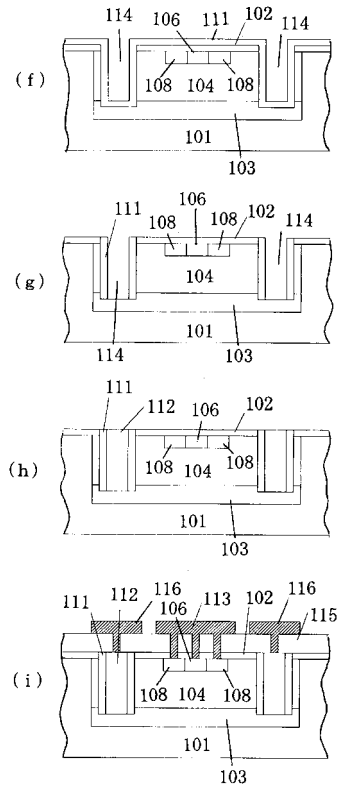
20

30

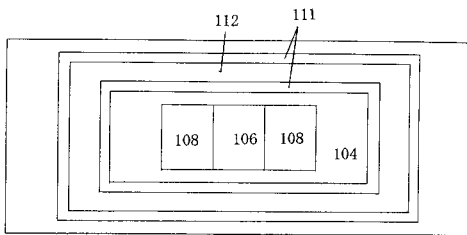
【 図 1 】



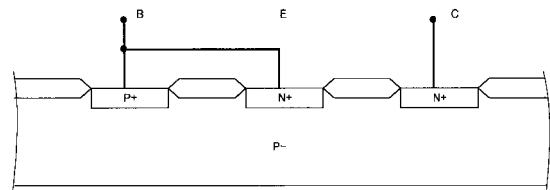
【 図 2 】



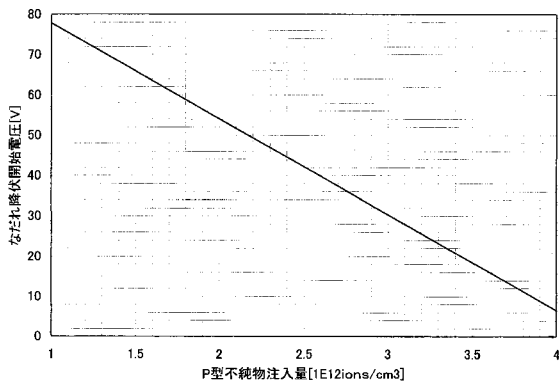
【 図 3 】



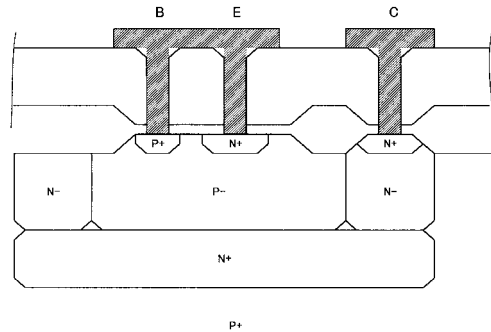
【 図 5 】



【 図 4 】



【 図 6 】





---

フロントページの続き

Fターム(参考) 5F003 AP01 AP06 BA27 BB08 BB90 BC07 BC08 BC90 BH06 BH07  
BJ08 BJ15 BP21 BP31 BP41  
5F038 BH13 BH15 DF01 EZ01 EZ02 EZ20