

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3605122号
(P3605122)

(45) 発行日 平成16年12月22日(2004.12.22)

(24) 登録日 平成16年10月8日(2004.10.8)

(51) Int. Cl.⁷

F I

H03K 5/13

H03K 5/13

請求項の数 2 (全 17 頁)

<p>(21) 出願番号 特願平4-331989 (22) 出願日 平成4年12月11日(1992.12.11) (65) 公開番号 特開平6-204823 (43) 公開日 平成6年7月22日(1994.7.22) 審査請求日 平成11年12月8日(1999.12.8) 審査番号 不服2003-16585(P2003-16585/J1) 審査請求日 平成15年8月28日(2003.8.28) (31) 優先権主張番号 807006 (32) 優先日 平成3年12月13日(1991.12.13) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 590000879 テキサス インストゥルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 135 OO (74) 代理人 100066692 弁理士 浅村 皓 (74) 代理人 100072040 弁理士 浅村 肇 (74) 代理人 100091339 弁理士 清水 邦明 (74) 代理人 100094673 弁理士 林 拓三</p>
--	---

最終頁に続く

(54) 【発明の名称】 補償回路と遅延を補償する方法

(57) 【特許請求の範囲】

【請求項1】

制御信号を受取る制御回路と、
 制御入力が前記制御回路に結合され、信号入力が入力回路に結合された補償駆動回路と、
 を備えた補償回路であって、
 前記制御回路は、前記制御信号に遷移が起こるとパルスが発生するパルス発生器を含み、
 前記制御回路によって出力されるパルスの幅は、遅延に変化を招く少なくとも1つのパラ
 メータによって引き起こされる変化に敏感であり、
 前記補償駆動回路の出力信号の遅延が前記制御回路によって出力されたパルスの幅に影響
 されて、以って前記少なくとも1つのパラメータの変化に反応して前記パルスの幅の期間
 に前記出力信号の遅延を修正する、前記補償回路。

10

【請求項2】

遅延に変化を招く少なくとも1つのパラメータによって変化する駆動回路の遅延を補償す
 る方法であって、
 入力信号を前記駆動回路に結合する工程と、
 前記入力信号をパルス発生回路に結合する工程と、を備え、前記工程における該パルス発
 生回路は、前記入力信号に遷移が起こると、パルス幅が前記少なくとも1つのパラメータ
 の変化により敏感に影響される出力パルスが発生するものであり、
 更に、前記出力パルスを前記駆動回路の制御入力に供給して、前記駆動回路からの信号出
 力の遅延が前記出力パルスの幅の期間に前記出力パルスの幅によって制御される工程と、

20

を備えた前記方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は全般的に半導体装置、特に遅延補償回路に関する。

【0002】

【従来の技術および課題】

多くの集積回路では、或る信号の伝搬に遅延を導入するか、又は或る信号の切換え時間を遅くすることが必要である。例えば、入力信号の間のスキュー（不揃い）があってもよいようにする為に入力回路に遅延を導入することがあり、或いは出力バッファの様な大形駆動器に対する入力の変化を遅くして、供給電圧に影響を与える様な突然の電流変化を小さくすることがある。

10

【0003】

更に大抵の集積回路の用途では、回路は温度又は供給電圧の様なパラメータの或る範囲に亘って動作しなければならないので、変化の速度がこう云うパラメータと共に変化する。この時、故意に導入した遅延が、最も速い応答を生ずる可変のパラメータの値に対して適切である様に設計されたとすると、故意に導入した遅延は、最も遅い応答を生ずる様な可変のパラメータの値に対しては過大になる。

従って、こう云う問題のどれか又は全てを解決する様な改良が現在では望ましい。

【0004】

20

【課題を解決する為の手段及び作用】

この他の目的並びに利点は明白であろうし、一部分は以下の説明から明らかになる。この発明は、遅延補償回路となる装置及びその方法を提供することによって、こう云う目的と利点を達成する。

【0005】

この明細書では補償回路を説明する。回路は、（温度、供給電圧及びトランジスタのゲート長の内の1つ又は更に多くと云う様な）遅延に変化を招く少なくとも1つのパラメータに敏感な遅延を持つ遅延素子を含む制御回路を有する。回路は補償駆動回路をも含む。補償駆動回路は制御入力制御回路に結合され、信号入力が入力回路に結合されている。補償駆動回路の出力信号の遅延が制御回路によって部分的に制御される。この制御回路が、パラメータの変化にตอบสนองして、出力信号の遅延を修正する。

30

【0006】

一実施例では、補償駆動回路が1次駆動器及び補償素子で構成される。例えば、補償素子は分流トランジスタ又はトランジスタと並列の抵抗の様な付加素子であってよい。別の例では、補償素子はプースト・トランジスタで構成される。更に別の例では、補償素子は、直列に結合された第1及び第2のトランジスタで構成され、第1のトランジスタが制御回路によって制御され、第2のトランジスタが入力信号によって制御される。更に別の例では、補償素子が3状態駆動器で構成される。

【0007】

更に、入力回路は遅延素子又は短絡部で構成することができる。制御回路はパルス発生器で構成することができる。一例では、パルス発生器が、パラメータに敏感な遅延を有する遅延素子と、ナンド・ゲート又はノア・ゲートの様な論理ゲートとで構成される。別の例では、パルス発生器は第1の遅延を持つ第1の遅延素子と、第2の遅延（第2の遅延は第1の遅延よりもパラメータに一層敏感である）を持つ第2の遅延素子と、論理素子とで構成される。

40

【0008】

この明細書では遅延補償回路を説明する。この回路は、温度、供給電圧又はゲート長の様に遅延に変化を招く少なくとも1つのパラメータに敏感な遅延を有する遅延回路を含む。パルス発生回路が入力信号に結合される。パルス発生回路によって発生されるパルスの長さが、パラメータによって生ずる遅延の変化に対応する。駆動回路の制御入力パルス発

50

生回路に結合され、信号入力が遅延回路に結合される。駆動回路の出力の遅延が発生されたパルスの長さによって部分的に制御される。

【0009】

更に、駆動回路の遅延を補償する方法を説明する。この場合、遅延は、ゲート長、供給電圧又は温度の様な少なくとも1つのパラメータの為に変化する。第1の入力信号を駆動回路に結合し、第2の入力信号をパルス発生回路に結合する。パルス発生回路によって発生される出力パルスの幅が、駆動回路の遅延の長さに比例する。この出力パルスが駆動回路の制御入力として供給され、駆動回路の信号出力の遅延が出力パルスの幅によって制御される様にする。

【0010】

或る1次回路の性能に対する或るパラメータの影響を補償する回路を説明する。この補償回路は、パラメータに敏感な遅延回路又は素子を含み、1次回路の或る部分で駆動電流又は負荷を制御することによって、補償が行なわれる。一実施例では、補償回路がパルス発生回路を含み、発生されるパルスの持続時間が遅延回路又は素子の遅延に影響され、制御される負荷又は駆動電流はパルスの持続時間によって影響される。別の実施例では、遅延回路又は素子が、負荷又は駆動電流を制御する時の制御信号を遅延させる。遅延回路、負荷回路及び駆動回路又は素子の若干の例を説明する。

【0011】

この発明の本質は、一面では、或るパラメータに敏感な遅延回路又は素子を使って負荷又は駆動回路又は素子を制御して、或る1次回路に対するパラメータの影響を補償することである。遅延素子はパルス発生回路に使うことができるが、そうする必要はない(例えば図17及び18参照)。

【0012】

補償回路を使って、高から低への変化、低から高への変化又はその両方を持つ信号を補償することができる。この装置は、メモリ・アレイにある様な駆動回路の入力として使ったり、或いは一定の幅を持つパルスを作る為に使うことができる。

【0013】

この発明の利点は、動作状態が変化するときでも、一定の反復性のある遅延を持つ遅延回路が得られることである。

この発明の上に述べた特徴は、以下図面について説明する所から更に明らかに理解されよう。図面全体に亘り、特に断らない限り、対応する部分には同じ参照数字及び記号を用いている。

【0014】

【実施例】

現在好ましいと考えられる実施例の構成と使い方をこれから詳しく説明する。然し、この発明は広い範囲の種々の具体的な場合に実施することができる非常に応用性のある発明概念を提供することを承知されたい。具体的に説明する実施例は、この発明を構成し、使う具体的な方法の例に過ぎず、この発明の範囲を制限するものではない。

【0015】

次にこの発明の装置と方法を説明する。好ましい実施例のブロック図を最初に説明してから、回路の動作を例示する為に時間線図を説明する。その後、各々の部品の幾つかの例を示すと共に、変形を説明する。その後、素子の組合せを簡単に説明してから、幾つかの別の実施例を説明する。最後に、この発明を使う2つの用例によって全体的な要約を述べる。

【0016】

第1の実施例の目的は、或るパラメータの変化に比較的影響されない入力の高から低への変化に対する遅延を作ることである。(低から高への変化を持つ信号並びに両方の変化を持つ信号も補償することができる。)その考えは、高から低への入力の変化があった時にパルスを発生するパルス発生器を設け、このパルスが1次遅延回路にある節に対する余分の負荷をターンオフする(又は余分の駆動を加える)様にするることである。変化が遅けれ

10

20

30

40

50

ば遅い程、パルスが一層長く、従って余分の負荷がターンオフされる（又は余分の駆動がターンオンされる）時間が一層長い。この考えを使って、供給電圧、温度又はゲート長の様なパラメータの変化を補償することができる。この考えはこれから図面について説明する所から更によく理解されよう。

【 0 0 1 7 】

最初に図 1 a を参照すると、第 1 の実施例の遅延回路 1 0 が略図で示されている。遅延回路 1 0 が遅延部分 1 2 とパルス発生回路 1 4 とを持ち、その両方に入力信号 I N が供給される。パルス発生回路 1 4 の出力が、遅延部分 1 2 の出力と出力信号 O U T の間に結合された補償駆動回路 1 6 の制御入力に結合される。遅延回路 1 2、パルス発生回路 1 4 及び駆動回路 1 6 の具体的な詳細は後で説明する。

10

【 0 0 1 8 】

図 1 a に示す実施例では、パルス発生回路 1 4 は制御回路と見做すことができ、遅延回路 1 2 及び駆動回路 1 6 は補償駆動回路と見做すことができる。或る場合には、遅延回路 1 2 は実際には遅延無し、即ち短絡部であってよい。

【 0 0 1 9 】

一例としてのパルス発生回路が図 1 b に示されている。パルス発生回路 1 4 が反転付きの敏感な遅延部分 1 8 とオア・ゲート 2 0 とを持ち、これらが高から低への変化に应答するパルス発生器となる様に接続されている。敏感な遅延部分 1 8 は、そのパラメータによる遅延の変化を制御しようとするパラメータ（例えば、供給電圧、温度又はゲート長）に敏感である様に設計されている。

20

【 0 0 2 0 】

別の実施例が図 2 に示されている。この実施例では、制御信号 C N T R L がパルス発生器 2 1 4 の入力に結合される。パルス発生器の出力が駆動回路 2 1 6 の制御入力に結合される。駆動回路 2 1 6 の出力が補償しようとする信号と出力節の間に結合される。言い換えれば、入力信号 I N が補償されずに回路 2 1 0 に入り、これに対して出力信号 O U T は補償されている。この実施例では、パルス発生器 2 1 4 は制御回路と見做すことができ、駆動回路 2 1 6 は補償駆動回路と見做すことができる。

【 0 0 2 1 】

図 1 a 及び 2 の回路は、図 1 a の遅延素子 1 2 が短絡部で図 2 の入力 C N T R L 及び I N が一緒に結合されていれば、同じになる。

30

【 0 0 2 2 】

図 1 a（図 1 b を含む）の回路の動作は、変化するパラメータを持つ 2 つの場合に対する入力パルスの例としての時間線図を示す図 3 a 及び 3 b を参照すれば、よく理解されよう。例えば、図 3 a に示す場合、供給電圧が、図 3 b に示す場合より低いとする。勿論、理想的な場合、供給電圧は常に一定である。然し、実際の場合にはそうならない。更に、1 個の集積回路が、相異なる供給電圧を持つ幾つものシステム様に設計されることがある。

【 0 0 2 3 】

（例えば図 1 a の）回路の目的は、信号 O U T の速度が、可変のパラメータの変化にどの様に应答するかを制御することである。図 3 では、出力信号 O U T は、両方の場合に同じ時刻に高の値に達する。この他の用例では、補償をこれより大きく又は小さくすることが必要になることがある。

40

【 0 0 2 4 】

入力信号 I N は高から低への変化を含む。信号 A（即ち、敏感な遅延回路 1 8 の出力）は、入力信号 I N を反転して遅延したものである。信号 A の遅延は、それが、回路 1 2 の遅延を変化させる原因とするパラメータ、例えば、供給電圧、温度及び / 又はゲート長に特に敏感になるように設計される。その感度が、補償の程度を決定する設計パラメータの 1 つである。

【 0 0 2 5 】

信号 I N 及び A が両方とも低である時、オア・ゲート 2 0 の出力は低である。これが信号 B として示されている。信号 B が低である時、駆動回路 1 6 は、負荷が減少する為又は駆

50

動が強くなる為の何れかの理由で、出力OUTを高に更に強く駆動する。駆動回路16の補償部分が作用する時間の長さ、即ち、パルスBの長さが、パラメータに敏感な遅延回路12に直接的に関係する。言い換えれば、入力パルスINと補償遅延回路12の出力との間の遅延が一層長ければ、信号Bのパルスは一層長くなる。これが図3a及び3bに示されており、低い供給電圧の場合の遅延 D_a は、高い供給電圧の場合の遅延 D_b より一層長い。こうして、電源電圧（又は温度又はゲート長）の様な変化する外部パラメータがあっても、出力信号OUTの遅延を再現性を持つ様に制御することができる。この例では、出力信号OUTは、両方の場合に、略時刻 T_1 に高の値に達する。言い換えれば、始めの目的が達成された。

【0026】

前に述べた様に、この実施例の考えは、節OUTが、そこでの低から高への変化の遅延を一定に保とうとする「遅い」節であると云うことである。パルス発生器Cからの負のパルスが駆動回路の補償部分を制御する。補償遅延素子18の設計の条件は、パルスが大体、補償する可変パラメータの遅い「隅」にある節Dの変化時間を包み込み、一層速いパラメータの組合せでは、この変化時間を完全に包み込まないことである。

【0027】

図4及び5に示す様に、パルス発生回路の幾つかの変形414(514)が考えられる。こう云う例では、敏感な遅延部分418(518)が、インバータ22の直列接続のチェーンとして示されている。次に図6について、特定の敏感な遅延回路を更に詳しく説明する。

【0028】

図4に示す例では、ノア・ゲート420の出力は、入力信号IN及び敏感な遅延部分418の出力Aの両方が低である時に高になり、この結果、入力が高から低に変化する時に、Bにパルスが出る。言い換えれば、高から低への変化が補償され、駆動回路16の補償部分は、その入力が高である時に作用する。

【0029】

図5に示す例では、ナンド・ゲート520の出力は、入力信号IN及び敏感な遅延部分418の出力Aの両方が高である時に低であり、この結果、入力が高から低に変化する時にBにパルスが出る。言い換えれば、低から高への変化が補償され、駆動回路16の補償部分は、その入力が高である時に作用する。当業者であれば明らかな様に、どう云う変化（高から低か又は低から高か）であるか並びにいつ駆動回路16を動かすかのこの他の組合せに対して、この他の論理ゲートを使うことができる。

【0030】

一例として、反転形の敏感な遅延回路618が図6aに示されている。この回路は直列に結合された3つのCMOSインバータ622を含む。3つのインバータを示したが、任意の奇数個のインバータを使うことができる。Pチャンネル形トランジスタのドレインが供給電圧（例えば $V_{DD} = 5V$ ）に抵抗 R_1 を介して結合される。同様に、Nチャンネル形トランジスタのドレインが抵抗 R_2 を介して基準電圧（例えばアース又は0ボルト）に結合される。好ましい実施例では、抵抗 R_1 、 R_2 は正の温度係数を有する。更に、トランジスタのゲート長が、遅延回路12並びに/又は駆動回路16にあるトランジスタのゲート長よりも短かくてもよい。こう云う因子が、温度及びゲート長の変動を補償する助けになる。

【0031】

図6bに示す別の実施例では、抵抗 R_1 、 R_2 をダイオード D_1 、 D_2 に置換えることができる。これらのダイオードは、電流が供給電圧からインバータに流れ、インバータから基準電圧へ流れる様に構成されている。この例は、供給電圧及び温度の変動の補償をする。

【0032】

静電容量、電流負荷及びRC遅延を含めて、遅延回路18の遅延を調節する為にこの他の素子を使うことができる。遅延素子18に対する条件は、それから得られるパルスがパラ

10

20

30

40

50

メータ空間の遅い隅では十分長く、速い隅では十分短かいことである。十分短かく並びに十分長くと云うのは、出力にその結果生ずる変化が希望する通りになる様に、補償される節の変化時間に対して云う。遅い隅で相対的に遅く、速い隅で相対的に速い遅延にすると云う条件は、一般的にはその反対よりも設計が一層容易な問題である。この設計の問題は、制御パルスを変化に対して長く又は短かくする余裕を持たせる為に、補償される節に比較的遅い変化を持たせることによって容易になる。L d i / d t を制限する必要がある大形駆動器を制御する節では一般的にそうである。入力のスキューに対するゆとりと合せると云う様に、わざと遅延を導入すべき場合にも、そうすることができる。

【 0 0 3 3 】

インバータ及びノア又はナンド・ゲートにあるN及びPチャンネル形装置に最小のゲート長並びに最小よりも長いゲート長を選択的に使うことは、ゲート長の変動に対して、パルス幅に対する所望の効果（例えば、立上り又は立下りの入力変化に対して一層長い又は一層短かい）を作る様に選ぶことができる。

10

【 0 0 3 4 】

遅延回路18の遅延を典型的な回路よりもパラメータの変化に対して一層敏感にする他に、補償される節に対する1次入力をそれ程敏感でなくすることも可能である。例えば、図1aで、ゲート長が問題のパラメータである場合、節Cを駆動する遅延部分12のトランジスタは、最小よりも長くすることができ、これに対してパルス発生回路14及び駆動回路16のトランジスタは最小にする。その時、ゲート長が全て減少すれば、遅延部分12による節Cの駆動は増加するが、補償パルスの変化がBに対して働く程大きくはない。遅延部分12を或る変化に対して比較的敏感でなくする方法としては、負の温度係数を持つ抵抗、ミラー静電容量、ゲート酸化物静電容量、及び最小よりも長いゲート長を使うことが挙げられる。

20

【 0 0 3 5 】

然し、遅延をパラメータの変化に対してより敏感に又はより敏感でなくするにも、できる限度がある。パルス補償が上に述べた様な意味のある効果を持つ様にする為には、信号Bのパルスの変化は、補償される遅延回路12の変化とは十分異なっていなければならない。一方はパラメータの変化に比較的影響されない様に設計され、他方は比較的敏感である様に設計された2つの通路の遅延の差から、パルスを作り出すことにより、感度を一層高くすることができる。1つの隅で、2つの遅延が殆ど等しければ、遅延の差は、パラメータの変化に非常に敏感になる。遅延の釣合いをとる隅を選ぶことにより、この差は速い隅又は遅い隅の何れかで一層長くなる様にすることができる。

30

【 0 0 3 6 】

この考えの一例が、図7のパルス発生器718によって例示されている。この場合、遅い隅にあるパラメータに敏感でない遅延部分24及びパラメータに敏感な遅延部分26が、ナンド・ゲート28の入力に結合されている。追加の遅延の為、キャパシタ30が設けられている。敏感な遅延部分26の遅延は、速い隅に於ける敏感でない遅延部分24の遅延と釣合い、遅い隅では、敏感でない遅延部分24よりも遅い。その結果、速い隅ではパルスが出ないが、遅い隅では高から低に向う入力でパルスが出る。

【 0 0 3 7 】

この回路は、釣合いのとれている、公称の速い隅よりも更に速い隅では、低から高への入力でもパルスを発生する。これは実効的に、非常に速いパラメータで反対向きの「分流」（減速）を生ずる。これは問題とならないことがあり、実際、望ましいことさえある。そうでなくても、余分の論理回路（例えば図8に示す様に、ナンド・ゲート28に結合され、遅延部分24, 26と並列のインバータ32）を使うことができる。

40

【 0 0 3 8 】

同様に、図9の回路は、正に向うパルスに対するパルス発生器になる。遅延は前に述べたものと同じであり、ノア・ゲート34に入力される。この回路は、速い隅での高から低に向う入力に対し、正に向うパルスを発生する。これは、反対向きの入力の変化に対するものであって、反対の符号のパルスを発生することを別とすれば、図9のナンド回路と同様

50

である。

【 0 0 3 9 】

上に述べた実施例は、その持続時間が或るパラメータの変化に特に敏感なパルスを作る為に、2つの回路の遅延の差を利用する方法の例である。この他の方式も可能である。例えば、或る回路が何れも異なる遅延を持つ2つのパルスを発生することができる。この後、これら2つのパルスを組合せて、2つのパルスの持続時間の差に基づいてパルスを作り出すことができる。

【 0 0 4 0 】

図10乃至14には、駆動回路16の幾つかの実施例が示されている。これらの図は、遅延を補償する為に考えられる2つの方法を例示している。1番目の方法の考えは、パルスが出力節に対する余分の負荷をターンオフする場合、パルス発生器がパルスを発生する様にすることである。これをこの明細書では分流方法と呼ぶ。2番目の方法が、現在好ましい方法であるが、分流トランジスタの代わりにブースト・トランジスタを使う。この場合、1次遅延回路の余分の負荷を制御する代わりに、パルス発生器からのパルスが1次遅延回路の余分の駆動を制御する。

10

【 0 0 4 1 】

図10について説明すると、低から高への変化信号を補償する駆動回路が示されている。この回路では、PMOSトランジスタ36のドレインが基準電圧(例えばアース)に結合され、ソースがインバータ38の出力に結合されている。インバータ38の入力が入力信号C(これは図1aの遅延回路12からくる)に結合される。制御信号B(即ち、パルス発生器14の出力)がPMOSトランジスタ36のゲートに結合される。

20

【 0 0 4 2 】

制御信号Bが高である時(即ち、パルス発生器14がパルスを供給している時)、PMOS分流トランジスタ36はオフである。即ち、非導電である。分流トランジスタ18がオフである時、出力節は一層速く高に駆動される。分流トランジスタがオフである時間の長さ(即ち、パルスBの長さ)が、パラメータに敏感な遅延回路18に直接的な関係を持つ。こうして、出力信号OUTの遅延は、電源電圧、温度又はゲート長の様な変化する外部パラメータがあっても、再現性をもって制御することができる。

【 0 0 4 3 】

図10の分流形式の変形が図11aに示されている。この実施例では、NMOSトランジスタ40が分流トランジスタ36のソースと遅延節Cとの間の接続部の途中に入っている。NMOSトランジスタ40のゲートが出力信号OUTの反転に結合されている。トランジスタ40は静止電力をターンオフする様に入っている。

30

【 0 0 4 4 】

図11bに示す別の実施例では、NMOSトランジスタ40は、トランジスタ18のドレインと節Cの間に結合されたキャパシタ42に置換えられている。キャパシタ42が直流電力の消費を防止する。

【 0 0 4 5 】

図10及び11に示した分流駆動回路が低から高への変化に於ける遅延を補償する。高から低への変化に対する追加の遅延を補償する別の実施例(図面に示してない)も構成することができる。この回路は、PMOSトランジスタ36をNMOSトランジスタに置換え、NMOSトランジスタをアースではなく、供給電圧に結合することを別とすれば、図10の回路と同一である。高から低への変化を補償する回路の動作は、全ての電圧の極性を反転するが、図10の回路の動作と同様である。例えば、低から高への変化に対してNチャンネル形トランジスタを使うこと、又は高から低への変化に対してPチャンネル形トランジスタを使うことと云う様なこの他の形式も可能である。

40

【 0 0 4 6 】

高から低への変化に対するブースト駆動器の一例が図12に示されている。図示の様に、NMOSトランジスタ44のソースが基準電圧に結合され、そのドレインが入力信号C(これは図1aの遅延回路12からくる)に結合される。制御信号B(即ち、パルス発生器

50

14の出力)がNMOSトランジスタ44のゲートに結合される。インバータ38が駆動器の入力と出力の間に設けられている。

【0047】

この場合、ブースト・トランジスタ44は、パルスAが高である時にオンである、即ち節Cをアースに導電結合する。この場合も、パラメータに敏感な回路18の遅延が長くなるにつれて、パルスAのパルス幅が一層長くなり、従って、ブースト・トランジスタ44は一層長い間オンになり、それが節Cの遅延を一定に保つ助けになる。

【0048】

図面には示していないが、図12の回路は、図10に示した回路を前に述べた様に変更したのと同様に変更することができる。言い換えれば、低から高への変化を補償する為、アースに結合されたNMOSブースト・トランジスタ44を電源電圧に結合されたPMOSブースト・トランジスタ(図に示していない)に置換える。この場合も、低から高への変化を補償する回路の動作は、全ての電圧の極性を反転するが、図12の回路の動作と同様である。更に、前に述べた様に、直流電力の消費を防止する素子を設けることもできる。

【0049】

別の方式は、制御パルスが、別の駆動器と並列に接続された3状態駆動器を制御することである。この方式の一実施例が図13に示されている。制御パルスBの発生の仕方に応じて、駆動回路16を高から低へ、低から高への変化又はその両方の何れかの補償の為に用いる。

【0050】

この形式では、入力Cがインバータ46及びインバータ54に結合される。インバータ46の出力がNMOSトランジスタ48及びPMOSトランジスタ50のソースに結合される。これらのトランジスタのドレインが、インバータ54の出力と共に出力に結合される。制御信号BがNMOSトランジスタ48のゲート並びに(インバータ52を介して)PMOSトランジスタ50のゲートに結合される。

【0051】

信号Bが高である時、インバータ46の駆動によって、OUTの変化が促進される。他方、Bが低である時、OUTの変化がインバータ54だけによって駆動される。図13には完全相補形通過ゲートが示されているが、特に低から高へ又は高から低への変化だけに対してブースト作用を望む場合、単純なNチャンネル形又はPチャンネル形通過ゲートを使うことができる。

【0052】

別の駆動回路が図14aに示されている。この形式では、入力信号CがPMOSトランジスタ60及びNMOSトランジスタ62のゲートとインバータ66の入力とに結合されている。制御信号BがNMOSトランジスタ64のゲートに結合されると共に、インバータ58を介してPMOSトランジスタ58のゲートに結合されている。

【0053】

Bが高である時、OUTの変化が、信号INに応じて、高又は低の何れかに促進される。他方、Bが低である時、OUTの変化はインバータ66だけによって駆動される。一方の方向の変化だけに対する補償を希望する場合、3状態駆動器の半分(即ち、PMOSトランジスタ58, 60又はNMOSトランジスタ62, 64の何れか)だけが必要である。

【0054】

更に別の方式は制御パルスが、或る遅延素子又は抵抗の様な負荷素子と並列又は直列の通過ゲートの導電を制御することである。図14bは、通過ゲート49, 51が抵抗55と並列である実施例を示す。制御パルスBが高である時、通過ゲートが導電し、OUTの駆動の遅延が減少する。

【0055】

回路の種々の素子の夫々を以上個別に説明して、補償回路の設計は、種々の素子を混ぜ合せ且つ釣合いをとることによって行なうことができることを実証した。著しい実験をしながら、パルス発生器及び駆動回路の種々の組合せを作って所望の回路を達成することが

10

20

30

40

50

できる。図 1 5 及び 1 6 は考えられる多数の組合せの中の 2 つだけを示す。

【 0 0 5 6 】

例えば図 1 5 の回路は、図 4 に示した様なパルス発生器 1 4 と図 1 1 a に示した様な駆動回路とで構成されている。この例では、遅延部分 1 2 が 3 つの直列インバータを含んでいる。

【 0 0 5 7 】

同様に、図 1 6 の回路は、図 4 に示した様なパルス発生器 1 4 と図 1 2 に示した様な駆動回路とで構成されている。この例では、遅延部分 1 2 は 2 つの直列インバータを含んでいる。

【 0 0 5 8 】

図 1 7 には更に別の実施例が図式的に示されている。この場合、遅延回路 1 8 の出力 A が P M O S ブースト・トランジスタ 7 0 のゲートに結合されている。ブースト・トランジスタ 7 0 のソースが電源電圧に結合される。この電圧は、例えば 5 V であってよい。

【 0 0 5 9 】

更に図 1 7 の実施例には第 2 のブースト・トランジスタ 7 2 も含まれている。第 1 のブースト・トランジスタ 7 2 はソースが第 1 のブースト・トランジスタ 7 0 のドレインに結合され、そのドレインは出力節 C に結合されている。この実施例では、2 つのトランジスタ 7 0 , 7 2 は補償素子と見做すことができる。

【 0 0 6 0 】

図 1 7 の回路は前に述べたのと同様に動作する。高から低への変化入力に対して、I N 及び A の両方が低である時、即ち、パラメータに敏感な回路 1 8 の遅延期間の間、両方のブースト・トランジスタ 7 0 , 7 2 が導電し、従って電源電圧が節 C に結合される。この場合も、図示の実施例は、I N から A までの遅延と同じ長さの期間に亘り、C のブースト作用を行なう。

【 0 0 6 1 】

この考えは、図 1 8 に示す様に、両方向の遅延に拡張することができる。図 1 8 に示す回路は図 1 7 に示す回路と同じ素子を含む他に、N M O S ブースト・トランジスタ 7 6 , 7 8 を含む。トランジスタ 7 6 が節 C とトランジスタ 7 8 の間に結合され、トランジスタ 7 8 がトランジスタ 7 6 と基準電圧、例えばアースとの間に結合されている。トランジスタ 7 6 のゲートが入力信号 I N に結合され、トランジスタ 7 8 のゲートが節 A に結合される。

【 0 0 6 2 】

ブースト・トランジスタ 7 0 , 7 2 が、前に述べた様に高から低に変化するパルスに対するブースト作用をする。同様にブースト・トランジスタ 7 6 , 7 8 が、前に述べたのと同様に、低から高へ変化するパルスに対してブースト作用をする。

【 0 0 6 3 】

この場合も、こう云う方式が有効である為には、パルス発生器部分 1 8 の遅延は、補償しようとする変化の 1 次駆動よりも、パラメータの変化に対して一層敏感であるべきであることに注意されたい。例えば、一層短かいゲート長の法がゲート長の変化に対して一層敏感であり、(例えばダイオード降下によって) 逡減した電圧を持つ回路の方が電圧変化に対して一層敏感である。

【 0 0 6 4 】

要約すれば、一般化した 2 つのブロック図が図 1 9 a 及び 1 9 b に示されている。図 1 9 a の一般的な実施例では、第 1 の入力信号 I N 1 が補償駆動器に印加される。第 2 の入力 I N 2 がパルス B を作る遅延素子を持つ制御回路に印加される。出力信号 O U T が、パルス B に関係する様に I N 1 を補償したものである。

【 0 0 6 5 】

図 1 9 b の一般的な実施例は、1 個の入力 I N を作る為に入力信号を接続する様子を示している。入力信号 I N は、例えば遅延部分又は単純に短絡部であってよい任意の回路網に結合される。任意の回路網の出力がこの後制御回路及び補償駆動器に入力されて、補償さ

10

20

30

40

50

れた出力OUTを求める。

【0066】

図20及び21は、補償駆動器の多数の使い方の内の2つの例を示すものである。図20は、補償パルス発生器80を形成する為の用例である。この回路では、入力INが高レベルから低レベルに変化する時には、いつでもパルスが発生される。遅延部分82にあるインバータの数を変えることができるが、補償駆動器が反転形であると仮定すれば、偶数であるべきである。他の実施例では、ノア・ゲート84を、例として挙げれば、ナンド、アンド、オア又は排他的オアを含むこの他の論理ゲートに置換えることができる。更に、遅延部分82が反転形であってよく、遅延素子を持つ制御回路並びに補償駆動器に対する種々の変更を用いることができる。

10

【0067】

図21には、出力バッファに対するこの発明の用例が示されている。この例は、出力付能信号OEが、データが有効になるタイミングと同期していることを前提としている。この場合、出力駆動器の駆動の変化を補償する為に、補償駆動器を過剰補償すること、即ち、遅い隅では速い隅よりも一層速く補償することが望ましいことがある。

【0068】

この発明を図示の実施例について説明したが、この説明はこの発明を制約するものと解してはならない。図示の実施例の種々の変更並びに組合せと、この発明のその他の実施例は、以上の説明から当業者に明らかであろう。従って、特許請求の範囲は、この様な全ての変更又は実施例を包括するものであることを承知されたい。

20

【0069】

この発明は以上の記載に関連して更に下記の実施態様を有する。

(1) 遅延に変化を招く少なくとも1つのパラメータに敏感な遅延を有する遅延素子を含む制御回路と、制御入力の前記制御回路に結合されていると共に信号入力が入力回路に結合されている補償駆動回路とを有し、該補償駆動回路の出力信号の遅延が前記制御回路によって部分的に制御されることにより、前記少なくとも1つのパラメータの変化にตอบสนองして、前記出力信号の遅延を修正する補償回路。

【0070】

(2) (1)項に記載した補償回路に於て、補償駆動器が1次駆動器及び補償素子で構成され、該補償素子が制御回路からの少なくとも1つの入力を持つ補償回路。

30

【0071】

(3) (2)項に記載した補償回路に於て、補償素子が負荷素子である補償回路。

【0072】

(4) (3)項に記載した補償回路に於て、負荷素子が分流トランジスタで構成される補償回路。

【0073】

(5) (3)項に記載した回路に於て、負荷素子がトランジスタと並列の抵抗で構成される補償回路。

【0074】

(6) (2)項に記載した補償回路に於て、補償素子がブースト・トランジスタである補償回路。

40

【0075】

(7) (2)項に記載した補償回路に於て、補償素子が直列に結合された第1及び第2のトランジスタを有し、第1のトランジスタは制御回路によって制御され、第2のトランジスタが入力信号によって制御される補償回路。

【0076】

(8) (2)項に記載した補償回路に於て、補償素子が3状態駆動器で構成される補償回路。

【0077】

(9) (1)項に記載した補償回路に於て、入力回路が遅延素子を有する補償回路。

50

【 0 0 7 8 】

(1 0) (1) 項に記載した補償回路に於て、入力回路が短絡部で構成される補償回路。

【 0 0 7 9 】

(1 1) (1) 項に記載した補償回路に於て、制御回路がパルス発生器で構成される補償回路。

【 0 0 8 0 】

(1 2) (1 1) 項に記載した補償回路に於て、パルス発生器が少なくとも1つのパラメータに敏感な遅延を持つ遅延素子と、論理ゲートとを有し、遅延素子の入力論理ゲートの第1の入力に結合され、遅延素子の出力が論理ゲートの第2の入力に結合される補償回路。

10

【 0 0 8 1 】

(1 3) (1 2) 項に記載した補償回路に於て、遅延素子が複数個の直列結合のインバータで構成される補償回路。

【 0 0 8 2 】

(1 4) (1 2) 項に記載した補償回路に於て、論理ゲートがナンド・ゲート又はノア・ゲートで構成される補償回路。

【 0 0 8 3 】

(1 5) (1 1) 項に記載した補償回路に於て、パルス発生器が、第1の遅延を持つ第1の遅延素子と、第2の遅延を持つ第2の遅延素子と、論理素子とで構成され、第2の遅延は前記第1の遅延よりも前記少なくとも1つのパラメータに対して一層敏感であり、前記第1の遅延素子の出力及び前記第2の遅延素子の出力が論理ゲートに結合されている補償回路。

20

【 0 0 8 4 】

(1 6) (1) 項に記載した補償回路に於て、補償駆動回路がトランジスタ及びインバータで構成されていて、両者は、制御入力トランジスタのゲートに結合され、信号入力インバータの入力に結合される様に接続されている補償回路。

【 0 0 8 5 】

(1 7) (1) 項に記載した補償回路に於て、少なくとも1つのパラメータが、温度、供給電圧及びトランジスタのゲート長の内の1つ又は更に多くである補償回路。

【 0 0 8 6 】

(1 8) その遅延が少なくとも1つのパラメータによって変化する様な駆動回路の遅延を補償する方法に於て、前記駆動回路に第1の入力信号を結合し、パルス発生回路に第2の入力信号を結合し、該パルス発生回路の出力パルスの幅が前記駆動回路の遅延の長さ按比例する様にし、前記出力パルスを前記駆動回路の制御入力に供給して、該駆動回路からの信号出力の遅延が前記出力パルスの幅によって制御する様にする工程を含む回路。

30

【 0 0 8 7 】

(1 9) (1 8) 項に記載した方法に於て、少なくとも1つのパラメータが温度、供給電圧及びトランジスタのゲート長の内の1つ又は更に多くである方法。

【 0 0 8 8 】

(2 0) (1 8) 項に記載した方法に於て、第1の入力信号の高から低への変化の遅延を補償する方法。

40

【 0 0 8 9 】

(2 1) (1 8) 項に記載した方法に於て、第1の入力信号の高から低への変化の遅延を補償する方法。

【 0 0 9 0 】

(2 2) (1 8) 項に記載した方法に於て、第1の入力信号の高から低への変化の遅延及び第1の入力信号の低から高への変化の遅延を補償する方法。

【 0 0 9 1 】

(2 3) (1 8) 項に記載した方法に於て、第1の入力信号が第2の入力信号を含む方法。

50

【 0 0 9 2 】

(2 4) 補償回路 1 0 を説明した。回路は、遅延に変化を生じさせる少なくとも 1 つのパラメータに敏感な遅延を持つ遅延素子 1 8 を含む制御回路と、補償駆動回路 1 6 とを有する。補償駆動回路が、制御回路 1 4 に結合された制御入力 B 及び入力回路 1 2 に結合された信号入力 C を有する。補償駆動回路 1 6 の出力信号 O U T の遅延が、パラメータの変化に応答して出力信号 O U T の遅延を修正する制御回路 1 4 によって、部分的に制御される。この他の方式及び方法及び種々の変形も説明した。

【 図面の簡単な説明 】

【 図 1 】 第 1 の実施例の遅延回路のブロック図。

【 図 2 】 第 2 の実施例の遅延回路のブロック図。

10

【 図 3 】 この発明の用例を示す時間線図。

【 図 4 】 第 1 の実施例のパルス発生回路の回路図。

【 図 5 】 第 1 の実施例のパルス発生回路の回路図。

【 図 6 】 第 1 の実施例の敏感な反転形遅延回路の回路図。

【 図 7 】 別の実施例のパルス発生回路の回路図。

【 図 8 】 別の実施例のパルス発生回路の回路図。

【 図 9 】 別の実施例のパルス発生回路の回路図。

【 図 1 0 】 補償駆動回路の回路図。

【 図 1 1 】 補償駆動回路の回路図。

【 図 1 2 】 補償駆動回路の回路図。

20

【 図 1 3 】 補償駆動回路の回路図。

【 図 1 4 】 補償駆動回路の回路図。

【 図 1 5 】 図 1 に示す様な回路を形成する為に種々の回路をどの様に組合せることができるかを示す例を示す略図。

【 図 1 6 】 図 1 に示す様な回路を形成する為に種々の回路をどの様に組合せることができるかを示す例を示す略図。

【 図 1 7 】 別の実施例の遅延補償回路の回路図。

【 図 1 8 】 別の実施例の遅延補償回路の回路図。

【 図 1 9 】 遅延補償回路の一般的なブロック図。

【 図 2 0 】 用例を示すブロック図。

30

【 図 2 1 】

用例を示すブロック図。

【 符号の説明 】

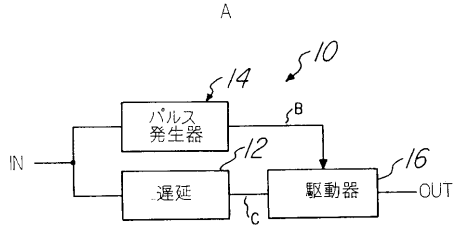
1 2 入力回路

1 4 パルス発生器 (制御回路)

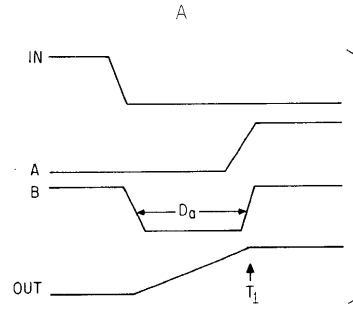
1 6 補償駆動回路

1 8 遅延素子

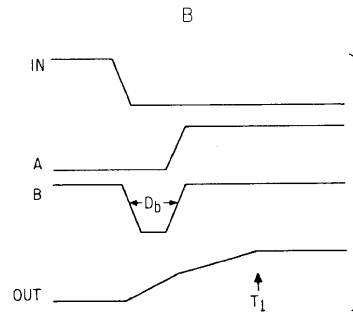
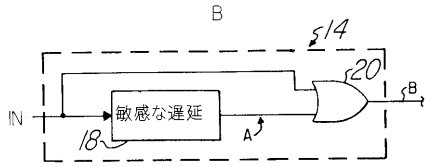
【 図 1 】



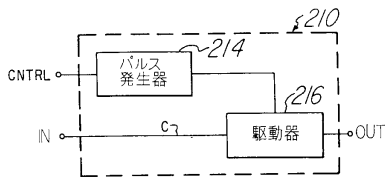
【 図 3 】



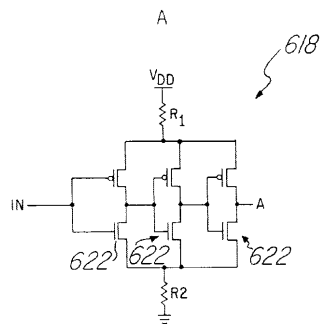
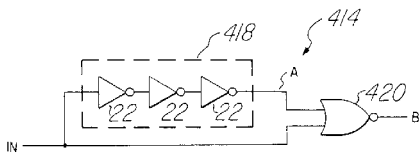
【 図 2 】



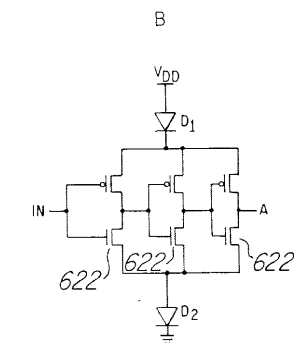
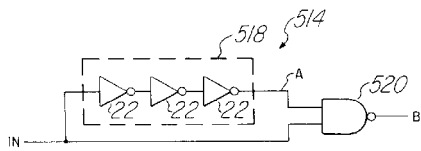
【 図 4 】



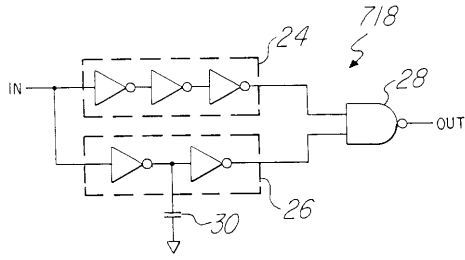
【 図 6 】



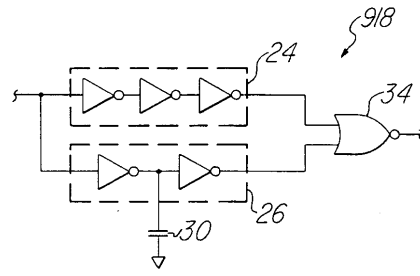
【 図 5 】



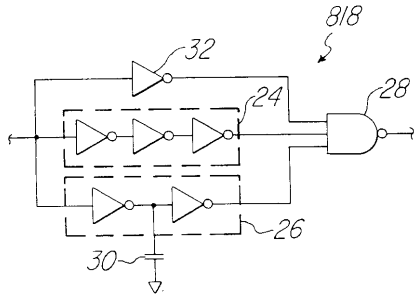
【 図 7 】



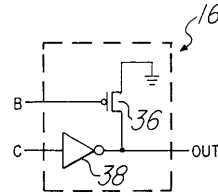
【 図 9 】



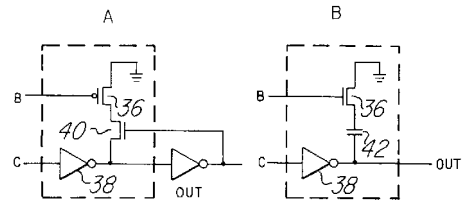
【 図 8 】



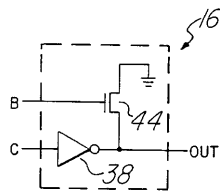
【 図 10 】



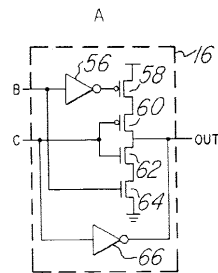
【 図 11 】



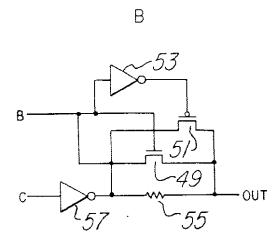
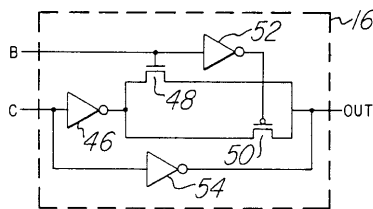
【 図 12 】



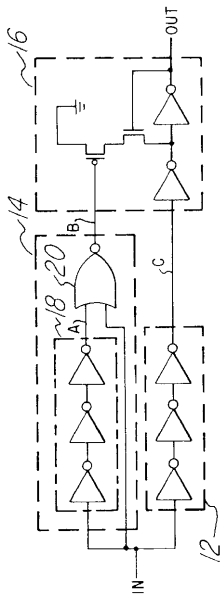
【 図 14 】



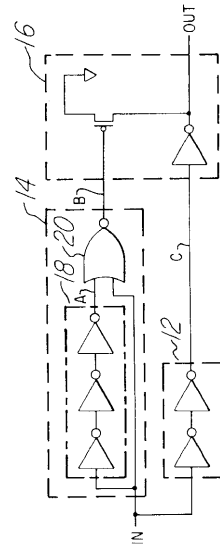
【 図 13 】



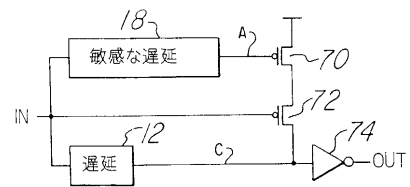
【 図 1 5 】



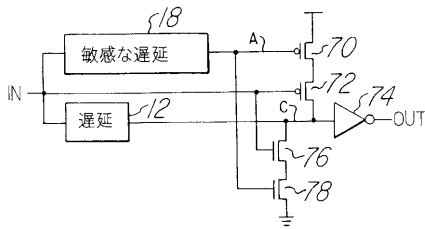
【 図 1 6 】



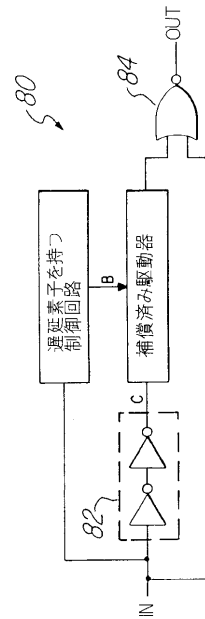
【 図 1 7 】



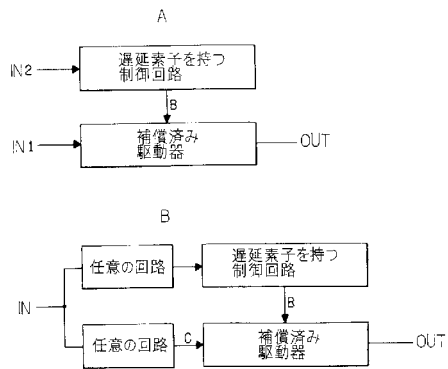
【 図 1 8 】



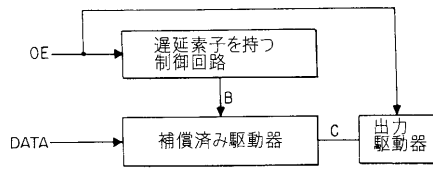
【 図 2 0 】



【 図 1 9 】



【 図 2 1 】



フロントページの続き

(72)発明者 セオドアー ダブリュ・ヒューストン
アメリカ合衆国テキサス州リチャードソン, オパール レーン 627

合議体

審判長 武井 袈裟彦

審判官 野元 久道

審判官 望月 章俊

(56)参考文献 特開昭63-69315(JP, A)