

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-505815

(P2006-505815A)

(43) 公表日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/32 (2006.01)</b>	G09G 3/32 A	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 612K	
	G09G 3/20 612U	
	G09G 3/20 631V	
	G09G 3/20 641A	

審査請求 未請求 予備審査請求 未請求 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-549419 (P2004-549419)  
 (86) (22) 出願日 平成15年10月14日 (2003.10.14)  
 (85) 翻訳文提出日 平成17年5月6日 (2005.5.6)  
 (86) 国際出願番号 PCT/IB2003/004561  
 (87) 国際公開番号 W02004/042688  
 (87) 国際公開日 平成16年5月21日 (2004.5.21)  
 (31) 優先権主張番号 02079680.1  
 (32) 優先日 平成14年11月8日 (2002.11.8)  
 (33) 優先権主張国 欧州特許庁 (EP)

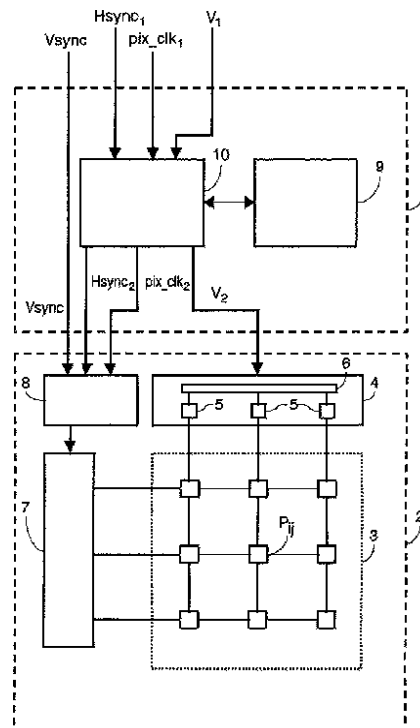
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 Koninklijke Philips Electronics N. V.  
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1  
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 ディスプレイパネルを駆動するための回路

(57) 【要約】

本発明は、マトリクスが複数の行  $i$  及び列  $j$  をもつ画素  $P_{ij}$  のマトリクスをもつディスプレイパネル3を駆動する回路に関し、該回路は、a) 少なくとも幾つかの画素  $P_{ij}$  により表示されるべきフレームにおける複数の行  $i$  について、画素  $P_{ij}$  の光出力を決定する画素値  $s_{ij}$  を含む入力信号  $V_1$  を受信する入力、b) 受信された画素値  $s_{ij}$  を記憶するメモリ9、c) 複数の行  $i$  のそれぞれにおいて画素値  $s_{ij}$  を分析し、行時間  $t_{row2}(i)$  の実質的な期間について複数の行  $i$  のサブセットをアドレス指定する行タイミング信号  $H_{sync2}$  を生成する処理回路、d) アドレス指定されている行  $i$  のサブセットにおいて画素  $P_{ij}$  に出力画素値を含む出力信号を供給するビデオ出力を有している。この処理回路は、該行時間  $t_{row2}(i)$  の間にアドレス指定される行 ( $i$ ) のサブセットについて画素値  $s_{ij}$  からの少なくとも1つの画素値  $s_{ij}$  に依存してそれぞれの行時間  $t_{row2}(i)$  を決定するために配置される。



## 【特許請求の範囲】

## 【請求項 1】

画素のマトリクスを有するディスプレイパネルを駆動する回路であって、該マトリクスは、複数の行及び列を含み、

少なくとも幾つかの画素により表示されるべきフレームにおける複数の行について、画素の光出力を決定する画素値を含む入力信号を受信するための入力と、

受信された画素値を記憶するメモリと、

複数の行のそれぞれにおける画素値を分析し、行をアドレス指定する時間周期である行時間の実質的な期間について複数の行のサブセットをアドレス指定する行タイミング信号を生成する処理回路と、

アドレス指定されている行のサブセットにおいて画素に出力画素値を含む出力信号を供給するビデオ出力とを有し、

該処理回路は、該行時間の間にアドレス指定される行のサブセットについて画素値からの少なくとも 1 つの画素値に依存してそれぞれの行時間を決定するために配置される、ことを特徴とする回路。

10

## 【請求項 2】

該回路は、フレームにおける複数の行をアドレス指定する時間周期であるフレーム時間内で、フレームにおける全ての行のサブセットがアドレス指定され、該フレーム時間が多数の連続するフレームにわたり実質的に一定であるように、行時間を決定するために配置される、

請求項 1 記載の回路。

20

## 【請求項 3】

該回路は、該行時間の間にアドレス指定される行のサブセットの画素値からの最大値に依存して、それぞれの行時間の値を決定するために配置される、

請求項 1 記載の回路。

## 【請求項 4】

該回路は、該ビデオ出力を介してパルス幅変調信号の形式で出力画素値を供給するために配置される、

請求項 3 記載の回路。

## 【請求項 5】

該処理回路は、クロック周期をもつクロック信号を発生するサブ回路を含み、該パルス幅変調信号におけるそれぞれのパルス幅は、多数のクロック周期であり、該回路は、最大の画素値の合計でフレーム時間を割ることでそれぞれのフレームについてクロック周期を決定するために配置される、

請求項 4 記載の回路。

30

## 【請求項 6】

該回路は、クロック周期をもつクロック信号を発生するサブ回路を含み、該パルス幅変調信号におけるそれぞれのパルス幅は、多数のクロック周期、及び可能性のあるクロック周期からなるルックアップテーブルであり、該回路は、最大の画素値の合計を決定し、計算された合計に基づいてルックアップテーブルからクロック周期を選択するために配置される、

請求項 4 記載の回路。

40

## 【請求項 7】

該回路は、クロック周期をもつクロック信号を発生するサブ回路を含み、該パルス幅変調信号におけるそれぞれのパルス幅は、多数のクロック周期であり、該回路は、フレームのクロック周期を多数の連続するフレームについて決定されたクロック周期を平均することで決定された値に設定するために配置される、

請求項 4 記載の回路。

## 【請求項 8】

該ビデオ出力を介して画素に供給されるべき信号の振幅に対応する出力信号を発生する

50

ために配置される、  
請求項 1 記載の回路。

【請求項 9】

画素のマトリクスをもつディスプレイパネルを有する表示装置であって、該マトリクスは、複数の行及び少なくとも 1 つの列を含み、請求項 1 記載の該回路が存在する、ことを特徴とする表示装置。

【請求項 10】

画素のマトリクスをもつディスプレイパネルを駆動する方法であって、該マトリクスは、複数の行及び列を有し、

少なくとも幾つかの画素により表示されるべきフレームにおける複数の行について、画素の光出力を決定する画素値を含む入力信号を受信するステップと、

受信された画素値をメモリに記憶するステップと、

該複数の行のそれぞれにおける画素値を分析するステップと、

行をアドレス指定する時間周期である行時間の実質的な期間に該複数の行のサブセットをアドレス指定する行タイミング信号を発生するステップと、

アドレス指定されている行のサブセットにおける画素に出力画素値を含む出力信号を供給するステップと、

該複数の行のそれぞれにおける画素値を分析する間、それぞれの行時間は、該行時間の間にアドレス指定されている行のサブセットの画素値からの少なくとも 1 つの画素値に依存して決定される、

ことを特徴とする方法。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の行及び列を有する、画素からなるマトリクスを有するディスプレイパネルを駆動するための回路に関する。

さらに、本発明は、複数の行及び列を有する、画素からなるマトリクスを有するディスプレイパネルを有する表示装置に関し、該表示装置はかかる回路を更に有している。

また、本発明は、複数の行及び列を有する、画素からなるマトリクスを有するディスプレイパネルを駆動するための方法に関する。

【背景技術】

【0002】

かかる回路、方法及びディスプレイパネルの実施の形態は、US 6 121 941号により知られている。公知のマトリクス型ディスプレイは、画像情報に対応するアクティブ部分と、非アクティブ部分を含むビデオ信号を表示する。画素の駆動、トリガ及び制御は、ライン毎に実行される。マトリクス型ディスプレイを制御する信号処理回路をトリガするクロック周波数は、送信機又は記憶手段から送信されたビデオ信号が画像情報を含まない時間期間まで、信号処理アルゴリズムを実行するための時間期間を延長することで低減される。

40

【発明の開示】

【発明が解決しようとする課題】

【0003】

公知の回路装置及び方法では、所定の行における画素の光出力は、たとえば、より大きな電圧を供給することといった、より多くのドライブをその行における画素の発光素子に提供することで増加することができ、これにより、たとえば発光ダイオードディスプレイにおける画素の寿命を短くする場合がある。短くされた寿命を防止するために光出力が制限されることは問題である。

50

## 【0004】

本発明の目的は、画像を表示するとき画素からの増加された光出力を発生することができる、開始節に記載された種類の回路を提供することにある。

## 【課題を解決するための手段】

## 【0005】

第一の目的は、画素からなるマトリクスを含むディスプレイパネルを駆動するための回路を提供することで達成され、このマトリクスは、複数の行及び列を有している。回路は、以下を有している。少なくとも幾つかの画素により表示されるべきフレームにおける複数の行の画素値を含む入力信号を受信するための入力。それぞれの画素値は、画素の光出力を決定する。受信された画素値を記憶するためのメモリ。複数の行のそれぞれで画素値を分析し、行をアドレス指定する時間期間である行時間の実質的な期間に複数の行のサブセットをアドレス指定する行のタイミング信号を発生する処理回路。アドレス指定される行のサブセットにおける画素に出力画素値を含む出力信号を供給するビデオ出力。処理回路は、その行時間の間にアドレス指定される行のサブセットの画素値の中から少なくとも1つの画素値に依存して、それぞれの行時間を決定するために配列される。

10

## 【0006】

それぞれのサブセットは、同時にアドレス指定され、画素が同時に駆動される単一の行又は複数の行を有する場合がある。一般に、用語「フレーム」は、画像の系列のうちの1つの画像を示すために使用される。インタレースディスプレイパネルでは、本発明は、たとえば奇数フィールド又は偶数フィールドに適用することができる。1つの画像は、奇数フィールド及び偶数フィールドを連続的に表示することで表示される。より一般的に、用語「フレーム」は、1つの完全な画像を示すために使用され、用語「フィールド」は、フレームの一部を言及する。

20

## 【0007】

それぞれのサブセットにおける1又は複数の行の行時間をそのサブセットの画素値に依存させることで、回路は、高い画素値が表示されなければならないサブセットのために、より長い行時間を使用するのを可能にする。これにより、そのサブセットにおける画素の光出力における増加を引き起こす。これは、発光する間の時間につれて知覚される光出力が増加するためである。

## 【0008】

なお、US 6 057 809号は、陰極線管(CRT)フォーマットからフラットパネル、液晶ディスプレイ(LCD)フォーマットへの画素値のストリームを変換する回路を開示している。LCD画素の4つのフレームは、それぞれCRTフレームについて発生される。フレームレートサイクリング(FRC)は、1つのCRTフレームから発生されたFRCサイクルにおける複数のフレームにわたり画素をオン及びオフにすることで、これら複数のフレーム内のグレースケールを発生するために使用される。変調されたラインパルス発生器は、ラインパルス信号によりフラットパネルディスプレイに結合される。フラットパネルディスプレイに送出された画素の水平ラインの終わりでラインパルスを発生する。ラインパルスは、異なる水平ラインについて変化する調整された時間期間を有している。変調パターンは、4つの値を含んでいるレジスタに記憶される。マルチプレクサは、サイクルにわたり4つの値のうち異なる1つを選択する。いずれかの行は、繰り返される調整パターンのため、4つのLCDフレームの各サイクルについて同じ全体の「オン」時間を有している。

30

40

## 【0009】

この公知の回路では、ある行の行時間は、その行における少なくとも1つの画素値に依存しないが、レジスタに記憶された値に依存する。さらに、それぞれの列に供給されるサブシグナルは、その列における画素をオン又はオフにする意味で画素の強度を決定する。LCDフレームの各サイクルの最大の全体の「オン」時間が固定されたとき、CRTフレームにおける画素を表示するための最大の強度がこのように固定され、駆動信号は、値1又は0、すなわちオン又はオフを有することができる。この公知の回路は、光が作られて

50

いるときに情報がなおディスプレイに存在するように、固有なメモリ作用が画素に存在するという事実による。発光ダイオードディスプレイ及びフィールドエミッションディスプレイのような他のタイプのディスプレイは、かかる固有なメモリ作用を有さない。

【0010】

本発明の実施の形態では、処理回路は、フレームにおける行の全てのサブセットが、フレームにおける複数の行をアドレス指定する時間期間であるフレーム時間内でアドレス指定されるように、フレーム時間が多数の連続するフレームにわたり実質的に一定のままであるように、行時間を決定するために配置される。

【0011】

したがって、フレームレートを変えることなしに光出力が増加される。これにより、回路が簡略化され、一度に一つのフレームが分析されるのを必要とし、結果的に分析の間に記憶される。

10

【0012】

好ましくは、回路は、その行時間の間にアドレス指定されている行のサブセットの画素値の中から最大値に依存して、それぞれの行時間の値を決定するために配置される。

このように、光出力における最も可能性の高い増加が達成される。同時にアドレス指定された行のそれぞれの行又はサブセットにおいて、最大の画素値をもつ画素はその行について全体の行時間の間にオンであるように、フレームを表示するために利用可能な時間は、それぞれの行における最大の画素値に従って行にわたり分割することができる。

【0013】

20

好適な実施の形態では、ビデオ出力を介して、パルス幅変調信号の形式で出力画素値を供給するための回路が配置される。処理回路は、クロック周期を有するクロック信号を発生するサブ回路を有する場合があります。パルス幅変調信号におけるそれぞれのパルス幅は、多数のクロック周期であり、最大の画素値の合計でフレーム時間を割ることでそれぞれのフレームのクロック周期を決定するための回路が配置される。

【0014】

したがって、サブシグナルのそれぞれについて、入力信号の画素値を出力画素値に変換することが回避される。それぞれの行を連続的にアドレス指定するため、それぞれの行時間に関する情報を搬送するサブシグナルを発生すること、関連するフレームについて決定されるクロック周期を有するクロック信号を発生することが十分である。それぞれの画素がオンであるクロック周期の数は、出力信号に関して入力信号と同じである。クロック周期自身は、画素値がオリジナルで決定されたクロック周期とは異なる。ある行がアドレス指定されるクロック周期の数も異なり、アドレス指定される行に従って変動する。

30

【0015】

本発明の第二の目的は、画素の増加された光出力をもつ画像を表示することができる、開始節に記載された種類の表示装置を提供することにある。

第二の目的は、表示装置が画素からなるマトリクスを有するディスプレイパネルを有する点で実現され、このマトリクスは、複数の行及び列を有しており、本発明に係る回路が存在する。

【0016】

40

表示装置は、より高い光出力を有するという利点を有している。更に、これは、画素がオンである時間を増加することで達成される場合があります。駆動電圧又は駆動電流を増加することで達成されない場合がある。殆どのタイプのディスプレイパネルについて、これは、ディスプレイパネルの寿命を増加させる。

【0017】

本発明の第三の目的は、画像を表示したとき画素から増加された光出力を発生することが可能である、開始節に記載された種類の方法を提供することにある。

第三の目的は、複数の行及び列を含む、画素からなるマトリクスを有するディスプレイパネルを駆動する方法が以下を有することで実現される。少なくとも幾つかの画素により表示されるべきフレームにおける複数の行について画素値を含む入力信号を受信するステ

50

ップ。それぞれの画素値は、画素の光出力を決定する。メモリに受信された画素値を記憶するステップ。複数の行のそれぞれにおいて画素値を分析するステップ。行をアドレス指定するための時間期間である行時間の実質的な期間について、複数の行からなるサブセットをアドレス指定する行タイミング信号を発生するステップ。出力画素値を有する出力信号をアドレス指定される行のサブセットにおける画素に供給するステップ。複数の行のそれぞれで画素値を分析する間、その行時間の間にアドレス指定されている行のサブセットについて画素値の中から少なくとも1つの画素値に依存して、それぞれの行時間が決定される。

#### 【0018】

本発明に係る方法は、フレームにおける光出力を増加することができるという有利な点を有している。高い画素値が入力信号で受信される行は、別の行よりも長い時間についてアドレス指定される。同時にアドレス指定されていない他の行における画素により放出された光出力に関して、注視により知覚される行における対応する画素により放出された光出力を増加することが可能である。

10

本発明は、独立の請求項により定義される。独立の請求項は、好適な実施の形態を定義している。

#### 【発明を実施するための最良の形態】

#### 【0019】

本発明は、ライン毎に駆動されるパネルを組み込んだディスプレイパネルの駆動での使用のための回路を提供する。かかるディスプレイでは、行とも呼ばれるラインにおける、いわゆるピクセルと呼ばれる画素は、同時に全て駆動され、それぞれの行は、順次に駆動される。したがって、複数のサブシグナルは、ディスプレイパネルにおける列の数、すなわちある行における画素数に等しく、パネルに同時に印加される。選択信号は、画素からなる行がサブシグナルにより駆動される順序を決定する。かかるやり方で駆動することができるディスプレイパネルの例は、ポリ発光ダイオード (polyLED) ディスプレイ、エレクトロルミネッセントディスプレイ、蛍光表示管、及び電界放出ディスプレイを含んでいる。さらに、この回路は、アドレス指定の間に画素が発光する直視型又は投射型ディスプレイ用の他のディスプレイパネルで適用される場合がある。

20

#### 【0020】

図1は、表示装置2に接続される、本発明に係る駆動回路1が示されている概念図である。本発明の多くの実施の形態では、駆動回路1は、実際に表示装置2の一部であるが、本実施例は、このことに限定されないことを示すことが意図される。たとえば、駆動回路1は、外部の表示装置2を駆動する、グラフィックスカードの一部とすることができる。表示装置2は、ディスプレイパネル3を組み込んでいる。ディスプレイパネル3は、発光する画素の行及び列をもつマトリクス型ディスプレイパネルである。画素  $P_{ij}$  は、一列及び1行からなるメンバである。ここで、 $i$  は行数を示し、 $j$  は列数を示している。この記載では、 $n$  行及び  $m$  列が存在することが仮定されている。なお、行及び列の識別は、使用中のとき、ディスプレイパネル3の配置に対する関係を生じない。行は、たとえば、使用において水平又は垂直とすることができる。

30

#### 【0021】

ディスプレイパネル3での画像は、行毎に構成される。表示装置2は、列と同じ数の出力ステージ5、すなわち  $n$  をもつデータドライバ4を有している。この例におけるデータドライバ4は、それぞれの列について1つである  $n$  のサブシグナルを含む、コンポジット出力ビデオ信号  $V_2$  を受信する。シリアルパラレルコンバータ6は、それぞれについて1つである  $n$  個のサブシグナルを検索するコンポジット出力ビデオシグナル  $V_2$  を分解し、これにより出力ステージ5に対して利用可能にする。コンポジット出力ビデオ信号  $V_2$  が個別のデータラインを通して並列に表示装置2に供給される  $n$  個のサブシグナルを実際に有する実施の形態も可能である。そのとき、シリアル-パラレルコンバータ6は、必ずしも必要ではない。セレクトドライバ7は、タイミング制御回路8の制御下で、どの行がデータドライバ4によりアドレス指定されるべきかを決定する。タイミング制御回路8は、

40

50

3つのタイミング信号、すなわち垂直同期信号 $V_{sync}$ 、出力水平同期信号 $H_{sync}$ 、及びドライバ回路1からの出力画素クロック信号 $pix\_clk_2$ を受信する。これらの信号は、どの行を何時選択すべきかを決定するため、タイミング制御回路8をイネーブルにする。

#### 【0022】

この実施の形態では、1つのフレームのデータは、 $m \times n$ 画素の値を有している。簡単さのため、この記載は、表示装置2及びコンポジット出力ビデオ信号 $V_2$ がプログレッシブスキャンに適合されるのを仮定している。これは、フレームが行毎に順次構築されるのを意図している。しかし、インタレースが使用される実施の形態は、本発明の範囲に含まれる。かかる実施の形態では、たとえば、奇数番号の行が始めにアドレス指定され、偶数番号の行が順次アドレス指定される。

10

#### 【0023】

この記載は、唯一のデータドライバ4及びセレクトドライバ7が存在し、結果的に、コンポジット出力ビデオ信号 $V_2$ が $m \times n$ 画素 $P_{ij}$ からなる1つの全体のフレームの画素値を含んでいる。ディスプレイは、たとえば、赤、緑及び青色のサブピクセルを含むカラーディスプレイである場合がある。これら赤、緑及び青色のサブピクセルは、行方向でそれぞれのパターンに互いに隣接して位置される場合があり、ある行におけるカラーサブピクセルのそれぞれは、データドライバ4の出力ステージ5に接続される。本発明は、モノクロディスプレイと同様に、カラーサブピクセルを有するかかる行をもつディスプレイについても同様に機能する。それゆえ、理解を簡単にするため、モノクロディスプレイに基づく実施の形態が記載される。フレームの一部を形成する画素 $P_{ij}$ について画素値をそれぞれ有する幾つかのビデオ信号が存在する本発明の他の実施の形態も可能である。同時に動作する多数のセレクトドライバ及びデータドライバが存在する。

20

#### 【0024】

なお、通常2つである行のサブセットを同時に走査することができ(マルチスキャン)、サブセットにおける全ての行が同時にアドレス指定される関連される実施の形態が考えられる。この実施の形態の例として、デュアルスキャンディスプレイパネルを考える。かかるパネルは、2分の1の行を含む部分と他の2分の1を含む部分に分割される。コンポジット出力ビデオ信号 $V_2$ からなる2つのサブシグナルは、2つの対応する列の部分に同時に印加され、1つはパネルの第一の部分における列 $j$ に対応し、1つはパネルの他の部分における列 $j$ に対応する。行のペアは、1つがそれぞれ2分の1にあり、同時にアドレス指定される。出力水平同期信号 $H_{sync2}$ は、両方の行の行時間を決定し、すなわち両方の行を同期してアドレス指定することができる。この記述は、本発明のマルチスキャンの変形例をより詳細に記述するものではない。1つの行が一度にアドレス指定される実施の形態について以下に記載されるように、本発明のコンセプトは、マルチスキャン型ディスプレイパネルの駆動にも容易に適用することができる。

30

#### 【0025】

出力水平同期信号 $H_{sync2}$ は、どの位の間それぞれの行がアドレス指定されるかを決定する。出力水平同期信号は、パルスの系列から構成され、それぞれのパルスは、セレクトドライバ7が次の行を選択するのを指示されるべきであるタイミング制御回路8に指示する。ディスプレイドライバには、残りを水平帰線消去期間とする、出力水平同期信号 $H_{sync2}$ におけるパルス間のインターバルのほんの一部についてそれぞれの行をアドレス指定するものがあることが観察される。2つの連続するパルス間の時間は、出力行時間 $t_{row2}$ と呼ばれる。垂直同期信号 $V_{sync}$ もまた、多数のパルスを有している。ここで、2つの連続するパルス間の時間は、フレーム時間 $t_f$ と呼ばれる。本発明の好適な実施の形態では、あるフレームにおける全ての行の行時間の合計はフレーム時間 $t_f$ に等しい。しかし、この合計がより小さい実施の形態も可能である。この違いは、垂直帰線消去期間を構成する。垂直同期信号 $V_{sync}$ におけるそれぞれのパルスは、新たなフレームを構成し始めるため、ディスプレイパネル3における第一の行を選択することをセレクトドライバ7が指示されるべきであるのをタイミング制御回路8に指示する。

40

#### 【0026】

50

コンポジット出力ビデオ信号  $V_2$  におけるサブシグナルは、0 とたとえば 256 である最大値との間の離散的な画素値を有している。値は、画素が駆動、すなわち発光する間の出力画素クロック信号  $\text{pix\_clk}_2$  におけるクロックパルス数を示している。したがって、出力ステージ 5 によりディスプレイパネル 3 に供給される信号は、パルスの幅を決定するコンポジット出力ビデオ信号  $V_2$  のサブシグナルの値でパルス幅変調される。たとえば、ポリLEDディスプレイパネルといった、電流駆動ディスプレイパネル 3 では、出力ステージ 5 は、電圧駆動型ディスプレイパネル 3 において、パルス幅変調された電流を供給し、出力ステージ 5 は、パルス幅変調された電圧を供給する。本発明は、いずれかの状況で使用することができる。

【0027】

出力ステージ 5 によりディスプレイパネル 3 に供給される信号も振幅変調される、本発明の実施の形態も可能である。このケースでは、コンポジット出力ビデオ信号  $V_2$  は、それぞれの画素が駆動されるべきレベルを決定するサブシグナルをも有することができるか、又は多数のサブシグナルがそれぞれの列についてこのレベルを個別に決定する。

【0028】

図 1 では、ドライバ回路 1 は、コンポジット入力ビデオ信号  $V_1$ 、入力水平同期信号  $H_{\text{sync}1}$ 、垂直同期信号  $V_{\text{sync}}$  及び入力画素クロック信号  $\text{pix\_clk}_1$  を入力信号として受ける。コンポジット入力ビデオ信号  $V_1$  は、画素値、すなわち個々の画素の強度値を有する。それぞれが特定の列の画素値を決定する多数のサブシグナルを有する。コンポジット入力ビデオ信号  $V_1$  は、サブシグナルからなるマルチプレックスとするか、個別のデータラインの複数の個別の信号の形式で供給することができる。コンポジット出力ビデオ信号  $V_2$ 、出力水平同期信号  $H_{\text{sync}2}$ 、及び出力画素クロック信号  $\text{pix\_clk}_2$  について先に記載されていることは、コンポジット入力ビデオ信号  $V_1$ 、入力水平同期信号  $H_{\text{sync}1}$  及び入力画素クロック信号  $\text{pix\_clk}_1$  にも同様に当てはまる。この記載は、駆動回路 1 が一度に 1 フレームだけコンポジット入力ビデオ信号  $V_1$  に含まれるデータを有することが想定されている。

【0029】

コンポジット入力ビデオ信号  $V_1$  のケースに関して、コンポジット出力ビデオ信号  $V_2$  におけるサブシグナルは、0 とたとえば 256 である最大値との間の離散値を有する。しかし、出力水平同期信号  $H_{\text{sync}2}$  とは対照的に、入力行時間  $t_{\text{row}1}$  と呼ばれる、入力水平同期信号  $H_{\text{sync}1}$  により決定される行時間は一定であって、たとえば、256 クロックパルスに等しい。したがって、ドライバ回路 1 への入力信号が表示装置 2 に直接的に供給される場合、出力ステージ 5 が画素を駆動することができる最大の時間が固定される。しかし、本発明に係るドライバ回路 1 は、最大の行時間が増加されるのを可能にし、入力水平同期信号  $H_{\text{sync}1}$  により決定される行時間よりも長い時間について所定の画素が駆動されるのを可能にする。

【0030】

このため、駆動回路 1 は、フレームバッファ 9 及び処理回路 10 を有している。コンポジット入力ビデオ信号  $V_1$  に含まれるビデオデータの到来するフレームは、フレームバッファ 9 に記憶され、処理回路 10 により分析される。次いで、回路 10 は、新たな行時間及び新たな画素クロック周期を計算し、これは、出力水平同期信号  $H_{\text{sync}2}$  及び出力画素クロック信号  $\text{pix\_clk}_2$  を生成するために使用される。

【0031】

ビデオデータのフレームが画素値  $s_{ij}$  を有し、それぞれが画素のマトリクスにおける画素  $P_{ij}$  について放出された光の強度を決定する。  $m \times n$  画素値  $s_{ij}$  を有するマトリクスは、フレームバッファ 9 に記憶される。回路 10 は、それぞれの行における最大の画素値を決定し、これにより、それぞれのエレメント  $h_i$  が以下のように定義されるベクトル  $h$  を決定する。

【0032】

10

20

30

40



【数 1】

$$h_i = \max_j s_{ij}, \quad i=1 \dots m. \quad (1)$$

続いて、回路 10 は、最大の画素値の合計  $S$  を決定する。

【0033】

【数 2】

$$S = \sum_{i=1}^m h_i \quad (2) \quad 10$$

垂直帰線消去期間が残されていないことを想定しており、出力画素クロック信号  $\text{pix\_clk}_2$  のクロック周期  $t_{\text{clk}_2}$  は、以下のように計算される。

【0034】

【数 3】

$$t_{\text{clk}_2} = \frac{t_f}{S} \quad (3) \quad 20$$

行時間  $t_{\text{row}_2}(i)$  は、以下のようにそれぞれの行  $i$  について計算される。

【0035】

【数 4】

$$t_{\text{row}_2}(i) = t_{\text{clk}_2} \cdot h_i, \quad i=1 \dots m \quad (4)$$

式 (4) から、全体のフレーム時間は、行における最大の画素値に比例して行を通して 30  
分割される。

【0036】

表示装置 2 がマルチスキャンタイプのものである場合、ベクトル  $h$  は、同時にアドレス指定される行のサブセットにおける全ての画素値の最大の画素値を含んでいることが観察される。代替的に、マルチスキャンのそれぞれの部分について、行時間は、それぞれのラインについて決定される場合がある。そのケースでは、それぞれの部分について、出力水平同期信号  $H_{\text{sync}_2}$  のセットが要求される。それぞれの部分について、あるフレーム内のそれぞれの画素の光出力の割合が入力コンポジットビデオ信号  $V_1$  における割合と一直線なままとなるのを保証するため、フレームについて同じ出力画素クロック信号  $\text{pix\_clk}_2$  を使用することは有利である。 40

【0037】

同じ理由のため、たとえば、インタレース方式でディスプレイが駆動される場合、全体のフレームについてクロック周期  $t_{\text{clk}_2}$  を計算し、そのフレーム内のフィールドのそれぞれについてそのクロック周期  $t_{\text{clk}_2}$  を使用することが好ましい。

【0038】

したがって、最も高い最大画素値をもつ行は、最も長い行時間を得る。勿論、多数の連続するフレームを分析し、それぞれのフレームの行時間にわたりこれらのフレームの全体のフレーム時間を分割することも可能である。しかし、これは、可変のフレームレートを生じることになり、このフレームレートは、視聴者にとって知覚することができる。さらに、これは、幾つかのフレームバッファ 9 を必要とする。 50

## 【 0 0 3 9 】

行における最大の画素値をもつ画素は、その行の完全な行時間の間にも駆動される。このように、「浪費される」時間がない。出力画素クロック信号  $\text{pix\_clk}_2$  を供給することで、入力画素クロック信号  $\text{pix\_clk}_1$  とは異なるクロック周期により、フレームバッファにおける画素値が再び計算される必要がない。これらは、ある画素が駆動されるべきクロックパルス数を示しているが、クロックパルスの期間が増加されているので、画素が駆動される基本的効果が長くなる。

## 【 0 0 4 0 】

これまで記載されたように、本発明は、フレーム表示の瞬間で、アドレス指定されている行のサブセットにおける少なくとも1つの画素が発光するように、フレーム時間  $t_f$  をフルに利用する。しかし、本発明の実施の形態は、フレーム時間のうちの幾つかが犠牲にされ、事実上、仮想的な帰線消去期間をつくる。

## 【 0 0 4 1 】

たとえば、浮動小数点を扱わなければならないことを回避するために、たとえば、ロジック回路 10 を簡略化するため、可能性のあるクロック周期のルックアップテーブルの使用が行われる。このケースでは、ロジック 10 は、式 (3) にかかる値に最も近くなるテーブルにおける値を選択する。

## 【 0 0 4 2 】

別の実施の形態は、フレーム間で急速に変化するクロック周波数を回避するという利点を有している。この実施の形態では、出力画素クロック信号  $\text{pix\_clk}_2$  の新たなクロック周期を、多数の連続するフレームを通して計算されたクロック周期  $t_{\text{clk}_2}$  の値の移動平均に設定するため、ドライバ回路 1 が配置される。このことは、ドライバ回路 1 が式 (3) を使用して、フレームバッファ 9 におけるフレームのクロック周期を決定することを意味する。次いで、出力画素クロック信号  $\text{pix\_clk}_2$  の新たなクロック周期は、このクロック周期の平均、及び式 (3) に従って前のフレームについて計算された多数のクロック周期に設定される。かかる平滑化フィルタを使用するとき、1 フレームの行時間の合計は、フレーム時間  $t_f$  を超える。このことは、望まれる場合、フレーム時間から垂直帰線消去期間を引き、式 (3) におけるフレーム時間  $t_f$  についての結果を置き換えることで回避することができる。

## 【 0 0 4 3 】

本発明の利点は、出力ステージ 5 から画素  $P_{ij}$  に供給される信号の振幅を上昇することなしに、光出力における増加を可能にすることである。パルス幅変調信号のパルス幅を増加することで、光出力が増加する。パルス幅変調信号は、クロック周期  $t_{\text{clk}_2}$  の予め決定された整数倍に等しいパルス幅をもつパルスで値が決定された信号であることを思い出されたい。別の実施の形態では、ドライバ回路 1 は、画素に供給されるべき信号の振幅の値を決定する 1 以上のサブシグナルを発生するために配置される。1 以上のサブシグナルは、信号の振幅、すなわちパルスの高さを決定し、これによりパルス幅は、それぞれの画素について一定に保持される。代替的に、パルス幅変調とパルス高さ変調との組み合わせが適用される場合がある。このケースでは、最大の振幅を低くするため、許容可能なパルス幅における増加を使用することができ、これによりディスプレイパネル 3 の寿命を長くしつつ、同じ光出力を保持することができる。この特性は、適応アルゴリズムに従って、全体のフレームの全体の明るさを設定するために更に使用することができる。好ましくは、コンジット入力ビデオ信号  $V_1$  は、ドライバ回路 1 に供給される前に、かかる適応アルゴリズムに従って処理される。適応アルゴリズムは、本発明のドライバ回路 1 により可能にされた相対強度の調節を考慮することができる。

## 【 0 0 4 4 】

簡略化された例は、本発明を更に説明するために使用される。表 1 は、3 つの行  $i = 1, 2, 3$  及び 4 つの列  $j = 1, 2, 3, 4$  をもつ (仮想の) フレームについて画素値を示している。全ての値は、0 から 256 までのスケールにある。図 2 A は、駆動回路 1 の入力信号である、入力画素クロック信号  $\text{pix\_clk}_1$ 、入力水平同期信号  $H_{\text{sync}_1}$ 、及びコンポ

10

20

30

40

50

ジット入力ビデオ信号  $V_1$  に含まれる ( 1 つが 4 列のそれぞれ用である ) 4 つのサブシグナルの値を示している。フレーム時間  $t_f$  が  $15 \text{ ms}$  であり、入力行時間  $t_{row1}$  が  $5 \text{ ms}$  であることを想定している。入力行時間  $t_{row1}$  は、入力画素クロック信号  $\text{pix\_clk}_1$  の 256 周期に等しい。このように、クロック周期は、 $0.02 \text{ ms}$  である。なお、入力行時間  $t_{row1}$  の値は、この例における行数が例を簡略化するために非常に減少されている事実のため、現実的な表示装置におけるよりも非常に大きい。

【 0 0 4 5 】

【 表 1 】

	J=1	J=2	J=3	J=4
i=1	51	205	51	26
i=2	179	77	230	128
i=3	154	77	102	256

表1

表 1 における値は、フレームバッファ 9 に記憶される。式 ( 1 ) を使用して、ロジック回路 10 は、それぞれの行における最大の画素値、すなわち  $h = [ 205, 230, 256 ]$  を決定する。次いで、全体の最大画素値、すなわち  $S = 205 + 230 + 256 = 691$  が決定される。出力クロック周期の時間は、 $15 \text{ ms} / 691 = 0.022 \text{ ms}$  として決定される。出力行時間  $t_{row2}$  の値は、式 ( 4 ) を使用して  $4.45 \text{ ms}$  及び  $5.56 \text{ ms}$  にそれぞれ等しく計算される。

【 0 0 4 6 】

図 2 B は、第一の行を駆動するため、列  $j = 1, 2, 3, 4$  に存在する、駆動回路 1 の出力信号である、周期  $0.022 \text{ ms}$  及び出力行時間  $t_{row2}$  を有する出力画素クロック  $\text{pix\_clk}_2$  を更に示している。なお、出力行時間  $t_{row2}$  は、少数のクロック周期である。第二列  $j = 2$  を介して駆動される第一行における第二の画素  $P_{12}$  は、その行の行時間  $t_{row2}$  ( 30 ) の完全な期間について駆動される。

【 0 0 4 7 】

本発明は、先に記載された実施の形態に限定されず、特許請求の範囲内で変動する。たとえば、ドライバ回路 1 は、PAL, NTSC 又は SECAM フォーマットでのテレビジョン信号を受信する集積化されたより大きな回路部分とすることができる。かかる実施の形態では、入力水平同期信号  $H_{sync1}$ 、垂直同期信号  $V_{sync}$  及び入力ビデオ信号  $V_1$  は、先に記載されたやり方で処理される前にテレビジョンから始めに抽出される。

【 0 0 4 8 】

なお、先に記載された実施の形態は、本発明を限定するよりはむしろ例示するものであって、当業者であれば、特許請求の範囲から逸脱することなしに、多くの代替的な実施の形態を設計することができる。請求項では、括弧間に配置された参照符号は、請求項限定するものとして解釈されるべきではない。単語「有する “comprising”」は、請求項で列挙された構成要素又はステップ以外の構成要素又はステップの存在を排除するものではない。構成要素に先行する単語 “a” 又は “an” は、複数のかかる構成要素の存在を排除するものではない。本発明は、幾つかの個別の構成要素を有するハードウェアにより、適切にプログラムされたコンピュータにより実現することができる、幾つかの手段を列挙している装置の請求項では、幾つかのこれらの手段は、同一のアイテムのハードウェアにより実施することができる。所定の手段が相互に異なる従属の請求項で引用される事実は、これら手段の組み合わせが使用されることを示している。

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】 本発明のこれらの態様及び他の態様は、添付図面を参照して明らかにされる。

【 図 2 A 】 本発明に係る回路の実施の形態に供給される入力信号を示す図である。

【 図 2 B 】 本発明に係る回路の実施の形態により発生される出力信号を示す図である。

【 図 1 】

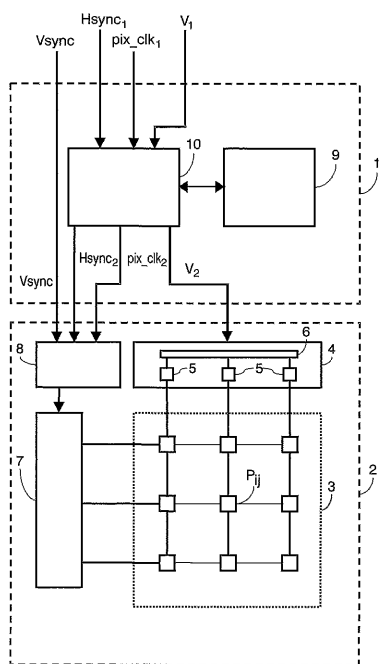


FIG.1

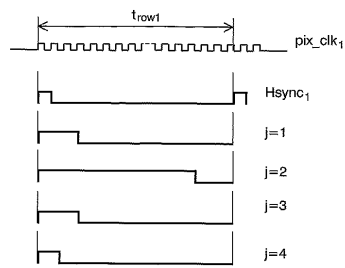


FIG.2A

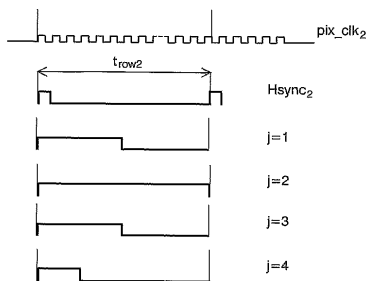


FIG.2B

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International Application No. PCT/IB 03/04561
--

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 G09G3/20 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 075 510 A (BLOUIN FRANCOIS ET AL) 13 June 2000 (2000-06-13) abstract column 6, line 14 - line 20 -----	1,2,8-10
<input type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
<b>* Special categories of cited documents :</b>		
<ul style="list-style-type: none"> <li>*A* document defining the general state of the art which is not considered to be of particular relevance</li> <li>*E* earlier document but published on or after the international filing date</li> <li>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</li> <li>*O* document referring to an oral disclosure, use, exhibition or other means</li> <li>*P* document published prior to the international filing date but later than the priority date claimed</li> <li>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</li> <li>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</li> <li>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</li> <li>* &amp; * document member of the same patent family</li> </ul>		
Date of the actual completion of the international search 5 March 2004		Date of mailing of the international search report 16/03/2004
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Amian, D

### INTERNATIONAL SEARCH REPORT

International Application No PCT/IB 03/04561
---

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6075510 A	13-06-2000	CA 2244338 A1	28-04-1999

## フロントページの続き

(51) Int. Cl. F I テーマコード(参考)  
G 0 9 G 3/20 6 4 2 D

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100107766

弁理士 伊東 忠重

(72) 発明者 ファン デイク, ロイ

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

F ターム(参考) 5C080 AA06 AA10 BB05 DD01 EE28 EE29 FF12 GG12 HH09 HH13

HH17 JJ02 JJ04