

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4761914号
(P4761914)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int.Cl. F I
H O 1 L 21/82 (2006.01) H O 1 L 21/82 B

請求項の数 22 (全 30 頁)

(21) 出願番号	特願2005-294646 (P2005-294646)	(73) 特許権者	501285133
(22) 出願日	平成17年10月7日(2005.10.7)		川崎マイクロエレクトロニクス株式会社
(65) 公開番号	特開2007-103832 (P2007-103832A)		千葉県千葉市美浜区中瀬一丁目3番地
(43) 公開日	平成19年4月19日(2007.4.19)	(74) 代理人	100080159
審査請求日	平成20年9月24日(2008.9.24)		弁理士 渡辺 望稔
		(74) 代理人	100090217
			弁理士 三和 晴子
		(74) 代理人	100105968
			弁理士 落合 憲一郎
		(72) 発明者	南場 康成
			千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

最終頁に続く

(54) 【発明の名称】 スタンダードセルライブラリ、半導体集積回路の設計方法、半導体集積回路パターンおよび半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

一定の高さと単位幅 W_u の整数倍の幅とを有するセル枠内に複数層のパターンが配置され、該セル枠の上下左右の境界が互いに接するように配置して半導体集積回路を形成するための、複数種のスタンダードセルを含むスタンダードセルライブラリであって、

前記複数種のスタンダードセルが、

前記セル枠内の上側に配置された第1導電形トランジスタを形成するためのパターンと、該セル枠内の下側に配置された第2導電形トランジスタを形成するためのパターンと、

前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記第1導電形トランジスタの閾値を調整する不純物添加を行うための第1の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第2導電形トランジスタの閾値を調整する不純物添加を行うための第2の閾値調整パターンとをそれぞれ有し、

前記第1の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1 、前記第1の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2 、前記第2の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3 、および、前記第2の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = W_u \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 n_i は 0 以上の整数) である第1の複数種のスタンダードセルを含み、

前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそ

れぞれの相互間の最小許容スペース S_{min} に対して、 $W_u \geq W_{min}$ かつ $W_u \leq S_{min}$ であり、前記第 1 の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であることを特徴とするスタンダードセルライブラリ。

【請求項 2】

一定の高さと単位幅 W_u の整数倍の幅とを有するセル枠内に複数層のパターンが配置され、該セル枠の上下左右の境界が互いに接するように配置して半導体集積回路を形成するための、複数種のスタンダードセルを含むスタンダードセルライブラリであって、

前記複数種のスタンダードセルが、

前記セル枠内の上側に配置された第 1 導電形トランジスタを形成するためのパターンと、
該セル枠内の下側に配置された第 2 導電形トランジスタを形成するためのパターンと、

前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記第 1 導電形トランジスタの閾値を調整する不純物添加を行うための第 1 の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第 2 導電形トランジスタの閾値を調整する不純物添加を行うための第 2 の閾値調整パターンとをそれぞれ有し、

前記第 1 の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1 、前記第 1 の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2 、前記第 2 の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3 、および、前記第 2 の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = d_i + W_u \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 $-W_u / 2 < d_i < W_u / 2$ 、 n_i は 0 以上の整数) である第 1 の複数種のスタンダードセルを含み、

前記半導体集積回路のデザインルールで定められた前記第 1 および第 2 の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第 1 および第 2 の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $W_u \geq W_{min}$ かつ $W_u \leq S_{min}$ であり、前記第 1 の複数種のスタンダードセル全体において n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であり、

d_1, d_2, d_3, d_4 のそれぞれの値は前記第 1 の複数種のスタンダードセル全体において同一であり、 $W_u + (d_1 + d_2) \geq S_{min}$ かつ $W_u - (d_1 + d_2) \geq W_{min}$ であり、 $W_u + (d_3 + d_4) \geq S_{min}$ かつ $W_u - (d_3 + d_4) \geq W_{min}$ であり、さらに、 $n_1 = n_2 = 0$ の場合には $d_1 + d_2 = 0$ であり、 $n_3 = n_4 = 0$ の場合には $d_3 + d_4 = 0$ であることを特徴とするスタンダードセルライブラリ。

【請求項 3】

$d_1 = d_2$ であり、かつ、 $d_3 = d_4$ であることを特徴とする請求項 2 記載のスタンダードセルライブラリ。

【請求項 4】

$d_1 + d_2 = d_3 + d_4$ であることを特徴とする請求項 2 または 3 に記載のスタンダードセルライブラリ。

【請求項 5】

前記第 1 の複数種のスタンダードセル全体において n_1, n_2, n_3, n_4 の全てが偶数であるか、もしくは、 n_1, n_2, n_3, n_4 の全てが奇数であることを特徴とする請求項 1 ないし 4 のいずれかに記載のスタンダードセルライブラリ。

【請求項 6】

$W_u < W_{min} \times 2$ かつ $W_u < S_{min} \times 2$ であることを特徴とする請求項 1 ないし 5 のいずれかに記載のスタンダードセルライブラリ。

【請求項 7】

共通の高さと単位幅 W_u の整数倍の幅を有するセル枠内に複数層のパターンが配置された複数種のスタンダードセルを含むスタンダードセルライブラリを用意し、前記複数種のスタンダードセルの少なくとも一部を選択し、配置グリッドに沿って、前記セル枠の上下左右の境界を互いに接して、縦方向には交互に反転しながら配置して回路ブロックを形成する工程を含む半導体集積回路の設計方法であって、

10

20

30

40

50

前記配置グリッドの横方向のピッチが P_h であり、
 前記複数種のスタンダードセルが、
 前記セル枠内の上側に配置された第1導電形トランジスタを形成するためのパターンと
 、前記セル枠内の下側に配置された第2導電形トランジスタを形成するためのパターンと
 、

前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記第1導電形トランジスタの閾値を調整する不純物添加を行うための第1の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第2導電形トランジスタの閾値を調整する不純物添加を行うための第2の閾値調整パターンとをそれぞれ有し、

前記第1の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1
 、前記第1の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2
 、前記第2の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3
 、および、前記第2の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = P_h \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 n_i は0以上の整数)
) である第1の複数種のスタンダードセルを含み、

前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $P_h - W_{min}$ かつ $P_h - S_{min}$ であり、前記第1の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であることを

【請求項8】

共通の高さと単位幅 W_u の整数倍の幅を有するセル枠内に複数層のパターンが配置された複数種のスタンダードセルを含むスタンダードセルライブラリを用意し、前記複数種のスタンダードセルの少なくとも一部を選択し、配置グリッドに沿って、前記セル枠の上下左右の境界を互いに接して、縦方向には交互に反転しながら配置して回路ブロックを形成する工程を含む半導体集積回路の設計方法であって、

前記配置グリッドの横方向のピッチが P_h であり、
 前記複数種のスタンダードセルが、
 前記セル枠内の上側に配置された第1導電形トランジスタを形成するためのパターンと
 、前記セル枠内の下側に配置された第2導電形トランジスタを形成するためのパターンと
 、

前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記前記第1導電形トランジスタの閾値を調整する不純物添加を行うための第1の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第2導電形トランジスタの閾値を調整する不純物添加を行うための第2の閾値調整パターンとをそれぞれ有し、

前記第1の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1
 、前記第1の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2
 、前記第2の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3
 、および、前記第2の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = d_i + P_h \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 $-P_h / 2 < d_i < P_h / 2$ 、 n_i は0以上の整数)
) である第1の複数種のスタンダードセルを含み、

前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $P_h - W_{min}$ かつ $P_h - S_{min}$ であり、前記第1の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であり、

d_1, d_2, d_3, d_4 のそれぞれの値は前記第1の複数種のスタンダードセル全体において同一であり、 $P_h + (d_1 + d_2) - S_{min}$ かつ $P_h - (d_1 + d_2) - W_{min}$

10

20

30

40

50

n であり、 $P_h + (d_3 + d_4) \leq S_{min}$ かつ $P_h - (d_3 + d_4) \geq W_{min}$ であり、さらに、 $n_1 = n_2 = 0$ の場合には $d_1 + d_2 = 0$ であり、 $n_3 = n_4 = 0$ の場合には $d_3 + d_4 = 0$ であることを特徴とする半導体集積回路の設計方法。

【請求項 9】

$d_1 = d_2$ であり、かつ、 $d_3 = d_4$ であることを特徴とする請求項 8 記載の半導体集積回路の設計方法。

【請求項 10】

$d_1 + d_2 = d_3 + d_4$ であることを特徴とする請求項 8 または 9 に記載の半導体集積回路の設計方法。

【請求項 11】

前記第 1 の複数種のスタンダードセル全体において n_1, n_2, n_3, n_4 の全てが偶数であるか、もしくは、 n_1, n_2, n_3, n_4 の全てが奇数であることを特徴とする請求項 7 ないし 10 のいずれかに記載の半導体集積回路の設計方法。

【請求項 12】

前記形成した回路ブロック内の前記第 1 および第 2 それぞれの閾値調整パターンについて、前記デザインルールに対する違反チェックを行う工程と、

前記違反チェックによって違反が検出された違反発生箇所に、予め用意された違反解消パターンを配置することによって、該違反の解消を行う工程とをさらに含むことを特徴とする請求項 7 ないし 11 のいずれかに記載の半導体集積回路の設計方法。

【請求項 13】

$P_h < W_{min} \times 2$ かつ $P_h < S_{min} \times 2$ であることを特徴とする請求項 7 ないし 12 のいずれかに記載の半導体集積回路の設計方法。

【請求項 14】

$W_u = P_h$ であることを特徴とする請求項 7 ないし 13 のいずれかに記載の半導体集積回路の設計方法。

【請求項 15】

共通の高さと単位幅 W_u の整数倍の幅を有するセル枠内に複数層のパターンが配置された複数種のスタンダードセルを、配置グリッドに沿って、該セル枠の上下左右の境界を互いに接して、縦方向には交互に反転しながら配置した回路ブロックを含む半導体集積回路のパターンであって、

前記配置グリッドの横方向のピッチが P_h であり、

前記複数種のスタンダードセルが、

前記セル枠内の上側に配置された第 1 導電形トランジスタを形成するためのパターンと、前記セル枠内の下側に配置された第 2 導電形トランジスタを形成するためのパターンと、

前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記第 1 導電形トランジスタの閾値を調整する不純物添加を行うための第 1 の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第 2 導電形トランジスタの閾値を調整する不純物添加を行うための第 2 の閾値調整パターンとをそれぞれ有し、

前記第 1 の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1 、前記第 1 の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2 、前記第 2 の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3 、および、前記第 2 の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = P_h \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 n_i は 0 以上の整数) である第 1 の複数種のスタンダードセルを含み、

前記半導体集積回路のデザインルールで定められた前記第 1 および第 2 の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第 1 および第 2 の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $P_h \leq W_{min}$ かつ $P_h \leq S_{min}$ であり、前記第 1 の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であることを

10

20

30

40

50

特徴とする半導体集積回路パターン。

【請求項 16】

共通の高さと単位幅 W_u の整数倍の幅を有するセル枠内に複数層のパターンが配置された複数種のスタンダードセルを、配置グリッドに沿って、該セル枠の上下左右の境界を互いに接して、縦方向には交互に反転しながら配置した回路ブロックを含む半導体集積回路のパターンであって、

前記配置グリッドの横方向のピッチが P_h であり、

前記複数種のスタンダードセルが、

前記セル枠内の上側に配置された第 1 導電形トランジスタを形成するためのパターンと、前記セル枠内の下側に配置された第 2 導電形トランジスタを形成するためのパターンと

10

、前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記第 1 導電形トランジスタの閾値を調整する不純物添加を行うための第 1 の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第 2 導電形トランジスタの閾値を調整する不純物添加を行うための第 2 の閾値調整パターンとをそれぞれ有し、

前記第 1 の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1 、前記第 1 の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2 、前記第 2 の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3 、および、前記第 2 の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = d_i + P_h \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 $-P_h / 2 < d_i < P_h / 2$ 、 n_i は 0 以上の整数) である第 1 の複数種のスタンダードセルを含み

20

、前記半導体集積回路のデザインルールで定められた前記第 1 および第 2 の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第 1 および第 2 の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $P_h - W_{min}$ かつ $P_h - S_{min}$ であり、前記第 1 の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であり、

d_1, d_2, d_3, d_4 のそれぞれの値は前記第 1 の複数種のスタンダードセル全体において同一であり、 $P_h + (d_1 + d_2) - S_{min}$ かつ $P_h - (d_1 + d_2) - W_{min}$ であり、 $P_h + (d_3 + d_4) - S_{min}$ かつ $P_h - (d_3 + d_4) - W_{min}$ であり、さらに、 $n_1 = n_2 = 0$ の場合には $d_1 + d_2 = 0$ であり、 $n_3 = n_4 = 0$ の場合には $d_3 + d_4 = 0$ であることを特徴とする半導体集積回路パターン。

30

【請求項 17】

$d_1 = d_2$ であり、かつ、 $d_3 = d_4$ であることを特徴とする請求項 16 記載の半導体集積回路パターン。

【請求項 18】

$d_1 + d_2 = d_3 + d_4$ であることを特徴とする請求項 16 または 17 に記載の半導体集積回路パターン。

【請求項 19】

前記第 1 の複数種のスタンダードセル全体において n_1, n_2, n_3, n_4 の全てが偶数であるか、もしくは、 n_1, n_2, n_3, n_4 の全てが奇数であることを特徴とする請求項 15 ないし 18 のいずれかに記載の半導体集積回路パターン。

40

【請求項 20】

前記回路ブロック内に前記第 1 の複数種のスタンダードセルが配置されることによって配置された前記第 1 および第 2 それぞれの閾値調整パターンの、前記デザインルールに対する違反を起こした複数の違反発生箇所に同一の違反解消パターンが配置されて、該違反が解消されていることを特徴とする請求項 15 ないし 19 のいずれかに記載の半導体集積回路パターン。

【請求項 21】

$P_h < W_{min} \times 2$ かつ $P_h < S_{min} \times 2$ であることを特徴とする請求項 15 ないし

50

20のいずれかに記載の半導体集積回路パターン。

【請求項22】

前記請求項15ないし21のいずれかに記載の半導体集積回路パターンを半導体基板上に形成した半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数種のスタンダードセルを含むスタンダードセルライブラリ、スタンダードセルを利用した半導体集積回路の設計方法、複数種のスタンダードセルを配置した回路ブロックを含む半導体集積回路パターン、および、その半導体集積回路パターンを半導体基板上に形成した半導体集積回路に関する。

10

【背景技術】

【0002】

スタンダードセルを用いた半導体集積回路の設計においては、各種の論理機能を有する複数種のスタンダードセルがライブラリに用意される。これらのスタンダードセルは、高さが一定で幅が単位幅の整数倍であるセル枠内に、それぞれの機能を実現するために必要なトランジスタ等を形成するための、複数層のパターンが配置される。そして、これらの複数種のスタンダードセルの中から、要求される仕様を実現するために必要なセルを選択し、それらを縦横に、互いのセル枠の境界が接するように配置する。このようなスタンダードセルの構造および配置方法については、例えば特許文献1に開示されている。

20

【0003】

一方、過剰なリーク電流発生を抑制しながら必要な動作速度を実現するために、閾値電圧が異なるトランジスタを用いて半導体集積回路を構成することが一般化しつつある。すなわち、高速動作を必要としない回路および信号経路には、低速だがリーク電流が小さい高閾値のトランジスタを使用し、一方、高速動作が要求される回路や信号経路には、リーク電流は大きいが高速度動作が可能な低閾値のトランジスタを利用する。

【0004】

例えば特許文献2の図15には、高閾値のトランジスタのゲート電極下に不純物を追加して分布させる工程を追加することが提案されている。これにより、半導体集積回路の任意の場所の論理ゲートを構成するMOSFETの閾値電圧を自由に変えることができると

30

【特許文献1】特開2005-72133号公報

【特許文献2】特開2004-172627号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、本発明者らの検討により、特許文献2に提案されたように不純物の追加によって閾値の異なるトランジスタを形成する技術をスタンダードセルに適用すると、スタンダードセルの配置に制限が加わる場合があることが明らかになった。

【0006】

図12は、従来のスタンダードセルの一例のレイアウト図である。図12において、実線で示したセル枠112内に、スタンダードセル110の機能を得るために必要な複数層のパターンが配置されている。図12に示すスタンダードセル110は、インバータの機能を有し、図には、Nウエル114、活性領域116、118、ゲート120、および、Pチャネル閾値調整122およびNチャネル閾値調整124の各層のパターンが示されている。それ以外の層のパターンの図示は省略した。

40

【0007】

図12の上側にはNウエルパターン114が設けられている。Nウエルパターン114は、セル枠112内から、セル枠の上側の境界112aおよび左右の境界112c、112dの外側にまで広がっている。この、セル枠112の境界から外側に広がった部分は、

50

複数のスタンダードセルを、そのセル枠の境界が互いに接するように配置して回路ブロックを形成した際に、一体化される。

【0008】

Nウエルパターン114内には第1の活性領域パターン116が設けられ、さらに、その上を上下方向に貫通するゲート電極パターン120が配置されている。これらは、半導体基板上に、PチャンネルMOSトランジスタ(PMOSトランジスタ)140を形成するためのパターンである。すなわち、第1の活性領域パターン116とゲート電極パターン120とが重なった部分には、PMOSトランジスタ140のチャンネル領域142が形成される。また、第1の活性領域パターン116のゲート電極パターン120の両側の部分には、PMOSトランジスタ140のソース領域144およびドレイン領域146が形成

10

【0009】

図12において、Nウエルパターン114の外側の領域、すなわち、図の下側の領域には、Pウエルが形成される。すなわち、Nウエルパターン114を反転したデータによって形成されたマスクを利用してPウエル用不純物のドーピングが行われる。そして、図12の下側に配置された第2の活性領域パターン118と、その上を上下方向に貫通するゲート電極パターン120とによって、NチャンネルMOSトランジスタ(NMOSトランジスタ)150が形成される。第2の活性領域パターン118とゲート電極パターン120とが重なった部分には、NMOSトランジスタのチャンネル領域152が形成される。第2の活性領域パターン118のゲート電極パターン120の両側の部分には、NMOSトランジ

20

【0010】

ここで、PMOSトランジスタ140およびNMOSトランジスタ150の閾値電圧は、それぞれのチャンネル領域の不純物濃度によって決定される。例えば、それぞれのチャンネル領域のP型およびN型不純物の濃度が高くなるほど、閾値電圧は高くなる。

【0011】

図12に示したスタンダードセル110には、チャンネル領域に不純物を追加添加することによって閾値電圧を調整するための、第1の閾値調整パターン122と第2の閾値調整パターン124が含まれている。第1の閾値調整パターン122は、PMOSトランジスタ140のチャンネル領域142に不純物を追加添加することによって閾値電圧を調整する

30

【0012】

実際には、第1および第2の閾値調整パターン122, 124を持つか持たないかのみが異なり、他のパターンは共通な2種類のスタンダードセルが用意される。これらのセルは共通の機能を有するが、トランジスタ140, 150の閾値電圧が互いに異なる。

【0013】

図12に示したスタンダードセルにおいて、各層のパターンの寸法および位置は、デザインルールを満たすように決定される。閾値調整パターン122, 124については、対応するチャンネル領域142, 152を囲い、かつ、その外側に定められた寸法だけ広がる必要がある。一方、チャンネル領域については、トランジスタ144, 154の駆動能力を高くするため、セル枠112の上下の境界112a, 112bの近傍にまで広げられる場合がある。

40

【0014】

図12には、Pチャンネル領域142の上端がセル枠の上側の境界112a近くにまで、Nチャンネル領域152の下端がセル枠の下側の境界112bの近くにまで広げられた例を示す。この結果、第1の閾値調整パターン122の上側の境界とセル枠の上側の境界112aとの間の距離、および、第2の閾値調整パターン124の下側の境界とセル枠の下側の境界112bとの間の距離が、小さくなっている。

50

【 0 0 1 5 】

図 1 3 は、図 1 2 のスタンダードセル 1 1 0 を、複数、他の種類のスタンダードセルとともに配列することによって形成した回路ブロック 1 7 0 の一部を示すレイアウト図である。図 1 3 には、上下方向に隣りあう 2 つの列 R 1 1 , R 1 2 内に、図 1 2 に示したスタンダードセル 1 1 0 が、それぞれ複数個、左右方向に隣りあって配列されている。図 1 3 に示された下側の列 R 1 1 には、図 1 2 に示したスタンダードセル 1 1 0 が図 1 2 に示したレイアウトのままに配置されている。一方、上側の列 R 1 2 には、図 1 2 に示したスタンダードセルが上下方向に反転されたレイアウトで配置されている。

【 0 0 1 6 】

そして、それぞれの列内では、左右に隣りあうスタンダードセル 1 1 0 の枠 1 1 2 の左右の境界 1 1 2 c、1 1 2 d が、互いに接するように配置される。また、上下に隣りあう 2 つの列 R 1 1 , R 1 2 間の境界においては、スタンダードセル 1 1 0 の枠 1 1 2 の上側の境界 1 1 2 a が互いに接するように配置される。

【 0 0 1 7 】

ここで、前記のように、図 1 2 に示されたスタンダードセル 1 1 0 においては、第 1 の閾値調整パターン 1 2 2 の上側の境界 1 2 2 a とセル枠 1 1 2 の上側の境界 1 1 2 a との間の距離が極めて小さくなっている。この結果、図 1 3 に示された回路ブロック 1 7 0 においては、上下に隣りあう 2 つのスタンダードセル 1 1 0 の第 1 の閾値調整パターン 1 2 2 相互間の距離が、極めて小さくなる。この距離は、デザインルールで定められた、隣りあう閾値調整パターン間の距離の最小値を下回る可能性がある。すなわち、デザインルール違反を起こす可能性がある。

【 0 0 1 8 】

図 1 3 では省略されているが、図 1 3 に示した下側の列 R 1 1 に配置されるスタンダードセルと、その更に下側の列に配置されるスタンダードセルとの間においても、同様のルール違反が発生する可能性がある。すなわち、第 2 の閾値調整パターン 1 2 4 相互間で、その間の距離が最小値を下回る可能性がある。

【 0 0 1 9 】

このようなルール違反を発生させないためには、スタンダードセルの配置に、例えば、「閾値調整パターンを有するスタンダードセル同士が上下に隣りあうことを禁止する」という制限を加えることが必要になる。しかしこれでは、回路ブロック 1 7 0 の性能および寸法を最適化するために最適な箇所に閾値調整パターンを有するスタンダードセルを配置することができない。これによって、形成される回路ブロック 1 7 0 の性能低下や、寸法増大を招く。

【 0 0 2 0 】

もしくは、スタンダードセルの枠 1 1 2 の上下方向の寸法を大きくし、閾値調整パターン 1 2 2 , 1 2 4 の境界とセル枠 1 1 2 の境界との間の距離を大きくすることによっても、ルール違反発生を防止することができる。しかしこの場合には、スタンダードセル 1 1 0 の寸法が大きくなり、回路ブロック 1 7 0 の寸法が大きくなる。これによって、半導体集積回路のコスト増大を招く。

【 0 0 2 1 】

さらに、図 1 3 に示されたようにスタンダードセル 1 1 0 を配置した後で、閾値調整パターン 1 2 2 , 1 2 4 間に最小寸法を下回るスペースが形成された箇所に、そのスペースを埋めるように、ダミーの閾値調整パターンを追加することも考えられる。しかし、このようなダミーパターンの生成には多大な演算処理が必要であり、半導体集積回路の設計に必要な時間およびコストが増大する。

【 0 0 2 2 】

本発明は、面積の増大や設計コストの増大を招くことなく、閾値電圧が異なるトランジスタを含んだスタンダードセルを任意の位置に配置することを可能とする、スタンダードセルライブラリ、および、半導体集積回路の設計方法を提供することを課題とする。また、面積の増大や設計コストの増大を招くことなく、閾値電圧が異なるトランジスタを含ん

10

20

30

40

50

だスタンダードセルを任意の位置に配置した、半導体集積回路パターン、並びに、そのようなパターンを形成した半導体集積回路を提供することを課題とする。

【課題を解決するための手段】

【0023】

上記の課題を解決するため、本発明のスタンダードセルライブラリは、一定の高さと単位幅 W_u の整数倍の幅とを有するセル枠内に複数層のパターンが配置され、該セル枠の上下左右の境界が互いに接するように配置して半導体集積回路を形成するための、複数種のスタンダードセルを含むスタンダードセルライブラリであって、前記複数種のスタンダードセルが、前記セル枠内の上側に配置された第1導電形トランジスタを形成するためのパターンと、該セル枠内の下側に配置された第2導電形トランジスタを形成するためのパターンと、前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記第1導電形トランジスタの閾値を調整する不純物添加を行うための第1の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第2導電形トランジスタの閾値を調整する不純物添加を行うための第2の閾値調整パターンとをそれぞれ有し、前記第1の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1 、前記第1の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2 、前記第2の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3 、および、前記第2の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = W_u \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 n_i は0以上の整数) である第1の複数種のスタンダードセルを含み、前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $W_u - W_{min}$ かつ $W_u - S_{min}$ であり、前記第1の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であることを特徴とするものである。

【0024】

本発明の他のスタンダードセルライブラリは、 D_1 、 D_2 、 D_3 、 D_4 が、それぞれ $D_i = d_i + W_u \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 $-W_u / 2 < d_i < W_u / 2$ 、 n_i は0以上の整数) であり、前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $W_u - W_{min}$ かつ $W_u - S_{min}$ であり、前記第1の複数種のスタンダードセル全体において n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であり、 d_1 、 d_2 、 d_3 、 d_4 のそれぞれの値は前記第1の複数種のスタンダードセル全体において同一であり、 $W_u + (d_1 + d_2) - S_{min}$ かつ $W_u - (d_1 + d_2) - W_{min}$ であり、 $W_u + (d_3 + d_4) - S_{min}$ かつ $W_u - (d_3 + d_4) - W_{min}$ であり、さらに、 $n_1 = n_2 = 0$ の場合には $d_1 + d_2 = 0$ であり、 $n_3 = n_4 = 0$ の場合には $d_3 + d_4 = 0$ であることを特徴とする。

【0025】

ここで、 $d_1 = d_2$ であり、かつ、 $d_3 = d_4$ であることが好ましい。また、 $d_1 + d_2 = d_3 + d_4$ であることが好ましい。さらに、前記第1の複数種のスタンダードセル全体において n_1 、 n_2 、 n_3 、 n_4 の全てが偶数であるか、もしくは、 n_1 、 n_2 、 n_3 、 n_4 の全てが奇数であることが好ましい。

【0026】

さらに、 $W_u < W_{min} \times 2$ かつ $W_u < S_{min} \times 2$ であることが好ましい。

【0027】

上記の課題を解決するため、本発明の半導体集積回路の設計方法は、共通の高さと単位幅 W_u の整数倍の幅とを有するセル枠内に複数層のパターンが配置された複数種のスタンダードセルを含むスタンダードセルライブラリを用意し、前記複数種のスタンダードセルの少なくとも一部を選択し、配置グリッドに沿って、前記セル枠の上下左右の境界を互いに

接して、縦方向には交互に反転しながら配置して回路ブロックを形成する工程を含む半導体集積回路の設計方法であって、前記配置グリッドの横方向のピッチが P_h であり、前記複数種のスタンダードセルが、前記セル枠内の上側に配置された第1導電形トランジスタを形成するためのパターンと、前記セル枠内の下側に配置された第2導電形トランジスタを形成するためのパターンと、前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記第1導電形トランジスタの閾値を調整する不純物添加を行うための第1の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第2導電形トランジスタの閾値を調整する不純物添加を行うための第2の閾値調整パターンとをそれぞれ有し、前記第1の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1 、前記第1の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2 、前記第2の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3 、および、前記第2の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = P_h \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 n_i は0以上の整数)である第1の複数種のスタンダードセルを含み、前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $P_h - W_{min}$ かつ $P_h - S_{min}$ であり、前記第1の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であることを特徴とする。

【0028】

本発明の他の半導体集積回路の設計方法は、 D_1 、 D_2 、 D_3 、 D_4 が、それぞれ $D_i = d_i + P_h \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 $-P_h / 2 < d_i < P_h / 2$ 、 n_i は0以上の整数)であり、前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $P_h - W_{min}$ かつ $P_h - S_{min}$ であり、前記第1の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であり、 d_1 、 d_2 、 d_3 、 d_4 のそれぞれの値は前記第1の複数種のスタンダードセル全体において同一であり、 $P_h + (d_1 + d_2) - S_{min}$ かつ $P_h - (d_1 + d_2) - W_{min}$ であり、 $P_h + (d_3 + d_4) - S_{min}$ かつ $P_h - (d_3 + d_4) - W_{min}$ であり、さらに、 $n_1 = n_2 = 0$ の場合には $d_1 + d_2 = 0$ であり、 $n_3 = n_4 = 0$ の場合には $d_3 + d_4 = 0$ であることを特徴とする。

【0029】

ここで、前記形成した回路ブロック内の前記第1および第2それぞれの閾値調整パターンについて、前記デザインルールに対する違反チェックを行う工程と、前記違反チェックによって違反が検出された違反発生箇所に、予め用意された違反解消パターンを配置することによって、該違反の解消を行う工程とをさらに含むことが好ましい。

【0030】

上記の課題を解決するため、本発明の半導体集積回路パターンは、共通の高さと単位幅 W_u の整数倍の幅を有するセル枠内に、複数層のパターンが配置された複数種のスタンダードセルを、配置グリッドに沿って、該セル枠の上下左右の境界を互いに接して、縦方向には交互に反転しながら配置した回路ブロックを含む半導体集積回路のパターンであって、前記配置グリッドの横方向のピッチが P_h であり、前記複数種のスタンダードセルが、前記セル枠内の上側に配置された第1導電形トランジスタを形成するためのパターンと、前記セル枠内の下側に配置された第2導電形トランジスタを形成するためのパターンと、前記セル枠の上側の境界と重なる上側の境界と左右の境界とを有し、前記第1導電形トランジスタの閾値を調整する不純物添加を行うための第1の閾値調整パターンと、前記セル枠の下側の境界と重なる下側の境界と左右の境界とを有し、前記第2導電形トランジスタの閾値を調整する不純物添加を行うための第2の閾値調整パターンとをそれぞれ有し、前記第1の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_1 、前

記第1の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_2 、前記第2の閾値調整パターンの左側の境界と前記セル枠の左側の境界との間の距離 D_3 、および、前記第2の閾値調整パターンの右側の境界と前記セル枠の右側の境界との間の距離 D_4 が、それぞれ $D_i = Ph \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 n_i は0以上の整数)である第1の複数種のスタンダードセルを含み、前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $Ph - W_{min}$ かつ $Ph - S_{min}$ であり、前記第1の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であることを特徴とする。

10

【0031】

本発明の他の半導体集積回路パターンは、 D_1 、 D_2 、 D_3 、 D_4 が、それぞれ $D_i = d_i + Ph \times n_i / 2$ ($i = 1, 2, 3, 4$ 、 $-Ph/2 < d_i < Ph/2$ 、 n_i は0以上の整数)であり、前記半導体集積回路のデザインルールで定められた前記第1および第2の閾値調整パターンそれぞれの最小許容幅 W_{min} 、および、前記第1および第2の閾値調整パターンそれぞれの相互間の最小許容スペース S_{min} に対して、 $Ph - W_{min}$ かつ $Ph - S_{min}$ であり、前記第1の複数種のスタンダードセル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であり、 d_1 、 d_2 、 d_3 、 d_4 のそれぞれの値は前記第1の複数種のスタンダードセル全体において同一であり、 $Ph + (d_1 + d_2) - S_{min}$ かつ $Ph - (d_1 + d_2) - W_{min}$ であり、 $Ph + (d_3 + d_4) - S_{min}$ かつ $Ph - (d_3 + d_4) - W_{min}$ であり、さらに、 $n_1 = n_2 = 0$ の場合には $d_1 + d_2 = 0$ であり、 $n_3 = n_4 = 0$ の場合には $d_3 + d_4 = 0$ であることを特徴とする。

20

【0032】

ここで、前記回路ブロック内に前記第1の複数種のスタンダードセルが配置されることによって配置された前記第1および第2それぞれの閾値調整パターンの、前記デザインルールに対する違反を起こした複数の違反発生箇所同一の違反解消パターンが配置されて、該違反が解消されていることが好ましい。

【発明の効果】

【0033】

本発明のスタンダードセルライブラリにおいては、閾値調整パターンを有する第1の複数種のスタンダードセル同士を隣り合わせて配置したときの、デザインルール違反を発生する位置関係が特定され、容易に解消することができる。従って、閾値調整パターンを有する第1の複数種のスタンダードセルを、任意の位置に配置することが可能になる。

30

【0034】

本発明の半導体集積回路の設計方法においては、このようなスタンダードセルライブラリを利用するため、面積の増大やコストの増大を招くことなく、閾値調整パターンを有するセルを任意の位置に配置した半導体集積回路を得ることができる。

【0035】

本発明の半導体集積回路パターンにおいては、このようなスタンダードセルライブラリを利用することにより、面積の増大や設計コストの増大を招くことなく、閾値調整パターンを有するセルを任意の位置に配置することができる。

40

【0036】

本発明の半導体集積回路においては、面積の増大や設計コストの増大を招くことなく、閾値調整パターンを有するセルを任意の位置に配置し、動作速度とリーク電流の両方を最適化することができる。

【発明を実施するための最良の形態】

【0037】

図1は、本発明の実施形態のセルライブラリに含まれる、スタンダードセルの一例の各層のパターン配置を示すレイアウト図である。

50

【 0 0 3 8 】

図 1 に示したスタンダードセル 1 0 は、図 1 2 に示した従来のスタンダードセル 1 1 0 と同一の機能を有する。また、セル枠 1 2 の寸法は従来のスタンダードセル 1 1 0 のセル枠 1 1 2 の寸法と同一である。さらに、N ウエル 1 4 , 第 1 の活性領域 1 6 , 第 2 の活性領域 1 8 , ゲート 2 0 の各層のパターンも、図 1 2 に示した従来のスタンダードセル 1 1 0 の場合と同一である。従って、製造された半導体集積回路において、スタンダードセル 1 0 の上側には、N ウエル 1 4 内に、チャンネル領域 4 2 , ソース領域 4 4 およびドレイン領域 4 6 からなる P チャンネル MOS トランジスタ (P MOS トランジスタ) 4 0 が形成される。一方、スタンダードセル 1 0 の下側には、図示しない P ウエル内に、チャンネル領域 5 2 , ソース領域 5 4 およびドレイン領域 5 6 からなる N チャンネル MOS トランジスタ (N MOS トランジスタ) 5 0 が形成される。

10

【 0 0 3 9 】

そして、やはり従来のスタンダードセル 1 1 0 と同様に、P MOS トランジスタ 4 0 のチャンネル領域 4 2 に追加の不純物添加を行うための第 1 の閾値調整パターン 2 2 と、N MOS トランジスタ 5 0 のチャンネル領域 5 2 に追加の不純物添加を行うための第 2 の閾値調整パターン 2 4 を有する。しかし、第 1 および第 2 の閾値調整パターン 2 2 , 2 4 の形状は、図 1 2 に示した従来のスタンダードセル 1 1 0 の場合とは異なる。

【 0 0 4 0 】

具体的には、第 1 の閾値調整パターン 2 2 の上側の境界 2 2 a は、セル枠 1 2 の上側の境界 1 2 a と重なっている。また、第 2 の閾値調整パターン 2 4 の下側の境界 2 4 b は、セル枠 1 2 の下側の境界 1 2 b と重なっている。これによって、上下に隣りあって配置されたスタンダードセルの第 1 もしくは第 2 の閾値調整パターンの間での、デザインルールを満たさない微小なスペースの形成を、特定の場合を除いて、防止することができる。

20

【 0 0 4 1 】

閾値調整パターン 2 2 , 2 4 によって形成したマスクを使って追加添加する不純物の導電形によって、閾値電圧を高くすることも、低くすることも可能である。本明細書中では、閾値調整パターン 2 2 , 2 4 による追加添加によって、MOS トランジスタの閾値電圧が高くなると想定して説明を行う。従って、図 1 に示されたように閾値調整パターン 2 2 , 2 4 を有するセルは、閾値が相対的に高い MOS トランジスタを有するセルであるため、「高閾値セル」と呼ぶ。これに対して、閾値調整パターン 2 2 , 2 4 を持たないセルは、閾値が相対的に低い MOS トランジスタを有するセルであるため、「低閾値セル」と呼ぶ。

30

【 0 0 4 2 】

本発明の実施形態の半導体集積回路の設計方法においては、図 1 に示されたスタンダードセル 1 0 を含んだ、複数種のスタンダードセルを、縦方向および横方向の配置グリッドに添って配置する。図 2 は、図 1 に示したスタンダードセルを横方向の配置グリッド G h および縦方向の配置グリッド G v に添って配置した状態を示すレイアウト図である。

【 0 0 4 3 】

図 2 に示されたように、スタンダードセル 1 0 は、そのセル枠の上下左右の境界が縦方向および横方向の配置グリッドに添うように配置される。スタンダードセル 1 0 の高さ (セル枠 1 2 の上下の境界 1 2 a , 1 2 b 間の距離) は配置グリッドの縦方向のピッチ P v の整数倍 (図 2 の例では 1 4 倍) 、スタンダードセル 1 0 の幅 (セル枠 1 2 の左右の境界 1 2 c , 1 2 d 間の距離) は配置グリッドの横方向のピッチ P h の整数倍 (図 2 の例では 8 倍) である。

40

【 0 0 4 4 】

また、図 2 に示された例では、スタンダードセル 1 0 の第 1 の閾値調整パターン 2 2 の左側の境界 2 2 c とセル枠 1 2 の左側の境界 1 2 c との間の距離 (D 1) 、第 1 の閾値調整パターン 2 2 の右側の境界 2 2 d とセル枠 1 2 の右側の境界 1 2 d との間の距離 (D 2) 、第 2 の閾値調整パターン 2 4 の左側の境界 2 4 c とセル枠 1 2 の左側の境界 1 2 c との間の距離 (D 3) 、および、第 2 の閾値調整パターン 2 4 の右側の境界 2 4 d とセル枠

50

1 2 の右側の境界 1 2 d との間の距離 (D 4) は、全て等しく、配置グリッドの横方向のピッチ P h の 1 / 2 倍である。

【 0 0 4 5 】

本発明の実施形態のセルライブラリにおいて、用意する複数種のスタンダードセルの間で、これらの距離 D 1 , D 2 , D 3 , D 4 のそれぞれを、一定の関係に保つ。これによって、上下に隣りあって配置されるスタンダードセルの閾値調整パターン間で、デザインルール違反が起きる場合を特定し、その解消を容易にすることができる。

【 0 0 4 6 】

図 3 は、本発明の半導体集積回路の設計方法の実施形態の一例を示すフロー図である。図 3 において、太字で示した「違反解消パターン用意」と「違反解消パターン配置」は、従来の半導体集積回路の設計方法に無い、本発明の設計方法の実施形態を特徴づけるステップである。これらのステップの説明は後から行うこととして、ここでは、それ以外のステップの説明を行う。

【 0 0 4 7 】

まず、半導体集積回路の設計に利用するスタンダードセルライブラリを用意する。すなわち、図 1 に示したスタンダードセル 1 0 を含めて、様々な機能を実現する、様々なパターンを有する複数種のスタンダードセルを用意し、セルライブラリに登録する (S T 1)

【 0 0 4 8 】

次に、半導体集積回路として要求される仕様を、例えばネットリストの形態で読み込む (S T 3)。そして、この仕様を満たすために必要な複数種のスタンダードセルを、ライブラリに用意した複数種のスタンダードセルの中から選択する (S T 4)。続いて、選択した複数種のスタンダードセルを、それぞれ、必要な個数だけ、配置グリッドに沿って配置する (S T 5)。これによって、複数種のスタンダードセルが縦横に配置された回路ブロックが形成される。

【 0 0 4 9 】

この後、形成された回路ブロックの各層のパターンに、デザインルールに定められた各種の規則に違反している箇所がないか、チェックを行う (S T 6)。そして、違反が無ければ、やはり配置グリッドに沿って配線を配置し、スタンダードセル間の接続を行う (S T 8)。これによって、仕様を満たすために必要な 1 つもしくは複数の回路ブロックを含む、半導体集積回路のパターンが形成される。

【 0 0 5 0 】

以上の手順は、周知の C A D システムを利用して実施される。すなわち、ステップ S T 1 において用意されるセルライブラリは、C A D システムの記憶装置上に設けられ、半導体集積回路のパターンも、C A D システムの記憶装置上に記憶された、コンピュータ読み取り可能なデータとして形成される。そして、形成された半導体集積回路パターンのデータに基づいて、各層のマスクを作成し、そのマスクを利用して、半導体基板上に、半導体集積回路を製造する。これによって、図 3 の手順で設計された半導体集積回路のパターンが半導体基板上に形成された、半導体集積回路が製造される。

【 0 0 5 1 】

図 4 は、図 3 の設計方法のステップ S T 1 において用意される、本発明のセルライブラリの実施形態の一例の構成を示す概念図である。セルライブラリ 6 0 には、それぞれ複数種の高閾値セル 6 2 と低閾値セル 6 4 とが登録されている。複数種の高閾値セルとしては、図 1 に示されたようにインバータ機能を有するセル 1 0、および、N A N D , N O R 等、さまざまな機能を有するセルが登録される。また、それぞれの機能に対して、駆動能力が異なり、そのために、セル枠の幅が異なる複数種のセルが登録される。

【 0 0 5 2 】

同様に、低閾値セルとしても、インバータ、N A N D , N O R 等、さまざまな機能および駆動能力を有する、複数種のセルが登録される。低閾値セルの少なくとも一部は、第 1 および第 2 の閾値調整パターンを持つか持たないかの差を除いて、対応する高閾値セルと

10

20

30

40

50

同一のパターンが同一の寸法のセル枠内に配置されたものである。この低閾値セルは、対応する高閾値セルと同一の機能を有する。しかし、構成するトランジスタの閾値の差により、動作速度およびリーク電流が異なる。

【 0 0 5 3 】

ここで、本実施形態においては、セルライブラリ 6 0 に含まれる高閾値セルは、それぞれ、図 1 , 2 に示されたスタンダードセル 1 0 と同様の、第 1 および第 2 の閾値調整パターンを有する。そして、これらの閾値調整パターンのレイアウトは、スタンダードセル 1 0 の場合と同様であるとする。すなわち、第 1 の閾値調整パターン 2 2 の上側の境界 2 2 a および第 2 の閾値調整パターン 2 4 の下側の境界 2 4 b が、それぞれ、セル枠 1 2 の上側及び下側の境界 1 2 a , 1 2 b に重なり、第 1 および第 2 の閾値調整パターン 2 2 , 2 4 の左右の境界 2 2 c , 2 2 d , 2 4 c , 2 4 d と、セル枠の左右の境界 1 2 c , 1 2 d との間の距離 $D 1$, $D 2$, $D 3$, $D 4$ が、いずれも、配置グリッドの横方向のピッチ $P h$ の $1 / 2$ であるとする。

【 0 0 5 4 】

このように、セルライブラリに含まれる複数の高閾値セルの閾値調整パターンのレイアウトを一定にすることにより、これらの高閾値セルを配置して回路ブロックを形成した場合に、デザインルール違反が発生する状態を一定とし、その解消を容易に行うことが可能となる。ただし、閾値調整パターンの左右の境界とセル枠の左右の境界との間の距離に関しては、一定の規則を満たすことは必要であっても、1 つにそろえることは必ずしも必須ではない。

【 0 0 5 5 】

図 5 は、図 1 に示されたスタンダードセル 1 0 , およびその他のスタンダードセルを含む複数種のスタンダードセルを配置することによって形成した、回路ブロックの一例 7 0 を模式的に示すレイアウト図である。この回路ブロック 7 0 は、本発明の半導体集積回路パターンに含まれる回路ブロックの一例である。図 5 はまた、本発明の半導体集積回路において半導体基板上に形成された半導体集積回路パターンに含まれる回路ブロックの一例を示すレイアウト図でもある。

【 0 0 5 6 】

図 5 において $H 8$ と記されたものが、図 1 に示した、セル枠の幅が配置グリッドの横方向ピッチ $P h$ の 8 倍の、高閾値セル 1 0 である。同様に、 $H 9$, $H 1 0$, $H 1 2$ と記したものはそれぞれ、セル枠の幅が $P h$ の 9 倍、1 0 倍、1 2 倍の高閾値セルである。一方、 $L 6$, $L 7$, $L 8$, $L 9$, $L 1 3$ と示したものはそれぞれ、セル枠の幅が $P h$ の 6 , 7 , 8 , 9 , 1 3 倍の低閾値セルである。図 5 においては省略されているが、これらのスタンダードセルは、図 2 に示した配置グリッド $G h$, $G v$ に沿って配置される。すなわち、それぞれのスタンダードセルのセル枠の上下左右の境界が配置グリッドに重なるように配置される。

【 0 0 5 7 】

より具体的には、図 5 の横方向に、複数のスタンダードセルを、セル枠の左右の境界が互いに接するように配置してスタンダードセル列 $R 1$, $R 2$, $R 3$. . . を形成し、これらのスタンダードセル列 $R 1$, $R 2$, $R 3$. . . を、それぞれに含まれるスタンダードセルのセル枠の上下の境界が互いに接するように配置して、回路ブロック 7 0 を形成する。このとき、上下方向に交互に、スタンダードセルを反転しながら配置する。すなわち、例えば奇数番目の列 $R 1$, $R 3$. . . に配列されたスタンダードセルは、例えば、図 1 に示されたように、 N ウエル 1 4 が上側に位置するレイアウトで配置する。一方、偶数番目の列 $R 2$. . . には、図 1 に示されたようなレイアウトを上下方向の反転した、 N ウエル 1 4 が下側に位置するレイアウトで配置する。

【 0 0 5 8 】

このように配置した回路ブロック 7 0 内において、上下に隣りあって配置された 2 つの高閾値セルは、次の 3 つのいずれかの位置関係をとる。

(1) 双方のセル枠がコーナーで接する (例えば、図 5 の A の位置) 。

10

20

30

40

50

(2) 双方のセル枠が配置グリッドの横方向のピッチ P_h の2倍、もしくはそれ以上の幅にわたって接する(例えば、図5のBの位置)。

(3) 双方のセル枠が配置グリッドの横方向のピッチ P_h にわたって接する(例えば、図5のCの位置)。

【0059】

図2に示された高閾値セル10においては、第1の閾値調整パターン22の上側の境界22aおよび第2の閾値調整パターン24の下側の境界24bが、それぞれ、セル枠12の上側および下側の境界12a, 12bに重なっている。また、第1および第2の閾値調整パターン22, 24の左右の境界22c, 22d, 24c, 24dと、セル枠の左右の境界12a, 12bとの間の距離 D_1, D_2, D_3, D_4 が、いずれも、配置グリッドの横方向のピッチ P_h の $1/2$ になっている。このような閾値調整パターンのレイアウトを有する高閾値セルを配置した場合、上記の(1)、(2)の場合には、上下に隣りあう高閾値セルの閾値調整パターン同士がデザインルール違反を起こすことはない。また(3)の場合には、上下に隣りあう高閾値セルの閾値調整パターン同士がデザインルール違反を起こすが、単純な処理によって解消することができる。

10

【0060】

このそれぞれの場合について図6, 7, 8, 9を利用して説明する。なお、図5には、同一の高閾値セル10が上下に隣りあう場合について示した。図6, 7, 8, 9においても同様に、同一の高閾値セル10が上下に隣りあう場合を例として説明する。しかし、本実施形態のセルライブラリ60においては、他の高閾値セルにおいても、閾値調整パターンのレイアウトは、図2に示された高閾値セル10の場合と同様である。従って、他の種類の高閾値スタンダードセル同士が上下に隣りあって配置された場合や、異なる種類の高閾値スタンダードセル同士が上下に隣りあって配置された場合においても、閾値調整パターン同士の位置関係は同様である。

20

【0061】

図6は、図5のAの位置の周囲におけるスタンダードセルの配置を示すレイアウト図である。

【0062】

図6の右下および左上には、Aの位置においてセル枠のコーナーを接して上下に隣りあって配置される2つの高閾値セル10が示される。この内、右下の高閾値セル10は、図1に示されたレイアウトで配置されている。一方、左上の高閾値セル10は、図1に示されたものとは上下方向に反転したレイアウトで配置されている。図6の左下および右上には、Aの位置においてセル枠のコーナーを接する、2つの低閾値セル L_7, L_9 が配置されている。図6において、これらの低閾値セルについてはセル枠のみが示され、内部のパターンの表示は省略されている。

30

【0063】

図6にはさらに、これらのセルを配置する配置グリッド G_h, G_v が表示されている。ただし、煩雑になるのを防ぐため、図示された4つのセルの外側の領域においてのみ配置グリッドを表示している。

【0064】

図2に示したように、スタンダードセル10においては、第1の閾値調整パターン22の左右の境界22c, 22dとセル枠12の左右の境界12c, 12dとの間の距離 D_1, D_2 は、配置グリッドの横方向のピッチ P_h の $1/2$ 倍である。このため、上下に隣りあって配置された高閾値セル10の枠がコーナーで接する場合、上下に隣りあうセルの第1の閾値調整パターン22相互間には P_h に等しいスペース S_1 が形成される。

40

【0065】

ここで、130nmノード半導体集積回路において、デザインルールで定められる第1の閾値調整パターン相互間に許容される最小スペース S_{min} は、例えば $0.31\mu m$ である。これに対して、配置グリッドの横方向ピッチ P_h は例えば $0.41\mu m$ である。すなわち、配置グリッドの横方向のピッチ P_h と最小スペース S_{min} は、 $P_h > S_{min}$

50

の関係性を有する。従って、第1の閾値調整パターン22相互間にデザインルール違反は発生しない。

【0066】

なお、図5のAの位置においては、図1に示されたレイアウトで配置したスタンダードセル10の上側に、第1図に示したレイアウトを上下に反転したレイアウトで配置したスタンダードセル10が隣りあって配置される。従って、図6に示されたように、上下に隣りあうスタンダードセル10の第1の閾値調整パターン22同士が隣接して配置される。一方、図1に示されたレイアウトを上下方向に反転したレイアウトで配置されたスタンダードセル10の上側に、図1に示されたレイアウトで配置されたスタンダードセル10が隣りあう場合には、第2の閾値調整パターン24同士が上下が隣接して配置される。

10

【0067】

図2に示した高閾値セル10においては、第2の閾値調整パターン24の左右の境界24c、24dとセル枠12の左右の境界12c、12dとの間の距離D3、D4も、Phの1/2倍である。このため、セル枠のコーナーで接して上下に隣りあって配置されるスタンダードセルの第2の閾値調整パターン24同士が隣接して配置される場合にも、その間にはPhのスペースが形成される。

【0068】

ここで、第2の閾値調整パターン相互間には、通常、第1の閾値調整パターン相互間に許容される最小スペースと同一の最小スペースが許容される。従って、セル枠のコーナーで接して上下に隣りあって配置されるスタンダードセルの第2の閾値調整パターン24同士が隣接して配置される場合にも、デザインルール違反は発生しない。

20

【0069】

デザインルールに定められる各種の値は、利用する製造プロセスによって変化する。しかし、一般的には、配置グリッドのピッチPhは、閾値調整パターン間の最小スペース(第1の閾値調整パターンと第2の閾値調整パターンとで異なる値に定められる場合には、大きい方の値)Smín以上に設定される。従って、図6に示されたように、コーナーの1点を接して上下に隣りあうセルの第1もしくは第2の閾値調整パターン22相互間には、デザインルールで定められる最小スペース以上のスペースS1が形成される。

【0070】

ここで、図6を使って、本実施形態のスタンダードセルライブラリに含まれる複数種のスタンダードセルのセル枠の寸法と、配置グリッドのピッチとの関係についてさらに説明する。

30

【0071】

前述のように、セルライブラリに含まれる複数種のスタンダードセルは、同一の高さを有している。具体的には、図6に示された例においては、配置グリッドの縦方向のピッチPvの1.4倍の高さを有している。また、やはり前述のように、複数種のスタンダードセルの幅は単位幅Wuの整数倍(正確には、正の整数倍)である。具体的には、高閾値セル10はWuの8倍の幅を、低閾値セルL7、L9はそれぞれ、Wuの7倍および9倍の幅を有している。

【0072】

40

ここで、図6に示された例においては、配置グリッドの横方向のピッチPhがスタンダードセルの単位幅Wuと等しくなっている。従って、高閾値セル10においては、第1の閾値調整パターン22の左右の境界22c、22d、および第2の閾値調整パターン24の左右の境界24c、24dと、セル枠12の左右の境界12c、12dとの間の距離D1、D2、D3、D4は、単位幅Wuの1/2倍になっている。また、単位幅Wuは、デザインルールによって定められる閾値調整パターン相互間の最小スペースSmínと、Wu Smínの関係性を有する。

【0073】

次に、図7は、図5のBの位置の周囲におけるスタンダードセルの配置を示すレイアウト図である。

50

【 0 0 7 4 】

図7の右下および左上には、Bの位置において、配置グリッドの横方向のピッチ P_h の2倍の幅にわたってセル枠を接して上下に隣りあう、2個の高閾値セル10が示される。この内、右下の高閾値セル10は、図1に示されたレイアウトで配置されている。一方、左上の高閾値セル10は、図1に示されされたものとは上下方向に反転したレイアウトで配置されている。図7の左下および右上には、単位幅 W_u の7倍の幅を有する2個の低閾値閾値セル L_7 が配置されている。図6の場合と同様に、これらの低閾値セルについては枠のみが示され、内部のパターンの表示は省略されている。

【 0 0 7 5 】

図2に示したように、本実施形態のセルライブラリ60に含まれる高閾値セル10においては、第1の閾値調整パターン22の上側の境界22aはセル枠12の上側の境界12aと重なっている。このため、上下に隣りあう高閾値セル10の枠がグリッドピッチ P_h の2倍以上の幅にわたって接する場合、上下に隣りあうセルの閾値調整パターン22の上側の境界12aが互いに接する。このように互いに接した箇所において上下のセルの閾値調整パターン22は一体化され、その間にデザインルールに違反する微小なスペースが発生することはない。

【 0 0 7 6 】

さらに、本実施形態のセルライブラリに含まれる高閾値セル10においては、第1の閾値調整パターン22の左右の境界22c、22dとセル枠12の左右の境界12c、12dとの間の距離 D_1 、 D_2 は、グリッドピッチ P_h の(もしくは、スタンダードセルの単位幅 W_u の)1/2倍である。このため、上下に隣りあう高閾値セル10の枠がグリッドピッチ P_h の2倍以上の幅にわたって接する場合、上下に隣りあうセルの閾値調整パターン22の上側の境界12aは、グリッドピッチ P_h (もしくは単位幅 W_u)の1倍以上の幅 W_1 にわたって接する。すなわち、Bの箇所において、上下に隣りあうセルの閾値調整パターン22が一体化されたパターンは、グリッドピッチ P_h (もしくは、単位幅 W_u)以上の幅を有する。

【 0 0 7 7 】

0.13 μm ノード半導体集積回路のデザインルールにおいて、第1および第2の閾値調整パターンの幅に許容される最小値 W_{min} は、通常、互いに等しく、例えば0.31 μm である。すなわち、 $P_h \geq W_{min}$ (もしくは、 $W_u \geq W_{min}$)の関係が成り立つ。従って、Bの位置において、第1の閾値調整パターンは、その幅についてもデザインルール違反を起こすことはない。

【 0 0 7 8 】

グリッドピッチ P_h の2倍以上の幅にわたって枠が接するような配置で上下に隣りあう高閾値セルの、第2の閾値調整パターン同士が隣接して配置される場合においても、同様に、デザインルール違反を起こすことは無い。

【 0 0 7 9 】

デザインルールに定められる値は、利用する製造プロセスによって変化する。しかし、一般的には、配置グリッドのピッチ P_h (もしくは、単位幅 W_u)は閾値調整パターンの幅の最小値(第1の閾値調整パターンと第2の閾値調整パターンとで異なる値に定められる場合には、大きい方の値) W_{min} 以上に設定される。従って、Bの位置において、第1、第2の閾値調整パターンのいずれも、デザインルール違反を起こすことはない。

【 0 0 8 0 】

さらに、図8は、図5のCの位置の周辺におけるスタンダードセルの配置を示すレイアウト図である。

【 0 0 8 1 】

図8の右下および左上には、Cの位置において、配置グリッドの横方向のピッチ P_h の幅にわたってセル枠を接して上下に隣りあう、2個の高閾値セル10が示される。この内、右下の高閾値セル10は、図1に示されたレイアウトで配置されている。一方、左上の高閾値セル10は、図1に示されされたものとは上下方向に反転したレイアウトで配置さ

10

20

30

40

50

れている。図 8 の左下および右上には、単位幅 W_u の 8 倍の幅を有する 2 個の低閾値閾値セル L_8 が配置されている。図 6, 7 の場合と同様に、これらの低閾値セルについては枠のみが示され、内部のパターンの表示は省略されている。

【 0 0 8 2 】

図 2 に示したように、本実施形態のセルライブラリに含まれる高閾値セル 1_0 においては、第 1 の閾値調整パターン 2_2 の上側の境界 $2_2 a$ はセル枠 1_2 の上側の境界 $1_2 a$ と重なっている。また、第 1 の閾値調整パターン 2_2 の左右の境界 $2_2 c$ 、 $2_2 d$ とセル枠 1_2 の左右の境界 $1_2 c$ 、 $1_2 d$ との間の距離 D_1 、 D_2 は、配置グリッドの横方向のピッチ P_h (もしくは、スタンダードセルの単位幅 W_u) の $1/2$ 倍である。このため、上下に隣りあう高閾値セル 1_0 の枠がグリッドピッチ P_h の幅にわたって接する場合、上下に隣りあうセルの閾値調整パターン 2_2 が互いに、コーナーの 1 点で接する。すなわち、 C の位置において、閾値調整パターン 2_2 は、 0 の幅 W_2 を持つ。

10

【 0 0 8 3 】

この幅 W_2 は、デザインルールで定められた最小値 W_{min} を下回り、デザインルール違反が発生する。しかし、 C の位置で発生するルール違反は、図 3 に示した手順により、容易に解消することができる。

【 0 0 8 4 】

ここで、図 3 に戻って、本実施形態の設計方法についてさらに説明を行う。図 3 に太字で示されたように、本実施形態の半導体集積回路パターンの設計方法においては、予め、デザインルール違反を解消するために追加して配置する、違反解消パターンが用意される (ST_2)。そして、デザインルール違反チェック (ST_6) において発見された違反箇所、すなわち、図 8 に示された C の位置に、 ST_2 において用意された違反解消パターンを配置する (ST_7)。

20

【 0 0 8 5 】

本実施形態においては、デザインルール違反の発生が C の位置に限定され、かつ、その発生の状態 (違反箇所に発生するデザインルールを満たさない幅もしくはスペースの寸法) が一定になっている。従って、違反解消パターンを用意するステップ ST_2 においては、一定の形状および寸法を有する 1 種類の違反解消パターンを、それぞれ第 1 および第 2 の閾値調整パターンに対して用意するのみである。

【 0 0 8 6 】

図 9 は、図 8 に示した C の位置に、違反解消パターンを配置した状態を示すレイアウト図である。

30

【 0 0 8 7 】

図示した例において、違反解消パターン 3_2 は、縦方向および横方向の辺がそれぞれ、縦方向および横方向のグリッドピッチ P_v 、 P_h の 2 倍の寸法を有する長方形 ($P_v = P_h$ の場合は正方形) である。この違反解消パターン 3_2 が、上下に隣りあうセルの閾値調整パターン同士が接したコーナーの 1 点を中心とし、各辺を横方向および縦方向のグリッドに平行にして配置される。レイアウトデータにおいて、違反解消パターン 3_2 は、隣りあう 2 つの高閾値セル 1_0 の閾値調整パターン 2_2 と一体化される。この一体化された閾値調整パターンの C の位置の周辺における最小幅 (図 9 に示した矢印の長さ W_3) は、 $P_h \times 2 - P_h \times 1.4$ である。この値はデザインルールで定められた最小幅 W_{min} よりも大きい。これによって、デザインルール違反が解消される。

40

【 0 0 8 8 】

なお、グリッドピッチ P_h の幅にわたってセル枠が接するような配置で上下に隣りあう高閾値セルの、第 2 の閾値調整パターン同士が上下に隣りあう場合においても、同様に、コーナーの 1 点のみで接触する状態になり、デザインルール違反が発生する。そして、このような第 2 の閾値調整パターンについてのデザインルール違反が発生した場合にも、同様の手順で、容易に解消することができる。

【 0 0 8 9 】

ここで、図 3 に示されたステップの内、 ST_6 のデザインルールチェックは従来から行

50

われていたものである。一方、ST7の違反解消パターン32の配置は、閾値電圧の異なるセルを配置することによって新たに必要となる手順である。しかし、実際に行われる処理は、単に、予め用意されたパターン32を、デザインルール違反が発生した位置に配置するだけである。すなわち、それぞれのデザインルール違反箇所のパターン形状に応じて違反解消パターンを生成したり、生成したパターンの配置位置を設定したりする必要はない。

【0090】

しかも、本実施形態のセルライブラリに含まれる複数種の高閾値スタンダードセルにおいては、図1に示した高閾値セル10同士が上下に配置された場合のみではなく、他の種類の高閾値スタンダードセル同士や、異なる種類の高閾値スタンダードセル同士が、上下に配置された場合にも、閾値調整パターン同士の位置関係は同様である。すなわち、2個の高閾値セルが、そのセル枠をグリッドピッチ P_h の幅にわたって接して上下に隣りあって配置された場合には、閾値調整パターン同士がコーナーの一点のみにおいて接する状態となる。そして、このように配置された高閾値セルの閾値調整パターンに発生するデザインルール違反は、同一の処理によって、すなわち、同一の違反解消パターンを一定の位置に（閾値調整パターン同士が接するコーナーに中心を合わせて）配置することによって、解消することができる。

10

【0091】

このようなデザインルール違反解消処理に必要な演算量は少なく、その追加によって半導体集積回路パターンの設計に必要な時間やコストが顕著に増大することはない。

20

【0092】

なお、違反解消パターン32が1辺がグリッドピッチ P_v 、 P_h の2倍の正方形であることは、本発明にとって必ずしも必須ではない。デザインルール違反が解消できる範囲であれば、さらに小さな寸法にしてもよい。具体的には、図9に矢印で示された幅 W_3 がデザインルールで定められた最小幅 W_{min} を下回らない範囲で、違反解消パターンの寸法を小さくすることができる。

【0093】

一方、例えば、図5のCの位置の左下にも高閾値セルが配置された場合には、デザインルール違反解消を実現するために、違反解消パターン32の横方向の寸法がグリッドピッチ P_h の2倍、もしくはそれ以上であることが好ましい。

30

【0094】

図10は、左下に高閾値セル10が配置された場合の、Cの位置の周辺のレイアウト図である。

【0095】

図10の右下および左上には、図8と同様に、Cの位置において配置グリッドの横方向のピッチ P_h の幅にわたってセル枠を接して上下に隣りあう、2個の高閾値セル10が示される。さらに、図10においては、左下にも同一の高閾値セル10が配置されている。図2に示したように、本実施形態のライブラリに含まれるスタンダードセル10では、第1の閾値調整パターン22の左右の境界22c、22dとセル枠の左右の境界12c、12dとの間の距離は、グリッドピッチ P_h の1/2倍である。従って、図10の下側に横方向に隣りあって配置された2つの高閾値セル10の第1の閾値調整パターン22相互間には、グリッドピッチ P_h と同一のスペース S_2 が形成される。このスペースは、デザインルールで定められた最小スペース S_{min} 以上であり、デザインルールを満たす。

40

【0096】

ここで、Cの位置に配置する違反解消パターン32の横方向の寸法が不適切である場合には、図の左下に配置した高閾値セル10の第1の閾値調整パターン22と違反解消パターン32との間に、微小なスペースが残り、デザインルール違反が発生する。

【0097】

これに対して、図10においては、違反解消パターン32の横方向の寸法が P_h の2倍であり、その中心が、図の右下および左上に配置された2個の高閾値セル10の第1の閾

50

値調整パターン 22 同士がコーナーを接した点に一致させて配置されている。このため、図の下側に左右に隣りあって配置された 2 つの高閾値セル 10 の第 1 の閾値調整パターン 22 相互間のスペース S2 が、違反解消パターン 32 によってちょうど埋まる。従って、左右に隣りあう高閾値セル 10 の閾値調整パターン 22 相互間に、デザインルール違反を発生させる微小なスペースが残ることはない。

【0098】

このように、上下に隣りあう高閾値セルの閾値調整パターン相互間がコーナーで接触し、デザインルール違反を発生する C の位置において、さらに、左右にも高閾値セルが隣りあう場合には、違反解消パターン 32 の横方向の寸法は、グリッドピッチ Ph の 2 倍、もしくはそれ以上にすることが好ましい。

10

【0099】

以上、本発明のセルライブラリ、半導体集積回路の設計方法、半導体集積回路パターン、および半導体集積回路について、1 つの実施形態を例として説明を行った。以上の例においては、セルライブラリに含まれる複数の高閾値セルの第 1 および第 2 の閾値調整パターンの左右の境界と、セル枠の左右の境界との間の距離 D1, D2, D3, D4 が、全て、配置グリッドの横方向のピッチ Ph (もしくは、スタンダードセルの単位幅 Wu) の 1/2 倍で一定である。この場合、上下もしくは左右に隣りあう高閾値セルの閾値調整パターン相互間で、デザインルール違反が発生するのは、図 5 の C の位置、すなわち、2 個の高閾値セルが配置グリッドの横方向のピッチ Ph の幅にわたってセル枠を接して上下に隣りあう場合のみに限定される。しかも、その位置においては、閾値調整パターン同士がコー

20

【0100】

なお、上記の図 5 および図 6, 7, 8, 9, 10 においては、複数種のスタンダードセルを、上下方向においては反転しながら配置したが、左右方向においては、反転せずに配置した。しかし、上下方向とともに左右方向についても、必要に応じて、反転しながら配置することも可能である。

【0101】

このように、閾値調整パターンの左右の境界とセル枠の左右の境界との間の距離 D1, D2, D3, D4 を一定にすることは、本願発明にとって必ずしも必須ではない。例えば、これらの距離の一部もしくは全てを、配置グリッドの横方向のピッチ Ph の 1/2 倍 (もしくは、スタンダードセルの単位幅 Wu の 1/2 倍) を単位として、変化させることが可能である。

30

【0102】

図 11 には、D1, D2, D3, D4 を全て、配置グリッドの横方向のピッチ Ph (もしくは、スタンダードセルの単位幅 Wu) の 1.5 倍とした場合のレイアウトの一例を示す。

【0103】

図 11 には、 $D1 = D2 = D3 = D4 = Ph \times 1.5 = Wu \times 1.5$ である、3 個の高閾値セル 80 が示されている。すなわち、図 11 の右下および左上には、配置グリッドの横方向のピッチ Ph (すなわち、スタンダードセルの単位幅 Wu) の 3 倍の幅にわたってセル枠 12 の上側の境界 12a を接して上下に隣りあう、2 個の高閾値セル 80 が示されている。図 11 の左下にはさらに、3 個目の高閾値セル 80 が、そのセル枠 12 の上側の境界 12a もしくは右側の境界 12d を、他の高閾値セル 80 のセル枠 12 の上側の境界 12a もしくは左側の境界 12c と接して、配置されている。

40

【0104】

このとき、右下および左上に配置された 2 個の高閾値セル 80 の閾値調整パターン 22 は、相互に、コーナーで接する状態となり、デザインルール違反を発生する。しかし、このデザインルール違反の発生状態は、図 8 に示した場合と同様 (閾値調整パターン同士が

50

コーナーで接する)である。従って、図9に示された場合と同様に、予め用意された1種類の違反解消パターン32を配置することによって、容易に解消することができる。

【0105】

なお、 $D1 = D2 = Ph \times 1.5$ である場合、図11の下側に横方向の隣りあって配置される高閾値セル80の閾値調整パターン22相互間には、配置グリッドの横方向のピッチ Ph の3倍のスペース $S3$ が形成される。従って、図11に示されたように、グリッドピッチ Ph の2倍の幅を有する違反解消パターン32を配置しても、なお、 Ph の2倍のスペース $S4$ が残され、デザインルール違反を発生することはない。

【0106】

また、図11には、第1の閾値調整パターン22同士が上下に隣りあって配置された場合について示したが、第2の閾値調整パターン同士が上下に隣りあって配置された場合についても同様である。

【0107】

図示は省略するが、 $D1 = D2 = D3 = D4 = Ph \times 1.5 = Wu \times 1.5$ である場合、図11に示した場合以外には、上下に隣りあう高閾値セルの閾値調整パターン相互間でデザインルール違反を発生することはない。例えば、上下に隣りあう高閾値セル同士が、セル枠のコーナーで接するか、もしくは、配置グリッドの横方向のピッチ Ph (もしくは、スタンダードセルの単位幅 Wu)の1倍もしくは2倍の幅にわたってセル枠を接する場合には、図6に示されるような状態になる。すなわち、上下に隣りあう高閾値セルの閾値調整パターン相互間に、グリッドピッチ Ph の1倍以上のスペースが形成される。また、上下に隣りあう高閾値セル同士が、配置グリッドの横方向のピッチ Ph (もしくは、スタンダードセルの単位幅 Wu)の4倍以上の幅にわたってセル枠を接する場合には、図7に示されるような状態になる。すなわち、上下に隣りあう高閾値セルの閾値調整パターンは、互いに、グリッドピッチ Ph の1倍以上の幅にわたって接し、一体化される。

【0108】

また、例えば、 $D1, D2, D3, D4$ を全て0にすることも可能である。この場合、上下に隣りあって配置される高閾値セルのセル枠がコーナーで接する場合に、閾値設定パターンが相互にコーナーで接し、デザインルール違反を起こす。この場合も、図9に示されたものと同じ違反解消パターン32の追加によって、デザインルール違反を解消することができる。なお、この場合、左右に隣りあう高閾値セルの閾値調整パターンは、セル枠の右側もしくは左側の境界において互いに接し、一体化される。従って、左右に隣りあう高閾値セルの閾値調整パターン相互間でデザインルールを満たさない微小なスペースが形成されることはない。

【0109】

このように、閾値調整パターンの左右の境界とセル枠の左右の境界との間の距離 $D1, D2, D3, D4$ が、配置グリッドの横方向のピッチ Ph (もしくは、スタンダードセルの単位幅 Wu)の $1/2$ 倍である場合のみではなく、 $n/2$ 倍である場合にも、上下に隣りあう高閾値セルの閾値調整パターン相互間でデザインルール違反が起きる状態を限定して容易に解消することを可能とし、かつ、左右に隣りあう高閾値セルの閾値調整パターン相互間でデザインルール違反が発生することを防止できる。ここで、 n は0以上の整数である。

【0110】

この場合、セルライブラリに含まれる複数種の高閾値セルの全てに対して、 n の値が同一である必要はない。また、個々の高閾値セル毎に、 $D1, D2, D3, D4$ の全てに対して n の値が同一である必要もない。すなわち、 $D1 = Ph \times n1/2$ (もしくは、 $D1 = Wu \times n2/2$)、 $D2 = Ph \times n2/2$ (もしくは、 $D2 = Wu \times n2/2$)、 $D3 = Ph \times n3/2$ (もしくは、 $D3 = Wu \times n3/2$)、 $D4 = Ph \times n4/2$ (もしくは、 $D4 = Wu \times n4/2$)と表現した場合に、 ni ($i = 1, 2, 3, 4$)は、複数種の高閾値セル、および、それぞれの i に対して異なることができる0以上の整数である。

【0111】

10

20

30

40

50

n_1 が一定でない場合、閾値調整パターン相互間でデザインルール違反を起こす時の、上下に隣りあう高閾値セル同士の位置関係が一定にならない。しかし、どのような位置関係の場合にデザインルール違反を起こすとしても、図3に示した設計方法の実施は可能である。すなわち、ST6においてデザインルール違反を起こした位置をデザインルール違反チェックで特定し、その位置に、ST7において、違反解消パターンの配置を行って、違反の解消を行えばよい。

【0112】

ただし、 n_1 と n_2 は両方とも偶数であるか、もしくは、両方とも奇数であることが好ましい。 n_3 と n_4 についても、両方とも偶数であるか、もしくは、両方とも奇数であることが好ましい。例えば、 $n_1 = 1$, $n_2 = 2$ であった場合、上下に隣りあう高閾値セルの第1の閾値調整パターン同士がコーナーで接することはない。しかし、互いのセル枠を Ph の幅にわたって接して上下に隣りあう高閾値セルの、第1の閾値調整パターン同士の間には、 $Ph \times 1 / 2$ のスペースが形成される。また、互いのセル枠を $Ph \times 2$ の幅にわたって接して上下に隣りあう高閾値セルの第1の閾値調整パターン同士は、 $Ph \times 1 / 2$ の幅にわたって接する。上記の130nmノード半導体集積回路の例 ($Ph = 0.41 \mu m$ 、 $S_{min} = W_{min} = 0.31 \mu m$) においては、これらの高閾値セルの配置関係の両方においてデザインルール違反が発生する。この結果、違反の解消のために必要な演算処理量が増大する。

【0113】

なお、 $Ph - S_{min} \times 2$ もしくは $Ph - W_{min} \times 2$ とすることにより、上記の配置関係の少なくとも一方においては、デザインルール違反発生を防止することができる。しかし、このように配置グリッドのピッチを大きくすると、形成される回路ブロックの面積が大きくなる。従って、 S_{min} および W_{min} (通常、第1および第2の閾値調整パターンに対して同一の値に設定されるが、異なる値に設定される場合には、小さい方の値) と Ph との関係をも、 $Ph < S_{min} \times 2$ かつ $Ph < W_{min} \times 2$ とすることによって回路ブロックの面積縮小を可能とするとともに、第1および第2の閾値調整パターンの左右の境界と、セル枠の左右の境界との間の距離に対して、上記の制限 (n_1 と n_2 の両方が偶数もしくは両方が奇数、かつ、 n_3 と n_4 の両方が偶数もしくは両方が奇数) を加え、デザインルール違反が発生する高閾値セル間の配置関係を限定することが好ましい。

【0114】

また、実際の回路ブロック形成においては、スタンダードセルライブラリに含まれる複数種の高閾値セルから選択された任意の高閾値セルが、上下に隣りあって配置される。従って、スタンダードセルライブラリに含まれる複数種の高閾値セル全体において、 n_1 と n_2 の両方が偶数または両方が奇数であり、かつ、 n_3 と n_4 の両方が偶数または両方が奇数であることが好ましい。

【0115】

また、ライブラリに含まれる複数種の高閾値セル全体において、 n_1 , n_2 , n_3 , n_4 の全てを偶数、もしくは、全てを奇数とすることも好ましい。この場合、デザインルール違反発生箇所の縦方向の配置グリッドに対する相対的な位置を、第1の閾値調整パターンと第2の閾値調整パターンとで同一にすることができる。これにより、違反の解消をより容易に実施することができる。

【0116】

さらに、 D_1 , D_2 , D_3 , D_4 が Ph の $n / 2$ 倍であることも、本願発明にとって必ずしも必須ではない。ここで、閾値設定パターンの左右の境界とセル枠の左右の境界との距離を $D_i = d_i + Ph \times n_i / 2$ (もしくは、 $D_i = d_i + Wu \times n_i / 2$) と表現して考察する。ただし、 $-Ph / 2 < d_i < Ph / 2$ (もしくは、 $-Wu / 2 < d_i < Wu / 2$) である。

【0117】

まず、図6に示されたのは、 $n_1 = n_2 = 1$ 、 $d_1 = d_2 = 0$ の場合であり、上下に隣り合って配置された2個の高閾値セル10の第1の閾値調整パターン22相互間の距離は

10

20

30

40

50

$S_1 = Ph = Wu$ である。この距離は、 d_1 、 d_2 のいずれかもしくは両方が0ではない場合、 $Ph + (d_1 + d_2) = Wu + (d_1 + d_2)$ となる。しかし、 $Ph + (d_1 + d_2) \leq S_{min}$ (もしくは、 $Wu + (d_1 + d_2) \leq S_{min}$)の範囲内であれば、第1の閾値調整パターン22相互間に、 S_{min} 未満の、デザインルールに違反する微小なスペースが形成されることはない。例えば、前記のように $Ph = Wu = 0.41 \mu\text{m}$ 、 $S_{min} = 0.31 \mu\text{m}$ の場合、 $(d_1 + d_2) \leq 0.1 \mu\text{m}$ の範囲が許容される。

【0118】

第2の閾値調整パターン24相互間においても同様である。すなわち、 $Ph + (d_3 + d_4) \leq S_{min}$ (もしくは、 $Wu + (d_3 + d_4) \leq S_{min}$)の範囲内であれば、図6に示された関係で第2の閾値調整パターンが隣り合って配置される位置においてもデザインルール違反は発生しない。

10

【0119】

次に、図7に示されたのは、 $n_1 = n_2 = 1$ 、 $d_1 = d_2 = 0$ の場合であり、上下に隣り合って配置された2個の高閾値セル10の第1の閾値調整パターン22は相互に、 $W_1 = Ph = Wu$ の幅にわたって接する。この幅は、 d_1 、 d_2 のいずれかもしくは両方が0ではない場合、 $Ph - (d_1 + d_2) = Wu - (d_1 + d_2)$ となる。しかし、 $Ph - (d_1 + d_2) \leq W_{min}$ (もしくは、 $Wu - (d_1 + d_2) \leq W_{min}$)の範囲内であれば、第1の閾値調整パターン相互間に、 W_{min} 未満の、デザインルールに違反する幅の部分が形成されることはない。例えば、前記のように $Ph = Wu = 0.41 \mu\text{m}$ 、 $W_{min} = 0.31 \mu\text{m}$ の場合、 $(d_1 + d_2) \leq 0.1 \mu\text{m}$ の範囲が許容される。

20

【0120】

第2の閾値調整パターン24についても同様である。すなわち、 $Ph - (d_3 + d_4) \leq W_{min}$ (もしくは、 $Wu - (d_3 + d_4) \leq W_{min}$)の範囲内であれば、図7に示された関係で第2の閾値調整パターンが隣り合って配置される位置においてもデザインルール違反は発生しない。

【0121】

さらに、図9に示された位置においては、 $d_1 + d_2$ が0ではない場合、上下に隣りあう高閾値セルの第1の閾値調整パターン22同士がコーナーで接する状態にはならない。 $d_1 + d_2 > 0$ である場合には、第1の閾値調整パターン22同士が、 $d_1 + d_2$ の幅にわたって接する。一方、 $d_1 + d_2 < 0$ である場合には、第1の閾値調整パターン22相互間に $d_1 + d_2$ の絶対値に等しいスペースが形成される。前記のように、回路ブロックの面積縮小を可能とするために $S_{min} - Ph < S_{min} \times 2$ かつ $W_{min} - Ph < W_{min} \times 2$ とし、かつ、 $d_1 + d_2$ を図6、7に示された位置においてデザインルール違反を発生しない範囲内とした場合、図9に示された位置においてデザインルール違反が発生する。

30

【0122】

しかし、デザインルール違反が発生する位置が限定されていれば、違反解消パターンの配置によって容易に解消することが可能である。第2の閾値調整パターンに関しても同様である。 $d_1 + d_2$ の値によっては、配置すべき違反解消パターンの寸法を調整することが必要になる。しかし、 $d_1 + d_2$ の値が予め分かっているならば、図3のステップST2において、適切な寸法の違反解消パターンを用意すれば、ステップST7においては、予め用意した違反解消パターンを配置することのみによって、容易にルール違反の解消を行うことができる。

40

【0123】

ただし、スタンダードセルライブラリに含まれる複数種の高閾値セル相互間で、 d_1 、 d_2 、 d_3 、 d_4 の値が異なつたのでは、デザインルール違反箇所に形成されるルールを満たさない微小なスペースや幅の寸法が変化する。これでは、図3のステップST2においてさまざまな寸法のルール違反解消パターンを用意し、ステップST7においては、複数のルール違反解消パターンの中から適当な寸法のものを選択することが必要になる。このような処理によって演算処理量が増大することを避けるために、 d_1 、 d_2 、 d_3 、 d

50

4のそれぞれの値を、セルライブラリに含まれる複数種の高閾値セル全体において同一にすることが好ましい。

【0124】

また、 $d_1 = d_2$ かつ $d_3 = d_4$ とすることも好ましい。この場合、高閾値セルを左右方向に反転して配置することを許す場合にも、デザインルール違反箇所に形成されるルールを満たさない微小なスペースや幅の寸法を一定することができる。これによって、回路ブロック内に複数種の高閾値セルが配置されることによって形成された複数のルール違反発生箇所に、一定の形状および寸法を有する同一の違反解消パターンを配置して、容易に違反解消を行うことができる。

【0125】

また、 $d_1 + d_2 = d_3 + d_4$ とすることも好ましい。この場合、第1の閾値調整パターンにおけるデザインルール違反状態（違反箇所に発生する、ルールを満たさない微小なスペースもしくは幅の寸法）と、第2の閾値調整パターンにおけるデザインルール違反状態とが同一になる。このため、第1の閾値調整パターンと第2の閾値調整パターンとのルール違反解消に、同一の形状および寸法の違反解消パターンを利用することができる。

【0126】

さらに、左右に隣りあう高閾値セルの閾値設定パターン間でデザインルール違反を発生しないために、 $n_1 = n_2 = 0$ である場合には $d_1 + d_2 = 0$ とすることが好ましい。 $n_1 = n_2 = 0$ である場合に $d_1 + d_2 > 0$ とすると、左右に隣りあう高閾値セルの第1の閾値調整パターン間に $d_1 + d_2$ のスペースが形成される。従って、 $S_{min} - P_h < S_{min} \times 2$ かつ $W_{min} - P_h < W_{min} \times 2$ とし、 $d_1 + d_2$ を図6、7に示された位置においてデザインルール違反が発生しない値とした場合には、デザインルール違反が発生する。同様に、 $n_3 = n_4 = 0$ である場合には $d_3 + d_4 = 0$ とすることが好ましい。

【0127】

以上説明したように、本発明の実施形態セルライブラリに含まれる、閾値調整パターンを有するスタンダードセルにおいては、第1の閾値調整パターンの上側の境界および第2の閾値調整パターン4の下側の境界が、それぞれ、セル枠の上下の境界に重ねられる。そして、閾値調整パターンの左右の境界とセル枠の左右の境界との間の距離が、それぞれ、適切に設定される。

【0128】

本発明の実施形態の設計方法において、このようなスタンダードセルを配置して回路ブロックを形成したときには、スタンダードセルがある限定された位置関係で配置された場合以外においては、隣りあうスタンダードセルの閾値調整パターン間でのデザインルール違反発生を防止することができる。そして、そのような限定された位置関係で配置された場合において発生するデザインルール違反も、予め用意した違反解消パターンを配置することにより、容易に解消することができる。これにより、時間やコストの増大を招くことなく、閾値の異なるトランジスタを含むセルを任意の箇所に配置した半導体集積回路パターンを設計することができる。

【0129】

そして、このようにして設計した半導体集積回路パターンを用いることにより、閾値の異なるトランジスタを含むセルを任意の箇所に配置し、動作速度とリーク電流の両方を最適化した半導体集積回路を得ることができる。

【0130】

上記の説明においては、閾値調整パターンを有するスタンダードセルが高閾値セルであるとした。しかし、逆に、閾値調整パターンを有するスタンダードセルを低閾値セルとすることも可能であることは、前述の通りである。

【0131】

実際のスタンダードセルにおいては、図1等においては省略された他の層のパターンも配置される。例えば、ゲート20に入力端子を形成するための配線パターン、PMOSトランジスタ40のドレイン46とNMOSトランジスタ50のドレイン56とを相互に接

10

20

30

40

50

続し、インバータの出力端子を形成するための配線パターン、V d d 電位およびG N D 電位を供給する電源配線パターン等は、図 1 には示されていない。また、これらの配線をトランジスタ 4 0 , 5 0 の対応する箇所に接続するためのコンタクトホールパターンも図 1 には示されていない。さらに、活性層のパターンについては、図 1 に示した部分に加えて、実際には、P M O S トランジスタ 4 0 のソース領域 4 4 に V d d 電位を供給するための部分、および、N チャネル M O S トランジスタのソース領域に 5 4 に G N D 電位を供給するための部分が配置される。

【 0 1 3 2 】

V d d 電源配線パターンは、セル枠 1 2 の上側の境界 1 2 a に沿って、G N D 電源配線パターンは、セル枠 1 2 の下側の境界 1 2 b に沿って、セル 1 0 の幅全体にわたって設けられる。図 5 に示したようにスタンダードセルを配置して回路ブロック 7 0 を形成する際に、左右および上下に配置したセルの電源配線パターンが一体化される。この結果、回路ブロックの左右方向の寸法全体にわたる長さを有する V d d および G N D 電源配線が、それぞれのセル列の間の境界に、交互に配置される。すなわち、回路ブロック 7 0 の上下方向に、V d d 電源配線と G N D 電源配線とが交互に配置される。

10

【 0 1 3 3 】

同様に、N ウエルおよび P ウエルのパターンも、回路ブロック 7 0 を形成する際に一体化される。そして、回路ブロック 7 0 の左右方向の寸法全体にわたる寸法を有する N ウエルおよび P ウエルパターンが、上下方向に交互に配置される。

【 0 1 3 4 】

20

なお、V d d および G N D 電源配線パターンを第 2 層もしくはそれよりもさらに上層の金属層に設けることにより、活性層パターンやゲートパターンを、セル枠の上下の境界の近傍にまで延ばすことが可能になる。これによって、トランジスタの駆動能力を増大させることができる。このような場合には、閾値調整パターンについてもセル枠の上下の境界の近傍にまで延ばすことが必要になる。本発明はこのようなレイアウトを有するスタンダードセルに対して特に好適に適用することができる。

【 0 1 3 5 】

図 1 に例示したスタンダードセル 1 0 においては、第 1 および第 2 の閾値調整パターン 2 2 , 2 4 がいずれも長方形の形状を有している。しかしこれは、本発明にとって必ずしも必須のことではない。他の形状を採用することも可能である。この場合、閾値調整パターンの左右の境界が、複数に分割されることがあり得る。

30

【 0 1 3 6 】

このように閾値調整パターンの左右の境界が複数に分割された場合に、上下に隣りあうスタンダードセルの閾値調整パターン間でデザインルール違反を起こすスタンダードセルの位置関係を限定し、容易に解消することを可能にするためには、閾値調整パターンの上下の境界の、セル枠の上下の境界と重なった部分に接続される部分の左右の境界について、セル枠の左右の境界との距離を適切に定める必要がある。すなわち、スタンダードセルの上側に配置される閾値調整パターンについては、上側の境界の、セル枠の上側の境界に重なった部分に接続される部分の左右の境界について、セル枠の左右の境界との距離を適切に設定する必要がある。スタンダードセルの下側に配置される閾値調整パターンについては、下側の境界の、セル枠の下側の境界に重なった部分に接続される部分の左右の境界について、セル枠の左右の境界との距離を適切に設定する必要がある。

40

【 0 1 3 7 】

一方、左右に隣りあって配置されるセルの閾値調整パターン間でデザインルール違反を起こさないためには、複数に分かれた左右の境界のそれぞれについて、セル枠の左右の境界との距離を適切に設定する必要がある。

【 0 1 3 8 】

以上、本発明のスタンダードセルライブラリ、半導体集積回路の設計方法、半導体集積回路パターン、および、半導体集積回路について詳細に説明した。しかし、本発明は上記実施形態に限定されず、本発明の趣旨を逸脱しない範囲において、種々の改良や変更を行

50

うことが可能である。

【図面の簡単な説明】

【0139】

【図1】本発明の実施形態のセルライブラリに含まれるスタンダードセルの一例のレイアウト図である。

【図2】図1に示したスタンダードセルを配置グリッドに添って配置した状態を示すレイアウト図である。

【図3】本発明の半導体集積回路の設計方法の実施形態の一例を示すフロー図である。

【図4】本発明のセルライブラリの実施形態の一例の構成を示す概念図である。

【図5】本発明の半導体集積回路パターンに含まれる回路ブロックの一例を模式的に示すレイアウト図である。

10

【図6】図5のAの位置の周囲におけるスタンダードセルの配置を示すレイアウト図である。

【図7】図5のBの位置の周囲におけるスタンダードセルの配置を示すレイアウト図である。

【図8】図5のCの位置の周辺におけるスタンダードセルの配置を示すレイアウト図である。

【図9】図8に示したCの位置に違反解消パターンを配置した状態を示すレイアウト図である。

【図10】図5のCの位置の周辺におけるスタンダードセルの他の配置を示すレイアウト図である。

20

【図11】別の高閾値セルが配置されたレイアウト図である。

【図12】従来のスタンダードセルの一例のレイアウト図である。

【図13】図12のスタンダードセルを配列することによって形成した回路ブロックの一部を示すレイアウト図である。

【符号の説明】

【0140】

10, 110 スタンダードセル

12, 112 枠

16, 18, 116, 118 活性領域パターン

30

20, 120 ゲートパターン

40, 140 PMOSトランジスタ

50, 150 NMOSトランジスタ

22, 122 第1の閾値調整パターン

24, 124 第2の閾値調整パターン

32 違反解消パターン

60 スタンダードセルライブラリ

70, 170 回路ブロック

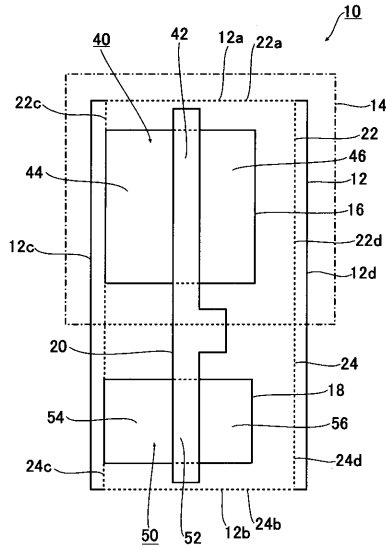
H8, H9, H10, H12 高閾値セル

L6, L7, L8, L9, L13 低閾値セル

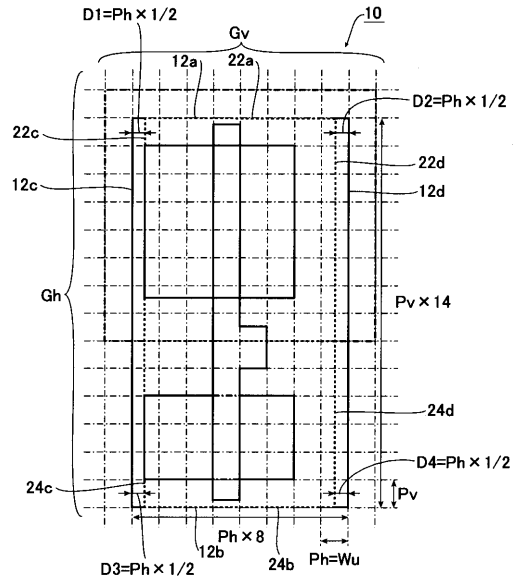
40

Gh, Gv 配置グリッド

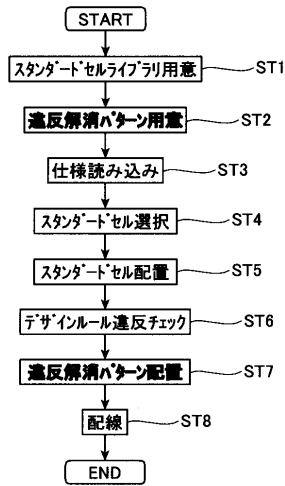
【図1】



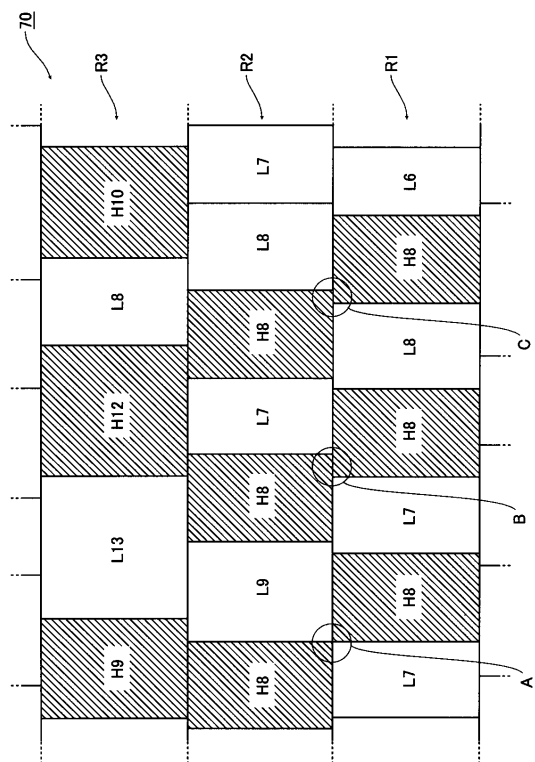
【図2】



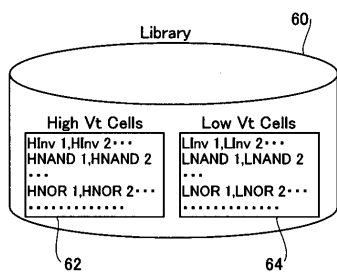
【図3】



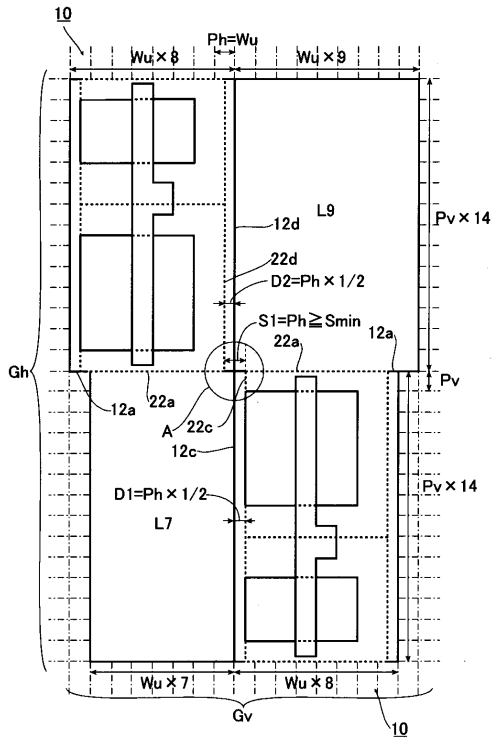
【図5】



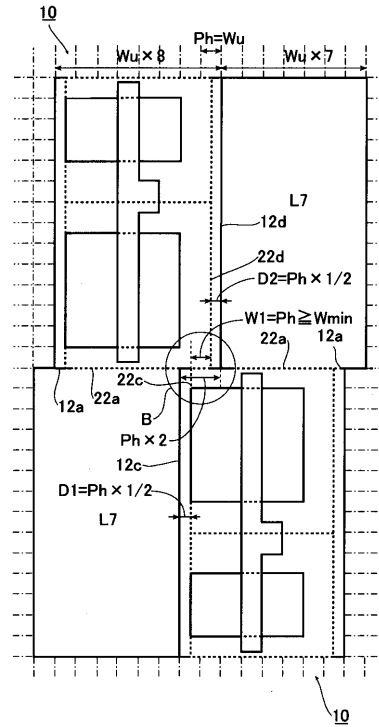
【図4】



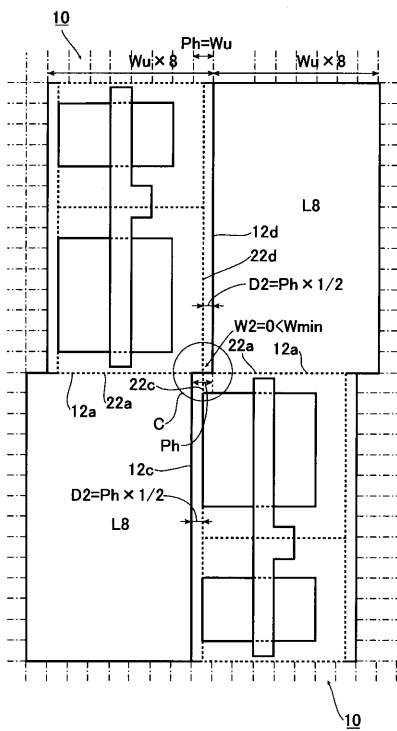
【 図 6 】



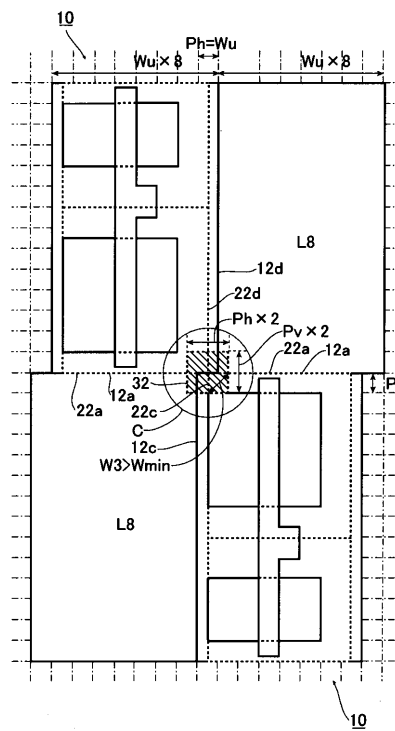
【 図 7 】



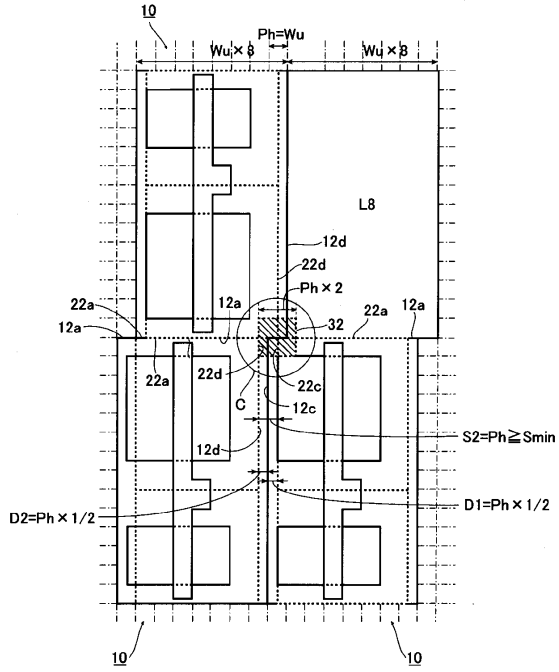
【 図 8 】



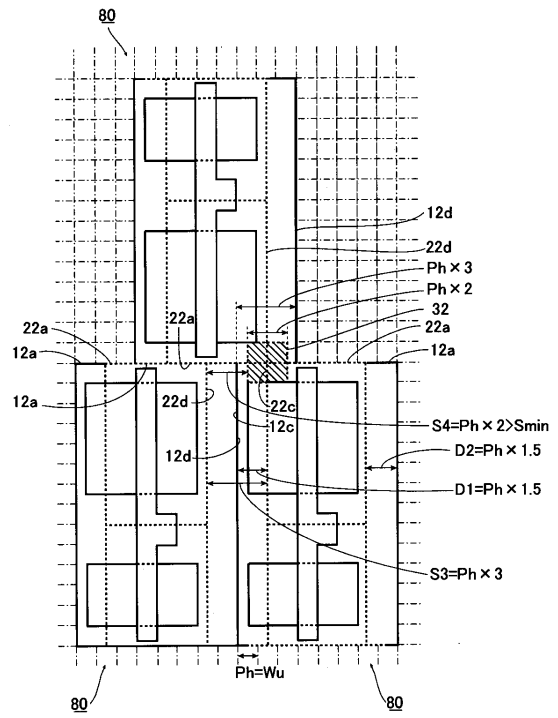
【 図 9 】



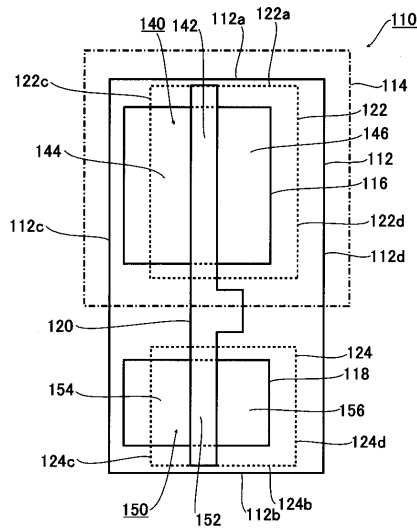
【 図 1 0 】



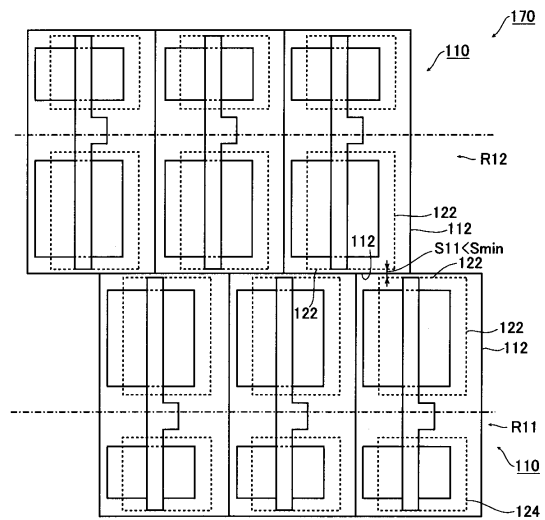
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(72)発明者 山本 隆広

千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

審査官 田代 吉成

(56)参考文献 特開2005-197428(JP,A)

特開2001-351981(JP,A)

特開2005-183793(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82