



(12)发明专利

(10)授权公告号 CN 106298809 B

(45)授权公告日 2019.04.05

(21)申请号 201610842154.4

G02F 1/1368(2006.01)

(22)申请日 2016.09.22

(56)对比文件

(65)同一申请的已公布的文献号

CN 103779357 A,2014.05.07,

申请公布号 CN 106298809 A

CN 105575978 A,2016.05.11,

(43)申请公布日 2017.01.04

审查员 李春燕

(73)专利权人 昆山龙腾光电有限公司

地址 215301 江苏省苏州市昆山市龙腾路1号

(72)发明人 吕晶 李森龙

(74)专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 蔡光仟

(51)Int.Cl.

H01L 27/12(2006.01)

G02F 1/1362(2006.01)

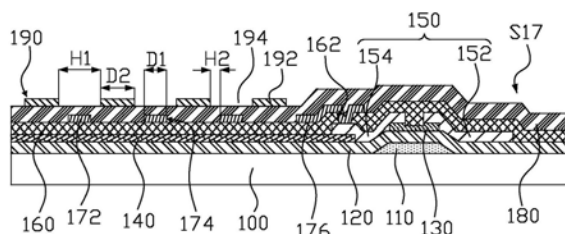
权利要求书2页 说明书7页 附图12页

(54)发明名称

薄膜晶体管阵列基板及其制作方法、液晶显示装置

(57)摘要

一种薄膜晶体管阵列基板,包括底板和设置在底板上的多个像素单元,每个像素单元具有透光区域,像素单元包括第一导电层、第一绝缘保护层、第二导电层、第二绝缘保护层和第三导电层;第一绝缘保护层具有通孔;第二导电层填入通孔与第一导电层电连接;第二导电层包括位于透光区域内的多条第一导电条,第三导电层包括位于透光区域内的多条第二导电条,第二导电条的长度延伸方向与第一导电条的延伸方向一致,第二导电条与第一导电条在垂直于底板的方向上交叉间隔设置并且第二导电条与第一导电条在底板上的投影无重叠区域。本发明的薄膜晶体管阵列基板能提高液晶显示装置的穿透率。本发明还涉及薄膜晶体管阵列基板的制作方法及其液晶显示装置。



1. 一种薄膜晶体管阵列基板,包括底板(100)和设置在所述底板(100)上的多条扫描线(112)与多条数据线(156),所述多条扫描线(112)和所述多条数据线(156)相互交叉限定出呈矩阵排列的多个像素单元,每个像素单元具有透光区域(101),其特征在于,

所述像素单元包括第一导电层(140)、第一绝缘保护层(160)、第二导电层(170)、第二绝缘保护层(180)和第三导电层(190);所述第一导电层(140)形成在所述底板(100)上;所述第一绝缘保护层(160)覆盖所述第一导电层(140)并具有通孔(162);所述第二导电层(170)形成在所述第一绝缘保护层(160)上并填入所述通孔(162)与所述第一导电层(140)电连接;所述第二导电层(170)包括位于所述透光区域(101)内的多条第一导电条(172),多条所述第一导电条(172)间隔排列设置;所述第二绝缘保护层(180)覆盖所述第二导电层(170);所述第三导电层(190)形成在所述第二绝缘保护层(180)上,所述第三导电层(190)包括位于所述透光区域(101)内的多条第二导电条(192),所述第二导电条(192)的长度延伸方向与所述第一导电条(172)的延伸方向一致,所述第二导电条(192)与所述第一导电条(172)在垂直于所述底板(100)的方向上交叉间隔设置并且所述第二导电条(192)与所述第一导电条(172)在所述底板(100)上的投影无重叠区域,所述第一绝缘保护层(160)的厚度为 3000\AA 至 5000\AA ,所述第二绝缘保护层(180)的厚度为 800\AA 至 3000\AA ,所述第一导电层(140)覆盖整个所述像素单元内的透光区域(101)。

2. 如权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述像素单元还包括栅极(110)、栅绝缘层(120)、半导体层(130)和金属层(150),所述栅极(110)形成在所述底板(100)上;所述栅绝缘层(120)形成在所述底板(100)上并覆盖所述栅极(110),所述半导体层(130)形成在所述栅绝缘层(120)上并位于所述栅极(110)的上方;所述金属层(150)包括第一电极(152)和第二电极(154),所述第一电极(152)和所述第二电极(154)彼此分隔并分别与所述半导体层(130)接触,部分的所述半导体层(130)从所述第一电极(152)和所述第二电极(154)之间露出,所述第二电极(154)与所述第一导电层(140)接触实现电连接;所述第一绝缘保护层(160)还覆盖所述第一电极(152)、所述第二电极(154)、以及从所述第一电极(152)和所述第二电极(154)之间露出部分的所述半导体层(130);所述通孔(162)位于所述第二电极(154)的上方,所述第二导电层(170)填入所述通孔(162)与所述第二电极(154)接触电连接。

3. 如权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述第一导电条(172)的宽度(D1)为 $3\mu\text{m}$ 至 $5\mu\text{m}$;所述第二导电条(192)的宽度(D2)为 $3\mu\text{m}$ 至 $5\mu\text{m}$,相邻两条所述第二导电条(192)之间的距离(H1)为 $5\mu\text{m}$ 至 $7\mu\text{m}$ 。

4. 如权利要求1所述的薄膜晶体管阵列基板,其特征在于,相邻的所述第一导电条(172)与所述第二导电条(192)在平行于所述底板(100)方向上的距离(H2)为 $1\mu\text{m}$ 至 $3\mu\text{m}$ 。

5. 如权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述第一导电条(172)和所述第二导电条(192)的长度延伸方向与所述数据线(156)的延伸方向一致。

6. 如权利要求2所述的薄膜晶体管阵列基板,其特征在于,所述第一绝缘保护层(160)对应所述第二电极(154)的位置具有所述通孔(162),所述第二导电层(170)还包括导电连接部(176),所述导电连接部(176)连接多条所述第一导电条(172)并填入所述通孔(162)内与所述第二电极(154)接触电连接。

7. 如权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述第一导电层(140)和所

述第二导电层(170)是像素电极,所述第三导电层(190)是公共电极。

8.一种液晶显示装置,其特征在于,包括如权利要求1~7任一项所述的薄膜晶体管阵列基板。

9.一种薄膜晶体管阵列基板的制作方法,其特征在于,包括:

在底板(100)上形成栅极(110)和多条扫描线(112);

在底板(100)上形成栅绝缘层(120)并覆盖栅极(110);

在栅绝缘层(120)上形成半导体层(130)和第一导电层(140),并使半导体层(130)位于栅极(110)的上方,第一导电层(140)与半导体层(130)之间相互间隔;

形成金属层(150),金属层(150)包括第一电极(152)和第二电极(154)以及多条数据线(156);第一电极(152)和第二电极(154)彼此分隔并分别与半导体层(130)接触以使部分半导体层(130)从第一电极(152)和第二电极(154)之间露出,同时使第二电极(154)与第一导电层(140)连接,所述多条扫描线(112)和所述多条数据线(156)相互交叉限定出呈矩阵排列的多个像素单元,每个像素单元具有透光区域(101);

形成第一绝缘保护层(160),并覆盖第一导电层(140)和金属层(150)以及多条数据线(156),形成的第一绝缘保护层(160)的厚度为3000Å至5000Å,在第一绝缘保护层(160)上形成通孔(162);

在第一绝缘保护层(160)上形成第二导电层(170),并使第二导电层(170)填入通孔(162)内与第二电极(154)电连接,第二导电层(170)包括位于透光区域(101)内的多条第一导电条(172),多条第一导电条(172)间隔排列设置;以及形成第二绝缘保护层(180),并覆盖第二导电层(170)以及未被第二导电层(170)覆盖的第一绝缘保护层(160),形成的第二绝缘保护层(180)的厚度为800Å至3000Å;在第二绝缘保护层(180)上形成第三导电层(190),第三导电层(190)包括位于透光区域(101)内的多条第二导电条(192),多条第二导电条(192)间隔排列设置,每条第二导电条(192)的长度延伸方向与第一导电条(172)的延伸方向一致,第二导电条(192)与第一导电条(172)在垂直于底板(100)的方向上交叉间隔设置并且第二导电条(192)与第一导电条(172)在底板(100)上的投影无重叠区域,所述第一导电层(140)覆盖整个所述像素单元内的透光区域(101)。

薄膜晶体管阵列基板及其制作方法、液晶显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,且特别是涉及一种薄膜晶体管阵列基板及其制作方法,以及具有此薄膜晶体管阵列基板的液晶显示装置。

背景技术

[0002] 液晶显示装置(LCD,Liquid Crystal Display)具有画质好、体积小、重量轻、低驱动电压、低功耗、无辐射和制造成本相对较低的优点,目前在平板显示领域占主导地位。随着电子产品朝着轻、薄、小型化快速发展,各种便携式电子产品几乎都以液晶显示装置作为显示终端,特别是在摄录放影机、笔记本电脑、台式电脑、智能电视、智能手机、个人数字处理器等产品上。

[0003] 液晶显示面板(Panel)是液晶显示装置的关键零组件之一,液晶显示面板包括薄膜晶体管阵列基板、彩色滤光片基板以及夹设在薄膜晶体管阵列基板与彩色滤光片基板之间的液晶分子,通过在液晶显示面板的上下两侧分别贴附上偏光片和下偏光片,再由背光模组(Backlight Module)为液晶显示面板提供背光源,在电压信号的驱动作用下,使液晶分子发生不同程度的偏转,使光线穿过液晶显示面板而产生不同的显示灰阶,进行画面显示。

[0004] 薄膜晶体管阵列基板包括多条扫描线和多条数据线,且多条扫描线和多条数据线相互交叉限定出多个像素单元,扫描线和数据线交叉位置处设置有薄膜晶体管(TFT,Thin Film Transistor),薄膜晶体管元件就相当于一个电控开关,扫描线控制薄膜晶体管的打开和闭合,数据线提供液晶显示不同亮度所需要的灰阶电压。当在扫描线上施以高电压时,薄膜晶体管元件打开,灰阶电压就能从数据线进入像素电极,并经由透明像素电极施加于液晶层上,改变液晶的站立角度从而显示预定灰阶。图1是现有一种薄膜晶体管阵列基板的剖面结构示意图,请参阅图1,现有的薄膜晶体管阵列基板包括基板10、栅极11、第一绝缘保护层12、半导体层13、源极14a和漏极14b、像素电极15、第二绝缘保护层16和公共电极17。栅极11形成在基板10上。第一绝缘保护层12形成在基板10上并覆盖栅极11。半导体层13形成在第一绝缘保护层12上并位于栅极11上方。源极14a和漏极14b形成在第一绝缘保护层12上,源极14a和漏极14b彼此分隔并分别与半导体层13接触,以使部分的半导体层13从源极14a和漏极14b之间露出。像素电极15形成在第一绝缘保护层12上且一端与漏极14b接触实现电连接。第二绝缘保护层16形成在第一绝缘保护层12上,并覆盖源极14a、漏极14b、像素电极15以及从源极14a和漏极14b之间露出部分的半导体层13。公共电极17形成在第二绝缘保护层16上。

[0005] 目前液晶显示装置的显示技术向着高穿透率、低功耗的方向发展。穿透率是指液晶显示装置的显示区域透过光的效率,即透过透明或半透明材料的光通量与其入射光通量的百分率。为了提升液晶显示装置的穿透率,现有技术采取的方法是减小薄膜晶体管阵列基板的像素电极15与公共电极17的之间的第二绝缘保护层16的厚度,但第二绝缘保护层16的厚度过低(例如小于 5000\AA)时)又会导致像素电极15与公共电极17之间储存电容增加,

造成像素充电不足的问题,为了避免像素充电不足的问题,第二绝缘保护层16的厚度在降低到一定量时就不能再继续降低了,为了进一步的提升穿透率,只能通过增加背光源的亮度、减小黑矩阵(BM,Black Matrix)的宽度以提高像素单元的透光面积等方法,但增加背光源的亮度会增加功耗,减小黑矩阵宽度又会造成漏光甚至形成混色等问题,因此,在避免出现上述问题的前提下进一步提高穿透率是目前亟待解决的问题之一。

发明内容

[0006] 本发明提供了一种薄膜晶体管阵列基板及其制作方法,其能提高液晶显示装置的穿透率。

[0007] 本发明提供了一种液晶显示装置,其具有较高的穿透率。

[0008] 本发明解决其技术问题是采用以下的技术方案来实现的。

[0009] 一种薄膜晶体管阵列基板,包括底板和设置在底板上的多个像素单元,每个像素单元具有透光区域,像素单元包括第一导电层、第一绝缘保护层、第二导电层、第二绝缘保护层和第三导电层;第一导电层形成在底板上;第一绝缘保护层覆盖第一导电层并具有通孔;第二导电层形成在第一绝缘保护层上并填入通孔与第一导电层电连接;第二导电层包括位于透光区域内的多条第一导电条,多条第一导电条间隔排列设置;第二绝缘保护层覆盖第二导电层;第三导电层形成在第二绝缘保护层上,第三导电层包括位于透光区域内的多条第二导电条,第二导电条的长度延伸方向与第一导电条的延伸方向一致,第二导电条与第一导电条在垂直于底板的方向上交叉间隔设置并且第二导电条与第一导电条在底板上的投影无重叠区域。

[0010] 在本发明较佳实施例中,上述像素单元还包括栅极、栅绝缘层、半导体层和金属层,栅极形成在底板上;栅绝缘层形成在底板上并覆盖栅极,半导体层形成在栅绝缘层上并位于栅极的上方;金属层包括第一电极和第二电极,第一电极和第二电极彼此分隔并分别与半导体层接触,部分的半导体层从第一电极和第二电极之间露出,第二电极与第一导电层接触实现电连接;第一绝缘保护层还覆盖第一电极、第二电极、以及从第一电极和第二电极之间露出部分的半导体;通孔位于第二电极的上方,第二导电层填入通孔与第二电极接触电连接。

[0011] 在本发明较佳实施例中,上述第一绝缘保护层的厚度为 3000\AA 至 5000\AA ,第二绝缘保护层的厚度为 800\AA 至 3000\AA 。

[0012] 在本发明较佳实施例中,上述第一导电条的宽度为 $3\mu\text{m}$ 至 $5\mu\text{m}$;第二导电条的宽度为 $3\mu\text{m}$ 至 $5\mu\text{m}$,相邻两条第二导电条之间的距离为 $5\mu\text{m}$ 至 $7\mu\text{m}$ 。

[0013] 在本发明较佳实施例中,上述相邻的第一导电条与第二导电条在平行于底板方向上的距离为 $1\mu\text{m}$ 至 $3\mu\text{m}$ 。

[0014] 在本发明较佳实施例中,上述第一导电条和第二导电条的长度延伸方向与数据线的延伸方向一致。

[0015] 在本发明较佳实施例中,上述第一绝缘保护层对应第二电极的位置具有通孔,第二导电层还包括导电连接部,导电连接部连接多条第一导电条并填入通孔内与第二电极接触电连接。

[0016] 在本发明较佳实施例中,上述第一导电层和第二导电层是像素电极,第三导电层

是公共电极。

[0017] 一种液晶显示装置,包括上述的薄膜晶体管阵列基板。

[0018] 一种薄膜晶体管阵列基板的制作方法,包括:

[0019] 在底板上形成栅极;

[0020] 在底板上形成栅绝缘层并覆盖栅极

[0021] 在栅绝缘层上形成半导体层和第一导电层,并使半导体层位于栅极的上方,第一导电层与半导体层之间相互间隔;

[0022] 形成金属层,金属层包括第一电极和第二电极;第一电极和第二电极彼此分隔并分别与半导体层接触以使部分半导体层从第一电极和第二电极之间露出,同时使第二电极与第一导电层连接;

[0023] 形成第一绝缘保护层,并覆盖第一导电层和金属层,形成的第一绝缘保护层的厚度为 3000\AA 至 5000\AA ,在第一绝缘保护层上形成通孔;

[0024] 在第一绝缘保护层上形成第二导电层,并使第二导电层填入通孔内与第二电极电连接,第二导电层包括位于透光区域内的多条第一导电条,多条第一导电条间隔排列设置;以及

[0025] 形成第二绝缘保护层,并覆盖第二导电层以及未被第二导电层覆盖的第一绝缘保护层,形成的第二绝缘保护层的厚度为 800\AA 至 3000\AA ;在第二绝缘保护层上形成第三导电层,第三导电层包括位于透光区域内的多条第二导电条,多条第二导电条间隔排列设置,每条第二导电条的长度延伸方向与第一导电条的延伸方向一致,第二导电条与第一导电条在垂直于底板的向上交叉间隔设置并且第二导电条与第一导电条在底板上的投影无重叠区域。

[0026] 本发明的有益效果是,在透光区域内,第二导电层的第一导电条与第三导电层的第二导电条在垂直于基板的方向上交叉间隔设置且第一导电条和第二导电条在基板上的投影无重叠区域,第一导电条与第二导电条之间的耦合电容较小,再有,薄膜晶体管阵列基板的第一绝缘保护层的厚度为 3000\AA 至 5000\AA ,第二绝缘保护层的厚度仅为 800\AA 至 3000\AA ,第一绝缘保护层与第二绝缘保护层的总厚度基本保持了与现有的薄膜晶体管阵列基板的像素电极与公共电极之间的厚度一致,因此也不会导致像素电极与公共电极之间的储存电容增加,避免了充电不足的问题。第二导电层与第三导电层之间距离较近,增强了第二导电层与第三导电层之间的电场强度,使得光线穿过透光区域的穿透能力变强,有效地提高了薄膜晶体管阵列基板的穿透率。因此,本发明的薄膜晶体管阵列基板能在不增加背光源亮度、不减小黑矩阵的宽度、保证像素充电充足等情况下有效地提高穿透率。

[0027] 上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述液晶显示装置及其制作方法和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明。

附图说明

[0028] 图1是现有一种薄膜晶体管阵列基板的剖面结构示意图。

[0029] 图2是本发明较佳实施例的薄膜晶体管阵列基板的剖面结构示意图。

[0030] 图3A至图3G是本发明较佳实施例的薄膜晶体管阵列基板的制作流程的平面结构示意图。

[0031] 图4A至图4G是对应图3A至3G所示的薄膜晶体管阵列基板的剖面制作流程示意图。

[0032] 图5是具有本发明较佳实施例的薄膜晶体管阵列基板的液晶显示装置与具有现有的薄膜晶体管阵列基板的液晶显示装置的穿透率-电压的效果对比图。

具体实施方式

[0033] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的薄膜晶体管阵列基板及其制作方法,以及具有此薄膜晶体管阵列基板的液晶显示装置的具体实施方式、结构、特征及其功效,详细说明如下:

[0034] 有关本发明的前述及其它技术内容、特点及功效,在以下配合参考图式的较佳实施例的详细说明中将可清楚呈现。通过具体实施方式的说明,当可对本发明为达成预定目的所采取的技术手段及功效得以更加深入且具体的了解,然而所附图仅是提供参考与说明之用,并非用来对本发明加以限制。

[0035] 图2是本发明较佳实施例的薄膜晶体管阵列基板的剖面结构示意图,图3A至图3G是本发明较佳实施例的薄膜晶体管阵列基板的制作流程的平面结构示意图,图4A至图4G是对应图3A至3G所示的薄膜晶体管阵列基板的剖面制作流程示意图,请一并参阅图2、图3A至图3G、图4A至图4G,需要说明的是,薄膜晶体管阵列基板包括底板100和设置在底板100上的多条扫描线112和多条数据线156,且多条扫描线112和多条数据线156相互交叉限定出呈矩阵排列的多个像素单元(图未标注),扫描线112和数据线156交叉位置处设置有薄膜晶体管(图未标注),每一像素单元内又具有可穿透光线的透光区域101(如图3G所示)。为了图示简洁,图2、图3A至图3G仅绘示对应薄膜晶体管阵列基板的一个像素单元的局部结构示意图,并且为了方便直观地体现像素单元内由半透明和不透明材料形成的各元件之间的位置关系,图2、图3A至图3G未绘示出由透明材料形成的底板100、栅绝缘层120、第一绝缘保护层160和第二绝缘保护层180,有关底板100、栅绝缘层120、第一绝缘保护层160和第二绝缘保护层180的位置关系可参考图4A至图4G。以下将对本实施例的薄膜晶体管阵列基板的制作方法做进一步的详细说明。

[0036] 步骤S11:请参照图3A和图4A,利用第一道光罩制程在底板100上形成栅极110。底板100例如是透明玻璃基板,在制作栅极110同一制程中同时制作扫描线112,且栅极110与扫描线112连接。

[0037] 步骤S12:请参照图3B和图4B,在底板100上形成栅绝缘层120,并覆盖栅极110和扫描线112。利用第二道光罩制程在栅绝缘层120上形成半导体层130,并使半导体层130位于栅极110的上方。半导体层130例如是非晶硅(a-Si)半导体层,但并不以此为限。

[0038] 步骤S13:请参照图3C和图4C,在半导体层130形成之后,利用第三道光罩制程在栅绝缘层120上形成第一导电层140。第一导电层140例如是由氧化铟锡(ITO, Indium Tin Oxide)等透明导电材料制成,但并不以此为限。本实施例中,所形成的第一导电层140会覆盖像素单元内的透光区域101(如图3G所示),且第一导电层140与半导体层130之间相互间隔。

[0039] 步骤S14:请参照图3D和图4D:利用第四道光罩制程在栅绝缘层120上形成金属层150。本实施例中,金属层150包括第一电极152、第二电极154和数据线156。第一电极152和第二电极154彼此分隔并分别与半导体层130直接接触而覆盖部分的半导体层130。换句话说,部分半导体层130从第一电极142和第二电极154之间露出。第一电极152与数据线156连接,第二电极154还与第一导电层140直接接触而覆盖部分的第一导电层140实现电连接,即第一导电层140通过第二电极154与半导体层130连接。第一电极152例如是源极,第二电极154例如是漏极。其它实施例中,也可先形成金属层150,之后形成第一层电层140,并使第一导电层140的一端覆盖部分金属层150的第二电极154实现电连接。

[0040] 步骤S15:请参照图3E和图4E,在第二金属层140形成之后,在栅绝缘层120上形成第一绝缘保护层160,并覆盖第一电极152、第二电极154、数据线156、第一导电层140以及覆盖从第一电极152和第二电极154之间暴露出来的半导体层130。第一绝缘保护层160例如是由氮化硅(SiN_x)形成的钝化层(PV, Passivation)或者是由有机树脂形成的保护层(OC, Overcoat)。本实施例中,第一绝缘保护层160的厚度为3000Å至5000Å,优选地,第一绝缘保护层160的厚度为3000Å。然后,利用第五道光罩制程在第一绝缘保护层160上形成通孔162。本实施例中,通孔162位于第二电极154的上方,通孔162贯通第一绝缘保护层160以使部分第二电极154暴露出来。制作通孔162目的是为了使第一导电层140和下一步制作的第二导电层170能均与第二电极154电连接,因此,其它实施例中,通孔162也可设置在第一导电层140的上方以使部分第一导电层140暴露出来,然后使第一导电层140和第二导电层170电连接,最后使第一导电层140或第二导电层170的其中之一与第二电极154接触实现电连接即可,因此,通孔162的位置可根据实际情况设置,在此不作限定。

[0041] 步骤S16:请参照图3F和图4F,利用第六道光罩制程在第一绝缘保护层160上形成第二导电层170。第二导电层170例如是由氧化铟锡(ITO, Indium Tin Oxide)等透明导电材料制成,但并不以此为限。具体地,第二导电层170位于第一导电层140的上方,第二导电层170包括位于透光区域101(如图3G所示)内的多条第一导电条172。多条第一导电条172间隔排列设置,优选为等距离间隔排列设置,第一导电条172的长度延伸方向与数据线146的延伸方向一致,换句话说,位于透光区域101内的第二导电层170具有多条第一狭缝174,每相邻两条第一导电条172之间形成一条第一狭缝174。本实施例中,每条第一导电条172的宽度D1为3μm至5μm,优选地,第一导电条172的宽度D1例如为3μm。第二导电层170还包括导电连接部176,导电连接部176位于第一导电条172靠近第二电极154的一端,每条第一导电条172靠近第二电极154的端部均与导电连接部176相连实现电连接,同时,第二导电层170的导电连接部176还填入通孔162内与第一导电层140电连接,本实施例中,通孔162位于第二电极154的上方,第二导电层170的导电连接部176填入通孔162内与第二电极154接触,第二导电层170与第一导电层140均与第二电极154电连接。本实施例中,多条第一导电条172远离第二电极154的一端也通过连接结构178将多条第一导电条172远离第二电极154的端部相互连接在一起。

[0042] 步骤S17:请参照图3G和图4G,在第二导电层170形成之后,形成第二绝缘保护层180,并覆盖第二导电层170以及未被第二导电层170覆盖的第一绝缘保护层160,第二绝缘保护层180例如是由氮化硅(SiN_x)形成的钝化层(PV, Passivation)。本实施例中,第二绝缘保护层180的厚度为800Å至3000Å,优选地,第二绝缘保护层180的厚度为2000Å。然后,

利用第七道光罩制程在第二绝缘保护层180上形成第三导电层190。第三导电层190例如是由氧化铟锡(ITO, Indium Tin Oxide)等透明导电材料制成,但并不以此为限。具体地,第三导电层190包括位于透光区域101内的多条第二导电条192,多条第二导电条192间隔排列设置,优选为等距离间隔排列设置,每条第二导电条192的长度延伸方向与数据线146(第一导电条172)的延伸方向一致,也即是说,位于透光区域101内的第三导电层190具有多条第二狭缝194,每相邻两条第二导电条192之间形成一条第二狭缝194。第二导电条192与第一导电条172在垂直于底板100的方向上交叉间隔设置并且第二导电条192与第一导电条172在底板100上的投影无重叠区域(即第二导电条192位于第二导电层170的第一狭缝174正上方,第一导电条172位于第三导电层190的第二狭缝194的正下方),本实施例中,每条第二导电条192的宽度D2为 $3\mu\text{m}$ 至 $5\mu\text{m}$,优选地,第二导电条192的宽度D2为 $3.4\mu\text{m}$;每相邻两条第二导电条192之间的距离H1(即第二狭缝194的宽度)为 $5\mu\text{m}$ 至 $7\mu\text{m}$,优选地,每相邻两条第二导电条192之间的距离H1为 $5\mu\text{m}$ 。相邻的第一导电条172与第二导电条192在平行于底板100方向上的距离H2为 $1\mu\text{m}$ 至 $3\mu\text{m}$,优选地,H2例如为 $1\mu\text{m}$ 。

[0043] 第三导电层190还包括位于透光区域101外的与第二导电条192相连的其它部分,该部分的图案可根据需要设计,在此不作限定。

[0044] 利用上述七道光罩制程制作的如图2和图3G所示的薄膜晶体管阵列基板包括底板100和设置在底板100上的多个像素单元,每个像素单元具有透光区域101,像素单元包括栅极110、栅绝缘层120、半导体层130、第一导电层140、金属层150、第一绝缘保护层160、第二导电层170、第二绝缘保护层180和第三导电层190。栅极110形成在底板100上。栅绝缘层120形成在底板100上并覆盖栅极110。半导体层130形成在栅绝缘层120上,半导体层130位于栅极110的正上方。第一导电层140形成在栅绝缘层120上,第一导电层140与半导体层130相互间隔设置。金属层150形成在栅绝缘层120上,包括第一电极152、第二电极154和数据线156,第一电极152和第二电极154彼此分隔并分别与半导体层130直接接触而覆盖部分的半导体层130,第一电极152与数据线156相连,第二电极154还与第一导电层140接触实现电连接。第一绝缘保护层160形成在栅绝缘层120上并覆盖金属层150(第一电极152、第二电极154和数据线156)、第一导电层140以及覆盖从第一电极152和第二电极154之间暴露出来的半导体层130;第一绝缘保护层160具有通孔162,本实施例中,通孔162位于第二电极154的上方,通孔162贯通第二绝缘保护层170以使部分第二电极154暴露出来,但并不以此为限。第二导电层170形成在第一绝缘保护层160上,第二导电层170位于第一导电层140的上方,第二导电层170包括多条第一导电条172和导电连接部174,多条第一导电条172位于透光区域101内,多条第一导电条172间隔排列设置,优选为等距离间隔排列设置,每条第一导电条172的长度延伸方向与数据线146的延伸方向一致;导电连接部176位于第一导电条172靠近第二电极154的一端,每条第一导电条172靠近第二电极154的端部均与导电连接部176相连实现电连接,同时,第二导电层170的导电连接部176还填入通孔162内与第二电极154电连接。第二绝缘保护层180形成在第一绝缘保护层160上并覆盖第二导电层170。第三导电层190形成在第二绝缘保护层180上,第三导电层190包括位于透光区域101内的多条第二导电条192,多条第二导电条192间隔排列设置,优选为等距离间隔排列设置,每条第二导电条192的长度延伸方向与数据线146的延伸方向一致,第二导电条192与第一导电条172在垂直于底板100的方向上交叉间隔设置并且第二导电条192与第一导电条172在底板100上的投影无重

叠区域。

[0045] 本发明较佳实施例的薄膜晶体管阵列基板中,第一导电层140和第二导电层170均与第二电极154电连接,由第一导电层140和第二导电层170共同形薄膜晶体管阵列基板的像素电极。由第三导电层190形成公共电极。

[0046] 在透光区域内,第二导电层的第一导电条与第三导电层的第二导电条在垂直于基板的方向上交叉间隔设置且第一导电条和第二导电条在基板上的投影无重叠区域,第一导电条与第二导电条之间的耦合电容较小,再有,薄膜晶体管阵列基板的第一绝缘保护层的厚度为 3000\AA 至 5000\AA ,第二绝缘保护层的厚度仅为 800\AA 至 3000\AA ,第一绝缘保护层与第二绝缘保护层的总厚度基本保持了与现有的薄膜晶体管阵列基板的像素电极与公共电极之间的厚度一致,因此也不会导致像素电极与公共电极之间的储存电容增加,避免了充电不足的问题。第二导电层与第三导电层之间距离较近,增强了第二导电层与第三导电层之间的电场强度,使得光线穿过透光区域的穿透能力变强,有效地提高了薄膜晶体管阵列基板的穿透率。因此,本发明的薄膜晶体管阵列基板能在不增加背光源亮度、不减小黑矩阵的宽度、保证像素充电充足等情况下有效地提高穿透率。

[0047] 可以理解的是,上述的薄膜晶体管阵列基板可作为液晶显示装置的基板,液晶显示装置例如包括相对设置的薄膜晶体管阵列基板和彩色滤光基板、以及夹设于薄膜晶体管阵列基板与彩色滤光基板之间的液晶层,此为本领域技术人员所熟知技术,在此不再赘述。具有上述薄膜晶体管阵列基板的液晶显示装置的也具有较高的穿透率。

[0048] 图5是具有本发明较佳实施例的薄膜晶体管阵列基板的液晶显示装置与具有现有的薄膜晶体管阵列基板的液晶显示装置的穿透率-电压的效果对比图。请参阅图5,曲线①为具有现有的薄膜晶体管阵列基板的液晶显示装置的穿透率与电压的关系曲线,而曲线②为具有本发明较佳实施例的薄膜晶体管阵列基板的液晶显示装置的穿透率与电压的关系曲线。由图5可以看出,具有本发明较佳实施例的薄膜晶体管阵列基板的液晶显示装置的穿透率明显高于具有现有的薄膜晶体管阵列基板的液晶显示装置的穿透率。

[0049] 以上对本发明所提供的薄膜晶体管阵列基板及其制作方法,以及具有此薄膜晶体管阵列基板的液晶显示装置进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

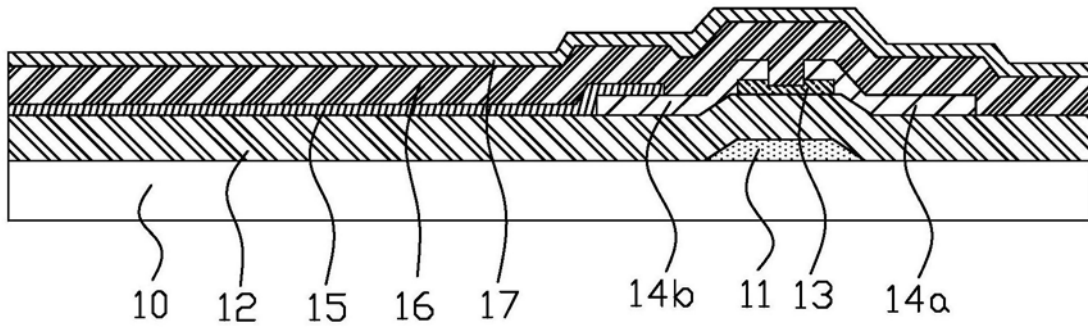


图1

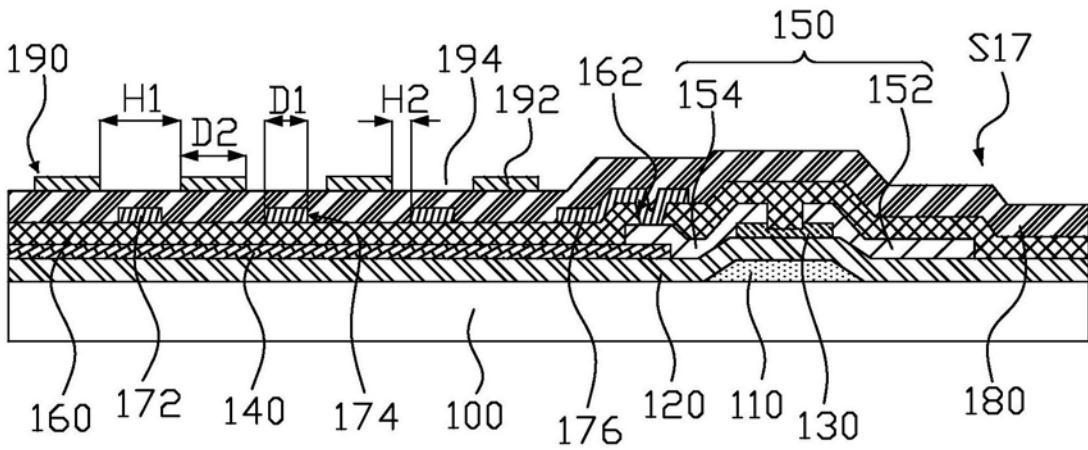


图2

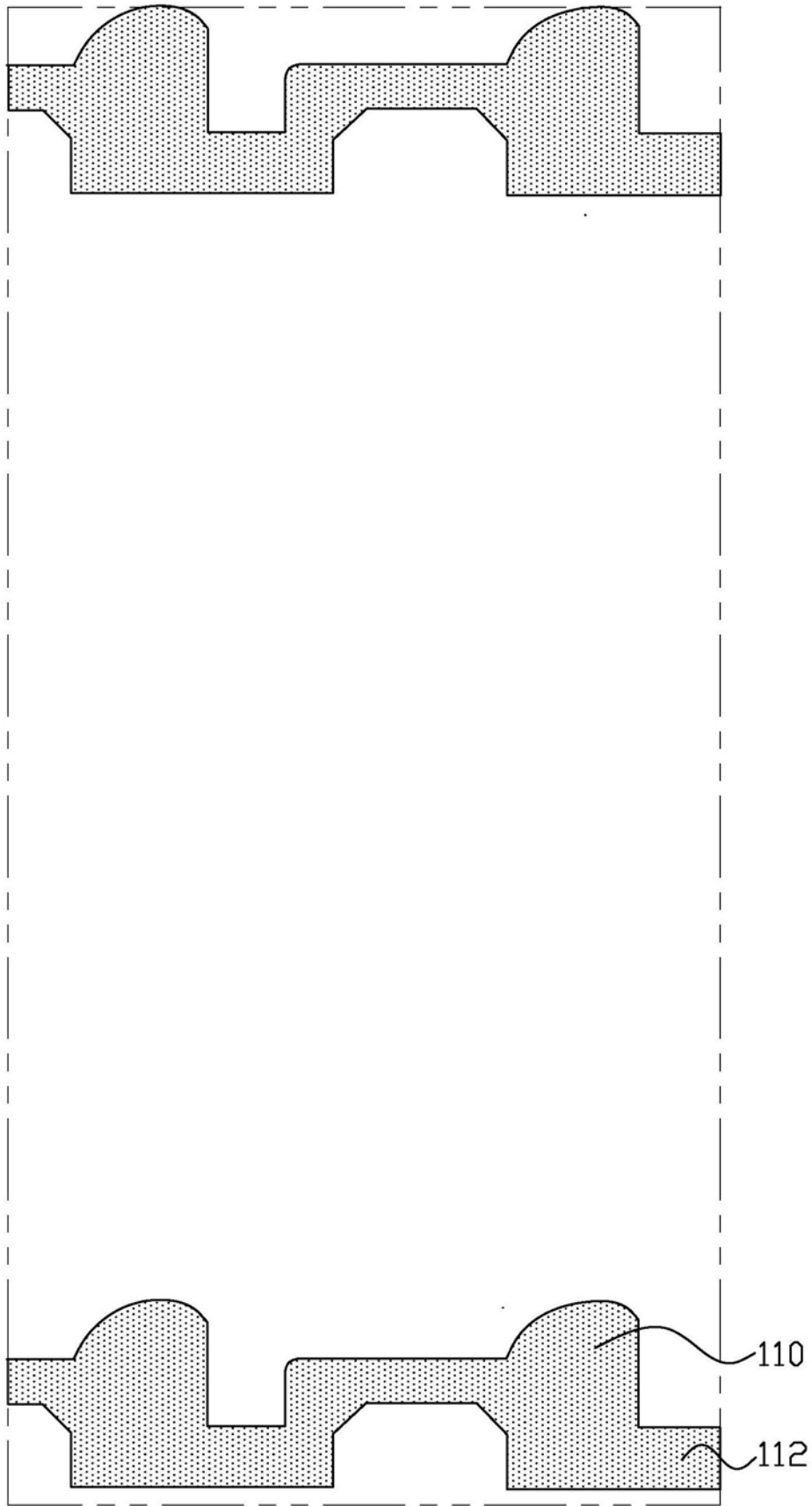


图3A

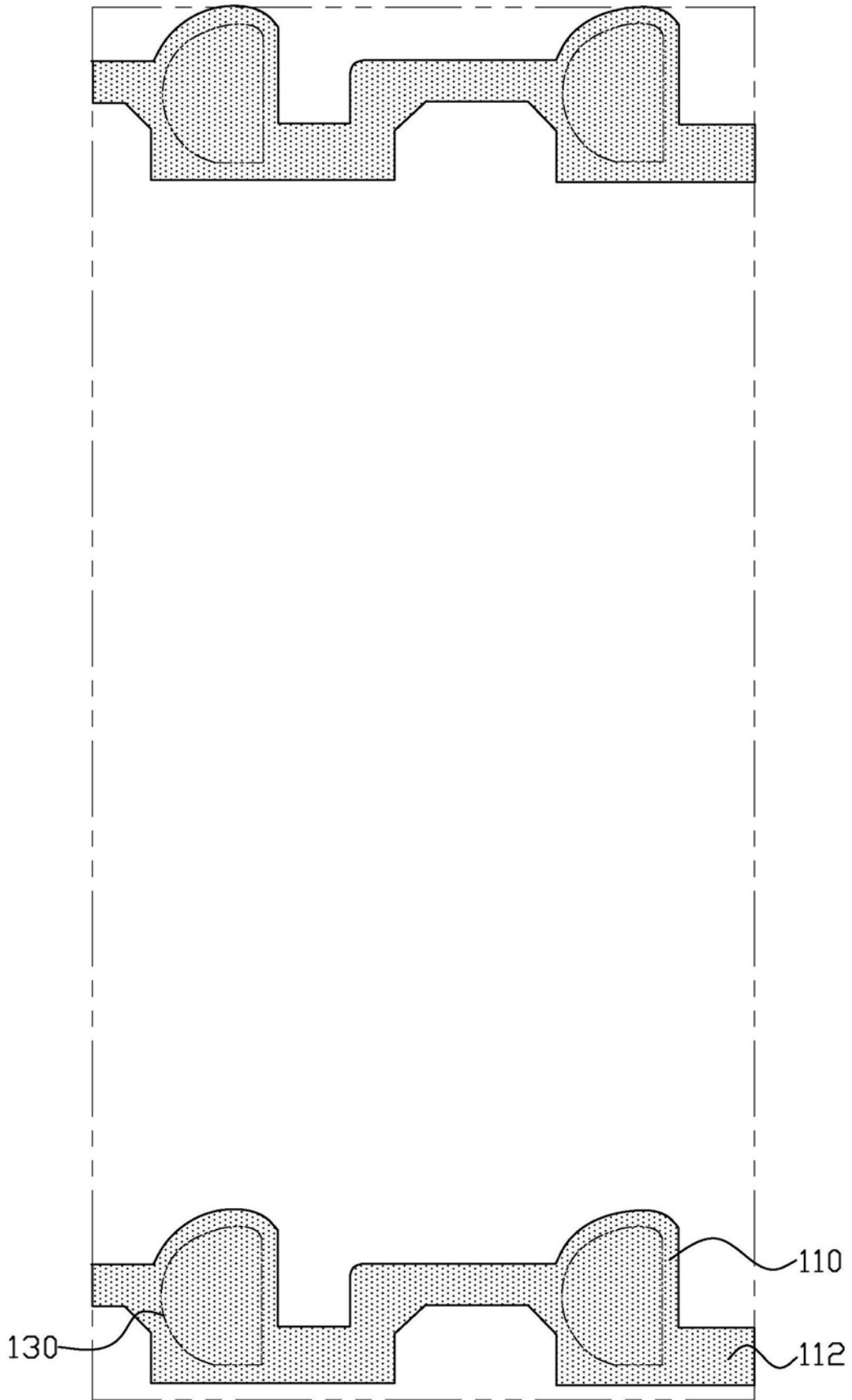


图3B

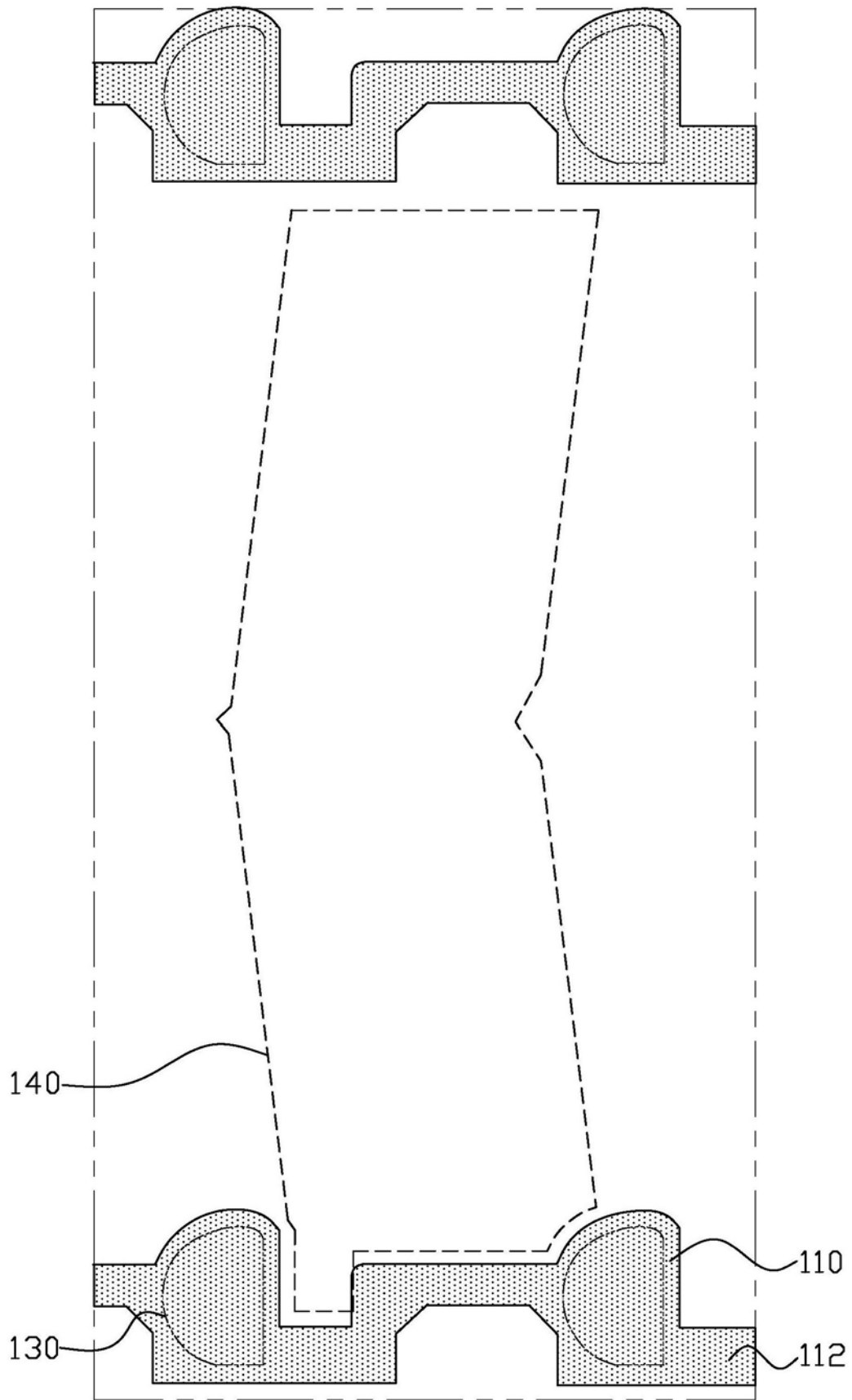


图3C

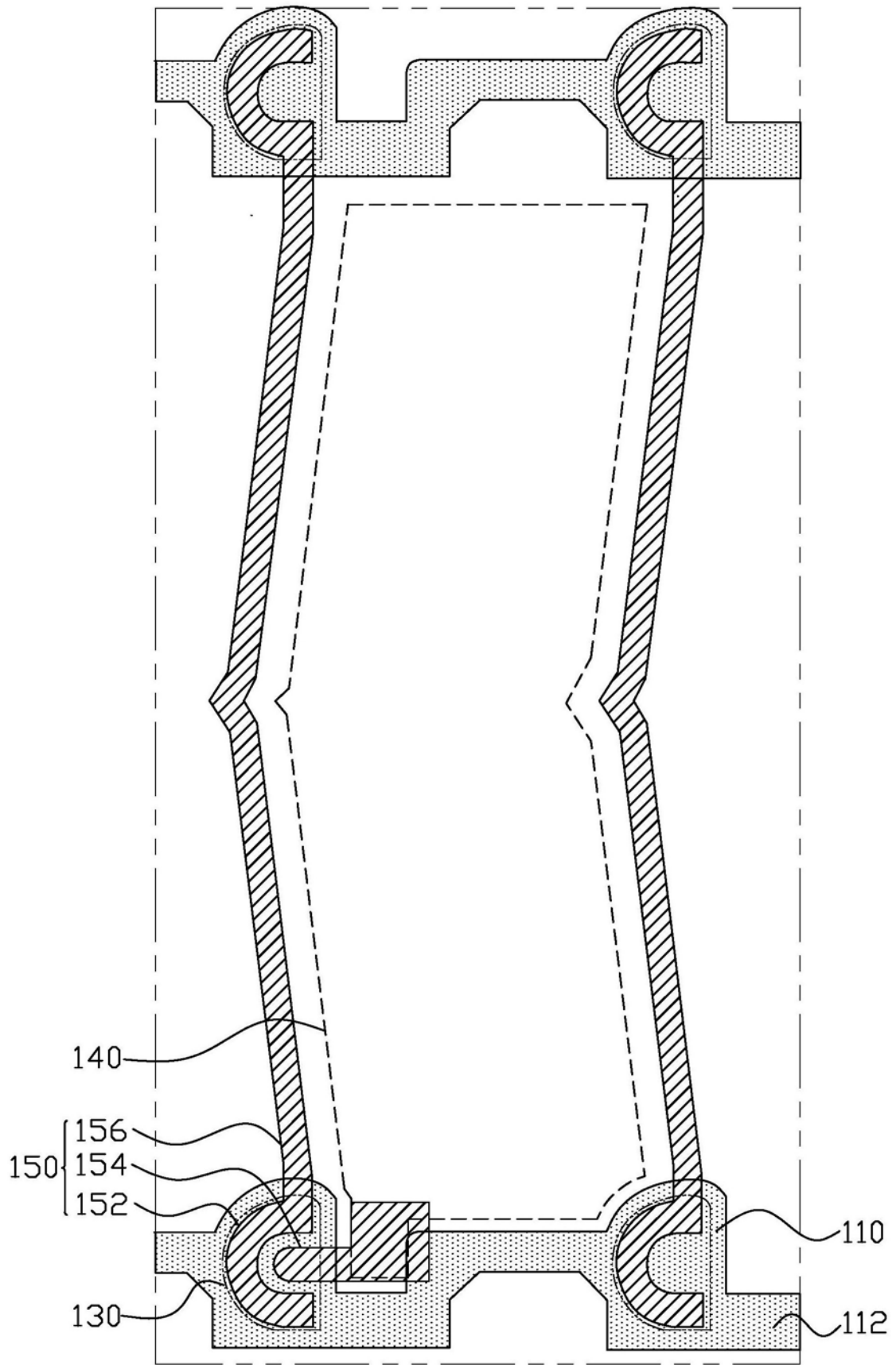


图3D

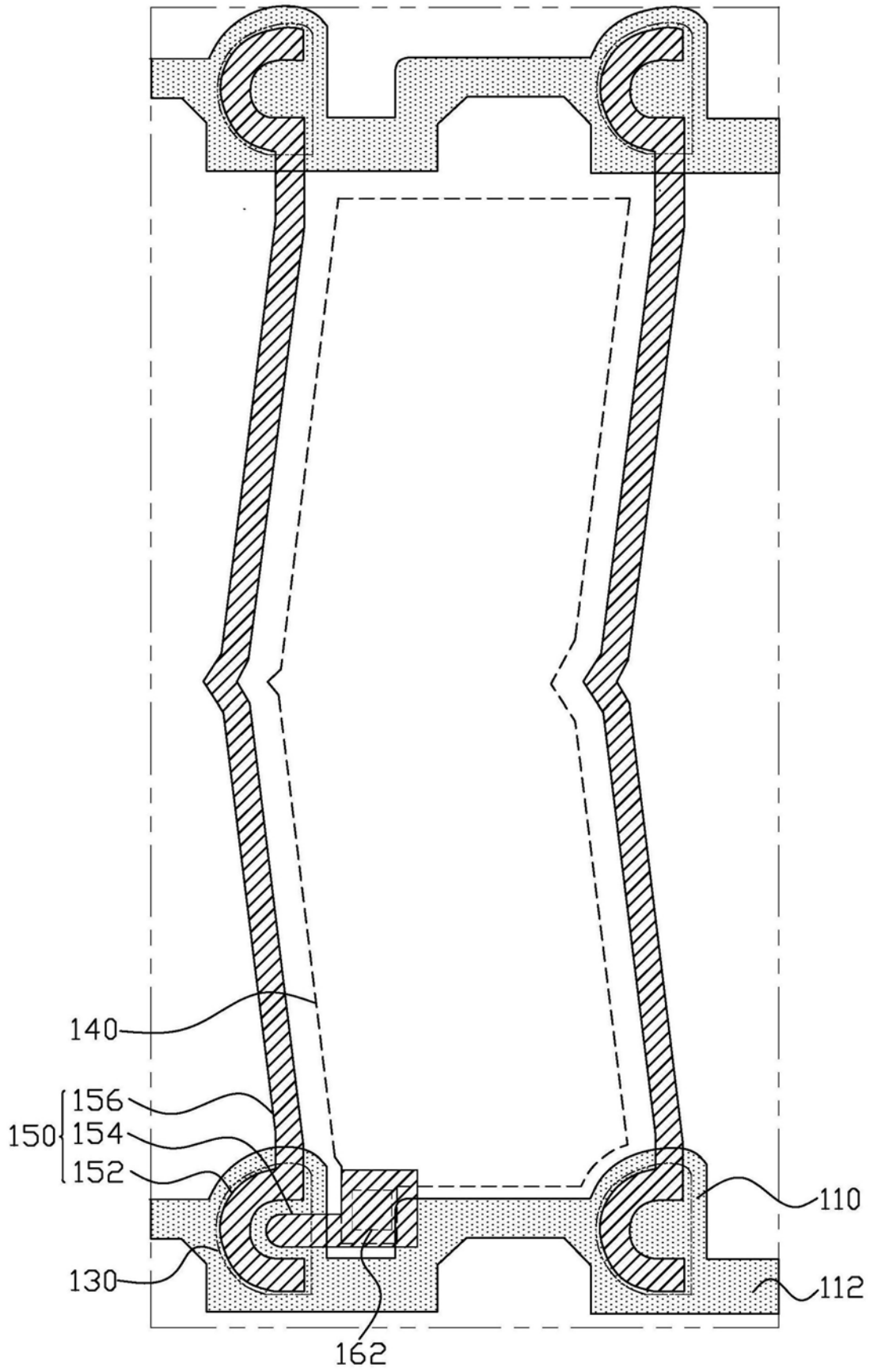


图3E

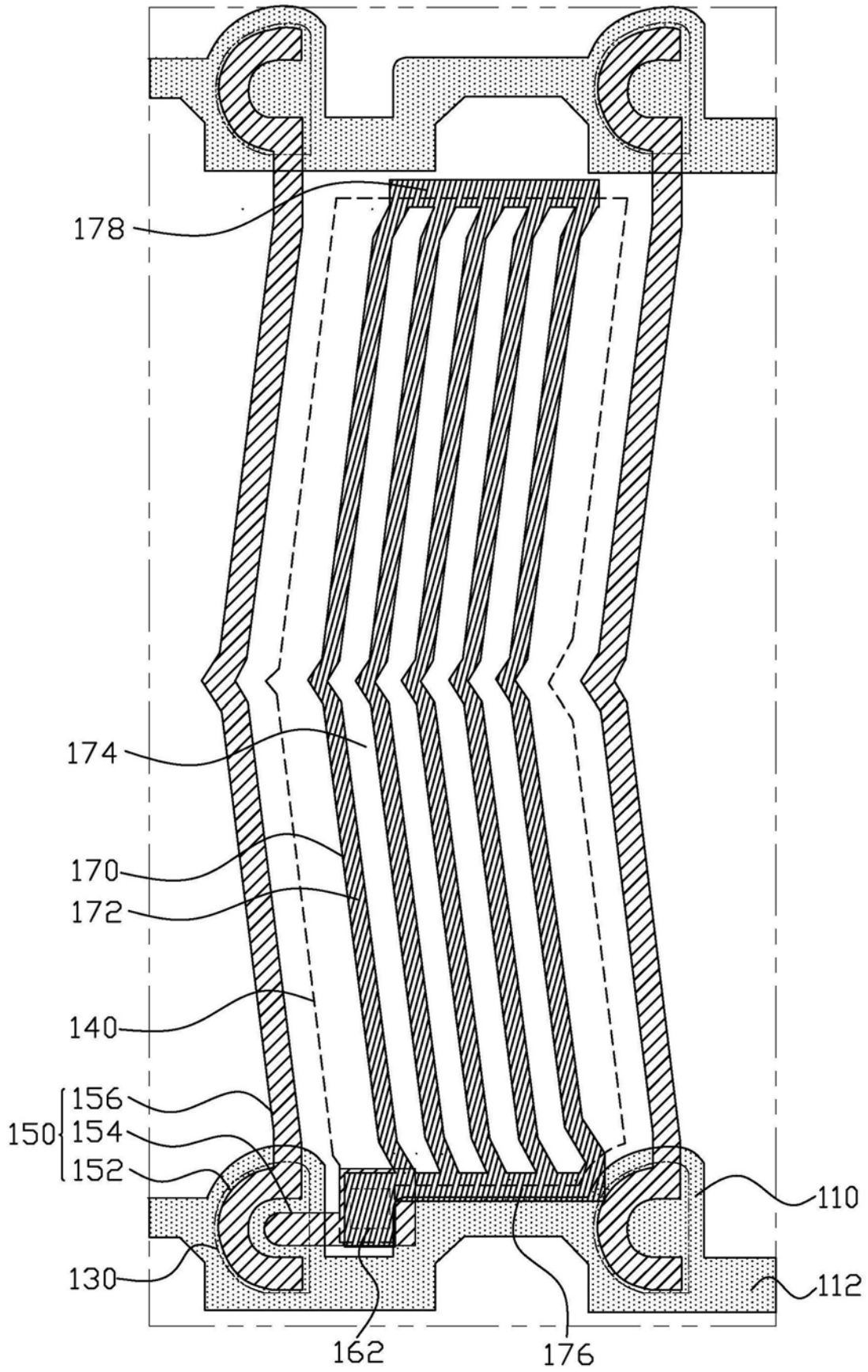


图3F

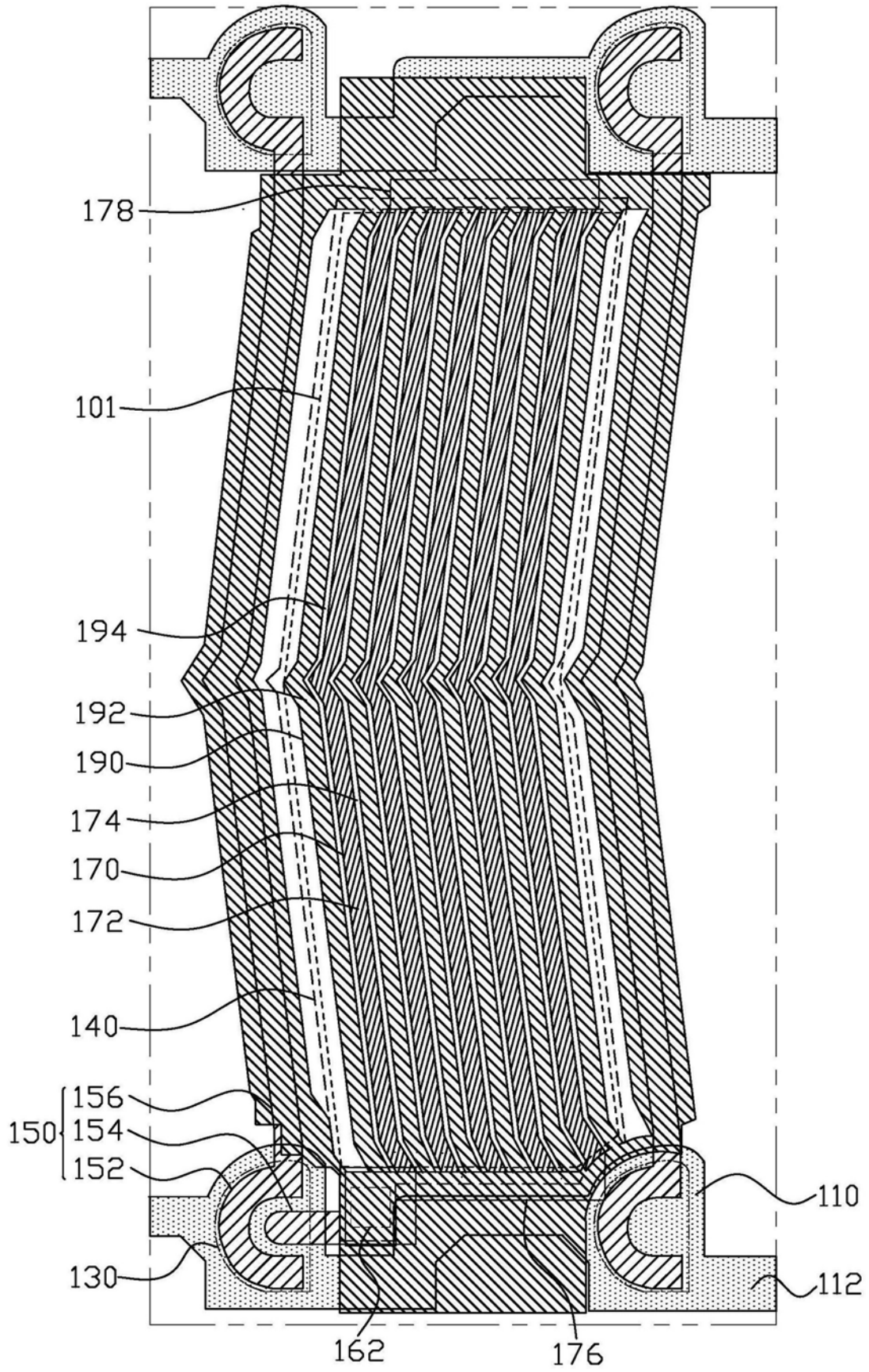


图3G

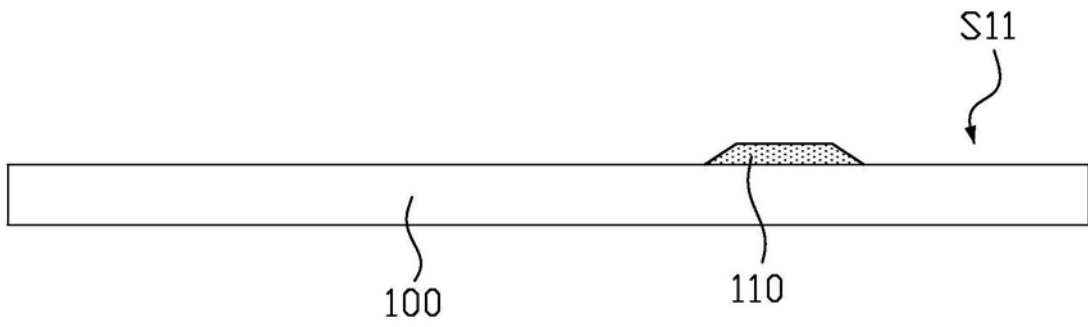


图4A

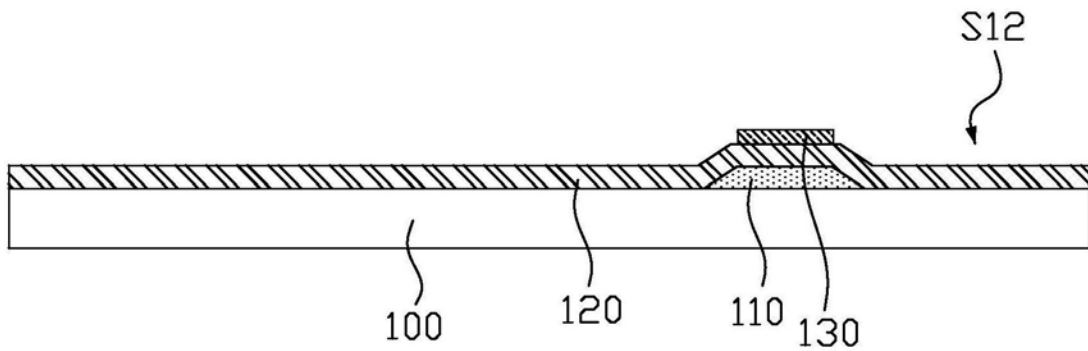


图4B

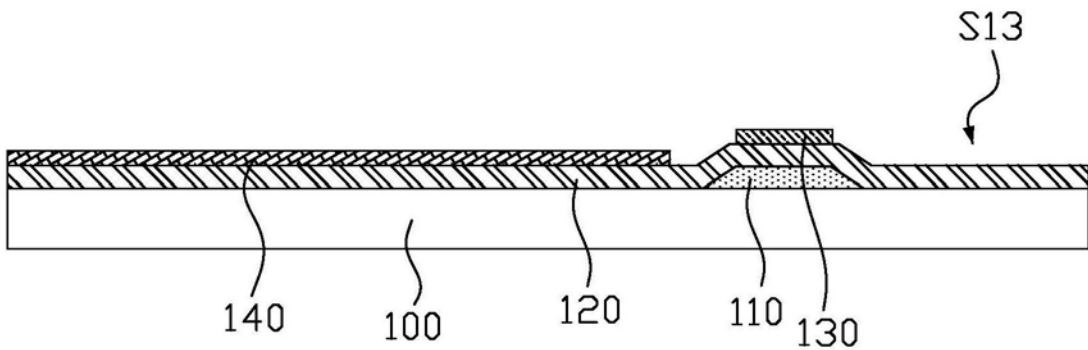


图4C

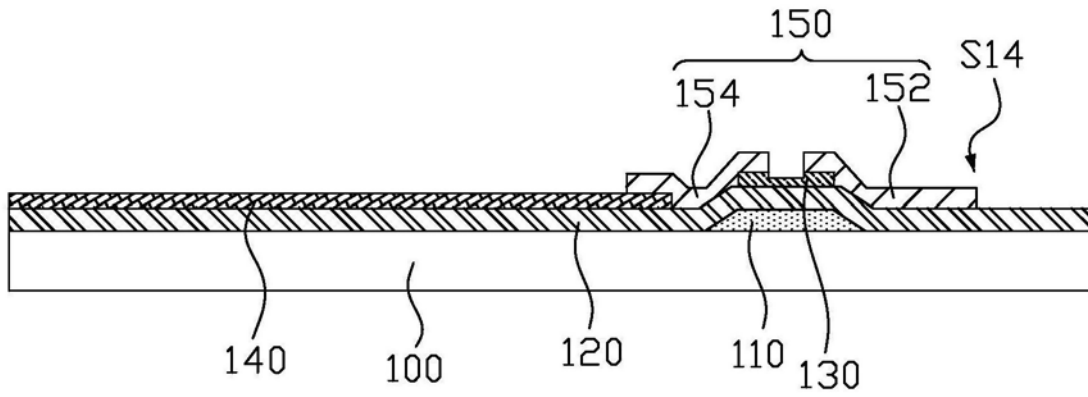


图4D

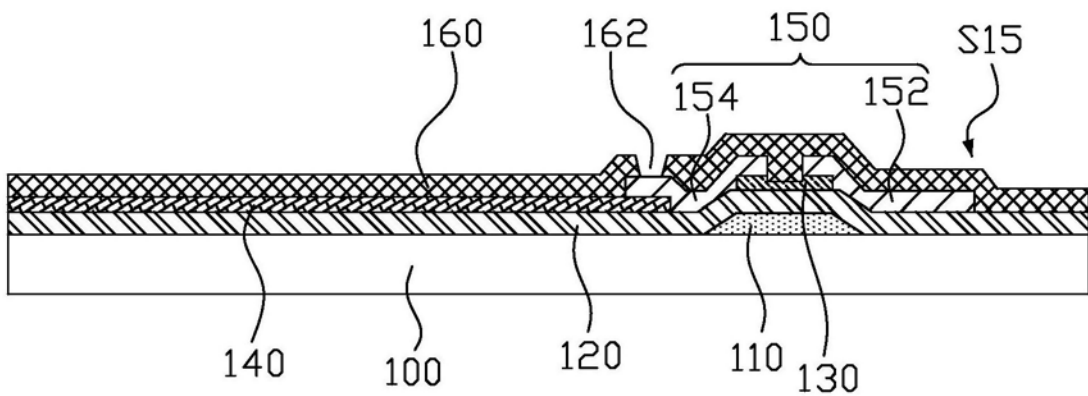


图4E

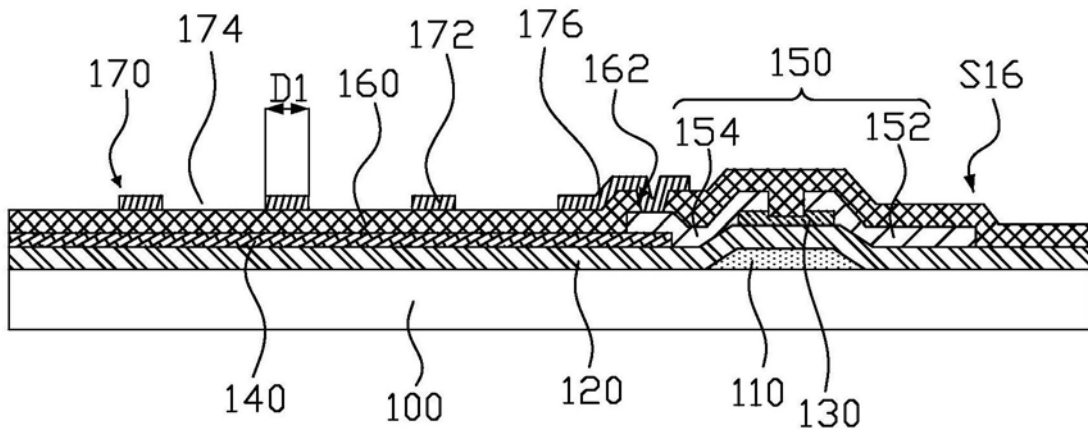


图4F

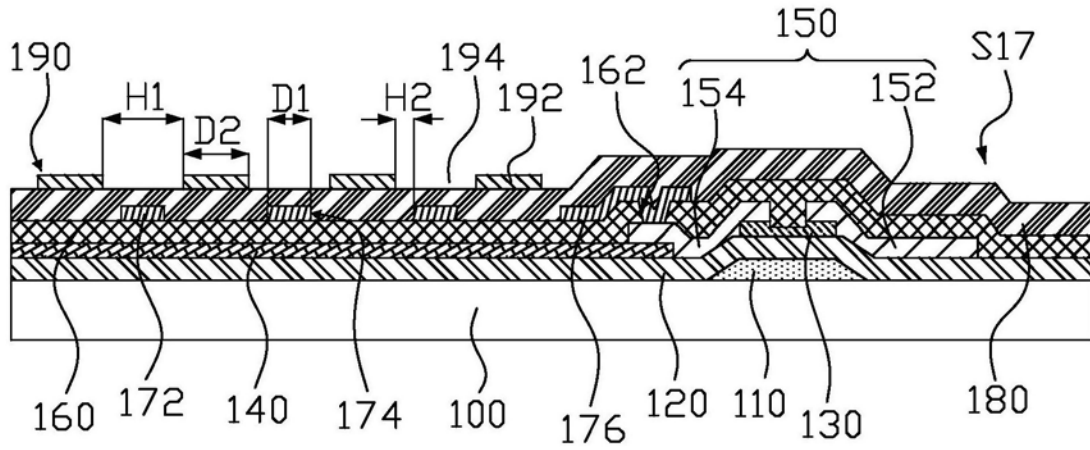


图4G

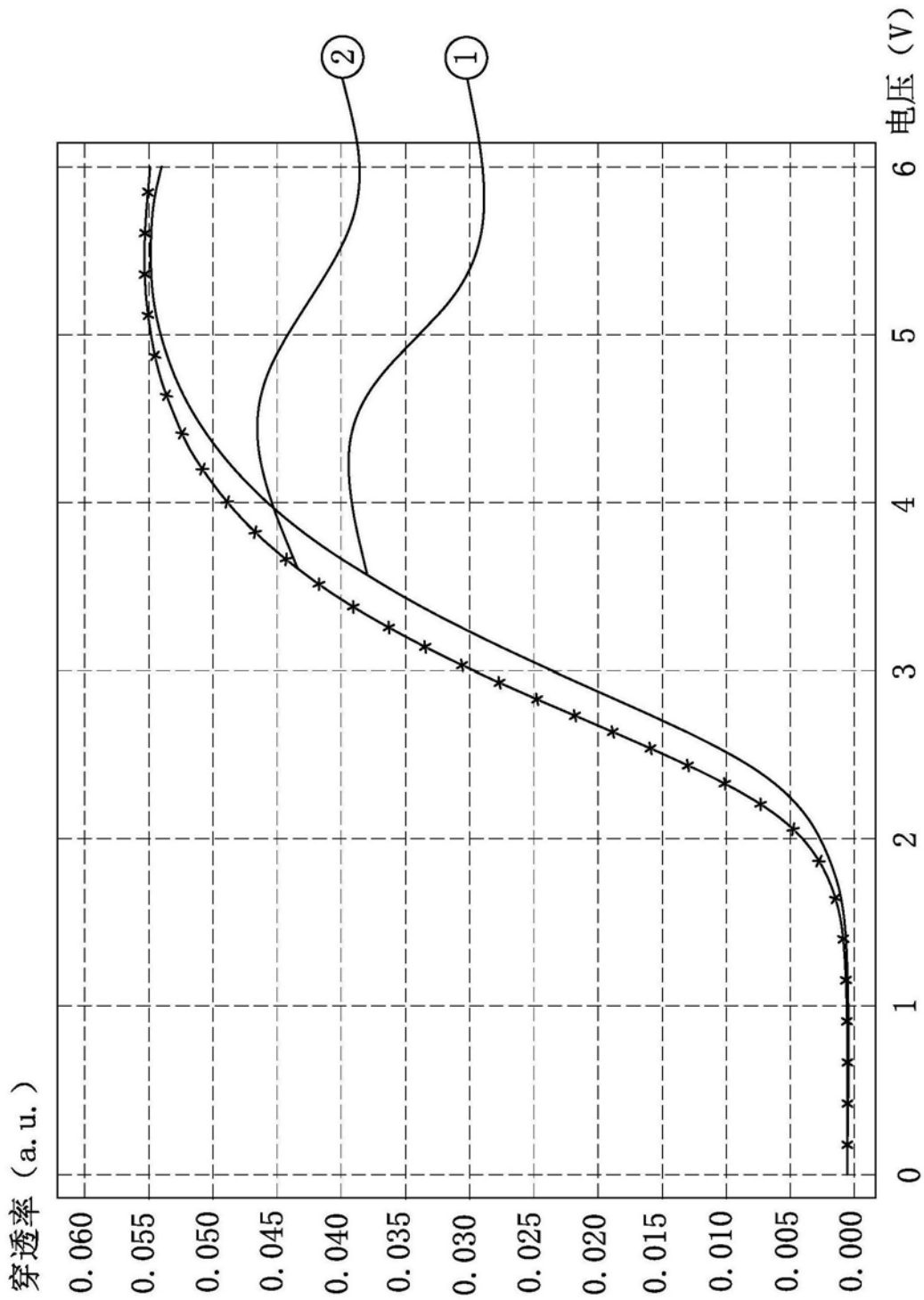


图5