



(12)发明专利

(10)授权公告号 CN 106887409 B

(45)授权公告日 2020.02.21

(21)申请号 201510943725.9

H01L 29/06(2006.01)

(22)申请日 2015.12.15

H01L 29/161(2006.01)

B82Y 10/00(2011.01)

(65)同一申请的已公布的文献号

申请公布号 CN 106887409 A

(56)对比文件

(43)申请公布日 2017.06.23

CN 104813443 A, 2015.07.29,

CN 104011849 A, 2014.08.27,

CN 104752200 A, 2015.07.01,

(73)专利权人 上海新昇半导体科技有限公司
地址 201306 上海市浦东新区泥城镇云端路1412弄15号3层

审查员 赵洋

(72)发明人 肖德元

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 金华

(51)Int.Cl.

H01L 21/8238(2006.01)

H01L 27/092(2006.01)

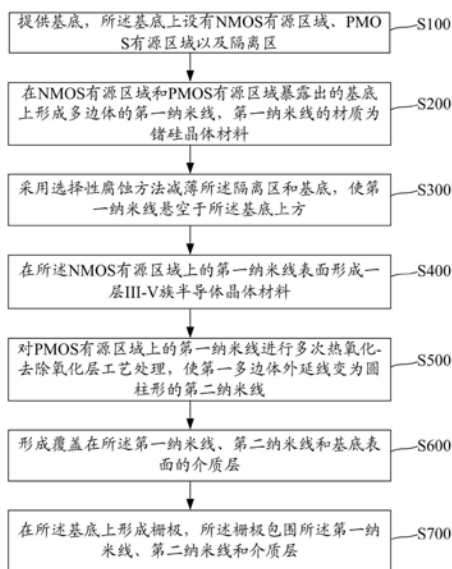
权利要求书2页 说明书5页 附图6页

(54)发明名称

互补纳米线半导体器件及其制造方法

(57)摘要

本发明提出了一种互补纳米线半导体器件及其制造方法,采用多次热氧化-去除氧化层工艺对第一纳米线进行处理时,热氧化法会与第一纳米线中的硅进行反应生成氧化层,可以降低第一纳米线中硅的含量,提高锗的含量,进而提高半导体器件的性能;此外,采用本发明中的技术方案,能够通过较为简单的工艺形成圆柱形的第二纳米线,降低了制造难度。



1. 一种互补纳米线半导体器件的制造方法,其特征在于,包括步骤:
提供基底,所述基底上设有NMOS有源区域、PMOS有源区域以及隔离区;
在所述NMOS有源区域和PMOS有源区域暴露出的基底上形成横截面为六边形的第一纳米线,所述第一纳米线的材质为锗硅晶体材料;
采用湿法刻蚀对所述隔离区进行回刻蚀,暴露出部分基底;采用四甲基氢氧化铵对暴露出的基底进行选择刻蚀,使所述第一纳米线悬空于所述基底上方;
在所述NMOS有源区域上的第一纳米线表面形成一层III-V族半导体晶体材料;
对所述PMOS有源区域上的第一纳米线进行多次热氧化-去除氧化层工艺处理,使所述第一纳米线变为圆柱形的第二纳米线;
形成覆盖在所述第一纳米线、第二纳米线和基底表面的介质层;
在所述基底上形成栅极,所述栅极包围所述第一纳米线、第二纳米线和介质层。
2. 如权利要求1所述的互补纳米线半导体器件的制造方法,其特征在于,所述热氧化-去除氧化层工艺步骤包括:
采用高温热氧化法在所述第一纳米线形成氧化层;
刻蚀去除位于所述第一纳米线表面的氧化层,以使第一纳米线圆形化。
3. 如权利要求2所述的互补纳米线半导体器件的制造方法,其特征在于,将所述热氧化-去除氧化层工艺重复2~4次。
4. 如权利要求3所述的互补纳米线半导体器件的制造方法,其特征在于,在重复完毕热氧化-去除氧化层工艺后,对所述第二纳米线进行氢气氛围下的高温退火处理。
5. 如权利要求1所述的互补纳米线半导体器件的制造方法,其特征在于,所述第一纳米线或第二纳米线中锗的质量百分比含量范围为15%~95%。
6. 如权利要求1所述的互补纳米线半导体器件的制造方法,其特征在于,采用CVD、MOCVD、MBE或ALD工艺形成所述第一纳米线。
7. 如权利要求1所述的互补纳米线半导体器件的制造方法,其特征在于,所述第一纳米线的长度范围为2纳米~50纳米。
8. 如权利要求1所述的互补纳米线半导体器件的制造方法,其特征在于,所述第一纳米线横截面对角线的长度范围为2纳米~5纳米。
9. 如权利要求1所述的互补纳米线半导体器件的制造方法,其特征在于,所述III-V族半导体晶体材料为InGaAs或InAs。
10. 如权利要求1所述的互补纳米线半导体器件的制造方法,其特征在于,在所述NMOS有源区域上的第一纳米线表面形成一层III-V族半导体晶体材料的步骤包括:
在所述PMOS有源区域上的第一纳米线处形成硬掩膜层;
采用CVD、MOCVD、MBE或ALD工艺在所述NMOS有源区域上的第一纳米线表面形成所述III-V族半导体晶体材料;
去除所述硬掩膜层。
11. 一种互补纳米线半导体器件,采用如权利要求1至10任一项所述的互补纳米线半导体器件的制造方法制备而成,其特征在于,包括:基底、隔离层、第一纳米线、第二纳米线、介质层及栅极,其中,所述隔离层位于所述基底内,所述第一纳米线表面形成有III-V族半导体晶体材料,所述第一纳米线、第二纳米线悬空在所述基底上,所述介质层形成在所述基

底、第一纳米线和第二纳米线表面,所述栅极形成在所述基底上,并包围所述第一纳米线、第二纳米线和介质层,所述第一纳米线的横截面为六边形,所述第二纳米线的横截面为圆形。

互补纳米线半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种互补纳米线半导体器件及其制造方法。

背景技术

[0002] 具有高迁移率的沟道材料(例如SiGe、Ge和III-V族材料)的窄鳍形结构的FinFET器件或纳米线环绕栅极器件能够在提供所需的静电控制和开启速度方面代替互补型硅器件。

[0003] 由于InGaAs具有很高电子迁移率,因此,在nMOSFET通道的材料选择中,InGaAs一直被视为在未来的超低功耗、高性能CMOS中极具潜力的材料之一。由于Ge在尺寸急剧缩小的MOSFET中具有良好的空穴传输能力,其通常被视为在pMOSFET沟道中极具潜力的材料之一。在3D器件结构例如三栅结构和环绕栅结构中通常都是必用的材质。

[0004] 在美国公开的专利US20100164102A1中,其公开了在硅上鳍形结构中使用锗纳米线的结构,在其公开的内容中,锗硅外延线包围在鳍部顶端,因此所形成的锗硅外延线为具有硅核的外延线,虽然通过后续的氧化退火处理,能够使锗向中心聚集以形成锗纳米线,但是由于内核硅含量较高,因此提高锗纳米线中锗含量的工艺难度较大,因此所形成的半导体器件中,纳米线内锗含量较低,从而影响所形成的半导体器件的性能。

发明内容

[0005] 本发明的目的在于提供一种互补纳米线半导体器件及其制造方法,能够提高纳米线内锗的含量,从而提高器件的性能。

[0006] 为了实现上述目的,本发明提出了一种互补纳米线半导体器件的制造方法,包括步骤:

[0007] 提供基底,所述基底上设有NMOS有源区域、PMOS有源区域以及隔离区;

[0008] 在所述NMOS有源区域和PMOS有源区域暴露出的基底上形成多边体的第一纳米线,所述第一纳米线的材质为锗硅晶体材料;

[0009] 采用选择性腐蚀方法减薄所述隔离区和基底,使所述第一纳米线悬空于所述基底上方;

[0010] 在所述NMOS有源区域上的第一纳米线表面形成一层III-V族半导体晶体材料;

[0011] 对所述PMOS有源区域上的第一纳米线进行多次热氧化-去除氧化层工艺处理,使所述第一纳米线变为圆柱形的第二纳米线;

[0012] 形成覆盖在所述第一纳米线、第二纳米线和基底表面的介质层;

[0013] 在所述基底上形成栅极,所述栅极包围所述第一纳米线、第二纳米线和介质层。

[0014] 进一步的,在所述的互补纳米线半导体器件的制造方法中,所述热氧化-去除氧化层工艺步骤包括:

[0015] 采用高温热氧化法在所述第一纳米线形成氧化层;

- [0016] 刻蚀去除位于所述第一纳米线表面的氧化层,以使第一纳米线圆形化。
- [0017] 进一步的,在所述的互补纳米线半导体器件的制造方法中,将所述热氧化-去除氧化层工艺重复2~4次。
- [0018] 进一步的,在所述的互补纳米线半导体器件的制造方法中,在重复完毕热氧化-去除氧化层工艺后,对所述第二纳米线进行氢气氛围下的高温退火处理。
- [0019] 进一步的,在所述的互补纳米线半导体器件的制造方法中,所述第一纳米线或第二纳米线中锗的质量百分比含量范围为15%~95%。
- [0020] 进一步的,在所述的互补纳米线半导体器件的制造方法中,采用CVD、MOCVD、MBE或ALD工艺形成所述第一纳米线。
- [0021] 进一步的,在所述的互补纳米线半导体器件的制造方法中,所述第一纳米线的长度范围为2纳米~50纳米。
- [0022] 进一步的,在所述的互补纳米线半导体器件的制造方法中,所述第一纳米线横截面为菱形或六边形。
- [0023] 进一步的,在所述的互补纳米线半导体器件的制造方法中,所述第一纳米线横截面对角线的长度范围为2纳米~5纳米。
- [0024] 进一步的,在所述的互补纳米线半导体器件的制造方法中,所述III-V族半导体晶体材料为InGaAs或InAs。
- [0025] 进一步的,在所述的互补纳米线半导体器件的制造方法中,采用选择性腐蚀方法减薄所述隔离区和基底的步骤包括:
- [0026] 采用湿法刻蚀对所述隔离区进行回刻蚀,暴露出部分基底;
- [0027] 采用四甲基氢氧化铵对暴露出的基底进行选择性刻蚀,使所述第一纳米线悬空。
- [0028] 进一步的,在所述的互补纳米线半导体器件的制造方法中,在所述NMOS有源区域上的第一纳米线表面形成一层III-V族半导体晶体材料的步骤包括:
- [0029] 在所述PMOS有源区域上的第一纳米线处形成硬掩膜层;
- [0030] 采用CVD、MOCVD、MBE或ALD工艺在所述NMOS有源区域上的第一纳米线表面形成所述III-V族半导体晶体材料;
- [0031] 去除所述硬掩膜层。
- [0032] 在本发明中,还提出了一种互补纳米线半导体器件,采用如上文所述的互补纳米线半导体器件的制造方法制备而成,包括:基底、隔离层、第一纳米线、第二纳米线、介质层及栅极,其中,所述隔离层位于所述基底内,所述第一纳米线表面形成有III-V族半导体晶体材料,所述第一纳米线、第二纳米线悬空在所述基底上,所述介质层形成在所述基底、第一纳米线和第二纳米线表面,所述栅极形成在所述基底上,并包围所述第一纳米线、第二纳米线和介质层,所述第一纳米线的横截面为多边形,所述第二纳米线的横截面为圆形。
- [0033] 与现有技术相比,本发明的有益效果主要体现在:采用多次热氧化-去除氧化层工艺对第一纳米线进行处理时,热氧化法会与第一纳米线中的硅进行反应生成氧化层,可以降低第一纳米线中硅的含量,提高锗的含量,进而提高半导体器件的性能;此外,采用本发明中的技术方案,能够通过较为简单的工艺形成圆柱形的第二纳米线,降低了制造难度。

附图说明

[0034] 图1为本发明一实施例中互补纳米线半导体器件的制造方法的流程图；

[0035] 图2至图10为本发明一实施例中形成互补纳米线半导体器件过程中的剖面示意图。

具体实施方式

[0036] 下面将结合示意图对本发明的互补纳米线半导体器件及其制造方法进行更详细的描述,其中表示了本发明的优选实施例,应该理解本领域技术人员可以修改在此描述的本发明,而仍然实现本发明的有利效果。因此,下列描述应当被理解为对于本领域技术人员的广泛知道,而并不作为对本发明的限制。

[0037] 为了清楚,不描述实际实施例的全部特征。在下列描述中,不详细描述公知的功能和结构,因为它们会使本发明由于不必要的细节而混乱。应当认为在任何实际实施例的开发中,必须做出大量实施细节以实现开发者的特定目标,例如按照有关系统或有关商业的限制,由一个实施例改变为另一个实施例。另外,应当认为这种开发工作可能是复杂和耗费时间的,但是对于本领域技术人员来说仅仅是常规工作。

[0038] 在下列段落中参照附图以举例方式更具体地描述本发明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0039] 请参考图1,在本实施例中,提出了一种互补纳米线半导体器件的制造方法,包括步骤:

[0040] S100:提供基底,所述基底上设有NMOS有源区域、PMOS有源区域以及隔离区;

[0041] S200:在所述NMOS有源区域和PMOS有源区域暴露出的基底上形成多边体的第一纳米线,所述第一纳米线的材质为锗硅晶体材料;

[0042] S300:采用选择性腐蚀方法减薄所述隔离区和基底,使所述第一纳米线悬空于所述基底上方;

[0043] S400:在所述NMOS有源区域上的第一纳米线表面形成一层III-V族半导体晶体材料;

[0044] S500:对所述PMOS有源区域上的第一纳米线进行多次热氧化-去除氧化层工艺处理,使所述第一纳米线变为圆柱形的第二纳米线;

[0045] S600:形成覆盖在所述第一纳米线、第二纳米线和基底表面的介质层;

[0046] S700:在所述基底上形成栅极,所述栅极包围所述第一纳米线、第二纳米线和介质层。

[0047] 具体的,请参考图2,在本实施例中,所述基底100为硅片等半导体衬底,在所述基底100中形成有隔离区200,所述隔离区200通常为二氧化硅材质的浅沟道隔离层(STI);同时,在所述基底100上设有NMOS有源区域(以下简称NMOS区)以及PMOS有源区域(以下简称PMOS区),后续会在NMOS区形成NMOS器件,在PMOS区形成PMOS器件。

[0048] 请参考图3,在步骤S200中,在暴露出的基底100上形成多边体的第一纳米线300,其中,所述第一纳米线300横截面为棱形或六边形,其材质为锗硅晶体材料,优选的,第一纳米线300中锗的质量百分比含量范围为15%~95%,例如是30%,并且所述第一纳米线300

可以采用CVD、MOCVD、MBE或ALD选择性外延工艺形成,其第一纳米线的长度范围为2纳米~50纳米,例如是20纳米,所述第一纳米线300横截面对角线的长度范围为2纳米~5纳米,例如是3纳米。

[0049] 请参考图4和图5,采用选择性腐蚀方法减薄所述隔离区200和基底100的步骤包括:

[0050] 采用湿法刻蚀对所述隔离区200进行回刻蚀 (Recess),暴露出部分基底100,如图4所示;

[0051] 采用四甲基氢氧化铵 (TMAH) 对暴露出的基底100进行选择刻蚀,使所述第一纳米线300悬空,如图5所示。

[0052] 请参考图6,在所述NMOS有源区域上的第一纳米线表面形成一层III-V族半导体晶体材料的步骤包括:

[0053] 在所述PMOS有源区域上的第一纳米线300处形成硬掩膜层400,所述硬掩膜层400材质为氮化硅,其为遮挡住PMOS有源区域上的第一纳米线300;采用CVD、MOCVD、MBE或ALD工艺在所述NMOS有源区域上的第一纳米线300表面形成所述III-V族半导体晶体材料500;接着,去除所述硬掩膜层400,如图7所示。

[0054] 其中,所述III-V族半导体晶体材料500优选为InGaAs或InAs,其采用CVD、MOCVD、MBE或ALD外延工艺形成在NMOS有源区域上的第一纳米线300表面。

[0055] 请继续参考图7,在所述PMOS区上的第一纳米线300的表面采用高温热氧化法形成氧化层600,其中氧化层600为二氧化硅,为氧气与锗硅中的硅发生的反应;接着,刻蚀去除位于所述第一纳米线300表面的氧化层600,以使第一纳米线300圆形化,形成第二纳米线310,如图8所示。为了使第一纳米线300圆形化更加良好,通常可以重复进行2至4次热氧化-去除氧化层工艺。

[0056] 此外,在重复完毕热氧化-去除氧化层工艺形成第二纳米线310后,对所述第二纳米线310进行氢气氛围下的高温退火处理。通过上述的热氧化-去除氧化层工艺及高温退火工艺之后,能够降低硅在第二纳米线310内的含量,提高锗的相对含量,从而能够提高形成的器件的性能,在第二纳米线310中锗的质量百分比含量范围为15%~95%,例如是50%。

[0057] 请参考图9,在所述第一纳米线表面的III-V族半导体晶体材料500、第二纳米线310和基底100及隔离层200的表面上形成介质层700,其中,介质层700为高k值介质层,后续作为栅介质层。

[0058] 请参考图10,在所述介质层700的表面形成栅极800,其中栅极为金属栅极,所述栅极800包围所述第一纳米线300和第二纳米线310。

[0059] 在本实施例的另一方面,还提出了一种互补纳米线半导体器件,采用如上文所述的互补纳米线半导体器件的制备方法制备而成,包括:基底、隔离层、第一纳米线、第二纳米线、介质层及栅极,其中,所述隔离层位于所述基底内,所述第一纳米线表面形成有III-V族半导体晶体材料,所述第一纳米线、第二纳米线悬空在所述基底上,所述介质层形成在所述基底、第一纳米线和第二纳米线表面,所述栅极形成在所述基底上,并包围所述第一纳米线、第二纳米线和介质层,所述第一纳米线的横截面为多边形,所述第二纳米线的横截面为圆形。

[0060] 综上,在本发明实施例提供的互补纳米线半导体器件及其制造方法中,采用多次

热氧化-去除氧化层工艺对第一纳米线进行处理时,热氧化法会与第一纳米线中的硅进行反应生成氧化层,可以降低第一纳米线中硅的含量,提高锗的含量,进而提高半导体器件的性能;此外,采用本发明中的技术方案,能够通过较为简单的工艺形成圆柱形的第二纳米线,降低了制造难度。

[0061] 上述仅为本发明的优选实施例而已,并不对本发明起到任何限制作用。任何所属技术领域的技术人员,在不脱离本发明的技术方案的范围内,对本发明揭露的技术方案和技术内容做任何形式的等同替换或修改等变动,均属未脱离本发明的技术方案的内容,仍属于本发明的保护范围之内。

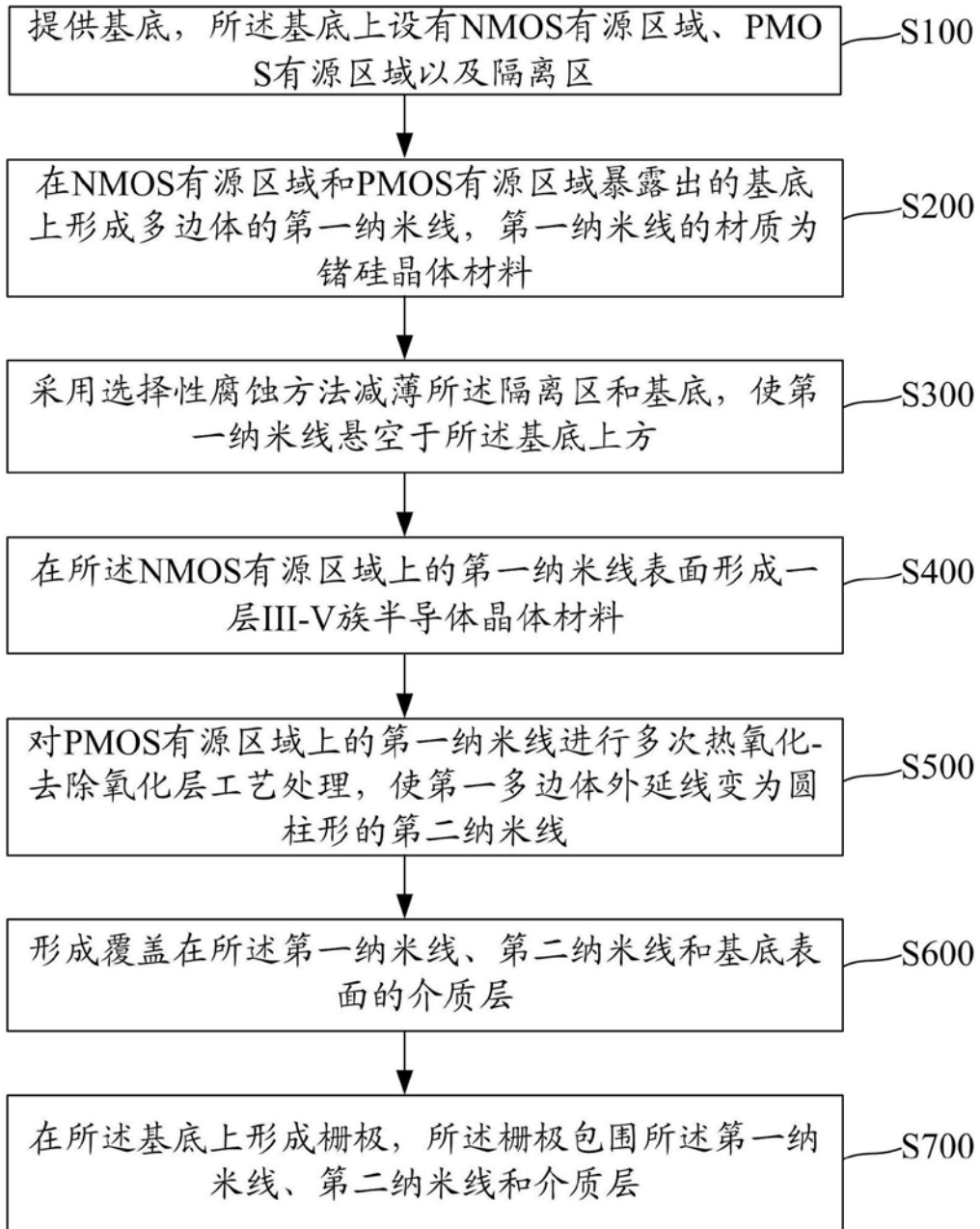


图1

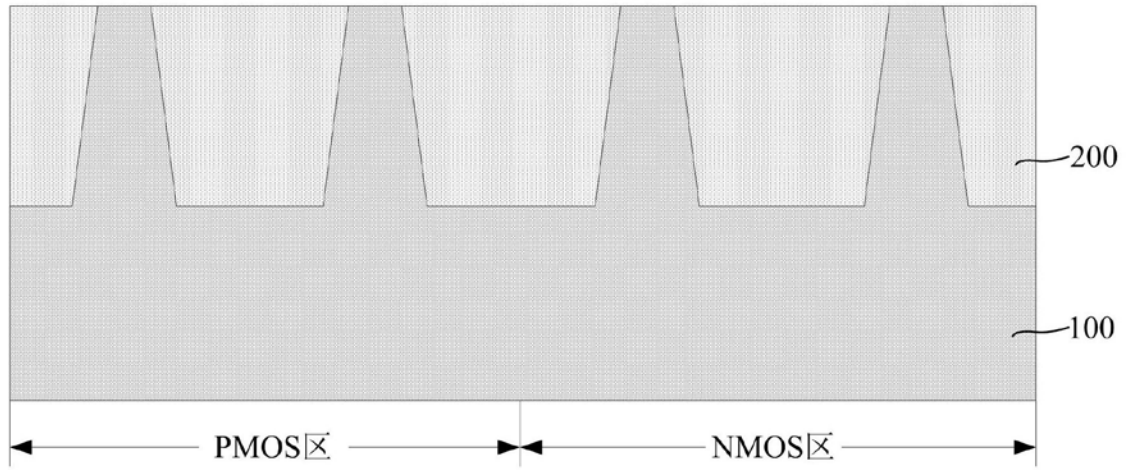


图2

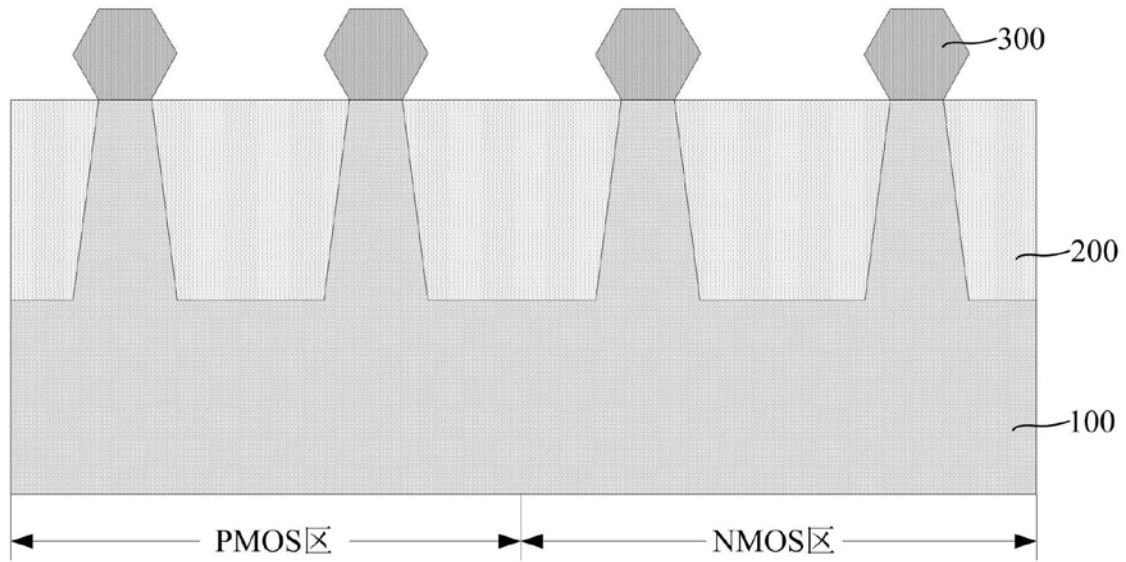


图3

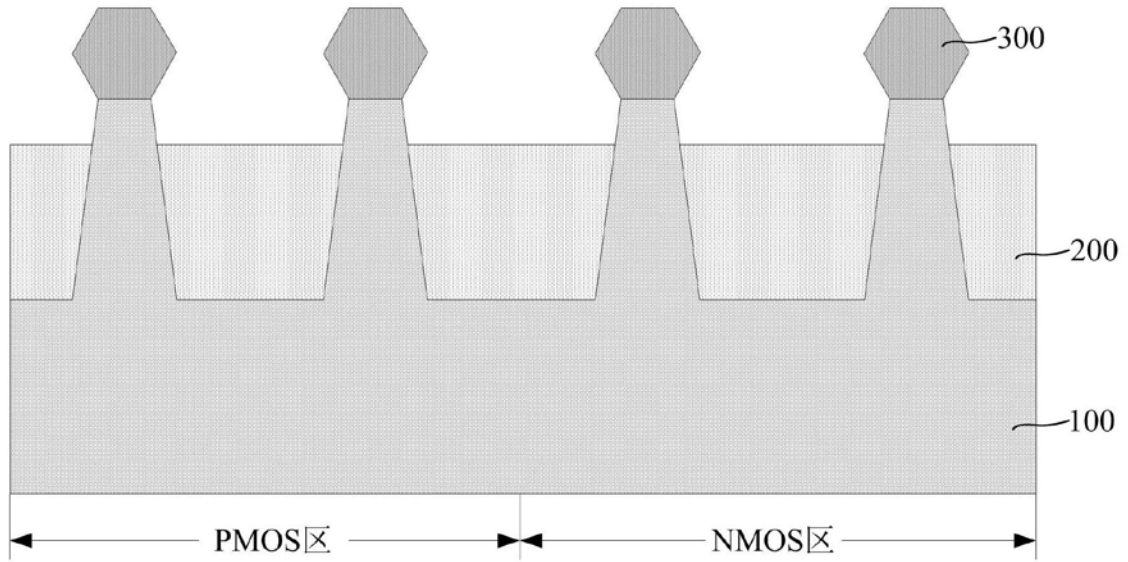


图4

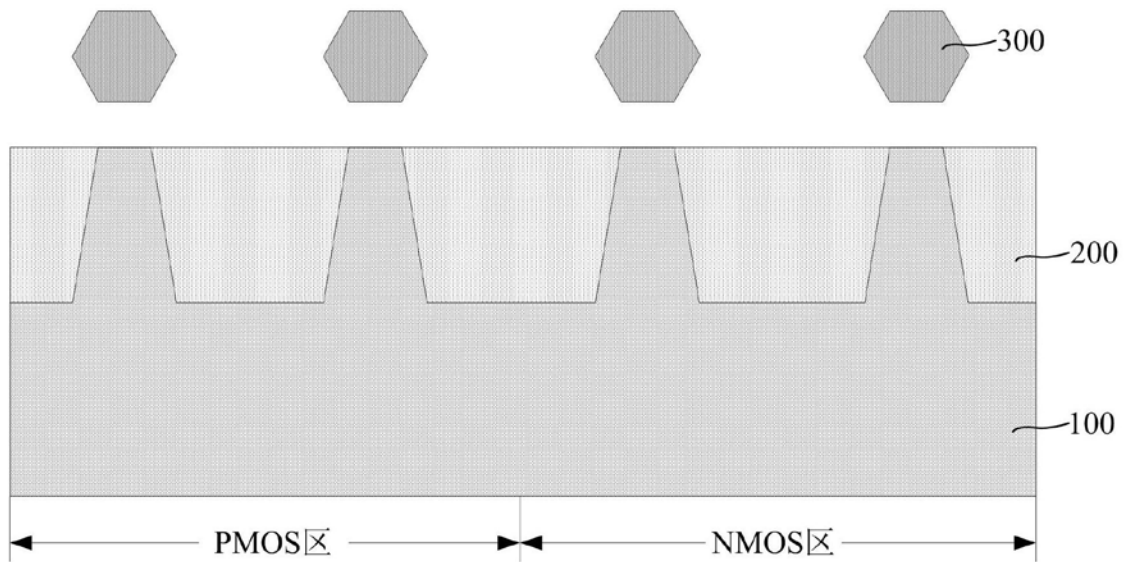


图5

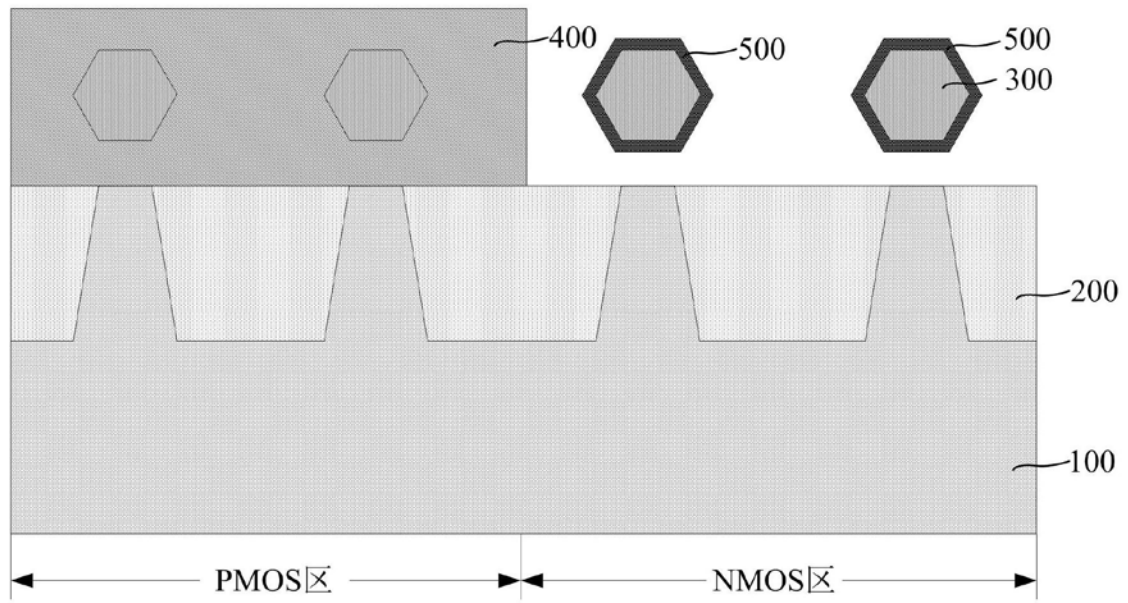


图6

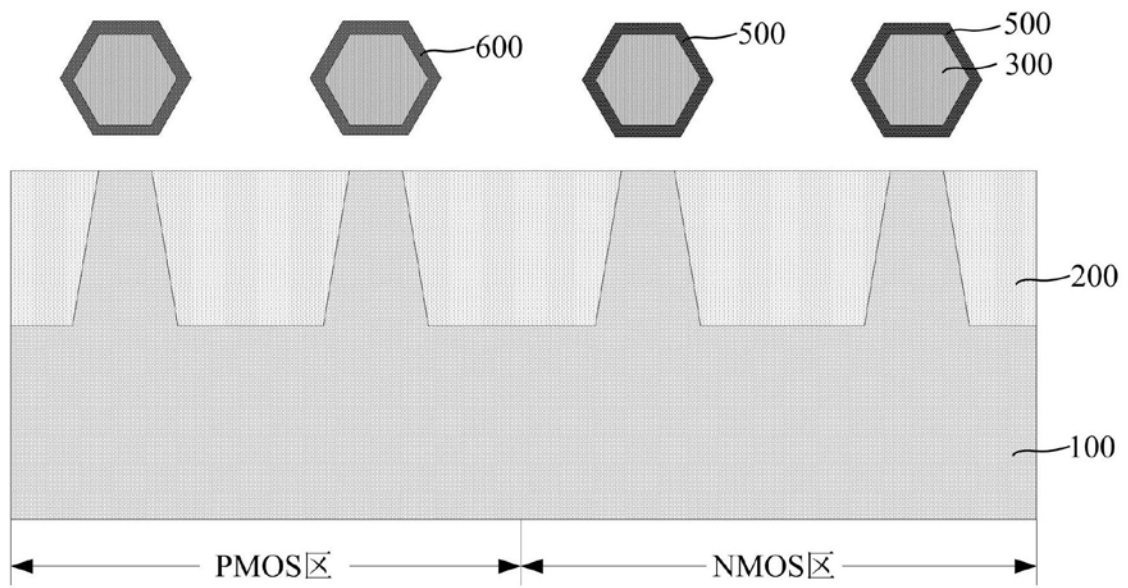


图7

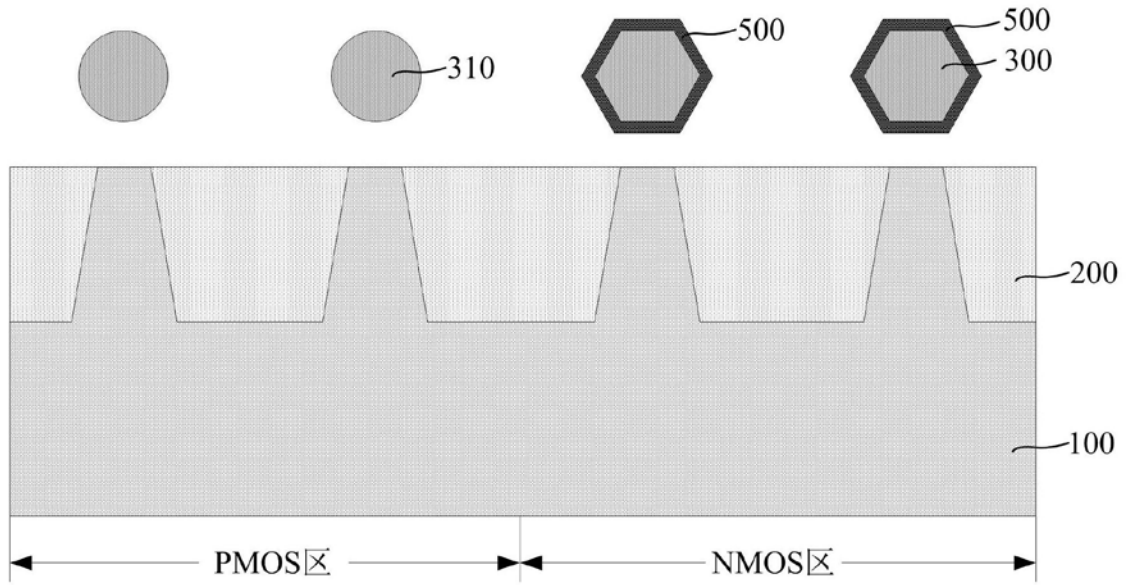


图8

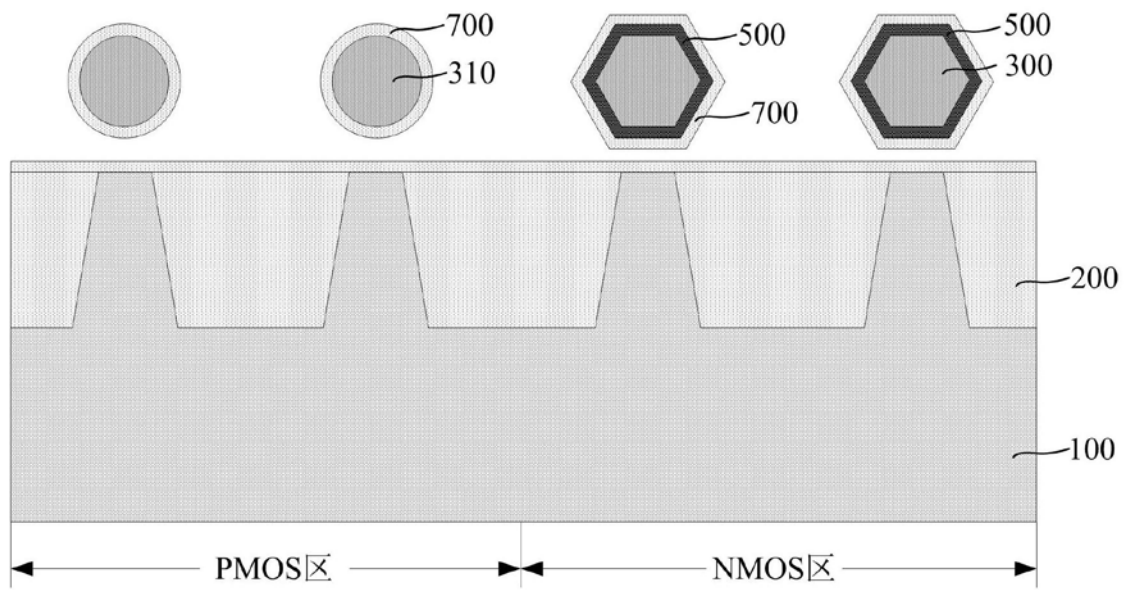


图9

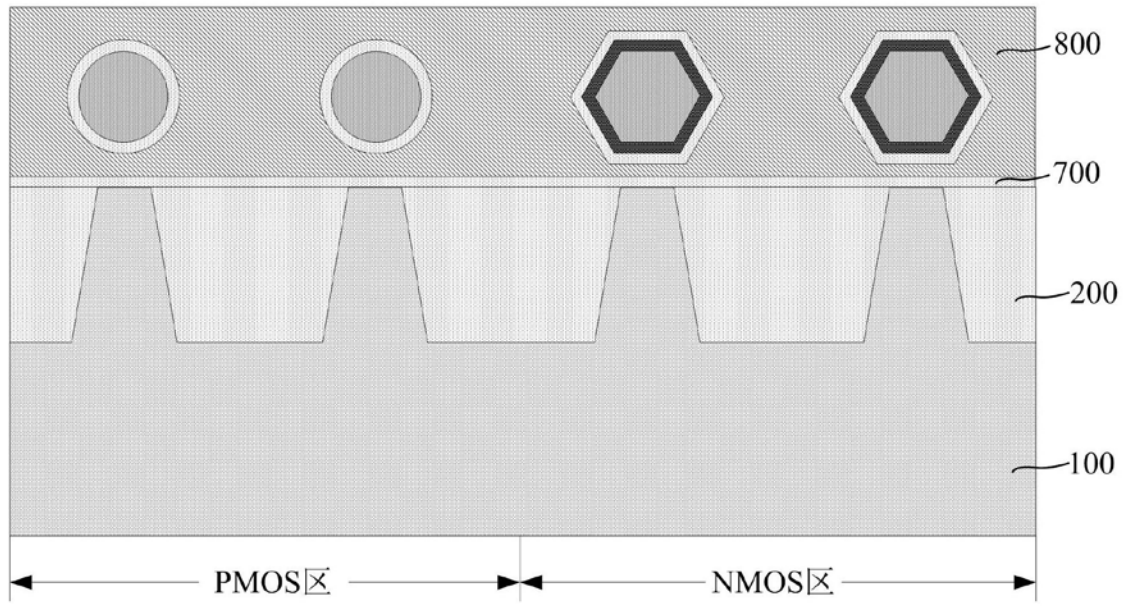


图10