

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4143584号
(P4143584)

(45) 発行日 平成20年9月3日(2008.9.3)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl. F I
 HO 1 L 21/205 (2006.01) HO 1 L 21/205
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 3 O 1 T
 HO 1 L 29/78 3 O 1 S

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2004-254722 (P2004-254722)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成16年9月1日(2004.9.1)	(74) 代理人	100075812 弁理士 吉武 賢次
(65) 公開番号	特開2006-73756 (P2006-73756A)	(74) 代理人	100088889 弁理士 橘谷 英俊
(43) 公開日	平成18年3月16日(2006.3.16)	(74) 代理人	100082991 弁理士 佐藤 泰和
審査請求日	平成17年11月18日(2005.11.18)	(74) 代理人	100096921 弁理士 吉元 弘
		(74) 代理人	100103263 弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上の所定領域に選択的に膜を成長させる半導体装置の製造方法であって、前記半導体基板の表面上に非接触状態で配置された少なくとも一つの輻射温度計により、前記半導体基板の表面の温度を測定しながら、前記半導体基板の表面上に、予め設定された成膜条件の初期値を用いて前記膜を選択的に成長させていくステップと、

前記温度が所定値から変化した時点、あるいは成膜中における温度の変化を示すグラフにおいて所定角度から変化した時点で、前記膜の成長における選択性が劣化したと判定し、前記成膜条件を変更するステップと、

変更した前記成膜条件を用いて、前記半導体基板の表面の温度を前記輻射温度計を用いて測定しながら、前記半導体基板の表面上に前記膜を選択的に成長させていくステップと

を備え、

前記成膜条件を変更するステップでは、

前記エッチングガスの流量 B に対する前記ソースガスの流量 A の比 A / B を低下させ、あるいは、成膜温度を低下させ、

変更した前記成膜条件を用いて前記膜を選択的に成長させていくステップは、さらに前記温度が、選択性が維持されていたときの初期値に戻った時点で、前記成膜条件を前記初期値に戻すステップと、

前記半導体基板の表面の温度を前記輻射温度計を用いて測定しながら、前記半導体基板

10

20

の表面上に、前記成膜条件の初期値を用いて前記膜を選択的に成長させていくステップと

を有することを特徴とする、半導体装置の製造方法。

【請求項2】

半導体基板上の所定領域に選択的に膜を成長させる半導体装置の製造方法であって、
前記半導体基板の表面上に非接触状態で配置された少なくとも一つの輻射温度計により、
前記半導体基板の表面の温度を測定しながら、前記半導体基板の表面上に、予め設定された成膜条件を用いて前記膜を選択的に成長させていき、非選択領域上に核が形成される時点までのインキュベーション時間を測定すると共に、このインキュベーション時間が経過するまでに選択領域上に成膜される膜厚Aを測定するステップと、

10

所望の膜厚Tを前記膜厚Aで除算したサイクル数Mを算出するステップと、

前記インキュベーション時間に到達するまでの間、成膜を行って停止し、前記成膜条件を変更して前記半導体基板の表面上に前記膜を選択的に成長させる工程を、前記サイクル数Mだけ繰り返すことで、成膜処理を行うステップと、

を備え、

前記成膜条件を変更するステップでは、

前記エッチングガスの流量Bに対する前記ソースガスの流量Aの比A/Bを低下させ、あるいは、成膜温度を低下させ、

変更した前記成膜条件を用いて前記膜を選択的に成長させていくステップは、さらに前記温度が、選択性が維持されていたときの初期値に戻った時点で、前記成膜条件を前記初期値に戻すステップと、

20

前記半導体基板の表面の温度を前記輻射温度計を用いて測定しながら、前記半導体基板の表面上に、前記成膜条件の初期値を用いて前記膜を選択的に成長させていくステップと

を有することを特徴とする、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、膜の選択成長法における選択性のモニタリング方法、及び半導体装置の製造方法に関する。

30

【背景技術】

【0002】

相補型電解効果トランジスタ(CMOSFET)の高密度化・高速化実現のための微細化が進むに従い、短チャネル効果抑制やNiSi等の新材料シリサイド技術導入のため、拡散層として選択的にSiあるいはSiGe等を含む半導体膜をエピタキシャル成長させる技術の検討が、積極的に進められている。

【0003】

このような膜の選択成長技術は、所望の領域に所望の膜を成長することができる点で利用価値が広く、半導体装置においても拡散層以外にも広く適用されることが予想される。

【0004】

40

しかしその一方で、望まない領域への成膜が行われた場合には、デバイスの誤動作を招くおそれがある。

【0005】

しかしながら、選択性が保たれているか否か、即ち望まない領域上に成長核が形成されているか否か、あるいは膜が成長しつつあるか否かは、成膜中には判断できなかった。

【0006】

即ち、成膜の済んだウェーハを、顕微鏡により観察することによるモニタリングや、デバイスを作り込まないテストピースウェーハをモニタ用ウェーハとして用い、成膜後にレーザ光等を用いた表面欠陥検査装置によるモニタリングが行われるのみであった。

【0007】

50

ところがこれらの方法も、前者では、平面SEM観察をウェーハ全面に渡って行うことが非現実的であり、また光学顕微鏡を用いたときには微少核の見落としが懸念されるという問題があった。後者では、デバイスを含まないテストピース上での選択性モニタの結果が、実際のデバイスを含んだウェーハ上の状況を正確に反映していないという懸念があった。

【0008】

以上の点から、成膜中の選択性モニタリングが望ましいにもかかわらず、従来技術ではこれを実現できないという問題があった。

【0009】

以下に、従来の成膜に関するモニタリング技術を開示する文献名を記載する。

【特許文献1】特開平6-220643号公報

【特許文献2】特開平1-83124号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は上記事情に鑑み、成膜中の選択性をモニタリングすることが可能な膜の選択成長法における選択性のモニタリング方法、及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の一態様による、半導体装置の製造方法は、
半導体基板上の所定領域に選択的に膜を成長させる半導体装置の製造方法であって、
前記半導体基板の表面上に非接触状態で配置された少なくとも一つの輻射温度計により、
前記半導体基板の表面の温度を測定しながら、前記半導体基板の表面上に、予め設定された成膜条件の初期値を用いて前記膜を選択的に成長させていくステップと、

前記温度が所定値から変化した時点、あるいは成膜中における温度の変化を示すグラフにおいて所定角度から変化した時点で、前記膜の成長における選択性が劣化したと判定し、
前記成膜条件を変更するステップと、

変更した前記成膜条件を用いて、前記半導体基板の表面の温度を前記輻射温度計を用いて測定しながら、前記半導体基板の表面上に前記膜を選択的に成長させていくステップと

を備え、

前記成膜条件を変更するステップでは、

前記エッチングガスの流量Bに対する前記ソースガスの流量Aの比A/Bを低下させ、あるいは、成膜温度を低下させ、

変更した前記成膜条件を用いて前記膜を選択的に成長させていくステップは、さらに前記温度が、選択性が維持されていたときの初期値に戻った時点で、前記成膜条件を前記初期値に戻すステップと、

前記半導体基板の表面の温度を前記輻射温度計を用いて測定しながら、前記半導体基板の表面上に、前記成膜条件の初期値を用いて前記膜を選択的に成長させていくステップと

を有することを特徴とする。

【0013】

本発明の一態様による、半導体装置の製造方法は、
半導体基板上の所定領域に選択的に膜を成長させる半導体装置の製造方法であって、
前記半導体基板の表面上に非接触状態で配置された少なくとも一つの輻射温度計により、
前記半導体基板の表面の温度を測定しながら、前記半導体基板の表面上に、予め設定された成膜条件を用いて前記膜を選択的に成長させていき、非選択領域上に核が形成される時点までのインキュベーション時間を測定すると共に、このインキュベーション時間が経過するまでに選択領域上に成膜される膜厚Aを測定するステップと、

所望の膜厚 T を前記膜厚 A で除算したサイクル数 M を算出するステップと、
前記インキュベーション時間に到達するまでの間、成膜を行って停止し、前記成膜条件を変更して前記半導体基板の表面上に前記膜を選択的に成長させる工程を、前記サイクル数 M だけ繰り返すことで、成膜処理を行うステップと、
を備え、
前記成膜条件を変更するステップでは、
前記エッチングガスの流量 B に対する前記ソースガスの流量 A の比 A / B を低下させ、あるいは、成膜温度を低下させ、
変更した前記成膜条件を用いて前記膜を選択的に成長させていくステップは、さらに
前記温度が、選択性が維持されていたときの初期値に戻った時点で、前記成膜条件を前記初期値に戻すステップと、
前記半導体基板の表面の温度を前記輻射温度計を用いて測定しながら、前記半導体基板の表面上に、前記成膜条件の初期値を用いて前記膜を選択的に成長させていくステップと
、
を有することを特徴とする。

【発明の効果】

【0014】

以上説明したように、本発明の膜の選択成長法における選択性のモニタリング方法、及び半導体装置の製造方法によれば、膜の成膜中における選択性のモニタリングが実現される。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について図面を参照して説明する。

【0016】

(1) 実施の形態 1

本発明の実施の形態 1 による膜の選択成長中における選択性をモニタリングする方法について述べる。

【0017】

図 1 に、本実施の形態 1 によるモニタリング法で用いる装置の構成を示す。この構成は、典型的な半導体膜の選択成長に用いられる枚葉型化学気相成長 (CVD) を行う際に、CVD 装置内に選択性モニタ用の輻射温度計 (パイロメータ) を設けたものに相当する。

【0018】

ターンテーブル 2 上に半導体ウェーハ 1 が載置され、図示されていない回転機構によって、ターンテーブル 2 に連結された回転軸 4 が矢印 C の方向に回転する。

【0019】

CVD 装置内部の温度を測定するために、例えばターンテーブル 2 と回転軸 4 とを連結する部分に相当する支持部 3 に向けて、輻射温度計 5 が配置されている。これにより、矢印 B で示されたように、支持部 3 からの輻射率が輻射温度計 5 によって測定される。

【0020】

さらに本実施の形態 1 では、半導体ウェーハ 1 の上面に、所定距離を空けて輻射温度計 6 が配置されている。この輻射温度計 6 によって、矢印 A で示されたように半導体ウェーハ 1 の表面からの輻射率が測定される。

【0021】

輻射率は、測定個所の表面の材料により異なる。従って、半導体ウェーハ 1 の表面上に所定の膜を形成している最中の輻射率を測定することで、膜が形成されつつある領域の面積の大小をモニタすることができる。

【0022】

ところで輻射温度計 6 は、図中では半導体ウェーハ 1 の中央上面に一箇所設けられている。しかし、輻射温度計 6 を半導体ウェーハ 1 の複数箇所の上面に設けてもよい。このように輻射温度計 6 を複数配置することで、半導体ウェーハ 1 における複数箇所の輻射率を

10

20

30

40

50

測定することができる。半導体ウェーハ1の表面上において、例えば中央領域と周辺領域とにおいて均一に成膜されない場合がある。このような場合に、複数箇所の輻射率を測定することで、測定箇所への依存性が緩和され、半導体ウェーハ1全体の輻射率を片寄り無く測定することが可能となる。

【0023】

次に、このような装置を用いて成膜処理を行う方法について説明する。

【0024】

半導体装置のなかでも、特に論理デバイスでは、トランジスタ領域とそれらを隔てる素子分離領域とが多数組合わさって、多くの回路を構成している。

【0025】

微細化の進んだ先端論理デバイスでは、短チャネル効果の抑制やシリサイドの低抵抗化等の要請に応えるため、拡散層領域のみに選択的にSiまたはSiGeを含む半導体膜をエピタキシャル成長させる選択成長技術を用いることが望まれている。

【0026】

図2に、半導体膜をエピタキシャル成長させる前段階における半導体ウェーハの断面形状の一部を示す。

【0027】

半導体ウェーハ11の表面部分において、素子領域を分離するためのSTI(Shallow Trench Isolation)等の素子分離領域12が形成されている。素子領域の表面上に、ゲート絶縁膜13を介して、ゲート電極の形状に多結晶シリコン膜14、キャップ用シリコン窒化膜15が形成されており、その側面にシリコン酸化膜16、側壁用シリコン窒化膜17が形成されている。

【0028】

選択成長を行う前の処理として、この段階での半導体ウェーハ11に希釈フッ酸溶液等を用いて処理を行うことで、半導体ウェーハ11における露出した基板表面に形成されている自然酸化膜等の薄い酸化膜を除去する。

【0029】

次に、半導体ウェーハ11をCVD装置内に導入し、水素雰囲気中で例えば900程度の温度で熱処理を行うことで、搬送中に基板表面に形成された自然酸化膜の除去を行う。

【0030】

引き続き、同一装置内で連続的に、例えば800程度の温度で、全圧を例えば50(Torr)程度とし、雰囲気ガスとして、 $SiH_2Cl_2 = 500(cc)$ 、 $HCl = 150(cc)$ 、 $H_2 = 20000(cc)$ 程度供給した状態で、数分間の成膜処理を行う。

【0031】

このエピタキシャル成長により、数10(nm)の単結晶シリコン膜が、基板表面が露出している拡散層上にのみに選択的に形成される。これにより、図3に示されるようなせり上げ拡散層(エレベーターソース層、ドレイン層)18、19を有する構造を得ることができる。

【0032】

CMOS構成の場合は、不純物が導入されていない単結晶シリコン膜を形成した後に、それぞれの導電型に応じた不純物を導入する。しかし、P型又はN型トランジスタのみを形成する場合は、予め不純物が導入された単結晶シリコン膜を形成してもよい。

【0033】

ここで選択性が劣化して、図4に示されるように、非選択領域、即ち素子分離領域12上あるいはゲート電極の側壁用シリコン窒化膜17上に核20、21の形成が起こる場合がある。この核20、21が形成されると、非選択領域上にも単結晶シリコン膜が形成されることになる。

【0034】

10

20

30

40

50

このような場合、当該トランジスタと素子分離領域 1 2 を超えて隣接する他のトランジスタとが短絡してしまい、相互に電氣的に独立して動作することが不可能となったり、あるいは当該トランジスタ内においてゲートとソース・ドレイン間が短絡することがある。

【 0 0 3 5 】

そこでこのような事態を回避するため、本実施の形態 1 では、膜の選択成長を行っている最中に、半導体ウェーハ 1 1 の表面の輻射率を輻射温度計 6 によって測定する。そして、輻射率が一定値を維持している間は選択性が保たれており、輻射率が途中で所定値以上に变化した場合に選択性が劣化したと判断することにより、成膜中における選択性をモニタすることが可能となる。

【 0 0 3 6 】

図 5 に、C V D 装置内部の輻射率を輻射温度計 5 で測定し、温度に換算した測定曲線 L 1 と、半導体ウェーハ 1 1 の表面の輻射率を輻射温度計 6 で測定して温度に換算した測定曲線 L 2 とを示す。

【 0 0 3 7 】

測定曲線 L 1 に示されたように、成膜時間の経過にかかわらず C V D 装置内の温度は約 8 0 5 () で一定である。一方、測定曲線 L 2 に示されたように、成膜時間が約 3 7 0 (秒) を経過した時点で半導体ウェーハ 1 1 表面の輻射率が上昇している。

【 0 0 3 8 】

半導体ウェーハ 1 1 上において、露出している基板表面上にのみ選択的にエピタキシャル成長膜が成長している間は、輻射率がほぼ同等の半導体材料上にのみ膜が形成され、輻射率が異なる絶縁膜、即ち素子分離領域 1 2 上や側壁用シリコン窒化膜 1 7 上には半導体膜が成長していない。よって、輻射率が一定値を維持している間は、選択性が維持されている。

【 0 0 3 9 】

ところが、選択成長の途中で選択性が劣化すると、絶縁膜上にも半導体膜が形成され、半導体ウェーハ 1 1 全体の輻射率が所定値以上に变化する。

【 0 0 4 0 】

図 5 に示された場合を例にとると、成膜時間 3 7 0 (秒) 付近から輻射温度計 6 の出力値が所定値以上、即ち温度換算で 8 1 2 () から 8 3 0 () まで上昇したことが認められるので、この時点で選択性が劣化したことが判明する。

【 0 0 4 1 】

このように本実施の形態 1 によれば、成膜の最中に選択性をモニタすることが可能である。

【 0 0 4 2 】

尚、選択性が劣化したことの判断基準であるが、選択性が維持されている間は輻射率の傾きがほぼ「 0 」であり、選択性が劣化すると所定値以上の傾きが生じることに基づいて、判断してもよい。

【 0 0 4 3 】

(2) 実施の形態 2

本発明による実施の形態 2 では、上記実施の形態 1 における成膜中での選択性のモニタに加えて、モニタリング結果を成膜条件にフィードバックさせる構成をさらに備えている。

【 0 0 4 4 】

成膜中において、半導体ウェーハの表面の輻射率をモニタするための輻射温度計を備えた装置構成は、上記実施の形態 1 と同様とする。

【 0 0 4 5 】

図 6 のフローチャートに、本実施の形態 2 における選択性のモニタリング結果を成膜条件にフィードバックするための手順を示す。

【 0 0 4 6 】

ステップ S 1 0 として、成膜条件を設定する。成膜条件としては、温度 (T)、成膜用

10

20

30

40

50

のソースガス（例えば、DCS（DiChloroSilane）= SiH_2Cl_2 ）の流量、非選択領域上への核の形成防止あるいは形成された核の除去用のエッチングガス（例えば、HCl）の流量、ソースガス及びエッチングガスをCVD装置内に均一に分散させるためのキャリアガス（例えば、 H_2 ）、圧力（P）等がある。

【0047】

ステップS12として、成膜を開始する。

【0048】

ステップS14において、予め設定した成膜時間が終了したか否かを判断し、終了するまでの間はステップS16へ移行する。

【0049】

ステップS16において、成膜中における輻射温度計の出力を読み取る。

【0050】

ステップS18において、輻射温度計の出力値に基づいて選択性が良好か否かを判断し、選択性が良好な間はステップS20へ移行する。

【0051】

ステップS20において、成膜条件として初期に設定した値を維持し、ステップS14へ戻る。

【0052】

ステップS18において、輻射温度計の出力値に基づき、選択性が劣化したと判断した場合は、ステップS22へ移行する。

【0053】

ステップS22において、成膜条件を変更する。選択性を改善するためには、例えばソースガスの流量とエッチングガスの流量との比率を変更する。即ち、エッチングガスの流量をB（sccm）からB+（sccm）へ増加させる。あるいは、ソースガスの流量をA（sccm）からA-（sccm）へ減少させる。

【0054】

あるいはまた、温度をC（ ）からC-（ ）へ下げてもよい。圧力は選択性への影響が小さいと考えられるので、通常は変更しない場合が多い。

【0055】

成膜条件を変更した後、ステップS14へ戻り、引き続き成膜処理を続行する。

【0056】

成膜条件変更後に、ステップS18において選択性が改善し良好であると判断した場合は、ステップS20へ移行し、成膜条件を初期値に戻す。

【0057】

選択性を改善するために変更した場合、この成膜条件を維持すると成膜時間が終了した時点においても所望の膜厚に到達しない場合が多い。そこで、成膜条件を初期値に戻すことにより、所望の膜厚が得られるようにする必要がある。

【0058】

ステップS14において、成膜時間が終了した場合、ステップS24へ移行して成膜処理を終了する。

【0059】

このように本実施の形態2によれば、成膜中に選択性をモニタしておき、選択性が劣化したと判断した場合、エッチングガスの流量を増加させる等、選択性が改善されるように成膜条件を変更することで、非選択領域上に形成された核を除去して選択性劣化の防止を行う。

【0060】

これにより、素子分離領域あるいはゲート電極側壁等の非選択領域上に核が形成されないエレベータッドソース・ドレイン構造を容易に得ることが可能である。

【0061】

(3) 実施の形態3

10

20

30

40

50

本発明による実施の形態3は、上記実施の形態1のモニタリングを行う構成に加えて、膜厚を制御する構成をさらに備えたものに相当する。

【0062】

一定の成膜条件及び一定の基板の表面状態においては、成膜開始から選択性が良好な状態で成膜を行っていき、選択性が劣化する時点に至るまでのいわゆるインキュベーション時間（潜伏時間）は、一定であることが知られている。

【0063】

図7に、シリコン酸化膜上に、エピタキシャル成長によりシリコン単結晶膜を成膜したときの成膜時間と膜厚との関係、即ち成長速度を示す。

【0064】

成膜条件として、ソースガスとしてDCS（流量：250cc/min）、エッチングガスとしてHCl（流量：150cc/min）、キャリアガスとしてH₂（流量：20000cc/min）を使用し、成膜温度は800（ ）、圧力は10（Torr）とした。

【0065】

ここで、横軸の成膜時間において、膜厚が0（nm）の状態から立ち上がる瞬間までの経過時間（横軸の切片）が、インキュベーション時間に相当する。

【0066】

このインキュベーション時間は、この間シリコン酸化膜上への成長が起こらないことを意味する。従って、この図7に示されたインキュベーション時間の測定を行うことは、シリコン酸化膜が形成された非選択領域において、インキュベーション時間を経過した後に核形成が起こる瞬間をモニタしていることに相当する。即ち、一定の成膜条件及び一定の表面状態の下で、一定の潜伏時間をモニタしていることになる。

【0067】

本実施の形態3における成膜条件及び基板上のシリコン酸化膜表面上への成膜という条件下では、インキュベーション時間は図7に示されたように60（秒）であった。また、成膜開始から60秒経過した時点で、シリコン基板が露出した拡散層上に選択的に成膜されたエピタキシャル成長層の膜厚は、15（nm）であった。

【0068】

従って、この条件下では、成膜開始から選択性が劣化するまでのインキュベーション時間に相当する成膜処理工程を1サイクルとすれば、1サイクルあたりの選択領域上での成膜量は15（nm）となる。この後、劣化した選択性を改善させるために、上記成膜条件を変更して成膜を行う。このような1組の工程を1サイクルとして、サイクル数を複数回カウントすることにより、15（nm）ステップを単位として膜厚の管理が可能となる。

【0069】

図8に、本実施の形態3による成膜方法における処理の手順を示す。

【0070】

ステップS30において、成膜条件の設定を行う。成膜条件としては、上述したように、ソースガス、エッチングガスのそれぞれの流量、成膜温度及び圧力等が含まれる。

【0071】

ステップS32として、インキュベーション時間の測定を行う。まず、上述のように成膜開始から非選択領域上に核形成が起こる瞬間までのインキュベーション時間を測定する。さらに、このインキュベーション時間が経過するまでの間に、選択領域上に形成される膜の膜厚A（nm）を測定する。

【0072】

ステップS34として、選択領域に形成すべき膜の所望の膜厚T（nm）を、1回のインキュベーション時間で形成される膜厚A（nm）で除したサイクル数M（回）を算出する。

【0073】

ステップS36として、成膜処理を開始する。

10

20

30

40

50

【0074】

ステップS38において、1回目のインキュベーション時間が経過したか否かを判断し、経過した後にステップS38へ移行する。このステップS38により、選択領域上に予め測定した所定の膜厚 $A \times 1$ (nm)だけ膜が成膜される。この後、劣化した選択性を改善させるべく、ステップS30で設定した成膜条件を変更して成膜を行う。

【0075】

ステップS40において、ステップS30で設定した成膜条件で成膜を開始し、2回目のインキュベーション時間が経過したか否かを判断し、経過した後に図示されていない次のステップへ移行する。ステップS38及びS40により、選択領域上に膜厚 $A \times 2$ (nm)だけ膜が成膜される。この後、劣化した選択性を改善させるべく、ステップS30で設定した成膜条件を変更して成膜を行う。

10

【0076】

ステップS42において、ステップS30で設定した成膜条件で成膜を開始し、M回目のインキュベーション時間が経過したか否かを判断し、経過した後に次のステップS44へ移行し、成膜処理を終了する。これにより、最終的に選択領域上に膜厚 $A \times M$ (nm)の膜が成膜される。

【0077】

以上説明したように、本実施の形態3では、一定の成膜条件及び一定の基板状態においては、成膜開始から選択性が劣化するまでのインキュベーション時間は一定であり、その間に選択領域上に成膜される膜厚も一定であることに着目し、選択性が劣化するまでのサイクル数によって膜厚を制御するものである。即ち、成膜条件を設定し、この条件下でインキュベーション時間及びこのインキュベーション時間が経過するまでに選択領域上に形成される膜厚を予め測定しておき、所望の膜厚が得られるまで複数サイクルに渡って成膜を行うことにより、高精度で膜厚を制御することができる。

20

【0078】

上述した実施の形態はいずれも一例であって、本発明を限定するものではない。例えば、上述した成膜条件は一例であり、必要に応じて自由に設定することができる。

【0079】

半導体基板としては、Siに限らず、Ge、又はSiCの少なくともいずれかを含むものであればよい。

30

【0080】

成長させる膜としては、Si、Ge、又はSiCの少なくともいずれかを含む単結晶膜、多結晶膜、あるいは非晶質膜のいずれかであればよい。

【0081】

ソースガスとしては、成長させる膜に応じて、例えばDCS (= SiH_2Cl_2)、の他に、 Si_2H_6 、 SiH_4 、 SiHCl_3 、 Si_2Cl_6 を用い、エッチングガスとしては、例えばHCl、 Cl_2 、HBr、 Br_2 、HF、 F_2 、 SF_6 を用いてもよい。またキャリアガスとしては、 H_2 の他に、 N_2 やHe等の不活性ガスを用いてもよい。

【図面の簡単な説明】

【0082】

40

【図1】本発明の実施の形態1～3による膜の選択成長法及びそのモニタリング法において用いる装置の構成を示した斜視図。

【図2】本発明の実施の形態1による膜の選択成長法を工程別に示す素子の縦断面図。

【図3】同実施の形態1による膜の選択成長法を工程別に示す素子の縦断面図。

【図4】同実施の形態1による膜の選択成長法を工程別に示す素子の縦断面図。

【図5】成膜中における温度変化を示すグラフ。

【図6】本発明の実施の形態2による成膜方法における処理の手順を示したフローチャート。

【図7】本発明の実施の形態3による成膜方法における成膜時間と膜厚との関係を示したグラフ。

50

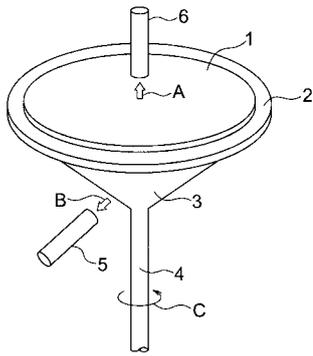
【図8】同実施の形態3による成膜方法における処理の手順を示したフローチャート。

【符号の説明】

【0083】

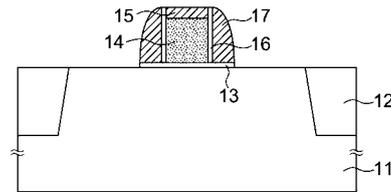
- 1 半導体ウェーハ
- 2 ターンテーブル
- 3 支持部
- 4 回転軸
- 5、6 輻射温度計
- 11 半導体ウェーハ
- 12 素子分離膜
- 13 ゲート絶縁膜
- 14 多結晶シリコン膜
- 15 キャップ用シリコン窒化膜
- 16 シリコン酸化膜
- 17 側壁用シリコン窒化膜
- 18、19 せり上げ拡散層
- 20、21 核

【図1】



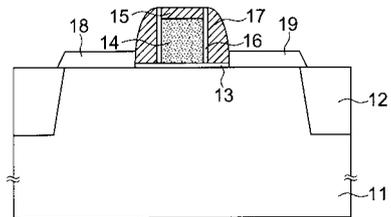
- 1: 半導体ウェーハ
- 2: ターンテーブル
- 3: 支持部
- 4: 回転軸
- 5,6: 輻射温度計

【図2】



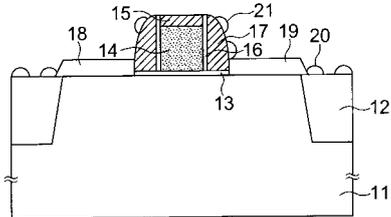
- 11: 半導体ウェーハ
- 12: 素子分離膜
- 13: ゲート絶縁膜
- 14: 多結晶シリコン膜

【図3】



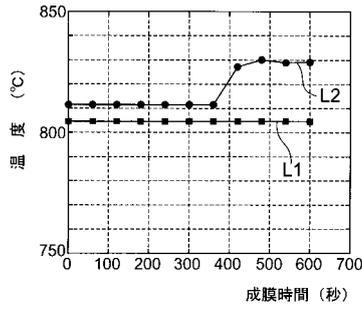
- 18,19: せり上げ拡散層

【図4】

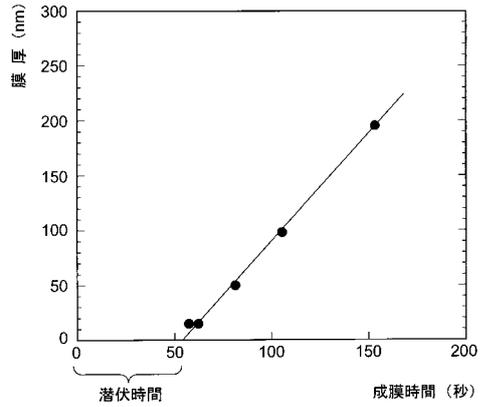


- 20,21: 核

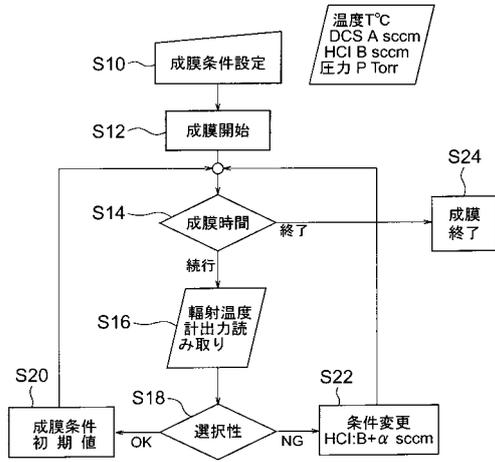
【図5】



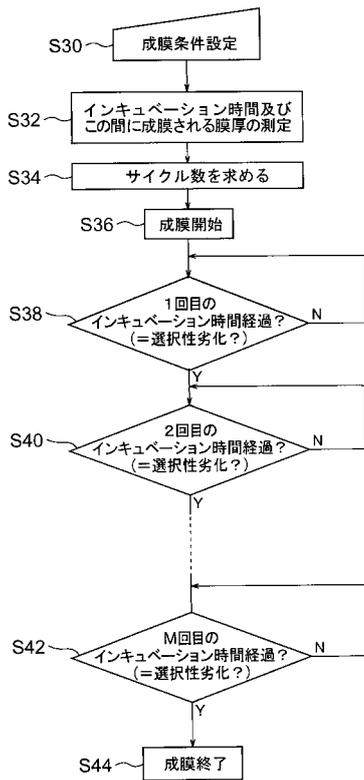
【図7】



【図6】



【図8】



フロントページの続き

- (72)発明者 宮 野 清 孝
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内
- (72)発明者 山 本 明 人
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内
- (72)発明者 斉 藤 芳 彦
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

審査官 山本 雄一

- (56)参考文献 特開平 0 2 - 1 0 6 0 3 6 (J P , A)
特開平 0 9 - 0 9 2 6 2 1 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 2 0 5
H 0 1 L 2 9 / 7 8