

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6285150号  
(P6285150)

(45) 発行日 平成30年2月28日(2018.2.28)

(24) 登録日 平成30年2月9日(2018.2.9)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 29/417 (2006.01)	HO 1 L 29/78	6 1 9 A
HO 1 L 29/41 (2006.01)	HO 1 L 29/50	M
HO 1 L 21/28 (2006.01)	HO 1 L 29/44	P
請求項の数 4 (全 41 頁) 最終頁に続く		

(21) 出願番号	特願2013-233600 (P2013-233600)	(73) 特許権者	000153878
(22) 出願日	平成25年11月12日(2013.11.12)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2014-116592 (P2014-116592A)		神奈川県厚木市長谷398番地
(43) 公開日	平成26年6月26日(2014.6.26)	(72) 発明者	山崎 舜平
審査請求日	平成28年10月27日(2016.10.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-251935 (P2012-251935)		半導体エネルギー研究所内
(32) 優先日	平成24年11月16日(2012.11.16)	(72) 発明者	松林 大介
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	三宅 博之
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	岩本 勉
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタを有し、  
 前記第1のトランジスタは、第1の配線への第1の信号の供給を制御する機能を有し、  
 前記第1の配線は、画素に電氣的に接続されており、  
 前記第1のトランジスタは、  
 ゲート電極と、  
 前記ゲート電極上の酸化物半導体膜と、  
 前記酸化物半導体膜上において前記酸化物半導体膜に電氣的に接続されている第1の導電膜と、  
 前記酸化物半導体膜上において前記酸化物半導体膜に電氣的に接続されている第2の導電膜と、  
 前記酸化物半導体膜上、前記第1の導電膜上、及び前記第2の導電膜上の金属酸化物膜と、を有し、  
 前記第1の導電膜は、前記酸化物半導体膜と重なる第1の領域を有し、  
 前記第1の導電膜は、前記酸化物半導体膜と重なる第2の領域を有し、  
 前記第1の導電膜は、前記第1の領域と前記第2の領域とを連結する第3の領域を有し

10

、  
 前記第3の領域は、前記酸化物半導体膜と重ならず、  
 前記酸化物半導体膜は、チャンネル幅方向において前記第1の領域及び前記第2の領域よ

20

りも幅の広い第4の領域を有し、

前記金属酸化物膜に含まれる一の金属元素は、前記酸化物半導体膜に含まれる一の金属元素と同じである半導体装置。

【請求項2】

第1のトランジスタを有し、

前記第1のトランジスタは、第1の配線への第1の信号の供給を制御する機能を有し、

前記第1の配線は、画素に電氣的に接続されており、

前記第1のトランジスタは、

ゲート電極と、

前記ゲート電極上の酸化物半導体膜と、

前記酸化物半導体膜上において前記酸化物半導体膜に電氣的に接続されている第1の導電膜と、

前記酸化物半導体膜上において前記酸化物半導体膜に電氣的に接続されている第2の導電膜と、

前記酸化物半導体膜上、前記第1の導電膜上、及び前記第2の導電膜上の金属酸化物膜と、を有し、

前記第1の導電膜は、前記酸化物半導体膜と重なる第1の領域を有し、

前記第1の導電膜は、前記酸化物半導体膜と重なる第2の領域を有し、

前記第1の導電膜は、前記第1の領域と前記第2の領域とを連結する第3の領域を有し

、 20

前記第3の領域は、前記酸化物半導体膜と重ならず、

前記酸化物半導体膜は、チャネル幅方向において前記第1の領域及び前記第2の領域よりも幅の広い第4の領域を有し、

前記第2の導電膜は、前記酸化物半導体膜と重なる第5の領域を有し、

前記第5の領域は、前記第1の領域及び前記第2の領域よりも前記チャネル幅方向における幅が大きく、

前記金属酸化物膜に含まれる一の金属元素は、前記酸化物半導体膜に含まれる一の金属元素と同じである半導体装置。

【請求項3】

第1のトランジスタ乃至第3のトランジスタを有し、

前記第1のトランジスタは、第1の配線への第1の信号の供給を制御する機能を有し、

前記第2のトランジスタは、第2の配線への前記第1の信号の供給を制御する機能を有し、

前記第3のトランジスタは、前記第1のトランジスタのゲート電極への第1の電位の供給を制御する機能と、前記第2のトランジスタのゲート電極への前記第1の電位の供給を制御する機能と、を有し、

前記第1の配線は、画素に電氣的に接続されており、

前記第1のトランジスタ乃至前記第3のトランジスタは、

酸化物半導体膜と、

前記酸化物半導体膜上において前記酸化物半導体膜に電氣的に接続されている第1の導電膜と、

前記酸化物半導体膜上において前記酸化物半導体膜に電氣的に接続されている第2の導電膜と、

前記酸化物半導体膜上、前記第1の導電膜上、及び前記第2の導電膜上の金属酸化物膜と、をそれぞれ有し、

前記第1の導電膜は、前記酸化物半導体膜と重なる第1の領域を有し、

前記第1の導電膜は、前記酸化物半導体膜と重なる第2の領域を有し、

前記第1の導電膜は、前記第1の領域と前記第2の領域とを連結する第3の領域を有し

、 40

前記第3の領域は、前記酸化物半導体膜と重ならず、

、 50

前記酸化物半導体膜は、チャンネル幅方向において前記第1の領域及び前記第2の領域よりも幅の広い第4の領域を有し、

前記金属酸化物膜に含まれる一の金属元素は、前記酸化物半導体膜に含まれる一の金属元素と同じである半導体装置。

【請求項4】

第1のトランジスタ乃至第3のトランジスタを有し、

前記第1のトランジスタは、第1の配線への第1の信号の供給を制御する機能を有し、

前記第2のトランジスタは、第2の配線への前記第1の信号の供給を制御する機能を有し、

前記第3のトランジスタは、前記第1のトランジスタのゲート電極への第1の電位の供給を制御する機能と、前記第2のトランジスタのゲート電極への前記第1の電位の供給を制御する機能と、を有し、

前記第1の配線は、画素に電氣的に接続されており、

前記第1のトランジスタ乃至前記第3のトランジスタは、

酸化物半導体膜と、

前記酸化物半導体膜上において前記酸化物半導体膜に電氣的に接続されている第1の導電膜と、

前記酸化物半導体膜上において前記酸化物半導体膜に電氣的に接続されている第2の導電膜と、

前記酸化物半導体膜上、前記第1の導電膜上、及び前記第2の導電膜上の金属酸化物膜と、をそれぞれ有し、

前記第1の導電膜は、前記酸化物半導体膜と重なる第1の領域を有し、

前記第1の導電膜は、前記酸化物半導体膜と重なる第2の領域を有し、

前記第1の導電膜は、前記第1の領域と前記第2の領域とを連結する第3の領域を有し、

、

前記第3の領域は、前記酸化物半導体膜と重ならず、

前記酸化物半導体膜は、チャンネル幅方向において前記第1の領域及び前記第2の領域よりも幅の広い第4の領域を有し、

前記第2の導電膜は、前記酸化物半導体膜と重なる第5の領域を有し、

前記第5の領域は、前記第1の領域及び前記第2の領域よりも前記チャンネル幅方向における幅が大きく、

前記金属酸化物膜に含まれる一の金属元素は、前記酸化物半導体膜に含まれる一の金属元素と同じである半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体特性を利用した半導体装置に関する。

【背景技術】

【0002】

結晶性を有するシリコンによって得られる高い移動度と、非晶質シリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置や発光装置などで透光性を有する画素電極に用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャンネル形成領域に用いるトランジスタが、既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

【0003】

10

20

30

40

50

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、半導体装置に用いられるトランジスタは、閾値電圧などの電気的特性の経時劣化による変化が小さいことが望まれる。特に、単極性のトランジスタで構成された回路では、回路から出力される電位がトランジスタの閾値電圧による影響を受けやすい。そのため、単極性のトランジスタで構成された回路の場合は、トランジスタに許容される閾値電圧の範囲が、CMOSの回路に比べて狭い傾向にある。よって、半導体装置、特に単極性のトランジスタで構成された回路を有する半導体装置にとって、経時劣化による電気的特性の変化が小さいトランジスタを用いることは、信頼性を確保する上で重要である。

10

【0005】

また、半導体装置ではその回路設計によって半導体素子に求められる電気的特性は異なるが、ゲート電圧が0V以下の時に非導通状態であること、所謂ノーマリーオフであることが要求されるnチャンネル型のトランジスタの場合、その閾値電圧は0Vより大きいことが望まれる。よって、トランジスタの閾値電圧は、経時劣化による変化が小さいことのみならず、ノーマリーオフであることを満たすような初期値を有することが求められる。

【0006】

上述したような技術的背景のもと、本発明は、ノーマリーオフであるトランジスタを有する半導体装置の提供を、課題の一つとする。また、本発明は、信頼性の高い半導体装置の提供を、課題の一つとする。

20

【課題を解決するための手段】

【0007】

トランジスタの閾値電圧の初期値と、経時劣化による閾値電圧の変化量とが、半導体膜のレイアウトと、ソース電極またはドレイン電極として機能する導電膜のレイアウトとの関係によって、異なることが見出された。本発明の一態様では、上記関係を利用して、上記課題を解決することができる。

【0008】

具体的に、本発明の一態様に係る半導体装置は、ゲート電極と、ゲート絶縁膜と、ゲート絶縁膜を間に挟んでゲート電極と重なる位置に設けられた半導体膜と、半導体膜に接するソース電極及びドレイン電極とを有する。そして、半導体膜の端部と、当該半導体膜と重なる領域におけるソース電極またはドレイン電極の端部とは、チャンネル幅方向において間隔を有するものとする。

30

【0009】

酸化物半導体を含む半導体膜の端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成されやすいと考えられる。しかし、本発明の一態様では、上記構成により、ソース電極及びドレイン電極とは重ならない半導体膜の端部、すなわち、ソース電極及びドレイン電極が形成された領域とは異なる領域における半導体膜の端部を、長く確保することができる。また、ソース電極及びドレイン電極とは重ならない半導体膜の端部、すなわち、ソース電極及びドレイン電極が形成された領域とは異なる領域における半導体膜の端部において、ドレイン電極からソース電極に向かう電気力線の密度を小さくし、当該端部にかかる電界を小さくすることができる。よって、半導体膜の端部において酸素欠損が形成されていたとしても、トランジスタを非導通状態としたいときに当該端部を介してソース電極とドレイン電極の間に流れるリーク電流を、小さく抑えることができる。よって、ノーマリーオフとなるように、トランジスタの閾値電圧を制御することができる。

40

【0010】

50

また、本発明の一態様では、半導体膜の端部にかかる電界を小さくすることで、当該端部からゲート絶縁膜中にキャリアである電子がトラップされるのを防ぐことができる。そして、それにより、閾値電圧の変化を抑え、半導体装置の信頼性を高めることができる。

【発明の効果】

【0011】

本発明の一態様では、上記構成により、ノーマリーオフであるトランジスタを有する半導体装置を提供することができる。また、本発明の一態様では、上記構成により、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【0012】

【図1】トランジスタの上面図及び断面図。

【図2】トランジスタの上面図。

【図3】トランジスタの上面図及び断面図。

【図4】トランジスタの上面図。

【図5】トランジスタの上面図。

【図6】トランジスタの上面図及び断面図。

【図7】トランジスタの上面図。

【図8】閾値電圧の変化量の実測値と、シフト値の変化量の実測値。

【図9】トランジスタの断面図。

【図10】半導体装置の作製方法を示す図。

【図11】半導体装置の作製方法を示す図。

【図12】シフトレジスタと順序回路の構成を示す図。

【図13】半導体表示装置の構成を示す図。

【図14】電子機器の図。

【図15】本発明の一態様に係る酸化物積層のバンド構造を説明する図。

【図16】トランジスタのゲート電圧とドレイン電流の関係を示すグラフ。

【図17】トランジスタのゲート電圧とドレイン電流の関係を示すグラフ。

【図18】トランジスタの断面図。

【発明を実施するための形態】

【0013】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0014】

なお、本発明は、集積回路、RFタグ、半導体表示装置など、トランジスタを用いたあらゆる半導体装置を、その範疇に含む。なお、集積回路には、マイクロプロセッサ、画像処理回路、DSP(Digital Signal Processor)、マイクロコントローラを含むLSI(Large Scale Integrated Circuit)、FPGA(Field Programmable Gate Array)やCPLD(Complex PLD)などのプログラマブル論理回路(PLD: Programmable Logic Device)が、その範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子)に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)など、トランジスタを駆動回路に有している半導体表示装置が、その範疇に含まれる。

【0015】

トランジスタの形態1

図1に、本発明の一態様に係る半導体装置が有する、トランジスタの一形態を示す。図1

10

20

30

40

50

(A)はトランジスタ10の上面図である。図1(B)は、図1(A)に示したトランジスタ10の、破線A1-A2における断面構造を示した図に相当する。図1(C)は、図1(A)に示したトランジスタ10の、破線A3-A4における断面構造を示した図に相当する。なお、図1(A)では、トランジスタ10のレイアウトを明確にするために、ゲート絶縁膜などの各種絶縁膜を省略している。

【0016】

図1に示すように、トランジスタ10は、絶縁表面を有する基板11上に、ゲート電極としての機能を有する導電膜12と、導電膜12上のゲート絶縁膜13と、ゲート絶縁膜13を間に挟んで導電膜12と重なる位置に設けられた半導体膜14と、半導体膜14に接し、ソース電極またはドレイン電極としての機能を有する導電膜15及び導電膜16とを有する。

10

【0017】

また、図1では、半導体膜14、導電膜15及び導電膜16上に、酸化物膜17が設けられている。本発明の一態様では、酸化物膜17をトランジスタ10の構成要素に含めても良い。

【0018】

また、図1(A)では、導電膜15と導電膜16の間を最短距離でキャリアが移動する方向をチャンネル長方向とし、チャンネル長方向を矢印D1で示す。また、図1(A)では、チャンネル長方向に対して垂直な方向をチャンネル幅方向とし、チャンネル幅方向を矢印D2で示す。

20

【0019】

そして、本発明の一態様では、半導体膜14の端部と、半導体膜14と重なる領域における導電膜15または導電膜16の端部とは、チャンネル幅方向において間隔を有するものとする。別の見方をすると、トランジスタ10は、チャンネル幅方向における半導体膜14の幅 $W_i$ が、導電膜15または導電膜16と半導体膜14とが重なる領域18の、チャンネル幅方向における導電膜15または導電膜16の幅 $W_{sd}$ よりも、大きいと言える。

【0020】

なお、本発明の一態様では、チャンネル幅方向において、半導体膜14の両端部と、領域18における導電膜15及び導電膜16の両端部とが間隔を有する構成を例示している。そして、図1(A)では、半導体膜14の両端部と、領域18における導電膜15及び導電膜16の両端部とが、間隔 $W_{d1}$ と間隔 $W_{d2}$ とをそれぞれ有して間隔を有する場合を例示している。

30

【0021】

本発明の一態様では、上記構成により、トランジスタ10をノーマリーオフ化し、閾値電圧が変化することを防ぐことができる。以下、その理由について詳細に説明する。

【0022】

図2(A)に、トランジスタ10の上面図において、導電膜15と導電膜16の間に、破線の矢印である電気力線を加えた図を示す。図2(A)では、トランジスタ10がnチャンネル型であり、導電膜15がドレイン電極、導電膜16がソース電極である場合の、電気力線を例示している。

40

【0023】

図2(A)に示すトランジスタ10では、電気力線がドレイン電極である導電膜15から、ソース電極である導電膜16に向かっていく。そして、トランジスタ10では、半導体膜14のうち、導電膜15と導電膜16とを、矢印D1で示したチャンネル長方向において結ぶ経路を含む領域19aに、電気力線が存在する。さらに、トランジスタ10では、領域19aのみならず、半導体膜14のうち当該経路から外れる領域19bにも、回り込むように電気力線が存在する。

【0024】

次いで、比較例として、図2(B)に、トランジスタ10とは異なる構造を有するトランジスタ20の上面図と、破線の矢印である電気力線とを図示する。

50

## 【0025】

トランジスタ20は、絶縁表面上に、ゲート電極としての機能を有する導電膜22と、導電膜22上のゲート絶縁膜（図示は省略する）と、ゲート絶縁膜を間に挟んで導電膜22と重なる位置に設けられた半導体膜24と、半導体膜24に接し、ソース電極またはドレイン電極としての機能を有する導電膜25及び導電膜26とを有する。

## 【0026】

そして、トランジスタ20は、導電膜25または導電膜26の端部と、導電膜25または導電膜26と重なる領域における半導体膜24の端部とが、矢印D2で示したチャンネル幅方向において間隔を有する構造を有する。別の見方をすると、トランジスタ20は、チャンネル幅方向における半導体膜24の幅 $W_i$ が、チャンネル幅方向における導電膜25または導電膜26の幅 $W_{sd}$ よりも、小さいと言える。

10

## 【0027】

図2(B)では、チャンネル幅方向において、導電膜25または導電膜26の両端部と、導電膜25または導電膜26と重なる領域における半導体膜24の両端部とが、間隔 $W_{d3}$ と間隔 $W_{d4}$ とをそれぞれ有する場合を例示している。

## 【0028】

図2(B)では、トランジスタ20がnチャンネル型であり、導電膜25がドレイン電極、導電膜26がソース電極である場合の、電気力線を例示している。

## 【0029】

図2(B)に示すトランジスタ20では、電気力線が、ドレイン電極である導電膜25から、ソース電極である導電膜26に向かっている。そして、トランジスタ20では、半導体膜24のうち、導電膜25と導電膜26とを、矢印D1で示したチャンネル長方向において結ぶ経路に沿っている電気力線のみが存在する。

20

## 【0030】

よって、図2(A)に示すトランジスタ10の半導体膜14の端部と、図2(B)に示すトランジスタ20の半導体膜24の端部とを比較すると、トランジスタ10における、導電膜15及び導電膜16とは重ならない半導体膜14の端部、すなわち、導電膜15及び導電膜16が形成された領域とは異なる領域における半導体膜14の端部は、トランジスタ20における、導電膜25及び導電膜26とは重ならない半導体膜24の端部、すなわち、導電膜25及び導電膜26が形成された領域とは異なる領域における半導体膜24の端部よりも、長くなる。

30

## 【0031】

また、図2(A)に示すトランジスタ10の電気力線と、図2(B)に示すトランジスタ20の電気力線とを比較すると、トランジスタ10は、導電膜15及び導電膜16とは重ならない半導体膜14の端部における電気力線の密度を、トランジスタ20の導電膜25及び導電膜26とは重ならない半導体膜24の端部における電気力線の密度に比べて、小さくすることができる。換言すると、導電膜15及び導電膜16が形成された領域とは異なる領域において、半導体膜14の端部にかかる電界を、導電膜25及び導電膜26が形成された領域とは異なる領域において、半導体膜24の端部にかかる電界よりも小さくすることができると言える。

40

## 【0032】

半導体膜14及び半導体膜24が酸化物半導体を含んでいる場合、半導体膜14及び半導体膜24の端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、半導体膜14及び半導体膜24の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成されやすいと考えられる。

## 【0033】

しかし、トランジスタ10では、上述したように、導電膜15及び導電膜16とは重ならない半導体膜14の端部を長く確保することができる。また、トランジスタ10では、導

50

電膜 15 及び導電膜 16 が形成された領域とは異なる領域において、半導体膜 14 の端部にかかる電界を小さくすることができる。よって、半導体膜 14 の端部において酸素欠損が形成されていたとしても、トランジスタ 10 を非導通状態としたいときに当該端部を介して導電膜 15 と導電膜 16 の間に流れるリーク電流を、小さく抑えることができる。よって、ノーマリーオフとなるように、トランジスタ 10 の閾値電圧を制御することができる。

【0034】

また、トランジスタ 10 では、半導体膜 14 の端部にかかる電界を小さくすることで、当該端部からゲート絶縁膜 13 中にキャリアである電子がトラップされるのを防ぐことができる。それにより、トランジスタ 10 では、閾値電圧の変化が抑えられるため、トランジスタ 10 を用いた半導体装置の信頼性を高めることができる。

10

【0035】

また、本発明の一態様では、酸化物膜 17 として金属酸化物を用いる構成としてもよい。

【0036】

上記構成を有する酸化物膜 17 を用いることで、酸化物膜 17 上にシリコンが含まれた膜が設けられても、半導体膜 14 と、シリコンを含む膜とを、離隔することができる。よって、半導体膜 14 にインジウムが含まれている場合において、酸素との結合エネルギーがインジウムよりも大きいシリコンが、導電膜 15 及び導電膜 16 とは重ならない半導体膜 14 の端部において、インジウムと酸素の結合を切断し、酸素欠損を形成するのを防ぐことができる。それにより、本発明の一態様では、トランジスタの信頼性をさらに高めることができる。

20

【0037】

酸素欠損による半導体膜 14 のチャネル領域における n 型化を防ぐためには、半導体膜 14 のシリコンの濃度が、 $2 \times 10^{18} \text{ atoms/cm}^3$  以下、さらには  $2 \times 10^{17} \text{ atoms/cm}^3$  以下であることが望ましい。

【0038】

なお、上記金属酸化物は、半導体膜 14 において酸化物半導体として用いられる金属酸化物よりも、導電性が低い構成とする。上記構成を実現するためには、例えば、金属酸化物として In - Ga - Zn 系酸化物を酸化物膜 17 に用いる場合、当該金属酸化物は、In の原子数比が半導体膜 14 に用いられる金属酸化物よりも低いものとすれば良い。具体的に、酸化物膜 17 は、スパッタリング法により、金属の原子数比が 1 : 6 : 4、若しくは 1 : 3 : 2 である、In - Ga - Zn 系酸化物ターゲットを用いて、形成することができる。

30

【0039】

なお、図 1 (A) 及び図 2 (A) では、半導体膜 14 の両端部と、領域 18 における導電膜 15 及び導電膜 16 の両端部とが、間隔 Wd1 と間隔 Wd2 とをそれぞれ有する場合を例示している。本発明の一態様では、間隔 Wd1 と間隔 Wd2 のいずれか一方が存在しない場合でも、本発明の一態様による上記効果を得ることができるが、間隔 Wd1 と間隔 Wd2 の両方が存在する図 1 (A) 及び図 2 (A) の構成例の方が、上記効果を高めることができるのでより望ましい。

40

【0040】

また、半導体膜 14 に酸化物半導体が用いられている場合、導電膜 15 及び導電膜 16 に用いられる導電材料によっては、導電膜 15 及び導電膜 16 中の金属が、酸化物半導体から酸素を引き抜くことがある。この場合、半導体膜 14 のうち、導電膜 15 及び導電膜 16 に接する領域が、酸素欠損の形成により n 型化される。図 1 (A) のトランジスタ 10 の一部の領域 65 を、図 18 に拡大して図示する。図 18 では、半導体膜 14 のうち、導電膜 15 及び導電膜 16 に接する領域 14n が n 型化されている。

【0041】

n 型化された領域 14n は、ソース領域またはドレイン領域として機能するため、半導体膜 14 と導電膜 15 及び導電膜 16 との間におけるコンタクト抵抗を下げるることができる

50



。よって、 $n$ 型化された領域14nが形成されることで、トランジスタ10の移動度及びオン電流を高めることができ、それにより、トランジスタ10を用いた半導体装置の高速動作を実現することができる。

【0042】

なお、導電膜15及び導電膜16中の金属による酸素の引き抜きは、導電膜15及び導電膜16をスパッタリング法などにより形成する際に起こりうるし、導電膜15及び導電膜16を形成した後に行われる加熱処理によっても起こりうる。

【0043】

また、 $n$ 型化される領域14nは、酸素と結合し易い導電材料を導電膜15及び導電膜16に用いることで、より形成されやすくなる。上記導電材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

10

【0044】

閾値電圧の変化量について

次いで、図2(A)に示すトランジスタ10と、図2(B)に示すトランジスタ20とで、ドレイン電極に高い電圧を印加する試験を行い、それぞれの閾値電圧の変化量を調べた結果について説明する。

【0045】

まず、試験に用いたトランジスタA及びトランジスタBは、トランジスタ10と同様の構造を有し、間隔Wd1及び間隔Wd2を共に $3\mu\text{m}$ 、導電膜15及び導電膜16の幅Wsdを $20\mu\text{m}$ 、導電膜15と導電膜16の間隔(チャンネル長)を $3\mu\text{m}$ とした。また、試験に用いたトランジスタC及びトランジスタDは、トランジスタ20と同様の構造を有し、間隔Wd3及び間隔Wd4を共に $3\mu\text{m}$ 、半導体膜24の幅Wiを $20\mu\text{m}$ 、導電膜25と導電膜26の間隔(チャンネル長)を $3\mu\text{m}$ とした。

20

【0046】

また、トランジスタA及びトランジスタBは、導電膜12として、膜厚 $200\text{nm}$ のタングステン膜を用いた。また、ゲート絶縁膜として膜厚 $400\text{nm}$ の窒化珪素膜及び膜厚 $50\text{nm}$ の酸化窒化珪素膜が導電膜12側から順に積層された絶縁膜を用いた。また、導電膜15及び導電膜16として、膜厚 $50\text{nm}$ のタングステン膜、膜厚 $400\text{nm}$ のアルミニウム膜、及び膜厚 $100\text{nm}$ のチタン膜が、半導体膜14側から、順に積層された導電膜を用いた。

30

【0047】

また、トランジスタC及びトランジスタDは、ゲート絶縁膜及び導電膜に用いられる材料や、その膜厚は、トランジスタA及びトランジスタBと同じとした。具体的に、トランジスタC及びトランジスタDは、導電膜22として、膜厚 $200\text{nm}$ のタングステン膜を用いた。また、ゲート絶縁膜として膜厚 $400\text{nm}$ の窒化珪素膜及び膜厚 $50\text{nm}$ の酸化窒化珪素膜が導電膜22側から順に積層された絶縁膜を用いた。また、導電膜25及び導電膜26として、膜厚 $50\text{nm}$ のタングステン膜、膜厚 $400\text{nm}$ のアルミニウム膜、及び膜厚 $100\text{nm}$ のチタン膜が、半導体膜24側から、順に積層された導電膜を用いた。

【0048】

なお、本明細書において酸化窒化珪素膜等として用いる酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

40

【0049】

そして、トランジスタAの半導体膜14として、また、トランジスタCの半導体膜24として、単層の酸化物半導体膜が用いられた。そして、当該酸化物半導体膜は、インジウム(In)、ガリウム(Ga)、及び亜鉛(Zn)の組成が1:1:1である酸化物ターゲットを用いて形成された、膜厚 $35\text{nm}$ のIn-Ga-Zn系酸化物半導体膜(IGZO(111))とした。

【0050】

また、トランジスタBの半導体膜14として、また、トランジスタDの半導体膜24とし

50

て、2層の酸化物半導体膜が用いられた。そして、ゲート絶縁膜に近い側の酸化物半導体膜は、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）の組成が1：1：1である酸化物ターゲットを用いて形成された、膜厚35nmのIn-Ga-Zn系酸化物半導体膜（IGZO（111））とした。また、ゲート絶縁膜に遠い側の酸化物半導体膜は、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）の組成が1：3：2である酸化物ターゲットを用いて形成された、膜厚20nmのIn-Ga-Zn系酸化物半導体膜（IGZO（132））とした。

【0051】

また、試験では、ゲート電極とソース電極を等電位とし、ゲート電極及びソース電極の電位を基準としたときのドレイン電極の電圧（ドレイン電圧と呼ばれる）が、30Vとなるように設定した。また、試験では、トランジスタA乃至トランジスタDが形成された基板の温度を125とし、暗室内にて光の照射が行われない環境下において1時間載置することで、トランジスタA乃至トランジスタDにストレスを加えた。

10

【0052】

図16及び図17に、ストレスを加える前と後とで測定した、トランジスタA乃至トランジスタDのゲート電圧Vg（V）とドレイン電流Id（A）の関係を示す。なお、図16及び図17では、ストレスを加える前のゲート電圧Vgとドレイン電流Idの関係を破線で、ストレスを加えた後のゲート電圧Vgとドレイン電流Idの関係を実線で示す。そして、図16（A）がトランジスタAのデータに相当し、図16（B）がトランジスタBのデータに相当し、図17（A）がトランジスタCのデータに相当し、図17（B）がトランジスタDのデータに相当する。

20

【0053】

なお、トランジスタA乃至トランジスタDのドレイン電流の測定は、ゲート電圧Vgを-15Vから+30Vまで変化させることで行った。また、当該測定は、ドレイン電圧Vdが0.1Vと10Vの場合について行った。また、当該測定は、40の環境下で行った。

【0054】

また、図16及び図17に示したゲート電圧Vg（V）とドレイン電流Id（A）の関係をjijieて算出した、ストレスを加える前と、加えた後との間に生じた、閾値電圧の変化量（Vth）と、シフト値の変化量（Shift）とを、図8にグラフで示す。なお、各トランジスタの移動度は、比誘電率が4、ゲート絶縁膜の膜厚が280nmであるものとし、算出した。以下の表1に、ストレスを加える前と、加えた後との間に生じた、閾値電圧の変化量（Vth）の値と、シフト値の変化量（Shift）の値とを示す。

30

【0055】

【表1】

		IGZO(111)		IGZO(111)\IGZO(132)					
		トランジスタA		トランジスタC		トランジスタB		トランジスタD	
		$\Delta V_{th}$	$\Delta Shift$	$\Delta V_{th}$	$\Delta Shift$	$\Delta V_{th}$	$\Delta Shift$	$\Delta V_{th}$	$\Delta Shift$
		-0.05	0.25	1.84	2.26	-0.77	-0.63	1.16	1.19

40

【0056】

なお、シフト値とは、ドレイン電流が立ち上がるときのゲート電圧の値と定義する。具体的には、ゲート電圧に対するドレイン電流の関係を示すグラフにおいて、ドレイン電流の傾きの変化が最も急峻となる接線と、最低のドレイン電流に対応する目盛線と、が交差する点における電圧と、定義することができる。シフト値は、ドレイン電圧が10Vであるときの値を用いた。

【0057】

図8から分かるように、トランジスタ20の構造を有するトランジスタC及びトランジスタDに比べて、トランジスタ10の構造を有するトランジスタA及びトランジスタBの方

50

が、閾値電圧の変化量 ( $V_{th}$ ) と、シフト値の変化量 ( $Shift$ ) とが、共に小さく抑えられていることが分かった。よって、上記試験結果から、トランジスタ 10 の方がトランジスタ 20 よりも、閾値電圧がプラスにシフトしにくく、信頼性が高いことが分かった。

#### 【0058】

##### トランジスタの形態 2

次いで、図 3 に、本発明の一態様に係る半導体装置が有する、トランジスタの別の形態を示す。図 3 (A) はトランジスタ 30 の上面図である。図 3 (B) は、図 3 (A) に示したトランジスタ 30 の、破線 B1 - B2 における断面構造を示した図に相当する。図 3 (C) は、図 3 (A) に示したトランジスタ 30 の、破線 B3 - B4 における断面構造を示した図に相当する。図 3 (D) は、図 3 (A) に示したトランジスタ 30 の、破線 B5 - B6 における断面構造を示した図に相当する。なお、図 3 (A) では、トランジスタ 30 のレイアウトを明確にするために、ゲート絶縁膜などの各種絶縁膜を省略している。

10

#### 【0059】

図 3 に示すトランジスタ 30 は、トランジスタ 10 と同様に、絶縁表面を有する基板 31 上に、ゲート電極としての機能を有する導電膜 32 と、導電膜 32 上のゲート絶縁膜 33 と、ゲート絶縁膜 33 を間に挟んで導電膜 32 と重なる位置に設けられた半導体膜 34 と、半導体膜 34 に接し、ソース電極またはドレイン電極としての機能を有する導電膜 35 及び導電膜 36 とを有する。

#### 【0060】

また、図 3 では、半導体膜 34、導電膜 35 及び導電膜 36 上に、酸化物膜 37 が設けられている。本発明の一態様では、酸化物膜 37 をトランジスタ 30 の構成要素に含めても良い。

20

#### 【0061】

そして、トランジスタ 30 は、導電膜 35 及び導電膜 36 が櫛歯形状を有する点において、図 1 に示したトランジスタ 10 と構造が異なる。具体的に、櫛歯形状とは、その端部に複数の凸部を有する形状に相当する。そして、櫛歯形状を有する導電膜 35 及び導電膜 36 は、複数の凸部 60 と、複数の凸部 60 どうしを連結させる連結部 61 とを、それぞれ有する。

#### 【0062】

そして、本発明の一態様では、トランジスタ 30 において、半導体膜 34 の端部と、半導体膜 34 と重なる領域における導電膜 35 または導電膜 36 の端部とは、矢印 D2 で示すチャンネル幅方向において間隔を有するものとする。別の見方をすると、トランジスタ 30 は、チャンネル幅方向における半導体膜 34 の幅  $W_i$  が、導電膜 35 または導電膜 36 と半導体膜 34 とが重なる領域 38 の、チャンネル幅方向における導電膜 35 または導電膜 36 の幅  $W_{sd}$  よりも、大きいと言える。

30

#### 【0063】

さらに、本発明の一態様では、導電膜 35 または導電膜 36 が有する連結部 61 と、半導体膜 34 の端部とが間隔を有する。言い換えると、導電膜 35 または導電膜 36 は、凸部 60 において部分的に半導体膜 34 と重なっている。そのため、半導体膜 34 と重なる領域における導電膜 35 または導電膜 36 の端部は、複数の凸部 60 どうしで間隔を有することとなる。なお、導電膜 35 が有する連結部 61 と、導電膜 36 が有する連結部 61 とを、共に半導体膜 34 の端部と離隔させるためには、矢印 D1 で示すチャンネル長方向において、導電膜 35 と導電膜 36 とがそれぞれ有する連結部の端部どうしの間隔  $L_{sd2}$  が、半導体膜 34 の幅  $L_i$  よりも、大きくなる必要がある。

40

#### 【0064】

本発明の一態様では、導電膜 35 または導電膜 36 が有する連結部 61 と、半導体膜 34 の端部とが間隔を有する構成により、トランジスタ 30 をノーマリーオフ化し、閾値電圧が変化するのを防ぐことができる。以下、その理由について詳細に説明する。

#### 【0065】

50

図4に、トランジスタ30の一部を上面図で示し、なおかつ、導電膜35と導電膜36の間に、破線の矢印である電気力線を加えた図を示す。図4では、トランジスタ30がnチャネル型であり、導電膜35がドレイン電極、導電膜36がソース電極である場合の、電気力線を例示している。

【0066】

トランジスタ30では、半導体膜34の端部と、半導体膜34と重なる領域における導電膜35または導電膜36の端部とが、チャネル幅方向において間隔を有するため、導電膜35及び導電膜36とは重ならない半導体膜34の端部を長く確保することができる。また、トランジスタ30では、導電膜35及び導電膜36が形成された領域とは異なる領域において、導電膜35と導電膜36とを結ぶ電流の経路となり得る半導体膜34の端部にかかる電界を、小さくすることができる。よって、半導体膜34の端部において酸素欠損が形成されていたとしても、トランジスタ30を非導通状態としたいときに当該端部を介して導電膜35と導電膜36の間に流れるリーク電流を、小さく抑えることができる。よって、ノーマリーオフとなるように、トランジスタ30の閾値電圧を制御することができる。

10

【0067】

また、トランジスタ30では、半導体膜34の端部にかかる電界を小さくすることで、当該端部からゲート絶縁膜33中にキャリアである電子がトラップされるのを防ぐことができる。それにより、トランジスタ30では、閾値電圧の変化が抑えられるため、トランジスタ30を用いた半導体装置の信頼性を高めることができる。

20

【0068】

また、図4に示すトランジスタ30では、電気力線が、ドレイン電極である導電膜35から、ソース電極である導電膜36に向かっていている。そして、トランジスタ30では、半導体膜34のうち、導電膜35と導電膜36とを、矢印D1で示したチャネル長方向において結ぶ経路を含む領域39aに、電気力線が存在する。さらに、トランジスタ30では、領域39aのみならず、半導体膜34のうち当該経路から外れる領域39bにも、回り込むように電気力線が存在する。

【0069】

よって、トランジスタ30の場合、導電膜35または導電膜36が有する連結部61と半導体膜34とが重なる構成を有するトランジスタに比べて、導電膜35から導電膜36に向かう電気力線の密度を小さくすることができる。よって、トランジスタ30では、半導体膜34の端部のみならず、内部においても電界が集中するのを防ぐことができる。したがって、トランジスタ30は、閾値電圧の変化量を小さく抑えることができ、半導体装置の信頼性を高めることができる。

30

【0070】

さらに、本発明の一態様では、導電膜35が有する凸部60と、導電膜36が有する凸部60とが、矢印D1で示すチャネル長方向において間隔Lsd1を有し、導電膜35の凸部60と導電膜36の凸部60とが、互いに入り組むことのない構成とする。上記構成により、トランジスタ30は、ゲート電極としての機能を有する導電膜32と、導電膜35または導電膜36とが重なる領域の面積を、小さく抑えることができ、当該領域に形成される容量を小さくすることができる。そして、トランジスタ30は、上記容量が小さいことで、S値(サブスレッショルドスイング値)を小さくすることができる。

40

【0071】

なお、S値が大きいトランジスタの場合、閾値電圧を低くしていくと、ゲート電圧が0Vのときに流れるオフ電流が大きいノーマリーオンの状態となりやすいため、単極性のトランジスタで構成された回路では、正常な動作が困難になる。トランジスタ30は閾値電圧を低くすることができ、なおかつS値を小さくすることもできるので、より確実にノーマリーオフとなる。よって、トランジスタ30を用いることで、単極性のトランジスタで構成された回路の正常な動作を、より確実に確保することができる。

【0072】

50

また、負のゲート電圧を加えたときに、トランジスタ30は、図1に示したトランジスタ10に比べて、バックチャネル側、すなわち、半導体膜34のうち、ゲート電極と対向する面とは反対側の面近傍における領域の、チャネル幅中央まで電子の空乏層が広がりやすい。そのため、トランジスタ30は、図1に示したトランジスタ10に比べて、実効的なチャネル幅を小さくすることができ、よって、オフ電流の流れる領域が狭窄するため、オフ電流を低下させることができる。

【0073】

また、本発明の一態様では、酸化物膜37として、金属酸化物を用いる構成としてもよい。

【0074】

上記構成を有する酸化物膜37を用いることで、酸化物膜37上にシリコンが含まれた膜が設けられても、半導体膜34と、シリコンを含む膜とを、離隔することができる。よって、半導体膜34にインジウムが含まれている場合において、酸素との結合エネルギーがインジウムよりも大きいシリコンが、導電膜35及び導電膜36とは重ならない半導体膜34の端部において、インジウムと酸素の結合を切断し、酸素欠損を形成するのを防ぐことができる。それにより、本発明の一態様では、トランジスタの信頼性をさらに高めることができる。

【0075】

なお、上記金属酸化物は、半導体膜34において酸化物半導体として用いられる金属酸化物よりも、導電性が低い構成とする。上記構成を実現するためには、例えば、金属酸化物としてIn-Ga-Zn系酸化物を酸化物膜37に用いる場合、当該金属酸化物は、Inの原子数比が半導体膜34に用いられる金属酸化物よりも低いものとすれば良い。具体的に、酸化物膜37は、スパッタリング法により、金属の原子数比が1:6:4、若しくは1:3:2である、In-Ga-Zn系酸化物ターゲットを用いて、形成することができる。

【0076】

また、トランジスタ10の場合と同様に、半導体膜34のうち、導電膜35及び導電膜36に接する領域が、n型化されていても良い。上記構成により、トランジスタ30の移動度及びオン電流を高め、トランジスタ30を用いた半導体装置の高速動作を実現することができる。

【0077】

トランジスタの形態3

なお、図3に示したトランジスタ30は、導電膜35が有する凸部60と、導電膜36が有する凸部60とが、チャネル長方向において完全に重なり合う構造を有しているが、本発明の一態様では、凸部60どうしがチャネル長方向において部分的に重なり合う構造を有していても良い。

【0078】

図5(A)に、凸部60どうしがチャネル長方向において部分的に重なり合う構造を有したトランジスタ30の一形態を、上面図で示す。図5(A)に示すトランジスタ30では、導電膜35が有する凸部60と、導電膜36が有する凸部60とが、矢印D1で示すチャネル長方向において、部分的に重なり合う構造を有している。

【0079】

また、図3に示したトランジスタ30は、導電膜35と導電膜36とが、共に複数の凸部60を有する場合を例示しているが、トランジスタ30は、導電膜35及び導電膜36のいずれか一方が複数の凸部60を有する構造であっても良い。

【0080】

図5(B)に、導電膜35が複数の凸部60を有し、導電膜36が複数の凸部を有さない構造のトランジスタ30の一形態を、上面図で示す。図5(B)では、半導体膜34と重なる領域における導電膜36の端部は、半導体膜34と重なる領域における導電膜35の端部と異なり、一続きである。

10

20

30

40

50

## 【 0 0 8 1 】

図 5 ( A ) 及び図 5 ( B ) に例示したトランジスタ 3 0 であっても、図 3 に示したトランジスタ 3 0 と同じく、本発明の一態様による効果を得ることができる。

## 【 0 0 8 2 】

## トランジスタの形態 4

なお、図 1 乃至図 5 では、ゲート電極上に半導体膜が存在するボトムゲート型のトランジスタ構造について説明したが、図 1 乃至図 5 に示したトランジスタは、それぞれ、ゲート電極下に半導体膜が存在するトップゲート型であっても良い。

## 【 0 0 8 3 】

図 6 に、本発明の一態様に係る半導体装置が有する、トップゲート型のトランジスタの形態を示す。図 6 ( A ) はトランジスタ 4 0 の上面図である。図 6 ( B ) は、図 6 ( A ) に示したトランジスタ 4 0 の、破線 C 1 - C 2 における断面構造を示した図に相当する。図 6 ( C ) は、図 6 ( A ) に示したトランジスタ 4 0 の、破線 C 3 - C 4 における断面構造を示した図に相当する。図 6 ( D ) は、図 6 ( A ) に示したトランジスタ 4 0 の、破線 C 5 - C 6 における断面構造を示した図に相当する。なお、図 6 ( A ) では、トランジスタ 4 0 のレイアウトを明確にするために、ゲート絶縁膜などの各種絶縁膜を省略している。

10

## 【 0 0 8 4 】

図 6 に示すトランジスタ 4 0 は、絶縁表面を有する基板 4 1 上に、半導体膜 4 4 と、ソース電極またはドレイン電極としての機能を有し、半導体膜 4 4 上に設けられた導電膜 4 5 及び導電膜 4 6 と、半導体膜 4 4、導電膜 4 5 及び導電膜 4 6 上のゲート絶縁膜 4 3 と、ゲート電極としての機能を有し、ゲート絶縁膜 4 3 を間に挟んで半導体膜 4 4 と重なる位置に設けられた導電膜 4 2 と、を有する。

20

## 【 0 0 8 5 】

また、図 6 では、ゲート絶縁膜 4 3 及び導電膜 4 2 上に、酸化物膜 4 7 が設けられている。本発明の一態様では、酸化物膜 4 7 をトランジスタ 4 0 の構成要素に含めても良い。

## 【 0 0 8 6 】

そして、トランジスタ 4 0 は、導電膜 4 5 及び導電膜 4 6 が櫛歯形状を有する点において、図 3 に示したトランジスタ 3 0 と構造が同じである。櫛歯形状を有する導電膜 4 5 及び導電膜 4 6 は、複数の凸部 5 0 と、複数の凸部 5 0 どうしを連結させる連結部 5 1 とを、それぞれ有する。

30

## 【 0 0 8 7 】

また、トランジスタ 4 0 は、半導体膜 4 4 の端部と、半導体膜 4 4 と重なる領域における導電膜 4 5 または導電膜 4 6 の端部とが、矢印 D 2 で示すチャンネル幅方向において間隔を有する点において、図 3 に示したトランジスタ 3 0 と構造が同じである。別の見方をすると、トランジスタ 4 0 は、チャンネル幅方向における半導体膜 4 4 の幅  $W_i$  が、導電膜 4 5 または導電膜 4 6 と半導体膜 4 4 とが重なる領域 4 8 の、チャンネル幅方向における導電膜 4 5 または導電膜 4 6 の幅  $W_{sd}$  よりも、大きいと言える。

## 【 0 0 8 8 】

さらに、トランジスタ 4 0 は、導電膜 4 5 または導電膜 4 6 が有する連結部 5 1 と、半導体膜 4 4 の端部とが間隔を有する点において、図 3 に示したトランジスタ 3 0 と構造が同じである。そのため、半導体膜 4 4 と重なる領域における導電膜 4 5 または導電膜 4 6 の端部は、複数の凸部 5 0 どうしで間隔を有することとなる。なお、導電膜 4 5 が有する連結部 5 1 と、導電膜 4 6 が有する連結部 5 1 とを、共に半導体膜 4 4 の端部と離隔させるためには、矢印 D 1 で示すチャンネル長方向において、導電膜 4 5 と導電膜 4 6 とがそれぞれ有する連結部の端部どうしの間隔  $L_{sd2}$  が、半導体膜 4 4 の幅  $L_i$  よりも、大きくなる必要がある。

40

## 【 0 0 8 9 】

なお、トランジスタ 1 0 の場合と同様に、半導体膜 4 4 のうち、導電膜 4 5 及び導電膜 4 6 に接する領域が、n 型化されていても良い。上記構成により、トランジスタ 4 0 の移動度及びオン電流を高め、トランジスタ 4 0 を用いた半導体装置の高速動作を実現すること

50

ができる。

【0090】

複数のトランジスタのレイアウト

また、図3に示したトランジスタ30を二つ、並列に接続させた場合の上面図を一例として図7(A)に示す。

【0091】

なお、本明細書において、トランジスタが直列に接続されている状態とは、例えば、第1のトランジスタのソース電極またはドレイン電極の一方のみが、第2のトランジスタのソース電極またはドレイン電極の一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第1のトランジスタのソース電極またはドレイン電極の一方が第2のトランジスタのソース電極またはドレイン電極の一方に接続され、第1のトランジスタのソース電極またはドレイン電極の他方が第2のトランジスタのソース電極またはドレイン電極の他方に接続されている状態を意味する。

10

【0092】

図7(A)では、図3に示したトランジスタ30が二つ、トランジスタ30a及びトランジスタ30bとして図示されている。そして、トランジスタ30aの導電膜35と、トランジスタ30bの導電膜35とは、連結部61を共有している。そして、トランジスタ30aが有する半導体膜34と、トランジスタ30bが有する半導体膜34とは、矢印D1で示すチャンネル長方向、及び矢印D2で示すチャンネル幅方向が、ほぼ一致するように配置されている。

20

【0093】

また、図7(B)では、図6に示したトランジスタ40が二つ、トランジスタ40a及びトランジスタ40bとして図示されている。そして、トランジスタ40aの導電膜45と、トランジスタ40bの導電膜45とは、連結部51を共有している。そして、トランジスタ40aが有する半導体膜44と、トランジスタ40bが有する半導体膜44とは、矢印D1で示すチャンネル長方向、及び矢印D2で示すチャンネル幅方向が、ほぼ一致するように配置されている。

【0094】

なお、図7では、2つのトランジスタを並列に接続させた場合を例示しているが、3以上のトランジスタを同様に並列に接続させることもできる。

30

【0095】

図7に示すように複数のトランジスタ30またはトランジスタ40を配置することで、複数のトランジスタ30またはトランジスタ40に用いられるマスクのレイアウトにおける周期性を高めることができる。マスクの周期性が低い場合、上記マスクを用いたフォトリソグラフィの工程において、露光装置から発せられる光の干渉に起因して、フォトリソグラフィにより成型された導電膜、絶縁膜、半導体膜などの幅が部分的に狭まるなどの、形状の不具合が生じやすい。しかし、図7では、複数のトランジスタ30またはトランジスタ40に用いられるマスクのレイアウトにおける周期性を高めることができ、それにより、フォトリソグラフィの工程後に導電膜、絶縁膜、半導体膜の形状に不具合が生じるのを防ぐことができる。

40

【0096】

半導体膜について

本発明の一態様に係る半導体装置では、トランジスタの半導体膜として、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどを含む半導体膜を用いても良いし、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い、酸化物半導体などの半導体を含む半導体膜を、用いても良い。

【0097】

シリコンとしては、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単

50

結晶シリコンなどを用いることができる。

【0098】

電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（purified Oxide Semiconductor）は、i型（真性半導体）又はi型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

【0099】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が $1 \text{V}$ から $10 \text{V}$ の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が $3 \text{V}$ の場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【0100】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレインをソースとゲートよりも高い電位とした状態において、ソースの電位を基準としたときのゲートの電位が $0 \text{V}$ 以下であるときに、ソースとドレインの間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレインをソースとゲートよりも低い電位とした状態において、ソースの電位を基準としたときのゲートの電位が $0 \text{V}$ 以上であるときに、ソースとドレインの間に流れる電流のことを意味する。

【0101】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を含むことが好ましい。

【0102】

酸化物半導体の中でもIn-Ga-Zn系酸化物、In-Sn-Zn系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記In-Ga-Zn系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

【0103】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ル

10

20

30

40

50



テチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

【0104】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物 (IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0105】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

20

【0106】

例えば、In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3) あるいは In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5) の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)、In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2) あるいは In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8) の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0107】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

30

【0108】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

【0109】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

40

【0110】

微結晶酸化物半導体膜は、例えば、1nm以上10nm未満の大きさの微結晶 (ナノ結晶ともいう。) を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0111】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠

50

陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【 0 1 1 2 】

C A A C - O S 膜を透過型電子顕微鏡 ( T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e ) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 ( グレインバウンダリーともいう。 ) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【 0 1 1 3 】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察 ( 断面 T E M 観察 ) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 ( 被形成面ともいう。 ) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

10

【 0 1 1 4 】

本明細書において、「平行」とは、二つの直線が  $-10^\circ$  以上  $10^\circ$  以下の角度で配置されている状態をいう。従って、 $-5^\circ$  以上  $5^\circ$  以下の場合も含まれる。また、「垂直」とは、二つの直線が  $80^\circ$  以上  $100^\circ$  以下の角度で配置されている状態をいう。従って、 $85^\circ$  以上  $95^\circ$  以下の場合も含まれる。

【 0 1 1 5 】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察 ( 平面 T E M 観察 ) すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

20

【 0 1 1 6 】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【 0 1 1 7 】

C A A C - O S 膜に対し、X 線回折 ( X R D : X - R a y D i f f r a c t i o n ) 装置を用いて構造解析を行うと、例えば  $\text{InGaZnO}_4$  の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、回折角 (  $2\theta$  ) が  $31^\circ$  近傍にピークが現れる場合がある。このピークは、 $\text{InGaZnO}_4$  の結晶の ( 0 0 9 ) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

30

【 0 1 1 8 】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in - p l a n e 法による解析では、 $2\theta$  が  $56^\circ$  近傍にピークが現れる場合がある。このピークは、 $\text{InGaZnO}_4$  の結晶の ( 1 1 0 ) 面に帰属される。 $\text{InGaZnO}_4$  の単結晶酸化物半導体膜であれば、 $2\theta$  を  $56^\circ$  近傍に固定し、試料面の法線ベクトルを軸 ( c 軸 ) として試料を回転させながら分析 ( スキャン ) を行うと、( 1 1 0 ) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 $2\theta$  を  $56^\circ$  近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

40

【 0 1 1 9 】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

【 0 1 2 0 】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面

50

または上面の法線ベクトルと平行にならないこともある。

【0121】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0122】

なお、InGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

10

【0123】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0124】

なお、酸化半導体膜は、例えば、非晶質酸化半導体膜、微結晶酸化半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0125】

CAAC-OS膜は、例えば、多結晶である金属酸化ターゲットを用い、スパッタリング法によって成膜する。当該ターゲットにイオンが衝突すると、ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

20

【0126】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0127】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

30

【0128】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0129】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

40

【0130】

ターゲットの一例として、In-Ga-Zn系酸化ターゲットについて以下に示す。

【0131】

InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末およびZnO<sub>z</sub>粉末を所定のmol数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系酸化ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol数比は、例えば、InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末およびZnO<sub>z</sub>粉末が、2

50

: 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3または3 : 1 : 2である。なお、粉末の種類、およびその混合するm o l数比は、作製するターゲットによって適宜変更すればよい。

【0132】

また、半導体膜は、単数の酸化物半導体膜で構成されているとは限らず、積層された複数の酸化物半導体膜で構成されていても良い。半導体膜が、3層の酸化物半導体膜で構成されている場合の、トランジスタ100の構成例を、図9に示す。

【0133】

図9に示すトランジスタ100は、絶縁表面を有する基板111上に、ゲート電極としての機能を有する導電膜112と、導電膜112上のゲート絶縁膜113と、ゲート絶縁膜113を間に挟んで導電膜112と重なる位置に設けられた半導体膜114と、半導体膜114に接し、ソース電極またはドレイン電極としての機能を有する導電膜115及び導電膜116とを有する。

10

【0134】

また、図9では、半導体膜114、導電膜115及び導電膜116上に、酸化物膜117が設けられている。本発明の一態様では、酸化物膜117をトランジスタ100の構成要素に含めても良い。

【0135】

そして、トランジスタ100では、酸化物半導体膜114a乃至酸化物半導体膜114cは、ゲート電極としての機能を有する導電膜112側から順に積層されている。

20

【0136】

そして、酸化物半導体膜114a及び酸化物半導体膜114cは、酸化物半導体膜114bを構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜114bよりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜114bは、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0137】

上記構成をトランジスタ100が有する場合、ゲート電極としての機能を有する導電膜112に電圧を印加することで、半導体膜114に電界が加わると、半導体膜114のうち、伝導帯下端のエネルギーが小さい酸化物半導体膜114bにチャネル領域が形成される。即ち、酸化物半導体膜114bとゲート絶縁膜113との間に酸化物半導体膜114cが設けられていることによって、ゲート絶縁膜113と離隔している酸化物半導体膜114bに、チャネル領域を形成することができる。

30

【0138】

また、酸化物半導体膜114cは、酸化物半導体膜114bを構成する金属元素の少なくとも1つをその構成要素に含むため、酸化物半導体膜114bと酸化物半導体膜114cの界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタ100の電界効果移動度が高くなる。

【0139】

また、酸化物半導体膜114bと酸化物半導体膜114aの界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタ100の閾値電圧が変動してしまう。しかし、酸化物半導体膜114aは、酸化物半導体膜114bを構成する金属元素の少なくとも1つをその構成要素に含むため、酸化物半導体膜114bと酸化物半導体膜114aの界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタ100の閾値電圧等の電気的特性のばらつきを、低減することができる。

40

【0140】

また、酸化物半導体膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないように、複数の酸化物半導体膜を積層させるこ

50

とが望ましい。積層された酸化物半導体膜の膜間に不純物が存在していると、酸化物半導体膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の酸化物半導体膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化するU字型の井戸構造を有している状態）が形成されやすくなる。

#### 【0141】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $1 \times 10^{-4} \text{ Pa} \sim 5 \times 10^{-7} \text{ Pa}$ 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

10

#### 【0142】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 $-40$ 以下、好ましくは $-80$ 以下、より好ましくは $-100$ 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

20

#### 【0143】

例えば、酸化物半導体膜114aまたは酸化物半導体膜114cは、アルミニウム、シリコン、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、スズ、ランタン、セリウムまたはハフニウムを、酸化物半導体膜114bよりも高い原子数比で含む酸化物膜であればよい。具体的に、酸化物半導体膜114aまたは酸化物半導体膜114cとして、酸化物半導体膜114bよりも上述の元素を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比で含む酸化物膜を用いると良い。前述の元素は酸素と強く結合するため、酸素欠損が酸化物膜に生じることを抑制する機能を有する。よって、上記構成により、酸化物半導体膜114aまたは酸化物半導体膜114cを、酸化物半導体膜114bよりも酸素欠損が生じにくい酸化物膜にすることができる。

30

#### 【0144】

具体的に、酸化物半導体膜114bと、酸化物半導体膜114aまたは酸化物半導体膜114cとが、共にIn-M-Zn系酸化物である場合、酸化物半導体膜114aまたは酸化物半導体膜114cの原子数比を $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ 、酸化物半導体膜114bの原子数比を $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ とすると、 $y_1 / x_1$ が $y_2 / x_2$ よりも大きくなるように、その原子数比を設定すれば良い。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ti、Ga、Y、Zr、Sn、La、Ce、NdまたはHf等が挙げられる。好ましくは、 $y_1 / x_1$ が $y_2 / x_2$ よりも1.5倍以上大きくなるように、その原子数比を設定すれば良い。さらに好ましくは、 $y_1 / x_1$ が $y_2 / x_2$ よりも2倍以上大きくなるように、その原子数比を設定すれば良い。より好ましくは、 $y_1 / x_1$ が $y_2 / x_2$ よりも3倍以上大きくなるように、その原子数比を設定すれば良い。さらに、酸化物半導体膜114bにおいて、 $y_1$ が $x_1$ 以上であると、トランジスタ100に安定した電気的特性を付与できるため好ましい。ただし、 $y_1$ が $x_1$ の3倍以上になると、トランジスタ100の電界効果移動度が低下してしまうため、 $y_1$ は、 $x_1$ の3倍未満であると好ましい。

40

#### 【0145】

図15(A)に、積層された酸化物半導体膜114a乃至酸化物半導体膜114cと接するように酸化シリコン膜を設けた場合のバンド構造の一部を、模式的に示す。図15(A)において、縦軸は電子エネルギー(eV)を、横軸は距離を、それぞれ示す。また、 $E_{cI1}$ 及び $E_{cI2}$ は酸化シリコン膜の伝導帯下端のエネルギー、 $E_{cS1}$ は酸化物半導

50

体膜 1 1 4 a の伝導帯下端のエネルギー、E c S 2 は酸化物半導体膜 1 1 4 b の伝導帯下端のエネルギー、E c S 3 は酸化物半導体膜 1 1 4 c の伝導帯下端のエネルギーを示す。

【 0 1 4 6 】

図 1 5 ( A ) に示すように、酸化物半導体膜 1 1 4 a、酸化物半導体膜 1 1 4 b、酸化物半導体膜 1 1 4 c において、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体膜 1 1 4 a、酸化物半導体膜 1 1 4 b、酸化物半導体膜 1 1 4 c の組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。

【 0 1 4 7 】

なお、図 1 5 ( A ) では酸化物半導体膜 1 1 4 a 及び酸化物半導体膜 1 1 4 c が同様のエネルギーギャップを有する場合について示したが、それぞれが異なるエネルギーギャップを有していても良い。例えば、E c S 3 よりも E c S 1 が高いエネルギーを有する場合、バンド構造の一部は、図 1 5 ( B ) のように示される。また、図 1 5 に示さないが、E c S 1 よりも E c S 3 が高いエネルギーを有しても構わない。

10

【 0 1 4 8 】

なお、図 1 5 に示すように、酸化物半導体膜 1 1 4 a 及び酸化物半導体膜 1 1 4 c と、酸化シリコン膜などの絶縁膜との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体膜 1 1 4 a 及び酸化物半導体膜 1 1 4 c があることにより、酸化物半導体膜 1 1 4 b と当該トラップ準位とを遠ざけることができる。ただし、E c S 1 または E c S 3 と、E c S 2 とのエネルギー差が小さい場合、酸化物半導体膜 1 1 4 b の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタの閾値電圧はプラス方向にシフトしてしまう。

20

【 0 1 4 9 】

したがって、E c S 1 及び E c S 3 と、E c S 2 とのエネルギー差を、それぞれ 0 . 1 e V 以上、好ましくは 0 . 1 5 e V 以上とすることで、トランジスタの閾値電圧の変動が低減され、安定した電気的特性を得ることができる。

【 0 1 5 0 】

なお、酸化物半導体膜 1 1 4 a 及び酸化物半導体膜 1 1 4 c の厚さは、3 n m 以上 1 0 0 n m 以下、好ましくは 3 n m 以上 5 0 n m 以下とする。また、酸化物半導体膜 1 1 4 b の厚さは、3 n m 以上 2 0 0 n m 以下、好ましくは 3 n m 以上 1 0 0 n m 以下であり、さらに好ましくは 3 n m 以上 5 0 n m 以下である。

30

【 0 1 5 1 】

3 層構造の半導体膜において、酸化物半導体膜 1 1 4 a 乃至酸化物半導体膜 1 1 4 c は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される酸化物半導体膜 1 1 4 b が結晶質であることにより、トランジスタ 1 0 0 に安定した電気的特性を付与することができるため、酸化物半導体膜 1 1 4 b は結晶質であることが好ましい。

【 0 1 5 2 】

なお、チャネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

40

【 0 1 5 3 】

例えば、酸化物半導体膜 1 1 4 a 及び酸化物半導体膜 1 1 4 c として、スパッタリング法により形成した I n - G a - Z n 系酸化物膜を用いる場合、酸化物半導体膜 1 1 4 a 及び酸化物半導体膜 1 1 4 c の成膜には、I n - G a - Z n 系酸化物 ( I n : G a : Z n = 1 : 3 : 2 [ 原子数比 ] ) であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 3 0 s c c m、酸素ガスを 1 5 s c c m 用い、圧力 0 . 4 P a とし、基板温度を 2 0 0 とし、D C 電力 0 . 5 k W とすればよい。

【 0 1 5 4 】

また、酸化物半導体膜 1 1 4 b を C A A C - O S 膜とする場合、酸化物半導体膜 1 1 4 b の成膜には、I n - G a - Z n 系酸化物 ( I n : G a : Z n = 1 : 1 : 1 [ 原子数比 ] )

50

であり、多結晶のIn-Ga-Zn系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30 sccm、酸素ガスを15 sccm用い、圧力を0.4 Paとし、基板の温度300とし、DC電力0.5 kWとすることができる。

【0155】

なお、図9に示すトランジスタ100は、半導体膜114の端部が傾斜している構造を有していても良いし、半導体膜114の端部が丸みを帯びる構造を有していても良い。

【0156】

なお、図9では、3層の酸化物半導体膜が積層されている半導体膜114を例示しているが、半導体膜114は、3以外の複数の酸化物半導体膜が積層された構造を有していても良い。

10

【0157】

なお、半導体膜114が複数の酸化物半導体膜を積層させた構造を有する場合において、酸化物膜117に用いられる金属酸化物は、半導体膜114全体の導電性よりも、導電性が低いものとする。例えば、金属酸化物としてIn-Ga-Zn系酸化物を酸化物膜117に用いる場合、当該金属酸化物は、Inの原子数比が、半導体膜114よりも低いものとする。

【0158】

また、トランジスタ10の場合と同様に、半導体膜114のうち、導電膜115及び導電膜116に接する領域が、n型化されていても良い。上記構成により、トランジスタ100の移動度及びオン電流を高め、トランジスタ100を用いた半導体装置の高速動作を実現することができる。さらに、トランジスタ100の場合、n型化される領域は、チャネル領域となる酸化物半導体膜114bにまで達していることが、トランジスタ100の移動度及びオン電流を高め、半導体装置のさらなる高速動作を実現する上で、好ましい。

20

【0159】

半導体装置の作製方法

以下、本発明の一態様に係る半導体装置の作製方法の一例について、説明する。

【0160】

図10(A)に示すように、基板200上に導電膜201を形成する。

【0161】

基板200としては、後の作製工程において耐えうる程度の耐熱性を有する基板が望ましく、例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等が用いられる。

30

【0162】

導電膜201としては、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを一種以上含む導電性材料でなる膜を1層または2層以上形成するとよい。例えば、導電膜201として、窒化タングステン膜上に銅膜を積層した導電膜や、単層のタングステン膜を用いることができる。

【0163】

次に、フォトリソグラフィ工程とエッチング工程により、トランジスタのゲート電極としての機能を有する導電膜202を、形成する。具体的には、第1のフォトマスクを用いて、レジストからなるマスク(以下、レジストマスクと呼ぶ。)を導電膜201上に形成した後、導電膜201をエッチングして、導電膜202を形成し、次いで、レジストマスクを除去する(図10(B)参照)。

40

【0164】

次いで、導電膜202を覆うように、ゲート絶縁膜203を形成し、ゲート絶縁膜203上に半導体膜204を形成する(図10(C)参照)。

【0165】

ゲート絶縁膜203としては、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム

50

、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを一種以上含む絶縁膜を、単層で、または積層させて用いればよい。

【0166】

例えば、2層構造のゲート絶縁膜203とする場合、1層目を窒化珪素膜とし、2層目を酸化珪素膜とした多層膜とすればよい。2層目の酸化珪素膜は酸化窒化珪素膜にすることができる。また、1層目の窒化珪素膜を窒化酸化珪素膜とすることができる。

【0167】

酸化珪素膜は、欠陥密度の小さい酸化珪素膜を用いると好ましい。具体的には、電子スピン共鳴(ESR: Electron Spin Resonance)にてg値が2.001の信号に由来するスピンのスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化珪素膜を用いる。酸化珪素膜は、過剰酸素を有する酸化珪素膜を用いると好ましい。窒化珪素膜は水素及びアンモニアの放出量が少ない窒化珪素膜を用いる。水素、アンモニアの放出量は、TDS(Thermal Desorption Spectroscopy: 昇温脱離ガス分光法)分析にて測定すればよい。

10

【0168】

次に、フォトリソグラフィ工程とエッチング工程により、半導体膜204を所望の形状に加工し、半導体膜205を形成する(図10(D)参照)。具体的には、第2のフォトマスクを用いて、レジストマスクを半導体膜204上に形成し、半導体膜204をエッチングして、半導体膜205を形成する。そして、レジストマスクを除去する。

20

【0169】

半導体膜205として、上述した酸化物半導体を用いることができる。

【0170】

半導体膜205として用いる酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないようにすることが好ましい。

【0171】

なお、酸化物半導体膜への脱水化処理(脱水素化処理)によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、脱水化処理(脱水素化処理)によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

30

【0172】

このように、酸化物半導体膜は、脱水化処理(脱水素化処理)により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型(真性)化または実質的にi型(真性)である酸化物半導体膜とすることができる。

【0173】

次いで、半導体膜205及びゲート絶縁膜203上に導電膜206を形成する。導電膜206は、導電膜201と同じ導電性材料を用いることができる(図11(A)参照)。

【0174】

次に、第3のフォトマスクを用いて、導電膜206及びゲート絶縁膜203上にレジストマスクを形成する。このレジストマスクを用いて、導電膜206をエッチングして、半導体膜205に接する導電膜207、及び導電膜208を形成する(図11(B)参照)。

40

【0175】

次に、基板200全体を覆って、絶縁膜を形成する。図11(C)では、酸化物膜209と絶縁膜210及び絶縁膜211を形成する。

【0176】

酸化物膜209には、金属酸化物を用いることが望ましい。上記構成を有する酸化物膜209を用いることで、シリコンが含まれた絶縁膜210と、半導体膜205とを、離隔することができる。よって、半導体膜205に、インジウムを含む金属酸化物が用いられて

50



いる場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンが、半導体膜 205 の端部において、インジウムと酸素の結合を切断し、酸素欠損を形成するのを防ぐことができる。それにより、本発明の一態様では、トランジスタの信頼性をさらに高めることができる。

【0177】

具体的に、酸化物膜 209 は、スパッタリング法により、金属の原子数比が 1 : 6 : 4、若しくは 1 : 3 : 2 である、In - Ga - Zn 系酸化物ターゲットを用いて、形成することができる。

【0178】

絶縁膜 211 は、絶縁膜 210 を形成した後、大気に曝すことなく連続的に形成することが好ましい。絶縁膜 210 を形成した後、大気開放せず、原料ガスの流量、圧力、高周波電力及び基板温度の一以上を調整して、絶縁膜 211 を連続的に形成することで、絶縁膜 210、及び絶縁膜 211 における界面の不純物濃度を低減することができると共に、絶縁膜 211 に含まれる酸素を半導体膜 205 に移動させることが可能であり、半導体膜 205 の酸素欠損量を低減することができる。

10

【0179】

プラズマ CVD 装置の真空排気された処理室内に載置された基板を 180 以上 400 以下、さらに好ましくは 200 以上 370 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 30 Pa 以上 250 Pa 以下、さらに好ましくは 40 Pa 以上 200 Pa 以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、絶縁膜 210 として酸化珪素膜または酸化窒化珪素膜を形成する。

20

【0180】

絶縁膜 210 の原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

【0181】

上記条件を用いることで、絶縁膜 210 として酸素を透過する酸化絶縁膜を形成することができる。また、絶縁膜 210 を設けることで、後に形成する絶縁膜 211 の形成工程において、酸化物膜 209 へのダメージ低減が可能である。

30

【0182】

なお、シリコンを含む堆積性気体に対する酸化性気体量を 100 倍以上とすることで、絶縁膜 210 における水素の含有量を低減することが可能であると共に、絶縁膜 210 に含まれるダングリングボンドを低減することができる。絶縁膜 211 から移動する酸素は、絶縁膜 210 に含まれるダングリングボンドによって捕獲される場合があるため、化学量論的組成よりも多くの酸素を有する絶縁膜 211 に含まれる酸素を効率よく半導体膜 205 へ移動させ、半導体膜 205 に含まれる酸素欠損を補填することが可能である。この結果、半導体膜 205 に混入する水素量を低減できると共に半導体膜 205 に含まれる酸素欠損を低減させることが可能であるため、トランジスタの閾値電圧のマイナスシフトを抑制することができると共に、トランジスタのソース及びドレインにおけるリーク電流を低減することが可能であり、トランジスタの電気的特性を向上させることができる。

40

【0183】

本発明の一態様では、絶縁膜 210 として、流量 20 s c c m のシラン及び流量 3000 s c c m の一酸化二窒素を原料ガスとし、処理室の圧力を 40 Pa、基板温度を 220 とし、27.12 MHz の高周波電源を用いて 100 W の高周波電力を平行平板電極に供給したプラズマ CVD 法により、厚さ 50 nm の酸化窒化珪素膜を形成する。なお、プラズマ CVD 装置は電極面積が 6000 c m<sup>2</sup> である平行平板型のプラズマ CVD 装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると 1.6 × 10<sup>-2</sup> W / c m<sup>2</sup> である。当該条件により、酸素を透過する酸化窒化珪素膜を形成することができる。

50

## 【 0 1 8 4 】

絶縁膜 2 1 1 は、プラズマ C V D 装置の真空排気された処理室内に載置された基板を 1 8 0 以上 2 6 0 以下、さらに好ましくは 1 8 0 以上 2 3 0 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 1 0 0 P a 以上 2 5 0 P a 以下、さらに好ましくは 1 0 0 P a 以上 2 0 0 P a 以下とし、処理室内に設けられる電極に  $0.17 \text{ W} / \text{cm}^2$  以上  $0.5 \text{ W} / \text{cm}^2$  以下、さらに好ましくは  $0.25 \text{ W} / \text{cm}^2$  以上  $0.35 \text{ W} / \text{cm}^2$  以下の高周波電力を供給する条件により、酸化珪素膜または酸化窒化珪素膜を形成する。

## 【 0 1 8 5 】

絶縁膜 2 1 1 の成膜条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜 2 1 1 中における酸素含有量が化学量論的組成よりも多くなる。しかしながら、基板温度が、上記温度であると、シリコンと酸素の結合力が弱いため、加熱により酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成することができる。また、酸化物膜 2 0 9 上に絶縁膜 2 1 0 が設けられている。このため、絶縁膜 2 1 1 の形成工程において、絶縁膜 2 1 0 が酸化物膜 2 0 9 の保護膜となる。この結果、酸化物膜 2 0 9 へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁膜 2 1 1 を形成することができる。

## 【 0 1 8 6 】

本発明の一態様では、絶縁膜 2 1 1 として、流量  $160 \text{ sccm}$  のシラン及び流量  $400 \text{ sccm}$  の一酸化二窒素を原料ガスとし、処理室の圧力を  $200 \text{ Pa}$ 、基板温度を  $220$  とし、 $27.12 \text{ MHz}$  の高周波電源を用いて  $1500 \text{ W}$  の高周波電力を平行平板電極に供給したプラズマ C V D 法により、厚さ  $400 \text{ nm}$  の酸化窒化珪素膜を形成する。なお、プラズマ C V D 装置は電極面積が  $6000 \text{ cm}^2$  である平行平板型のプラズマ C V D 装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると  $2.5 \times 10^{-1} \text{ W} / \text{cm}^2$  である。

## 【 0 1 8 7 】

次いで、少なくとも絶縁膜 2 1 1 を形成した後に加熱処理を行い、絶縁膜 2 1 0 または絶縁膜 2 1 1 に含まれる酸素を酸化物膜 2 0 9 及び半導体膜 2 0 5 に移動させ、酸化物膜 2 0 9 及び半導体膜 2 0 5 の酸素欠損を補填することが好ましい。なお、該加熱処理は、半導体膜 2 0 5 の脱水素化または脱水化を行う加熱処理として行えばよい。

## 【 0 1 8 8 】

本発明の一態様に係る半導体装置の回路構成例

次いで、本発明の一態様に係る半導体装置が有する各種回路の構成例について説明する。図 1 2 ( A ) 乃至図 1 2 ( C ) に、順序回路 8 0、及び順序回路 8 0 を含むシフトレジスタ 3 0 0 の構成例を示す。

## 【 0 1 8 9 】

図 1 2 ( A ) に示すシフトレジスタ 3 0 0 は、第 1 の順序回路  $80_{-1}$  乃至第 N の順序回路  $80_{-N}$  で示す複数の順序回路 8 0 と、クロック信号 C L K を伝達する機能を有する配線 8 1 乃至配線 8 4 と、を有する。配線 8 1 にはクロック信号 C L K 1 が与えられ、配線 8 2 にはクロック信号 C L K 2 が与えられ、配線 8 3 にはクロック信号 C L K 3 が与えられ、配線 8 4 にクロック信号 C L K 4 が与えられる。

## 【 0 1 9 0 】

クロック信号は、一定の間隔でハイレベルの電位（H）と、ローレベルの電位（L）とが繰り返される信号である。図 1 2 ( A ) では、クロック信号 C L K 1 乃至クロック信号 C L K 4 は、 $1/4$  周期ずつ遅延した信号とする。図 1 2 ( A ) 乃至図 1 2 ( C ) に示す回路では、上記クロック信号を利用して、順序回路 8 0 の制御を行う。なお、順序回路 8 0 には、さらに複数のクロック信号を入力してもよい。

## 【 0 1 9 1 】

第1の順序回路80<sub>1</sub>乃至第Nの順序回路80<sub>N</sub>は、それぞれ、端子91、端子92、端子93、端子94、端子95、端子96、及び端子97を有する(図12(B)参照)。

【0192】

端子91、端子92、及び端子93は、配線81乃至配線84のいずれかに接続される。例えば、第1の順序回路80<sub>1</sub>において、端子91は配線81に接続され、端子92が配線82に接続され、端子93が配線83に接続されている。また、第2の順序回路80<sub>2</sub>において、端子91が配線82に接続され、端子92が配線83に接続され、端子93が配線84に接続されている。なお、図12(A)では、第Nの順序回路80<sub>N</sub>と接続される配線が、配線82、配線83、配線84である場合を示しているが、第Nの順序回路80<sub>N</sub>と接続される配線は、Nの値によって異なるものになる。

10

【0193】

また、本発明の一態様で示すシフトレジスタ300の第kの順序回路(kは3以上N以下の自然数)において、端子94は第(k-1)の順序回路の端子96に接続され、端子95は第(k+2)の順序回路の端子96に接続され、端子96は第(k+1)の順序回路の端子94と、第(k-2)の順序回路の端子95と、に接続され、端子97はOUT<sub>k</sub>に信号を出力する。

【0194】

また、第1の順序回路80<sub>1</sub>では、端子94に配線85からのスタートパルス(SP1)が入力される。また、第(N-1)の順序回路80<sub>(N-1)</sub>では、スタートパルス(SP2)が端子95に入力される。また、第Nの順序回路80<sub>N</sub>では、スタートパルス(SP3)が端子95に入力される。なお、スタートパルス(SP2)及びスタートパルス(SP3)は、外部より入力される信号としてもよいし、回路内部で生成される信号としてもよい。

20

【0195】

次に、第1の順序回路80<sub>1</sub>乃至第Nの順序回路80<sub>N</sub>の具体的な構成に関して説明する。

【0196】

第1の順序回路80<sub>1</sub>乃至第Nの順序回路80<sub>N</sub>の各々は、図12(C)に示すように、トランジスタ301乃至トランジスタ311で構成される。なお以下の説明では、トランジスタのゲートをゲート端子、ソース及びドレインの一方を第1の端子、ソース及びドレインの他方を第2の端子と呼ぶ。

30

【0197】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

40

【0198】

また、トランジスタのソースとは、半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0199】

トランジスタが有するソースとドレインは、トランジスタの極性及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタで

50

は、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

【0200】

図12(C)に示す順序回路の構成について説明する。

【0201】

トランジスタ301は、第1の端子が端子91と接続され、第2の端子が端子96と接続され、ゲート端子がトランジスタ307の第2の端子と接続されている。トランジスタ302は、第1の端子が端子96と接続され、第2の端子が配線71と接続され、ゲート端子がトランジスタ308の第2の端子と接続されている。トランジスタ303は、第1の端子が端子91と接続され、第2の端子が端子97と接続され、ゲート端子がトランジスタ307の第2の端子と接続されている。トランジスタ304は、第1の端子が端子97と接続され、第2の端子が配線71と接続され、ゲート端子がトランジスタ308の第2の端子と接続されている。トランジスタ305は、第1の端子が配線72と接続され、第2の端子がトランジスタ306の第1の端子及びトランジスタ307の第1の端子と接続され、ゲート端子が端子94と接続されている。トランジスタ306は、第1の端子がトランジスタ305の第2の端子及びトランジスタ307の第1の端子と接続され、第2の端子が配線71と接続され、ゲート端子がトランジスタ308の第2の端子と接続されている。トランジスタ307は、第1の端子がトランジスタ305の第2の端子及びトランジスタ306の第1の端子と接続され、第2の端子がトランジスタ301のゲート端子及びトランジスタ303のゲート端子と接続され、ゲート端子が配線72と接続されている。トランジスタ308は、第1の端子がトランジスタ310の第2の端子と接続され、第2の端子が、トランジスタ302のゲート端子、トランジスタ304のゲート端子、及びトランジスタ306のゲート端子と接続され、ゲート端子が端子92と接続されている。トランジスタ309は、第1の端子がトランジスタ308の第2の端子と接続され、第2の端子が配線71と接続され、ゲート端子が端子94と接続されている。トランジスタ310は、第1の端子が配線72と接続され、第2の端子がトランジスタ308の第1の端子と接続され、ゲート端子が端子93と接続されている。トランジスタ311は、第1の端子が配線72と接続され、第2の端子がトランジスタ308の第2の端子と接続され、ゲート端子が端子95と接続されている。

【0202】

上述した順序回路の各構成は一例にすぎず、本発明の一態様がこれに限定されるものではない。

【0203】

図12(C)における順序回路80が図12(A)に示す第1の順序回路80<sub>1</sub>である場合、端子91にはクロック信号CLK1が与えられ、端子92にはクロック信号CLK2が与えられ、端子93にはクロック信号CLK3が与えられ、端子94にはスタートパルスSP1が与えられ、端子95には、第3の順序回路80<sub>3</sub>の出力信号(SROUT<sub>3</sub>と記す)が入力される。また、端子96から第1の順序回路80<sub>1</sub>の出力信号(SROUT<sub>1</sub>と記す)が第2の順序回路80<sub>2</sub>の端子94に出力され、端子97から出力信号OUT<sub>1</sub>が出力される。

【0204】

また、配線71には第2電位VSSが与えられ、配線72には第1電位VDDが与えられる。

【0205】

図12(C)における順序回路80を用いたシフトレジスタ300は、第1電位VDD及び第2電位VSS、クロック信号CLK1乃至CLK4、スタートパルスSP、並びに出

10

20

30

40

50

力信号 S R O U T \_ 1 乃至 S R O U T \_ N の信号に従って所望のパルスを順次出力信号 O U T \_ 1 乃至 O U T \_ N として得ることができる。

【 0 2 0 6 】

図 1 2 ( C ) に示す順序回路 8 0 のような、単極性のトランジスタで構成される回路の場合、当該回路の各種ノードや端子の電位がトランジスタの閾値電圧分降下する。具体的に、図 1 2 ( C ) の場合、トランジスタ 3 0 3 が導通状態にあるとき、端子 9 1 に与えられるクロック信号のハイレベルの電位 ( H ) から、トランジスタ 3 0 3 の閾値電圧分だけ降下した電位が、端子 9 7 に与えられる。よって、単極性のトランジスタで構成される回路の場合、トランジスタがノーマリーオフであることを確保できる程度に、その閾値電圧を低くすることが重要である。

10

【 0 2 0 7 】

本発明の一態様において、上述したトランジスタ 1 0 、トランジスタ 3 0 、トランジスタ 4 0 、及びトランジスタ 1 0 0 は、閾値電圧がノーマリーオフであることを満たすような初期値を有し、なおかつ閾値電圧のプラスへの変化量を小さく抑えることができる。よって、トランジスタ 3 0 1 乃至トランジスタ 3 1 1 に、トランジスタ 1 0 、トランジスタ 3 0 、トランジスタ 4 0 、またはトランジスタ 1 0 0 を用いることで、順序回路 8 0 の信頼性を高めることができる。

【 0 2 0 8 】

特に、トランジスタ 3 0 1 乃至トランジスタ 3 1 1 が n チャネル型である場合、端子 9 7 にハイレベルの出力信号を与えるトランジスタ 3 0 3 、端子 9 6 にハイレベルの出力信号を与えるトランジスタ 3 0 1 、トランジスタ 3 0 3 及びトランジスタ 3 0 1 のゲート端子にハイレベルの電位を与えるトランジスタ 3 0 5 は、その閾値電圧がプラスに大きく変化すると、順序回路 8 0 が正常に動作しない、或いは動作しても端子 9 6 及び端子 9 7 から出力されるハイレベルの電位が、所望の値よりも低くなるなどの不具合が生じやすい。よって、少なくとも、トランジスタ 3 0 3 、トランジスタ 3 0 1 、及びトランジスタ 3 0 5 には、トランジスタ 1 0 、トランジスタ 3 0 、トランジスタ 4 0 、またはトランジスタ 1 0 0 を用いることが、順序回路 8 0 の信頼性を確保するのに有効である。

20

【 0 2 0 9 】

なお、本発明の一態様は、図 1 2 ( C ) で示した順序回路の構成において、全てのトランジスタにバックゲートを設けてもよい。バックゲートはフローティングの状態であっても良いし、電位が他から与えられる状態であっても良い。後者の場合、通常のゲート ( フロントゲート ) 及びバックゲートに同じ高さの電位が与えられていても良いし、バックゲートにのみ接地電位などの固定の電位が与えられていても良い。バックゲートに与える電位を制御することで、トランジスタの閾値電圧を制御することができる。また、バックゲートを設けることで、チャンネル形成領域が増え、ドレイン電流の増加を実現することができる。また、バックゲートを設けることで、半導体膜に空乏層ができやすくなるため、S 値の改善を図ることができる。

30

【 0 2 1 0 】

半導体表示装置の構成例

本発明の一態様では、本発明の半導体装置の一つに相当する半導体表示装置の、構成例について説明する。

40

【 0 2 1 1 】

図 1 3 ( A ) に示すパネル 4 6 0 には、画素部 4 6 1 に、複数の画素 4 6 2 と、画素 4 6 2 を行毎に選択するための、走査線 G L 1 乃至走査線 G L m ( m は自然数 ) で示される走査線 G L と、選択された画素 4 6 2 に画像信号を供給するための、信号線 S L 1 乃至信号線 S L n ( n は自然数 ) で示される信号線 S L とが、設けられている。走査線 G L への信号の入力は、走査線駆動回路 4 6 3 により制御されている。信号線 S L への画像信号の入力は、信号線駆動回路 4 6 4 により制御されている。複数の画素 4 6 2 は、走査線 G L の少なくとも一つと、信号線 S L の少なくとも一つとに、それぞれ接続されている。

【 0 2 1 2 】

50

なお、画素部 4 6 1 に設けられる配線の種類及びその数は、画素 4 6 2 の構成、数及び配置によって決めることができる。具体的に、図 1 3 ( A ) に示す画素部 4 6 1 の場合、 $n$  列  $\times$   $m$  行の画素 4 6 2 がマトリクス状に配置されており、信号線  $S L 1$  乃至信号線  $S L n$ 、走査線  $G L 1$  乃至走査線  $G L m$  が、画素部 4 6 1 内に配置されている場合を例示している。

【 0 2 1 3 】

図 1 2 に示した順序回路 8 0 及びシフトレジスタ 3 0 0 は、走査線駆動回路 4 6 3 または信号線駆動回路 4 6 4 に用いることができる。上述したようなトランジスタ 1 0、トランジスタ 3 0、トランジスタ 4 0、またはトランジスタ 1 0 0 を用いた順序回路 8 0 及びシフトレジスタ 3 0 0 を、走査線駆動回路 4 6 3 または信号線駆動回路 4 6 4 に適用させることで、半導体表示装置の信頼性を向上させることができる。

10

【 0 2 1 4 】

また、図 1 3 ( B ) に、画素 4 6 2 の構成を一例として示す。各画素 4 6 2 は、液晶素子 4 6 5 と、当該液晶素子 4 6 5 への画像信号の供給を制御するトランジスタ 4 6 6 と、液晶素子 4 6 5 の画素電極と共通電極間の電圧を保持するための容量素子 4 6 7 とを有する。液晶素子 4 6 5 は、画素電極と、共通電極と、画素電極と共通電極の間の電圧が印加される液晶材料を含んだ液晶層と、を有している。

【 0 2 1 5 】

トランジスタ 4 6 6 は、液晶素子 4 6 5 の画素電極に、信号線  $S L$  の電位を与えるか否かを制御する。液晶素子 4 6 5 の共通電極には、所定の電位が与えられている。

20

【 0 2 1 6 】

以下、トランジスタ 4 6 6 と液晶素子 4 6 5 の具体的な接続関係について説明する。図 1 3 ( B ) では、トランジスタ 4 6 6 のゲート電極が、走査線  $G L 1$  から走査線  $G L m$  のいずれか 1 つに接続されている。トランジスタ 4 6 6 のソース電極及びドレイン電極の一方は、信号線  $S L 1$  から信号線  $S L n$  のいずれか 1 つに接続され、トランジスタ 4 6 6 のソース電極及びドレイン電極の他方は、液晶素子 4 6 5 の画素電極に接続されている。

【 0 2 1 7 】

図 1 3 ( B ) では、画素 4 6 2 において、画像信号の画素 4 6 2 への入力を制御するスイッチとして、一のトランジスタ 4 6 6 を用いる場合を例示している。しかし、一のスイッチとして機能する、複数のトランジスタを、画素 4 6 2 に用いても良い。

30

【 0 2 1 8 】

本発明の一態様では、トランジスタ 4 6 6 として、上述したようなトランジスタ 1 0、トランジスタ 3 0、トランジスタ 4 0、またはトランジスタ 1 0 0 を用いることで、半導体表示装置の信頼性を高めることができる。また、酸化半導体を半導体膜に含むトランジスタはオフ電流が著しく小さいため、当該トランジスタをトランジスタ 4 6 6 として用いると、トランジスタ 4 6 6 を介して電荷がリークするのを防ぐことができる。よって、液晶素子 4 6 5 及び容量素子 4 6 7 に与えられた画像信号の電位をより確実に保持することができるので、1 フレーム期間内において電荷のリークにより液晶素子 4 6 5 の透過率が変化するのを防ぎ、それにより、表示する画像の質を向上させることができる。また、トランジスタ 4 6 6 のオフ電流が小さい場合、トランジスタ 4 6 6 を介して電荷がリークするのを防ぐことができるため、容量素子 4 6 7 の面積を小さく抑えることができる。よって、パネル 4 6 0 の透過率を高め、それにより、バックライトやフロントライトなどの光供給部から供給される光の、パネル 4 6 0 の内部における損失を低減し、液晶表示装置の消費電力を低減させることができる。或いは、静止画を表示する期間において、走査線駆動回路 4 6 3 及び信号線駆動回路 4 6 4 への電源電位または信号の供給を停止しても良い。上記構成により、画素部 4 6 1 への画像信号の書き込み回数を少なくし、半導体表示装置の消費電力を低減させることができる。

40

【 0 2 1 9 】

次いで、図 1 3 ( B ) に、画素 4 6 2 の別の一例を示す。画素 4 6 2 は、画素 4 6 2 への画像信号の入力を制御するトランジスタ 4 7 0 と、発光素子 4 7 3 と、画像信号に従って

50

発光素子 473 に供給する電流値を制御するトランジスタ 471 と、画像信号の電位を保持するための容量素子 472 と、を有する。

【0220】

発光素子 473 のアノードとカソードのいずれか一方は、画素 462 に入力される画像信号に従ってその電位が制御される。発光素子 473 のアノードとカソードのいずれか他方には、所定の電位が与えられる。そして、発光素子 473 の輝度は、アノードとカソード間の電位差によって定まる。画素部が有する複数の画素 462 のそれぞれにおいて、発光素子 473 の輝度が画像情報を有する画像信号に従って調整されることで、画素部 461 に画像が表示される。

【0221】

次いで、画素 462 が有する、トランジスタ 470、トランジスタ 471、容量素子 472、発光素子 473 の接続構成について説明する。

【0222】

トランジスタ 470 は、ソース電極またはドレイン電極の一方が信号線 SL に接続され、ソース電極またはドレイン電極の他方がトランジスタ 471 のゲート電極に接続されている。トランジスタ 470 のゲート電極は、走査線 GL に接続されている。トランジスタ 471 は、ソース電極またはドレイン電極の一方が電源線 VL に接続され、ソース電極またはドレイン電極の他方が発光素子 473 に接続されている。具体的に、トランジスタ 471 のソース電極またはドレイン電極の他方は、発光素子 473 のアノードとカソードのいずれか一方に接続されている。発光素子 473 のアノードとカソードのいずれか他方には、所定の電位が与えられる。

【0223】

なお、図 13 (C) では、画素 462 が容量素子 472 を有する場合を例示しているが、例えばトランジスタ 470 のゲート電極と半導体膜の間に形成されるゲート容量や、ゲート電極の寄生容量が十分大きい場合など、他の容量により画像信号の電位を十分保持できる場合には、必ずしも容量素子 472 を画素 462 に設ける必要はない。

【0224】

発光素子 473 は、LED (Light Emitting Diode) や OLED (Organic Light Emitting Diode) などの、電流または電圧によって輝度が制御される素子をその範疇に含んでいる。例えば、OLED は、EL 層と、アノードと、カソードとを少なくとも有している。EL 層はアノードとカソードの間に設けられた単層または複数の層で構成されており、これらの層の中に、発光性の物質を含む発光層を少なくとも含んでいる。

【0225】

なお、EL 層は、カソードとアノード間の電位差が、発光素子 473 の閾値電圧以上になったときに供給される電流により、エレクトロルミネッセンスが得られる。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とが含まれる。

【0226】

半導体装置を用いた電子機器の構成例

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置 (代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置) に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機 (ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図 14 に示す。

10

20

30

40

50

## 【0227】

図14(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。表示部5003または表示部5004に、或いはその他の回路に、本発明の一態様に係る半導体装置を用いることができる。なお、図14(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

## 【0228】

図14(B)は表示機器であり、筐体5201、表示部5202、支持台5203等を有する。表示部5202に、或いはその他の回路に、本発明の一態様に係る半導体装置を用いることができる。なお、表示機器には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

10

## 【0229】

図14(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。表示部5402に、或いはその他の回路に、本発明の一態様に係る半導体装置を用いることができる。

## 【0230】

図14(D)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能となっている。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602の間の角度に従って、切り替える構成としても良い。第1表示部5603または第2表示部5604に、或いはその他の回路に、本発明の一態様に係る半導体装置を用いることができる。なお、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された半導体装置を用いるようにしても良い。なお、位置入力装置としての機能は、半導体装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を半導体装置の画素部に設けることで、付加することができる。

20

30

## 【0231】

図14(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能となっている。表示部5803における映像の切り替えを、接続部5806における第1筐体5801と第2筐体5802の間の角度に従って行う構成としても良い。表示部5803に、或いはその他の回路に、本発明の一態様に係る半導体装置を用いることできる。

40

## 【0232】

図14(F)は携帯電話であり、筐体5901に、表示部5902、マイク5907、スピーカー5904、カメラ5903、外部接続部5906、操作用のボタン5905が設けられている。携帯電話が有する回路に、本発明の一態様に係る半導体装置を用いることできる。また、本発明の一態様に係る半導体装置の1つである液晶表示装置を、可撓性を有する基板に形成した場合、図14(F)に示すような曲面を有する表示部5902に当該液晶表示装置を適用することが可能である。

## 【符号の説明】

## 【0233】

50

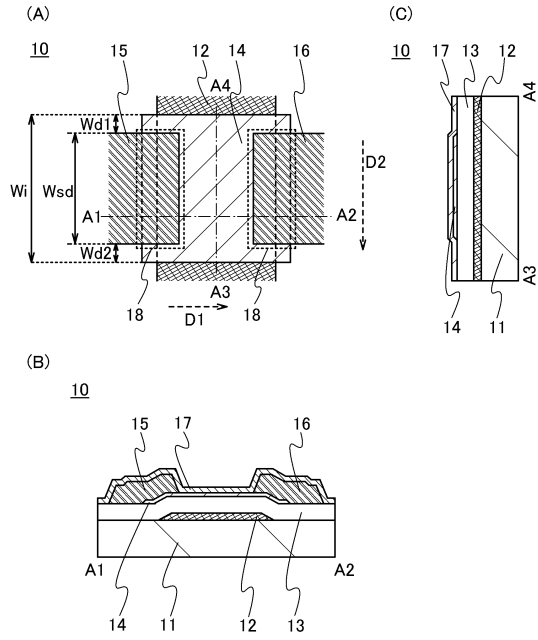


1 0	トランジスタ	
1 1	基板	
1 2	導電膜	
1 3	ゲート絶縁膜	
1 4	半導体膜	
1 4 n	領域	
1 5	導電膜	
1 6	導電膜	
1 7	酸化物膜	
1 8	領域	10
1 9 a	領域	
1 9 b	領域	
2 0	トランジスタ	
2 2	導電膜	
2 4	半導体膜	
2 5	導電膜	
2 6	導電膜	
3 0	トランジスタ	
3 0 a	トランジスタ	
3 0 b	トランジスタ	20
3 1	基板	
3 2	導電膜	
3 3	ゲート絶縁膜	
3 4	半導体膜	
3 5	導電膜	
3 6	導電膜	
3 7	酸化物膜	
3 8	領域	
3 9 a	領域	
3 9 b	領域	30
4 0	トランジスタ	
4 0 a	トランジスタ	
4 0 b	トランジスタ	
4 1	基板	
4 2	導電膜	
4 3	ゲート絶縁膜	
4 4	半導体膜	
4 5	導電膜	
4 6	導電膜	
4 7	酸化物膜	40
4 8	領域	
5 0	凸部	
5 1	連結部	
6 0	凸部	
6 1	連結部	
6 5	領域	
7 1	配線	
7 2	配線	
8 0	順序回路	
8 1	配線	50

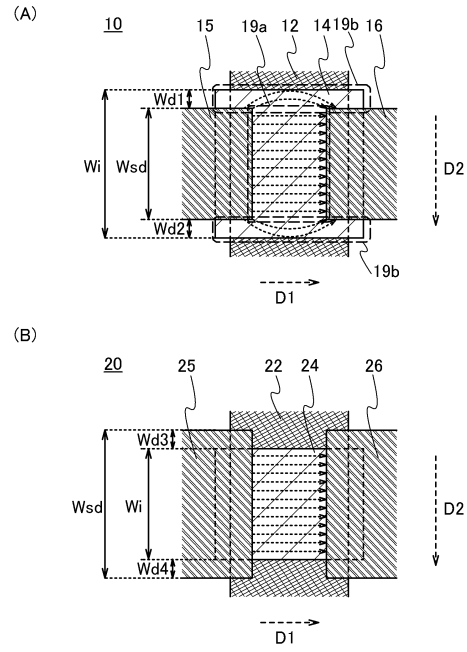
8 2	配線	
8 3	配線	
8 4	配線	
8 5	配線	
9 1	端子	
9 2	端子	
9 3	端子	
9 4	端子	
9 5	端子	
9 6	端子	10
9 7	端子	
1 0 0	トランジスタ	
1 1 1	基板	
1 1 2	導電膜	
1 1 3	ゲート絶縁膜	
1 1 4	半導体膜	
1 1 4 a	酸化物半導体膜	
1 1 4 b	酸化物半導体膜	
1 1 4 c	酸化物半導体膜	
1 1 5	導電膜	20
1 1 6	導電膜	
1 1 7	酸化物膜	
2 0 0	基板	
2 0 1	導電膜	
2 0 2	導電膜	
2 0 3	ゲート絶縁膜	
2 0 4	半導体膜	
2 0 5	半導体膜	
2 0 6	導電膜	
2 0 7	導電膜	30
2 0 8	導電膜	
2 0 9	酸化物膜	
2 1 0	絶縁膜	
2 1 1	絶縁膜	
3 0 0	シフトレジスタ	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 0 3	トランジスタ	
3 0 4	トランジスタ	
3 0 5	トランジスタ	40
3 0 6	トランジスタ	
3 0 7	トランジスタ	
3 0 8	トランジスタ	
3 0 9	トランジスタ	
3 1 0	トランジスタ	
3 1 1	トランジスタ	
4 6 0	パネル	
4 6 1	画素部	
4 6 2	画素	
4 6 3	走査線駆動回路	50

4 6 4	信号線駆動回路	
4 6 5	液晶素子	
4 6 6	トランジスタ	
4 6 7	容量素子	
4 7 0	トランジスタ	
4 7 1	トランジスタ	
4 7 2	容量素子	
4 7 3	発光素子	
5 0 0 1	筐体	
5 0 0 2	筐体	10
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示部	
5 2 0 3	支持台	
5 4 0 1	筐体	20
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	30
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	
5 9 0 1	筐体	
5 9 0 2	表示部	
5 9 0 3	カメラ	
5 9 0 4	スピーカー	
5 9 0 5	ボタン	40
5 9 0 6	外部接続部	
5 9 0 7	マイク	

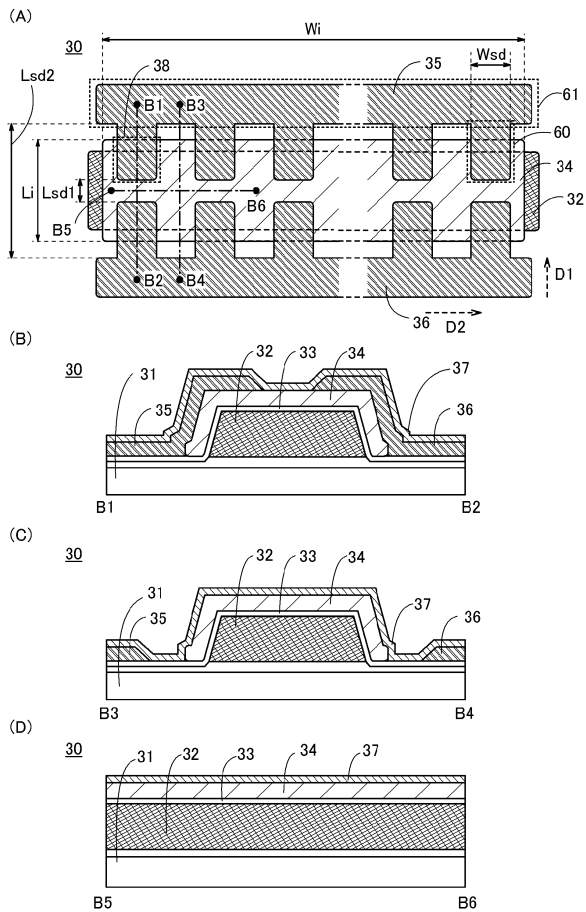
【図1】



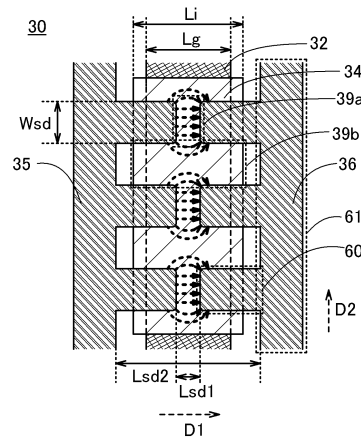
【図2】



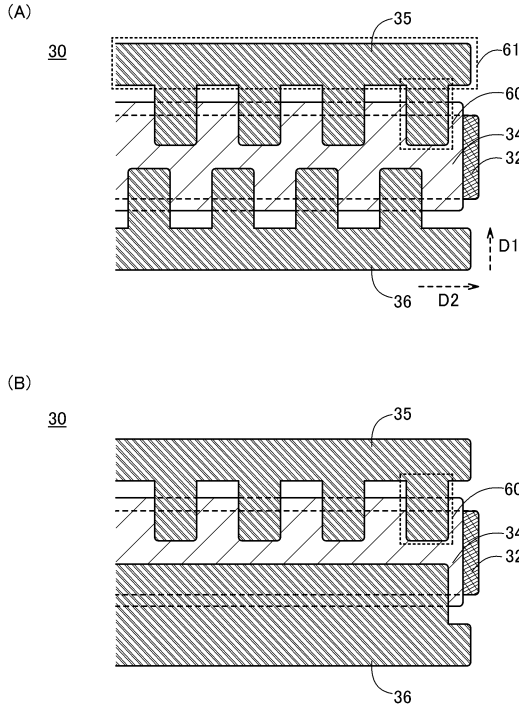
【図3】



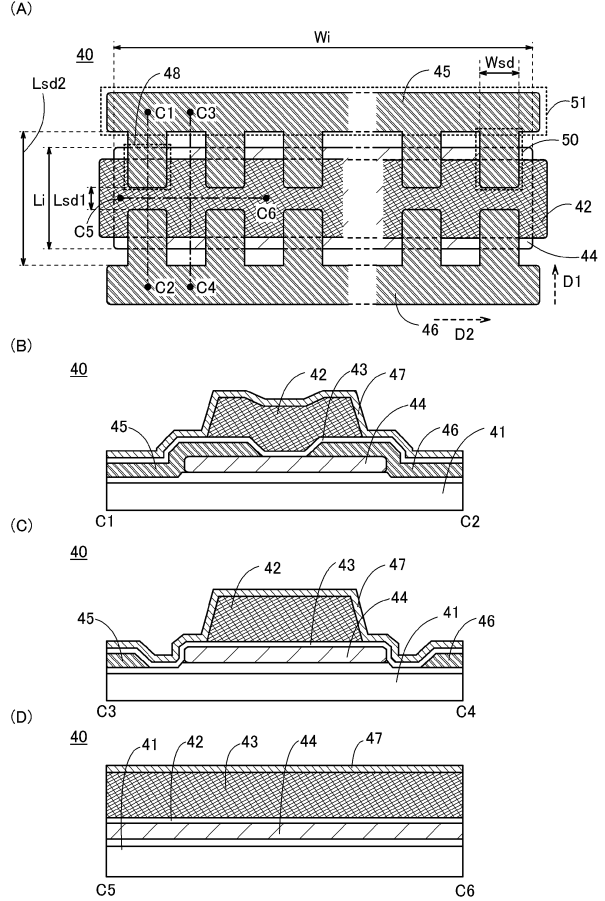
【図4】



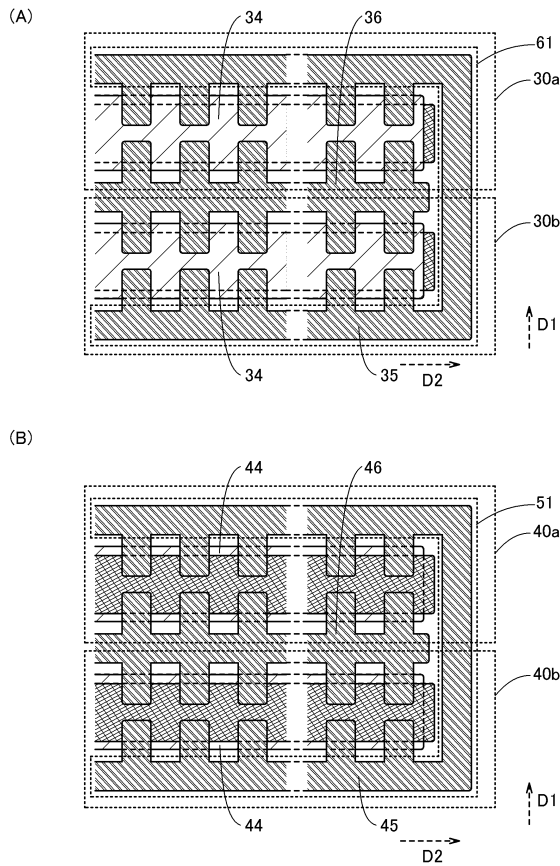
【図5】



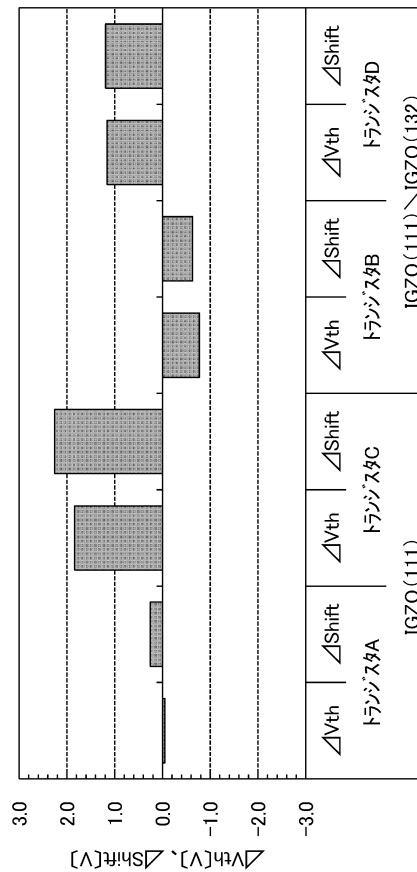
【図6】



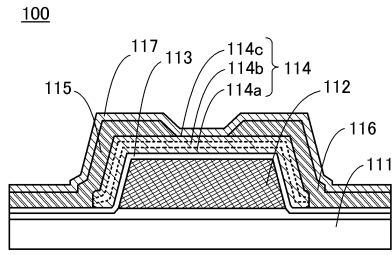
【図7】



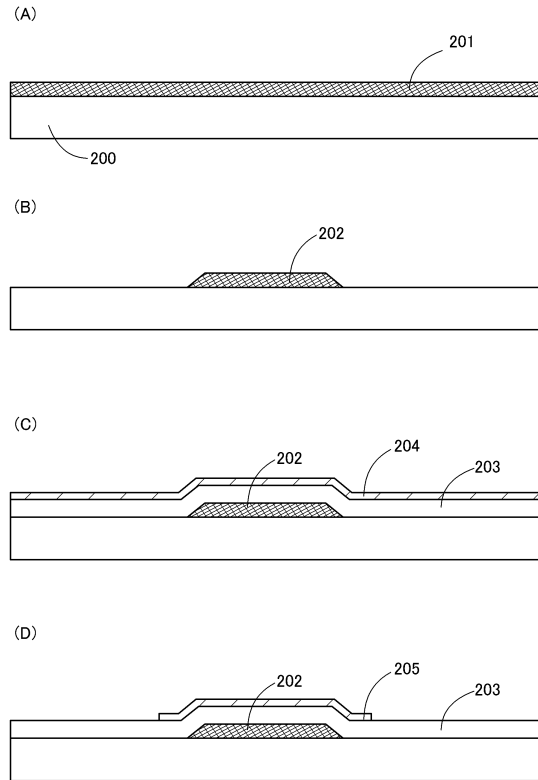
【図8】



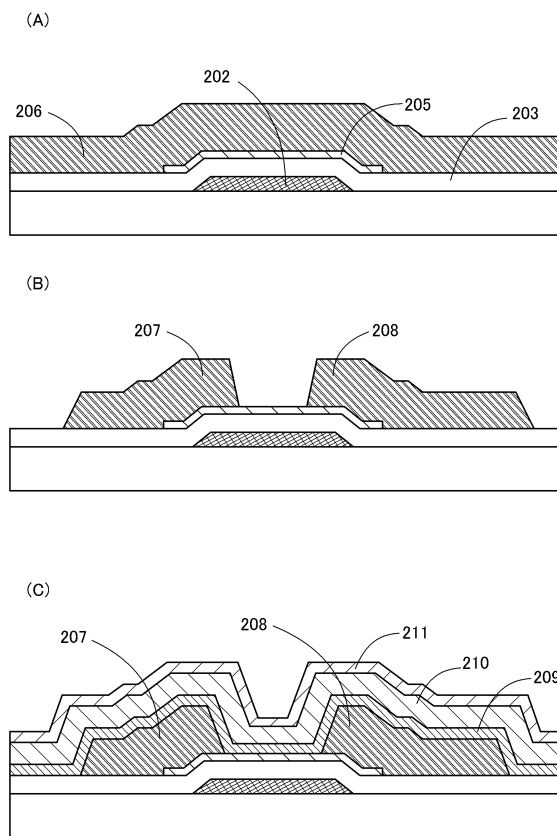
【図 9】



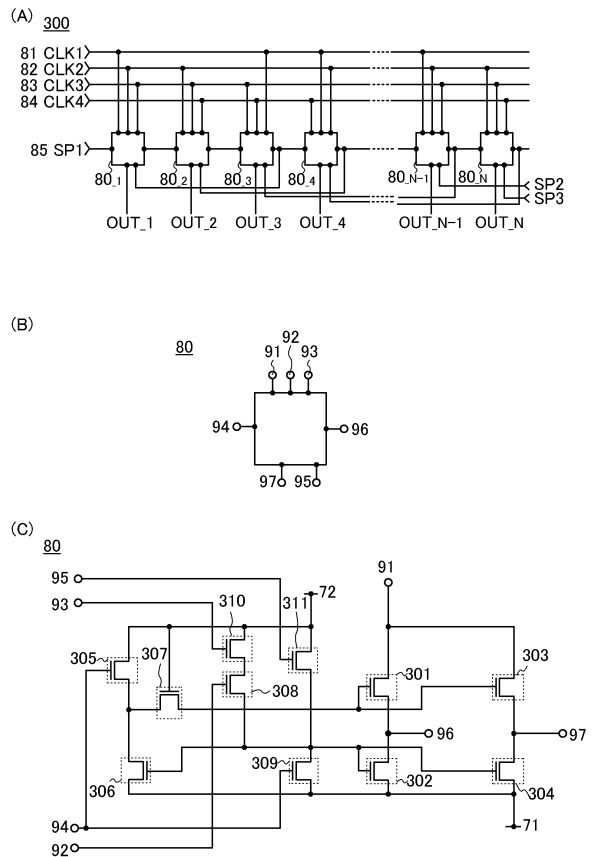
【図 10】



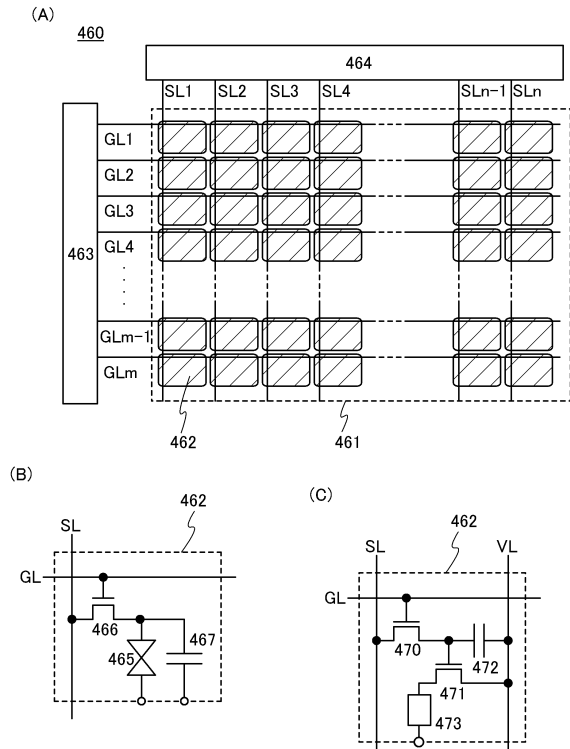
【図 11】



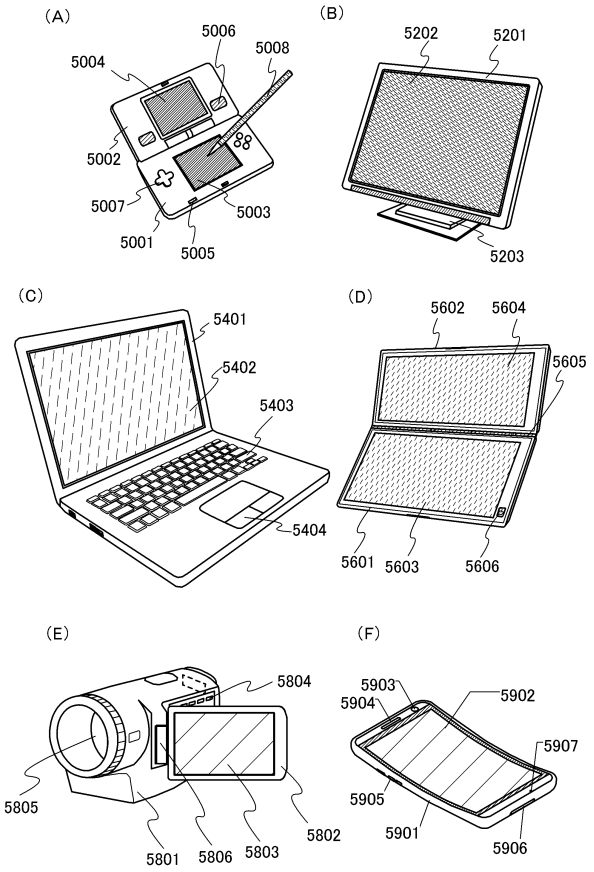
【図 12】



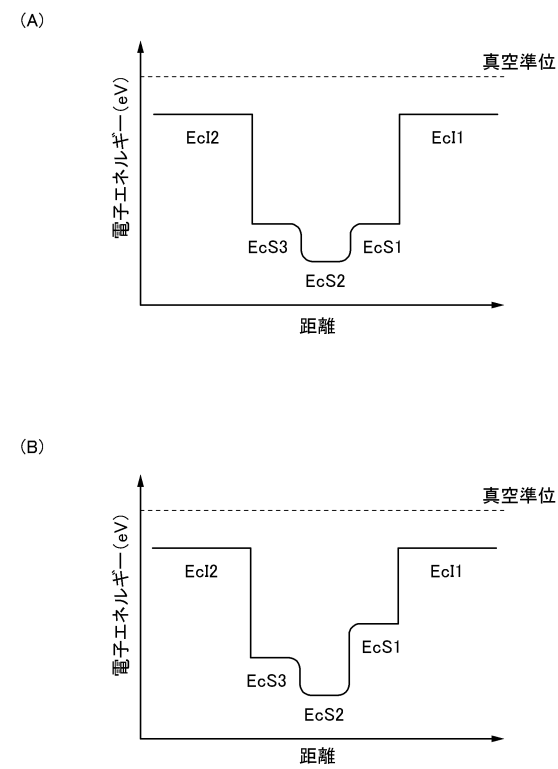
【図13】



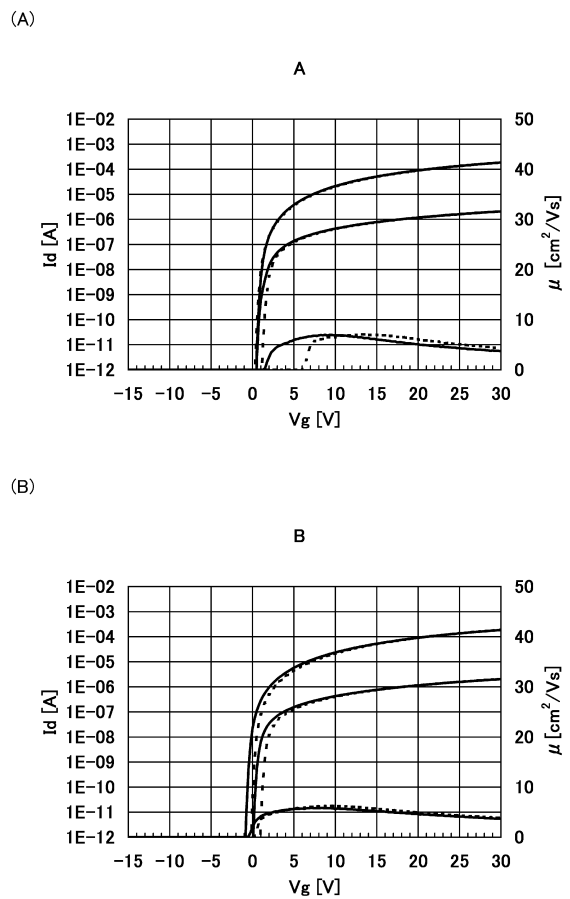
【図14】



【図15】

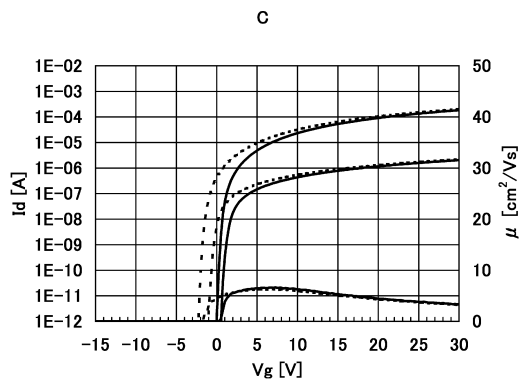


【図16】

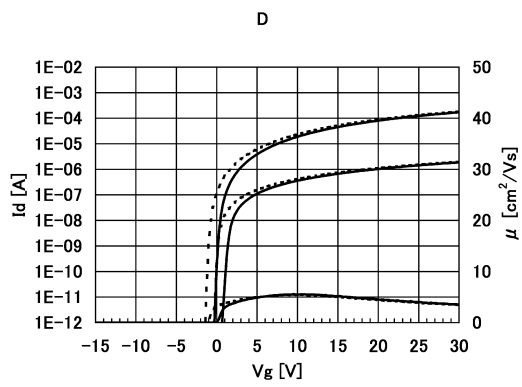


【 17 】

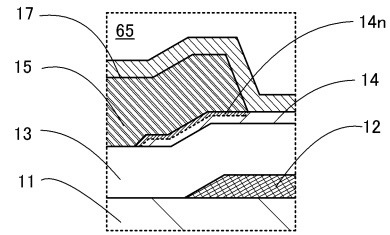
(A)



(B)



【 18 】





## フロントページの続き

(51) Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/283</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/44</i> <i>L</i>
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/28</i> <i>3 0 1 B</i>
			<i>H 0 1 L</i>	<i>21/283</i> <i>C</i>
			<i>G 0 2 F</i>	<i>1/1368</i>

(56) 参考文献 特開 2 0 1 0 - 2 6 7 9 5 5 ( J P , A )  
特開 2 0 1 1 - 1 0 0 9 9 7 ( J P , A )  
特開 2 0 1 1 - 1 3 8 9 3 4 ( J P , A )  
特開 2 0 1 0 - 2 5 1 7 3 2 ( J P , A )

(58) 調査した分野(Int.Cl. , DB名)  
*H 0 1 L* *2 9 / 7 8 6*  
*H 0 1 L* *2 1 / 3 3 6*