(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.7
H01L 27/108

(45) 공고일자 2004년06월07일
(11) 등록번호 10-0434701
(24) 등록일자 2004년05월25일

(21) 출원번호 10-2001-0084297
(22) 출원일자 2001년12월24일
(65) 공개번호 10-2003-0054173
(43) 공개일자 2003년07월02일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 손호민
경기도이천시대월면사동리441-1현대전자아파트102동606호

(74) 대리인 강성배

심사관 : 조지은

(54) 반도체 소자의 커패시터 제조방법

요약

본 발명은 충전용량을 향상시키고 공정을 단순화하여 생산성을 향상시킬 수 있는 반도체 소자의 커패시터 제조방법을 개시한다. 개시된 본 발명의 커패시터 제조방법은, 비트라인과 워드라인을 구비한 반도체 기판 상에 하부전극을 형성하는 단계와, 상기 하부전극 상에 질화막과 텅스텐막을 차례로 증착하는 단계와, 상기 텅스텐막을 산화시켜 유전체막을 형성하는 단계와, 상기 유전체막이 결정화되도록 기판 결과물을 열처리하는 단계와, 상기 유전체막 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 1d

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명의 일실시예에 따른 반도체 소자의 커패시터 제조방법을 나타낸 공정 단면도
<도면의 주요 부분에 대한 부호의 설명>
100 : 하부전극 200 : 질화막
300 : 유전체막 400 : 상부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 커패시터 제조방법에 관한 것으로, 특히 충전용량을 향상시키고 공정을 단순화하여 생산성을 향상시킬 수 있는 반도체 소자의 커패시터 제조방법에 관한 것이다.
일반적으로 커패시터가 PIP(Poly-Insulator-Poly) 구조일 경우에는 상부전극 및 하부전극을 도전성 폴리 실리콘으로 사용하기 때문에 상부전극/하부전극과 유전체박막 계면에서 산화반응이 일어나 자연산화막이 형성되어 전체 커패시터의 용량이 줄어들게 되는 단점이 있다.
이를 해결하기 위해 커패시터의 구조를 MIS(Metal Insulator Silicon) 내지 MIM(Metal Insulator Metal)로 변경하게 되었다.
한편, 최근에는 N/O 커패시터가 256M 이상의 차세대 DRAM 제품에 필요한 충전용량을 확보하는데 그 한계를 보이고 있기 때문에 Ta_2O_5 커패시터의 개발이 본격적으로 이루어지고 있다.
그러나 Ta_2O_5 박막은 불안정한 화학양론비(stoichiometry)를 갖고 있기 때문에 Ta와 O의 조성비 차이에 기인한 치환형 Ta 원자(vacancy atom)가 박막내에 존재할 수밖에 없다. 그리고 박막 형성시 Ta_2O_5 의 전구체(precursor)인 $Ta(OC_2H_5)$의 유기물과 O_2 (또는 N_2O) 가스의 반응으로 인해 불순물인 탄소원자와 탄소화합물(C,CH_4,C_2H_4 등) 및 물(H_2O)도 함께 존재하게 된다.
결국 Ta_2O_5 박막내에 불순물로 존재하는 탄소원자(carbon), 이온(ion)과 라디칼(radical)로 인해서 커패시터의 누설전류(leakage current)가 증가하게 되고, 유전특성(dielectric characteristics)이 열화 되는 문제를 내포하고 있다.
따라서, 박막내의 불순물을 제거하기 위해 저온 열처리(Plasm N_2O, UV-O_3)를 이중, 삼중으로 처리하여 공정 수순이 복잡하며, Ta_2O_5 박막의 산화 저항성이 낮아 하부전극의 산화가 심하여 등가산화막 두께(Tox)를 낮추는데 한계가 있다. 이러한 Ta_2O_5 박막의 불안정한 화학양론비를 개선하기 위해 TaON 박막에 대한 연구가 진행되어 0.13㎛ 디바이스에 적용하고 있다.

발명이 이루고자 하는 기술적 과제

그러나 0.13㎛ 디바이스까지는 MPS(Metastable Phase Silicon)를 이용한 MIS(Metal-Insulator-Silicon) 구조에서 TaON 또는 Ta_2O_5 를 이용하여 충분한 충전용량과 누설전류 특성을 확보할 수 있지만 그 이하의 디자인 루울 디바이스에서 TaON 또는 Ta_2O_5 의 유전율 한계로 충전용량과 누설전류 특성을 동시에 만족하기에는 MIS 구조로는 한계에 도달하였다.
즉, MIS 구조는 하부전극을 MPS를 이용한 도핑된 실리콘으로 진행하기에 누설전류를 확보하기 위하여 TaON 또는 Ta_2O_5 박막을 증착한 후, 700℃ 이상의 고온 열처리를 진행하여한다.
이러한 고온 열처리 공정은 워드라인과 비트라인에 금속을 사용하는 고집적 디바이스에서는 열적 스트레스(Thermal Stress)로 특성 열화를 유발한다.
따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 유전체막으로서 유전율이 큰 WOx(ε>40) 박막을 적용하므로써 등가산화막의 두께를 낮춰 높은 충전용량을 확보할 수 있으면서 TaON 또는 Ta_2O_5 유전체막의 형성시 보다 공정 단순화를 이룰 수 있는 반도체 소자의 커패시터 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 커패시터 제조방법은, 비트라인과 워드라인을 구비한 반도체 기판 상에 하부전극을 형성하는 단계; 상기 하부전극 상에 질화막과 텅스텐막을 차례로 증착하는 단계; 상기 텅스텐막을 산화시켜 유전체막을 형성하는 단계; 상기 유전체막이 결정화되도록 기판 결과물을 열처리하는 단계; 및 상기 유전체막 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
상기 텅스텐막의 산화는 O_2, N_2/O_2, N_2O 또는 N_2+N_2O 분위기에서 진행하는 것이 바람직하다.
상기 텅스텐막의 산화는 MIM 구조에서는 400 500℃에서 플라즈마 여기하는 방법, UV-O_3 를 이용하는 방법, 또는, 700 800℃에서 급속열처리하는 방법으로 진행한다.
상기 텅스텐막의 산화는 MIS 구조에서는 400 500℃에서 플라즈마 여기하는 방법, UV-O_3 를 이용하는 방법, 700 800℃에서 급속열처리하는 방법, 또는, 전기로를 이용하는 방법으로 진행한다.
상기 텅스텐막의 산화는 상기 텅스텐막 상에 Ta_2O_5 또는 TaON을 25 30Å 증착한 후, 인-시튜로 진행할 수 있다.
상기 산화는 400 500℃에서 플라즈마 여기하는 방법 또는 UV-O_3 을 이용하는 방법으로 진행하여 텅스텐막을 산화시킴과 동시에 Ta_2O_5 또는 TaON 박막 내의 산소공공, 탄소, 및 수소를 제거하는 것이 바람직하다.
상기 기판 결과물을 열처리하는 단계는 N_2 및 N_2+O_2 또는 N_2O 분위기에서 진행한다.
상기 열처리는 700 800℃에서의 급속열처리 또는 700℃ 이하의 전기로에서 진행하거나, 900 950℃에서의 급속열처리 또는 700 800℃의 전기로에서 진행한다.
상기 하부전극은 실린더, 스택 핀 또는 칸케이브 구조로 형성한다.
상기 질화막은 LPCVD 방법에 따라 5 20Å 두께로 증착한다.
상기 텅스텐막은 PVD 또는 CVD 방법에 따라 50 200Å 두께로 증착한다.
상기 상부전극은 폴리실리콘, TiN, TaN, W, WN, WSi, Ti, RuO_2, Ir, IrO_2, 또는 Pt 중에서 어느 하나의 단층구조 또는 둘 이상의 적층구조로 형성한다. (실시예)
이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 1a 내지 도 1d는 본 발명의 일실시예에 따른 반도체 소자의 커패시터 제조방법을 나타낸 공정 단면도이다.
도 1a에 도시한 바와 같이, MIM 커패시터 및 MIS 커패시터를 제조하기 위해 워드라인과 비트라인을 구비한 반도체 기판(도면에 도시하지 않았음) 상에 예컨데 TiN으로 이루어진 커패시터 하부전극(100)을 형성한다. 이때, 상기 하부전극(100)은 실린더(Cylinder), 스택 핀(Stack Fin) 또는 칸케이브(Concave) 구조 등으로 형성한다.
여기서, 상기 하부전극(100)이 실린더 구조일 경우, 산화막으로 형성하고자 하는 구조의 높이만큼 증착한 후, 패터닝을 통해 셀 모양을 형성한다. 이후, 하부전극을 증착하고 다시 산화막 등 매립물질을 증착하여 실린더 등의 구조 내부를 완전히 채워준다. 다음으로, 하부전극을 단락시키기 위해 CMP(Chemical Mechanical Polishing)나 전면식각(Blanket etch)을 통해 TiN 전극간을 단락시켜 준다. 이후, 실린더 내부의 산화막을 제거하여 실린더 구조를 형성한다.
도 1b에 도시한 바와 같이 상기 결과물에 세정공정을 실시한 후, 상기 하부전극(100)상에 LPCVD(Low Pressure Chemical Vapor Deposition) 방법을 이용하여 질화막(200)을 형성한다. 이때, 상기 질화막(200)의 두께는 5 15Å 이다.
여기서, 상기 질화막(200)은 후속 공정에서 텅스텐을 증착한 후, 상기 텅스텐을 산화시킬 때 상기 하부전극(100)의 산화를 방지하기 위해 진행한다. 만약, 하부전극이 산화되면 원하지 않는 불균일 산화막이 형성되어 커패시터의 누설전류의 원인이 된다.
그리고 상기 질화막(200)의 경우, 핀 홀(Fin Hole), 마이크로 크랙(Micro Crack) 등이 누설전류의 원인이 되지만 후속 공정의 텅스텐을 산화시키는 공정에서 질화막(200)의 상부가 같이 산화되어 상부에 SiON층이 형성되기 때문에 이러한 문 제는 해결된다.
도 1c에 도시한 바와 같이 상기 질화막(200)상에 PVD(Physical Vapor Deposition) 또는 CVD 방법을 이용하여 텅스텐막을 증착한 후, 상기 텅스텐막을 산화시켜 WOx 유전체막(300)을 형성한다. 이때, 상기 텅스텐막은 50 200Å 두께로 증착한다.
상기 텅스텐막의 산화는 산소분위기(O_2, N_2/O_2, N_2O, 또는 N_2+N_2O)에서 진행한다. 특히, 상기 텅스텐막의 산화는 MIM 커패시터 구조에서는 저온(400 500℃ 이하)에서 플라즈마를 여기하는 방법과 UV-O_3을 이용하는 방법 또는 700 800℃에서 급속열처리하는 방법으로 진행하며, 또한, MIS 커패시터 구조에서는 저온(400 500℃ 이하)에서 플라즈마를 여기하는 방법과 UV-O_3을 이용하는 방법, 700 800℃에서 급속열처리하는 방법 이외에 고온에서 전기로를 이용하는 방법으로 진행한다. 상기 고온의 경우 O_2, N_2/O_2, N_2O, N_2+N_2O 외에도 H_2/O_2 분위기에서 진행할 수 있다.
그리고 상기 텅스텐 산화시간은 텅스텐이 완전히 산화될 때까지 진행한다.
한편, 도시되지는 않았으나, 텅스텐막의 산화는 계면특성의 향상을 위해 상기 텅스텐막 상에 Ta_2O_5 또는 TaON를 25 30Å 이하로 얇게 증착함과 동시에 진행할 수 있다.
이 경우, 상기 Ta_2O_5 또는 TaON 증착과 텅스텐막의 산화는 동일한 시스템 내에서 인-시튜(in-situ)로 진행한다.
상기와 같은 진행방법은 Ta_2O_5 또는 TaON를 증착한 후, 산소분위기(O_2, N_2/O_2, N_2O, N_2+N_2O)에서 저온(400 500℃ 이하)에서 플라즈마를 여기하는 방법과 UV-O를 이용하는 방법으로 상기 텅스텐막을 산화시킴과 동시에 Ta_2O_5 또는 TaON 박막 내의 산소 공공, 탄소(Carbon) 및 수소(Hydrogen)을 제거한다. 즉, 상기 Ta_2O_5 또는 TaON 박막에 산소분위기의 가스가 쉽게 통과하여 하부에 있는 텅스텐을 산화시켜 WOx 유전체막(300)을 형성할 수 있다. 이때, 상기 산소분위기 산화공정은 텅스텐막을 직접 산화시키는 공정보다 더 길게 진행함으로써 텅스텐막을 완전히 산화시킬 수 있다.
한편, 상기 텅스텐상에 Ta_2O_5 또는 TaON 박막 증착공정은 기판상에서 일어나는 표면화학반응(surface chemical reaction)을 통해 비정질 TaON 박막을 형성하는 단계로서 300 600℃의 LPCVD 챔버(chamber)에서 기상반응(gas phase reaction)을 억제시키면서 다음과 같은 화학증기를 사용하여 비정질 박막을 증착시킨다. 먼저, Ta 성분의 화학증기는 $Ta(OC_2H_5)_5$(tantalum ethylate)와 같은 Ta 화합물을 MFC(Mass Flow Controller)아 같은 유량 조절기를 통해 정량된 양을 증발기 또는 증발관으로 공급한 다음 일정량을 150 200℃ 온도범위에서 증발시켜서 얻는다. 이와 같은 방법을 통해 얻어진 화학증가를 반응가스인 과잉 O_2 가스(excess gas)와 NH_3 가스를 10 1000sccm 범위내의 유량으로 각각 정량하여 공급(Ta 화합물과 NH 가스만 공급하여도 됨)한 다음 300 600℃의 LPCVD 챔버내에서 표면반응시켜면 비정질 TaON 박막을 얻을 수 있다. Ta_2O_5는 Ta 화합물과 O_2 가스 또는 Ta 화합물 단독으로 공급하여 상기와 동일한 방법으로 진행하면 Ta_2O_5 박막을 얻을 수 있다.
도 1d에 도시한 바와 같이 상기 유전체막(300)을 결정화시키기 위해 열처리 공정을 실사한 후, 상기 유전체막(300)상에 상부전극(400)을 형성하여 커패시터를 완성한다. 이때, 상기 상부전극(400)은 폴리 실리콘, TiN, TaN, W, WN, WSi, Ti, RuO $_2$, Ir, IrO $_2$, Pt중 어느 하나를 단독으로 사용하거나 적층구조로 사용한다.
여기서, 상기 열처리 공정은 급속열처리 방법와 전기로 방법이 있다. 상기 하부전극(100) 및 워드라인, 비트라인이 금속일 경우, 금속의 열화를 방지하기 위한 급속열처리 방법은 700 800℃이하, 전기로는 600 700℃ 이하에서 진행한다. 만약, MIS 구조일 경우 고온에서도 전극의 열화가 없기 때문에 급속열처리시 900 950℃ 이하, 전기로는 700 800℃ 이하의 공정에서 진행한다.
그리고 공정 분위기는 N_2 또는 N_2+O_2 (또는 N_2O) 분위기에서 진행한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명의 반도체 소자의 커패시터 제조방법에 의하면, 종래에 비해 등가산화막 두께(Tox)를 더 낮출 수 있으므로 높은 충전용량을 확보할 수 있는 효과가 있다.

그리고 MIM 커패시터를 적용할 경우 저온 공정에서 충전용량과 누설전류 특성을 확보할 수 있으므로 고집적 디바이스에서 금속을 사용하는 비트라인과 워드라인에 열적 스트레스를 주지 않아 특성 열화를 방지할 수 있다.
또한, 종래에 Ta_2O_5를 이용하는 경우에 비해 복잡한 전, 후 처리가 필요없어 공정을 단순화하여 생산성을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.
비트라인과 워드라인을 구비한 반도체 기판 상에 하부전극을 형성하는 단계;
상기 하부전극 상에 질화막과 텅스텐막을 차례로 증착하는 단계;
상기 텅스텐막을 산화시켜 유전체막을 형성하는 단계;
상기 유전체막이 결정화되도록 기판 결과물을 열처리하는 단계; 및
상기 유전체막 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 2.
제 1 항에 있어서, 상기 텅스텐막의 산화는 O_2, N_2/O_2, N_2O 및 N_2+N_2O로 구성된 그룹으로부터 선택되는 어느 하나의 분위기에서 진행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 3.
제 1 항 또는 제 2 항에 있어서, 상기 텅스텐막의 산화는 MIM 구조에서는 400 500°C에서 플라즈마 여기하는 방법과 $UV-O_3$를 이용하는 방법 및 700 800°C에서 급속열처리하는 방법으로 구성된 그룹으로부터 선택되는 어느 하나의 방법으로 진행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 4.
제 1 항 또는 제 2 항에 있어서, 상기 텅스텐막의 산화는 MIS 구조에서는 400 500°C에서 플라즈마 여기하는 방법, $UV-O_3$를 이용하는 방법, 700 800°C에서 급속열처리하는 방법 및 전기로를 이용하는 방법으로 구성된 그룹으로부터 선택되는 어느 하나의 방법으로 진행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 5.
제 1 항에 있어서, 상기 텅스텐막의 산화는 상기 텅스텐막 상에 Ta_2O_5 또는 TaON를 25 30Å 증착한 후, 인-시튜로 진행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 6.
삭제

청구항 7.
제 5 항에 있어서, 상기 텅스텐막의 산화는 400 500°C에서 플라즈마 여기하는 방법 또는 $UV-O_3$을 이용하는 방법으로 진행하여 텅스텐막을 산화시킴과 동시에 Ta_2O_5 또는 TaON 박막 내의 산소공공, 탄소 및 수소를 제거하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 8.
제 1 항에 있어서, 상기 기판 결과물을 열처리하는 단계는 N_2, N_2+O_2 및 N_2O로 구성된 그룹으로부터 선택되는 어느 하나의 분위기에서 진행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 9.
제 8 항에 있어서, 상기 열처리는 700 800°C에서의 급속열처리 또는 700°C 이하의 전기로에서 진행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 10.
제 8 항에 있어서, 상기 열처리는 900 950°C에서의 급속열처리 또는 700 800°C의 전기로에서 진행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 11.
제 1 항에 있어서, 상기 하부전극은 실린더, 스택 핀 및 칸케이브 구조로 구성된 그룹으로부터 선택되는 어느 하나의 구조로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

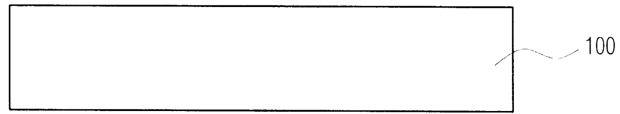
청구항 12.
제 1 항에 있어서, 상기 질화막은 LPCVD 방법에 따라 5 20Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 13.
제 1 항에 있어서, 상기 텅스텐막은 PVD 또는 CVD 방법에 따라 50 200Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

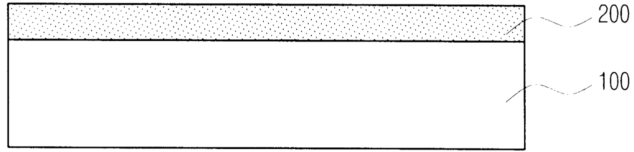
청구항 14.
제 1 항에 있어서, 상기 상부전극은 폴리실리콘, TiN, TaN, W, WN, WSi, Ti, RuO_2, Ir, IrO_2 및 Pt로 구성된 그룹으로부터 선택되는 어느 하나의 단층구조 또는 둘 이상의 적층구조로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

도면

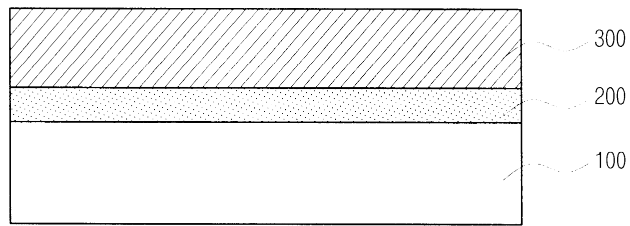
도면1a



도면1b



도면1c



도면1d