

ITALIAN PATENT OFFICE

Document No.

102011901992440A1

Publication Date

20130501

Applicant

STMICROELECTRONICS S.R.L.

Title

DISPOSITIVO MICRO-ELETTRO-MECCANICO DOTATO DI REGIONI
CONDUTTIVE SEPOLTE E RELATIVO PROCEDIMENTO DI FABBRICAZIONE.

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:
"DISPOSITIVO MICRO-ELETTRO-MECCANICO DOTATO DI REGIONI
CONDUTTIVE SEPOLTE E RELATIVO PROCEDIMENTO DI
FABBRICAZIONE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

Inventori: CAMPEDELLI Roberto, PEZZUTO Raffaella, LOSA
Stefano, MANTOVANI Marco, AZPEITIA URQUIA Mikel

* * *

La presente invenzione è relativa ad un
dispositivo micro-elettro-meccanico o MEMS dotato di
regioni conduttive sepolte e relativo procedimento di
fabbricazione.

Come è noto, i dispositivi MEMS comprendono uno
strato strutturale avente regioni estendenti su una
cavità o "air gap" e definenti strutture sospese mobili
in direzione parallela o trasversale rispetto alla
superficie superiore di un supporto, ad esempio un
substrato di materiale semiconduttore, estendenti al
di sotto dello strato strutturale.

Tali strutture sospese possono essere ottenute con
tecniche di lavorazione differenti, quale la

microlavorazione superficiale ("surface micro-machining") che prevede la definizione di tali strutture nello strato strutturale e la rimozione di uno strato sacrificale formato al di sopra del substrato.

Frequentemente, le strutture sospese, così come altre strutture fisse affacciate alle strutture sospese, sono ancorate al substrato tramite regioni di ancoraggio e supporto. Tali regioni di ancoraggio e supporto consentono anche la connessione elettrica delle strutture sospese o fisse con altre parti del dispositivo o con l'esterno, per la loro polarizzazione elettrica e la lettura di grandezze elettriche variabili generate in seguito al movimento delle strutture mobili.

In questo caso, le strutture di connessione elettrica sono formate da regioni sepolte includenti linee conduttive di interconnessione che si estendono al di sotto della cavità, portate dal substrato e tipicamente isolate elettricamente da questo da uno strato isolante, quando il substrato è di materiale semiconduttore.

Tali linee conduttive di interconnessione possono essere realizzate vantaggiosamente di materiale semiconduttore, tipicamente polisilicio drogato.

Ad esempio, un processo utilizzato dalla richiedente per realizzare sensori inerziali e attuatori di silicio prevede realizzare linee di interconnessione sepolte di silicio policristallino (indicato anche come polisilicio) deposto su un substrato, drogato in situ, formare uno strato sacrificale di ossido, tipicamente mediante deposizione PECVD (Plasma Enhanced Chemical Vapour Deposition) e formare lo strato strutturale mediante crescita, con tecnica epitassiale, di uno spesso strato di polisilicio.

Questa tecnologia consente la realizzazione di strutture sospese di elevato spessore, che si possono muovere sia su un piano parallelo alla superficie del substrato e/o in direzione trasversale al piano stesso. L'elevato spessore raggiungibile permette di ottenere superfici verticali elevate e quindi elevate capacità totali, quindi elevata robustezza, sensibilità e affidabilità.

In questo tipo di dispositivi, la resistività finale delle interconnessioni dipende strettamente dal layout, dallo spessore, dai parametri di processo di deposizione e dalla sequenza delle fasi di processo termico ed ha un forte impatto sul comportamento elettrico del dispositivo MEMS finito in termini di

rapporto segnale/rumore.

In particolare, per ottenere un buon rapporto segnale/rumore, è opportuno realizzare linee di interconnessione sepolte a bassa resistenza. A tale scopo, è noto utilizzare tecniche di drogaggio del materiale policristallino deposto; ad esempio può essere eseguita una fase di drogaggio termico da POCl_3 o una impiantazione ionica. In questo modo si ottengono resistività dell'ordine di 0,4-1,5 $\text{m}\Omega\cdot\text{cm}$. La tecnica di impiantazione ionica è tuttavia relativamente costosa e non permette di raggiungere valori di resistività sufficientemente bassi. La tecnica di drogaggio con POCl_3 permette d'altra parte sì di raggiungere resistività più basse rispetto alla tecnica di impianto ma non ancora sufficienti; inoltre essa è relativamente poco uniforme e di uso meno comune nei processi su substrati con diametro maggiore di 150 mm.

Per ottenere un'alta conducibilità delle linee di interconnessione sepolte, è stato anche già proposto l'utilizzo della tecnica della "siliciurizzazione", ovvero la formazione di uno strato di silicio metallico al di sopra delle linee di interconnessione, tecnica già nota e applicata nei circuiti integrati e nelle memorie.

Ad esempio, Zhihong L et al. "Study on the

application of silicide in surface micromachining", J. Micromech. Microeng. 12 (2002), pagg. 162-167 describe una tecnica per la realizzazione di linee di interconnessione siliciurizzate in dispositivi MEMS. In particolare, tale articolo descrive una tecnica auto-allineata, secondo la quale viene depositato uno strato di polisilicio, questo viene impiantato e sottoposto ad "annealing", viene depositato uno strato metallico, tipicamente cobalto, e il wafer risultante viene sottoposto a trattamento termico rapido tramite RTA ("Rapid Thermal Annealing"), in modo che silicio si formi solo dove sono presenti le linee di interconnessione di polisilicio. Il metallo non reagito viene rimosso tramite una soluzione di acido cloridrico, e il processo prosegue con le fasi per la realizzazione delle strutture fisse e mobili del dispositivo.

Tale soluzione nota è però suscettibile di miglioramento in quanto il silicio di cobalto non ha sufficiente resistenza all'acido fluoridrico utilizzato per il rilascio delle strutture mobili e si degrada ad alte temperature, tipicamente necessarie per la crescita dello strato strutturale, vanificando i vantaggi ottenibili. Inoltre, tale soluzione non è facilmente integrabile con i processi di fabbricazione

attuali.

Scopo della presente invenzione è fornire un dispositivo ed un processo che superino gli inconvenienti della tecnica nota.

Secondo la presente invenzione vengono realizzati un dispositivo micro-elettro-meccanico dotato di regioni conduttive sepolte e un relativo procedimento di fabbricazione, come definiti rispettivamente nelle rivendicazioni 1 e 9.

In pratica, le regioni di connessione elettrica estendentisi sul substrato, sotto alla cavità, sono formate da un multistrato conduttivo comprendente un primo strato di materiale semiconduttore, quale silicio policristallino, da uno strato composto di un composto binario del materiale semiconduttore e di un metallo di transizione, quale un siliciuro di tungsteno, e da un secondo strato del materiale semiconduttore, quale silicio policristallino.

Per una migliore comprensione della presente invenzione ne vengono ora descritte alcune forme di realizzazione, a puro titolo di esempio non limitativo, con riferimento ai disegni allegati, nei quali:

- le figure 1A-1F sono sezioni trasversali di una fetta di materiale semiconduttore relative a successive fasi intermedie di una prima forma di realizzazione del

presente procedimento;

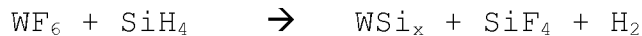
- le figure 2A-2I sono sezioni trasversali di una fetta di materiale semiconduttore relative a successive fasi intermedie di una seconda forma di realizzazione del presente procedimento; e

- la figura 3 mostra una sezione trasversale di un dispositivo MEMS.

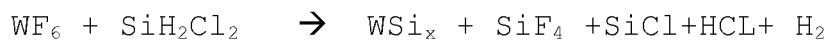
Le figure 1A-1F si riferiscono ad una prima forma di realizzazione. In dettaglio, la fig. 1A mostra una fetta 1 di materiale semiconduttore includente un substrato 2, tipicamente di silicio, dopo che questo è stato sottoposto ad una fase di ossidazione termica ad alta temperatura. Di conseguenza, il substrato 2 è coperto su tutti i suoi lati da uno strato isolante 3, tipicamente ossido permanente con uno spessore di 2,6 μm . Lo strato isolante 3 ha la funzione di ridurre le capacità parassite verso il substrato.

Successivamente, fig. 1B, viene depositato uno strato multiplo 4. A tale scopo, dapprima un primo strato di silicio policristallino (poly1, 5) viene depositato sullo strato isolante 3. Lo strato di poly1 5 può essere drogato o non drogato e presenta uno spessore ad esempio compreso fra 100 nm e 300 nm. Quindi viene depositato uno strato di siliciuro 6 da CVD, ad esempio siliciuro di tungsteno, per uno spessore ad es.

compreso fra 100 e 400 nm. Per la deposizione dello strato di siliciuro 6, è possibile usare due differenti chimiche: reazione fra WF_6 e silano (SiH_4) o fra WF_6 e diclorosilano (SiH_2Cl_2). In particolare, le reazioni che avvengono durante la deposizione sono:



o



La stechiometria finale, definita come rapporto fra atomi di silicio e atomi di tungsteno) è 2,2-2,8 o più, nel caso di utilizzo del silano e 1,3-2,7, nel caso del diclorosilano.

L'energia termica utilizzata per la reazione viene fornita tramite un suscettore.

Quindi, viene depositato un secondo strato di silicio policristallino (poly2, 7). Lo strato di poly2 7 è, ad esempio drogato in situ con fosforo e presenta uno spessore ad esempio compreso fra 400 nm e 900 nm. La deposizione dello strato di poly2 7 può essere controllata in modo che questo abbia una rugosità prefissata, come discusso più in dettaglio in seguito.

In seguito, fig. 1C, lo strato multiplo 4 viene definito, tramite una fase di litografia ed attacco, in modo da formare regioni conduttive 10 destinate a costituire ancoraggi e linee di interconnessione. Le

regioni conduttive 10 così formate vengono sottoposte ad annealing termico, tramite trattamento RTP, a 900°C in ambiente N₂ o N₂/O₂. L'annealing consente allo strato di silicio 6, depositato in strato amorfo, di cristallizzarsi e quindi di raggiungere bassi valori di resistività.

Quindi, seguono fasi di processo standard, includenti il deposito di uno strato sacrificale 11, ad esempio ossido depositato per PECVD (Plasma Enhanced Chemical Vapor Deposition) per uno spessore ad esempio tra 0,8 e 2 µm, tipicamente 1,6 µm, fig. 1D; la realizzazione di trincee 12 attraverso lo strato sacrificale 11, in modo da esporre parte delle regioni conduttive 10 e, se necessario, del substrato 2, fig. 1E; e la crescita di uno strato strutturale 15 in un reattore epitassiale fino a raggiungere ad esempio uno spessore compreso ad es. fra 15 e 40 µm, fig. 1F. Lo strato strutturale 15 può essere drogato in situ o con altre tecniche di drogaggio convenzionali (POCl₃) e forma colonne 16 che riempiono le trincee 12 e sono destinate a formare gli ancoraggi e porzioni di connessione per le strutture mobili e fisse del dispositivo MEMS finale.

Seguono quindi le fasi di definizione delle strutture mobili e fisse del dispositivo MEMS in modo

da formare (si faccia riferimento alla fig. 3) uno statore 18, un rotore 19, una colonna di contatto 20 e pareti 21. La definizione avviene, in modo di per sé noto, tramite un attacco "deep Silicon etch" che attraversa tutto lo spessore dello strato strutturale 15. Quindi il processo prosegue con la realizzazione di una metallizzazione di contatto 22, al di sopra della colonna di contatto 20, la liberazione della struttura, mediante attacco e rimozione dello strato sacrificale 11 al di sotto delle strutture mobili e fisse 18, 19, utilizzando HF in fase vapore, formando una cavità 25; ulteriori fasi di lavorazione finale e l'incollaggio ad un cappuccio 23 tramite materiale saldante di tipo conduttivo o isolante 24. Segue poi il taglio della fetta, per l'ottenimento di una pluralità di dispositivi MEMS 17. Nel dispositivo MEMS 17 di fig. 3, sono visibili due regioni conduttive 10, di cui una prima forma un ancoraggio 10a dello statore 18, e una seconda forma un ancoraggio 10b del rotore 19 e una linea di interconnessione 10c per la connessione elettrica di quest'ultimo.

Le figure 2A-2I mostrano fasi di processo successive di una forma di realizzazione in cui i lati delle regioni conduttive 10 sono sigillate mediante spaziatori (spacer). Tale soluzione è utile

applicabile a particolari prodotti per cui è utile proteggere lateralmente le regioni conduttive 110 da fasi di processo che potrebbero attaccare lo strato di siliciuro 6, ad esempio da trattamenti con plasma in ossigeno. La forma di realizzazione delle figg. 2A-2I comprende alcune fasi che sono uguali a quelle delle figg. 1A-1F; di conseguenza, le parti comuni sono state indicate con gli stessi numeri di riferimento e per la relativa descrizione dettagliata si rimanda a quanto discusso in precedenza.

In dettaglio, fig. 2A, analogamente a quanto descritto con riferimento alla figura 1A, inizialmente una fetta 1 di materiale semiconduttore includente un substrato 2 viene sottoposta ad una fase di ossidazione termica per realizzare uno strato isolante 3. Quindi, fig. 2B e analogamente a quanto descritto con riferimento alla figura 1B, viene deposto uno strato multiplo 4 comprendente un primo strato di silicio policristallino (poly1, 5), uno strato di siliciuro 6, e un secondo strato di silicio policristallino (poly2, 7). Tali fasi possono essere eseguite utilizzando le stesse tecniche e parametri sopra descritti.

In seguito, fig. 2C, lo strato di poly2 7 viene sottoposto ad ossidazione termica ad una temperatura di ad esempio 900°C, in modo da formare uno strato di

ossido 35 al di sopra del multistrato 4.

Il multistrato 4 e lo strato di ossido 35 vengono quindi definiti, fig. 2D, tramite una fase di litografia ed attacco, in modo da formare regioni conduttive 110, analogamente alle regioni conduttive 10 di fig. 1C. Le regioni conduttive 110 così formate vengono sottoposte ad annealing rapido termico, tramite trattamento RTP, a 900°C in ambiente N₂.

In seguito, fig. 2E, viene depositato uno strato di protezione 36 che copre le regioni conduttive 110 e la superficie superiore dello strato isolante 3. Ad esempio, lo strato di protezione 36 può essere di silicio policristallino depositato da LPCVD ed avere uno spessore di circa 100-300 nm.

Lo strato di protezione 36 viene quindi sottoposto ad "etch back", ovvero ad un attacco anisotropo non mascherato, che ne rimuove le porzioni orizzontali e lascia solo delle regioni di protezione 36a sui lati delle regioni conduttive 110, fig. 2F. Ovviamente le regioni di protezione 36a si estendono anche sui lati non visibili delle regioni conduttive 110, su superfici non attraversate dal piano del disegno. Successivamente, vengono rimosse anche le porzioni rimanenti dello strato di ossido 35.

Seguono quindi fasi analoghe a quelle descritte

con riferimento alle figg. 1D-1F, comprendenti il deposito di uno strato sacrificale 11, fig. 2G; la realizzazione di trincee 12, fig. 2H, e la crescita di uno strato strutturale 15 e la formazione di colonne 16, fig. 2I. Infine, vengono eseguite le fasi di definizione delle strutture mobili e fisse in modo da formare il dispositivo MEMS 17 di fig. 3.

La realizzazione delle regioni conduttive 10, 110 di connessione elettrica tramite multistrati di materiale semiconduttore-composto binario del materiale semiconduttore e di un metallo di transizione-materiale semiconduttore (qui polisilicio-siliciuro-polisilicio) consente di ottenere bassi valori di resistività (fino a valori inferiori a 0,03 mΩ.cm nel dispositivo finito), con un sensibile miglioramento del comportamento dal punto di vista del rapporto segnale/rumore, con particolare riguardo al rumore di tipo termico. L'ottenimento di minori resistenze, a parità di altri parametri, consente di ridurre il consumo di potenza nel dispositivo, come è particolarmente desiderato nel caso di integrazione del dispositivo MEMS in apparecchi operanti a bassa potenza e/o cui sono richieste elevate durate.

Inoltre, la riduzione ottenibile di resistività consente di ridurre le dimensioni delle

interconnessioni e quindi del dispositivo, riducendo la larghezza delle linee di interconnessione.

La presenza di uno strato di polisilicio superiore (strato di poly2 7) permette di ottenere uno strato conduttivo con una rugosità modulabile legata unicamente alle proprietà dello strato di poly2 7 e tale da eliminare fenomeni di collasso (stiction) delle parti mobili dello strato strutturale 15 e proteggere lo strato di siliciuro 7 dai processi chimico-fisici presenti nel flusso di lavorazione del dispositivo MEMS, dato che lo strato di siliciuro non è esposto a tale attacco per la maggior parte della sua superficie (ad esclusione dei suoi lati). La forma di realizzazione delle figg. 2A-2I garantisce tuttavia una completa protezione dello strato di siliciuro 6 nel caso ciò sia necessario.

Le regioni conduttive 10, 110 presentano una rugosità che dipende solo dalle caratteristiche dello strato di poly2 7, le cui condizioni di deposizione possono quindi essere controllate anche in funzione della rugosità finale desiderata. Ad esempio, in prove effettuate dalla richiedente, è stato possibile ottenere valori di rugosità quadratica media Rms compresi fra 12 e 28 nm, ad esempio Rms = 24 nm e valori picco-picco Zrange compresi fra 120 e 230 nm, ad

esempio $Z_{range} = 210 \text{ nm}$, quindi comparabili con quelli ottenibili nei processi standard, senza siliciuro. Ciò è importante al fine di avere buone caratteristiche di resistenza al collasso ("stiction") del dispositivo finito 17.

Il dispositivo MEMS 17 così ottenibile risulta perfettamente integrabile in sensori inerziali, giroscopi e microattuatori attuali.

Risulta infine chiaro che al dispositivo e al procedimento di fabbricazione qui descritti ed illustrati possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate.

Ad esempio, il substrato 2 potrebbe essere realizzato di materiale differente da un semiconduttore, quale ad esempio i materiali delle schede a circuito stampato o simili.

Inoltre, lo strato multiplo può essere realizzato con altri materiali, ad esempio siliciuri di diversi metalli e/o possono essere modificati i parametri delle varie fasi.

RIVENDICAZIONI

1. Dispositivo MEMS comprendente:

un corpo (2);

una cavità (25), estendentesi al di sopra del corpo;

strutture mobili e fisse (18, 19) estendentisi al di sopra della cavità (25) e collegate fisicamente al corpo tramite regioni di ancoraggio (16),

regioni di connessione elettrica (10a, 10b, 10c), estendentisi fra il corpo (2) e le regioni di ancoraggio (16e) collegate elettricamente con le strutture mobili e fisse (18, 19),

in cui le regioni di connessione elettrica (10a, 10b, 10c) comprendono un multistrato conduttivo (4) comprendente un primo strato di materiale semiconduttore (5), uno strato composito (6) di un composto binario del materiale semiconduttore e di un metallo di transizione ed un secondo strato di materiale semiconduttore (7).

2. Dispositivo MEMS secondo la rivendicazione 1, in cui il primo e il secondo strato di materiale semiconduttore (5, 7) sono di silicio policristallino e lo strato composito (6) è di siliciuro.

3. Dispositivo MEMS secondo la rivendicazione 2, in cui il siliciuro è un siliciuro di tungsteno.

4. Dispositivo MEMS secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo strato di

materiale semiconduttore (5) ha uno spessore compreso fra 50 e 400 nm, ad esempio fra 100 e 300 nm, lo strato composito (6) ha uno spessore compreso fra 50 e 600 nm, ad esempio fra 100 e 400 nm, e il secondo strato di materiale semiconduttore (7) ha uno spessore compreso fra 300 e 1200 nm, ad esempio fra 400 nm e 900 nm.

5. Dispositivo MEMS secondo una qualsiasi delle rivendicazioni precedenti, comprendente inoltre regioni di protezione (26a) coprenti lateralmente le regioni di connessione elettrica (10a, 10b, 10c).

6. Dispositivo MEMS secondo la rivendicazione 5, in cui le regioni di protezione (26a) sono di silicio policristallino.

7. Dispositivo MEMS secondo una qualsiasi delle rivendicazioni precedenti, in cui le regioni di connessione elettrica (10a, 10b, 10c) hanno una resistività inferiore a 0,03 m Ω .cm.

8. Dispositivo MEMS secondo una qualsiasi delle rivendicazioni precedenti, in cui le regioni di connessione elettrica (10a, 10b, 10c) hanno una rugosità quadratica media Rms compresa fra 12 e 28.

9. Procedimento per la fabbricazione di un dispositivo MEMS (17) secondo una qualsiasi delle rivendicazioni precedenti, comprendente le fasi di:

formare, al di sopra di un corpo 2, una regione di

connessione elettrica (10a, 10b, 10c) comprendente un primo strato di materiale semiconduttore (5), uno strato composito (6) di un composto binario del materiale semiconduttore e di un metallo di transizione e un secondo strato di materiale semiconduttore (7) al di sopra dello strato composito;

formare uno strato sacrificale (11) al di sopra della regione di connessione elettrica;

formare una apertura di ancoraggio (12) nello strato sacrificale (11) estendentesi fino alla regione di connessione elettrica ((10a, 10b, 10c));

formare uno strato strutturale (15) al di sopra dello strato sacrificale (11) e nell'apertura di ancoraggio (12);

definire strutture mobili e fisse (18, 19) nello strato strutturale; e

rimuovere almeno parzialmente lo strato sacrificale (11).

10. Procedimento secondo la rivendicazione 9, in cui il primo e il secondo strato di materiale semiconduttore (5, 7) sono di silicio policristallino e lo strato composito (6) è di siliciuro.

11. Procedimento secondo la rivendicazione 10, in cui il siliciuro è un siliciuro di tungsteno.

12. Procedimento secondo la rivendicazione 11, in cui la fase di formare uno strato composito (6) comprende fare

reagire un fluoruro di tungsteno con un composto del silano.

13. Procedimento secondo una qualsiasi delle rivendicazioni 9-12, in cui la fase di formare una regione di connessione elettrica (10a, 10b, 10c) comprende depositare e definire un multistrato conduttivo (4), la fase di depositare un multistrato conduttivo comprendendo depositare il primo strato di materiale semiconduttore (5), depositare lo strato composito (6) e depositare il secondo strato di materiale semiconduttore (7).

14. Procedimento secondo la rivendicazione 13, comprendente inoltre la fase di eseguire un trattamento termico di annealing ad una temperatura compresa fra 800 e 1200°C dopo la fase di definire il multistrato conduttivo (4).

15. Procedimento secondo la rivendicazione 13 o 14, comprendente inoltre la fase di realizzare una regione di protezione (36a) coprente lateralmente la regione di connessione elettrica (10a, 10b, 10c).

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO

CLAIMS

1. A MEMS device comprising:
a body (2);
5 a cavity (25), extending above the body;
mobile and fixed structures (18, 19) extending above the
cavity (25) and physically connected to the body via anchoring
regions (16); and
electrical-connection regions (10a, 10b, 10c), extending
10 between the body (2) and the anchoring regions (16e) and
electrically connected to the mobile and fixed structures (18,
19),
wherein the electrical-connection regions (10a, 10b, 10c)
comprise a conductive multilayer (4) comprising a first
15 semiconductor material layer (5), a composite layer (6) of a
binary compound of the semiconductor material and of a
transition metal, and a second semiconductor material layer
(7).
- 20 2. The MEMS device according to claim 1, wherein the first and
second semiconductor material layers (5, 7) are of
polycrystalline silicon and the composite layer (6) is of
silicide.
- 25 3. The MEMS device according to claim 2, wherein the silicide
is a tungsten silicide.
4. The MEMS device according to any of the preceding claims,
wherein the first semiconductor material layer (5) has a
30 thickness comprised between 50 and 400 nm, for example between
100 and 300 nm, the composite layer (6) has a thickness
comprised between 50 and 600 nm, for example between 100 and
400 nm, and the second semiconductor material layer (7) has a
thickness comprised between 300 and 1200 nm, for example

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

between 400 nm and 900 nm.

5. The MEMS device according to any of the preceding claims,
further comprising protection regions (26a) laterally covering
5 the electrical-connection regions (10a, 10b, 10c).

6. The MEMS device according to claim 5, wherein the
protection regions (26a) are of polycrystalline silicon.

10 7. The MEMS device according to any of the preceding claims,
wherein the electrical-connection regions (10a, 10b, 10c) have
a resistivity lower than 0.03 mΩ·cm.

8. The MEMS device according to any of the preceding claims,
15 wherein the electrical-connection regions (10a, 10b, 10c) have
a root-mean-square roughness (Rms) comprised between 12 and
28.

9. A method for manufacturing a MEMS device (17) according to
20 any of the preceding claims, comprising the steps of:

forming, above a body 2, an electrical-connection region (10a,
10b, 10c) comprising a first semiconductor material layer (5),
a composite layer (6) of a binary compound of the
semiconductor material and of a transition metal, and a second
25 semiconductor material layer (7) on top of the composite
layer;

forming a sacrificial layer (11) on the electrical-connection
region;

forming an anchoring opening (12) in the sacrificial layer
30 (11) extending as far as the electrical-connection region
(10a, 10b, 10c);

forming a structural layer (15) on top of the sacrificial
layer (11) and in the anchoring opening (12);

defining mobile and fixed structures (18, 19) in the

structural layer; and
removing the sacrificial layer (11) at least partially.

10. The method according to claim 9, wherein the first and
5 second layers of semiconductor material (5, 7) are of
polycrystalline silicon and the composite layer (6) is of
silicide.

11. The method according to claim 10, wherein the silicide is
10 a tungsten silicide.

12. The method according to claim 11, wherein forming a
composite layer (6) comprises causing a tungsten fluoride to
react with a silane compound.

15
13. The method according to any one of claims 9-12, wherein
forming an electrical-connection region (10a, 10b, 10c)
comprises depositing and defining a conductive multilayer (4),
depositing a conductive multilayer comprises depositing the
20 first semiconductor material layer (5), depositing the
composite layer (6), and depositing the second semiconductor
material layer (7).

14. The method according to claim 13, further comprising
25 performing a thermal annealing treatment at a temperature
comprised between 800 and 1200°C after defining the conductive
multilayer (4).

15. The method according to claim 13 or 14, further comprising
30 providing a protection region (36a) laterally covering the
electrical-connection region (10a, 10b, 10c).

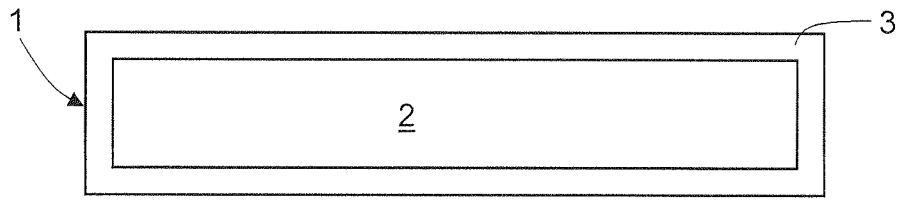


Fig.1A

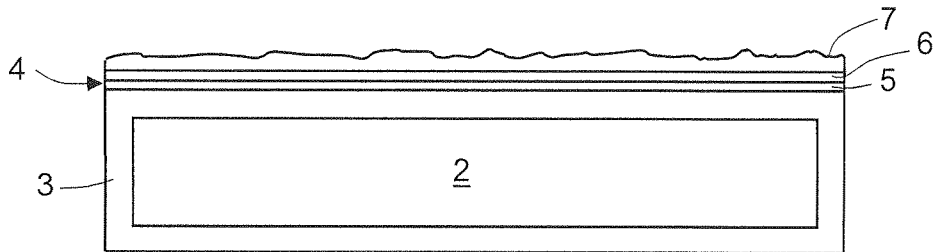


Fig.1B

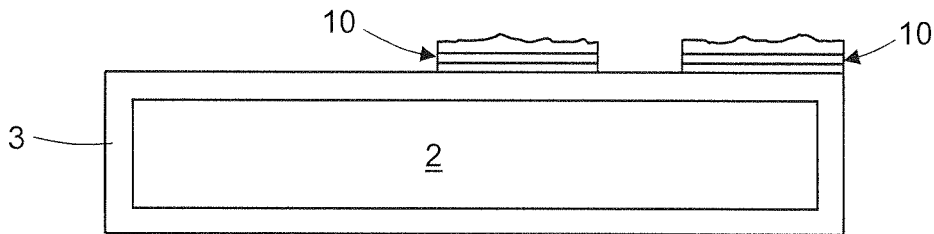


Fig.1C

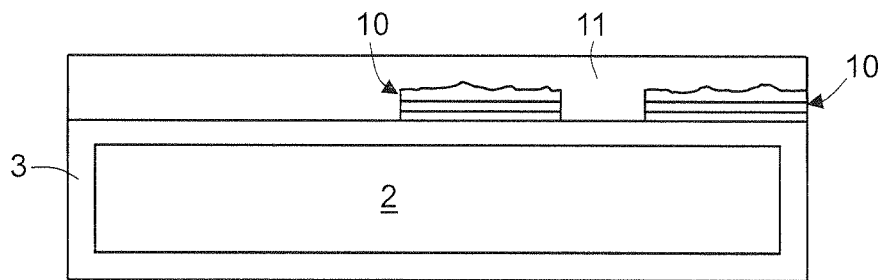


Fig.1D

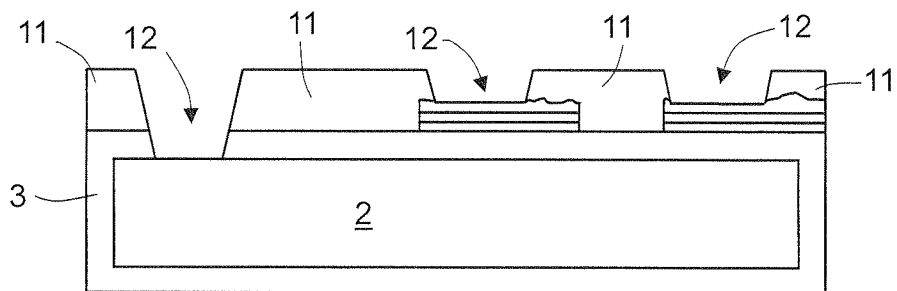


Fig.1E

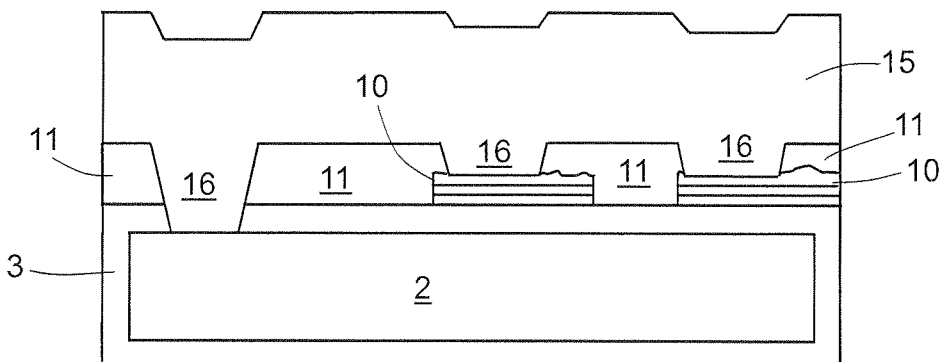


Fig.1F

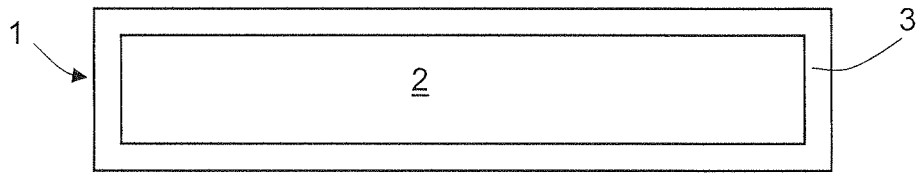


Fig.2A

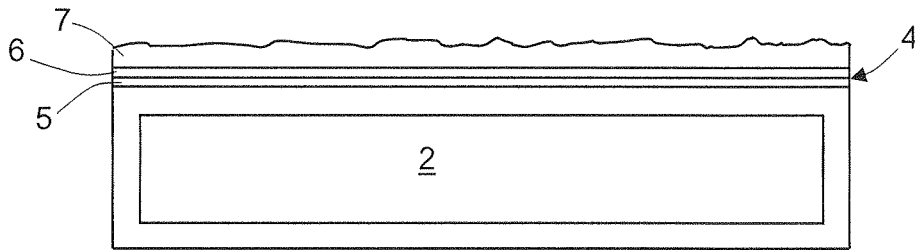


Fig.2B

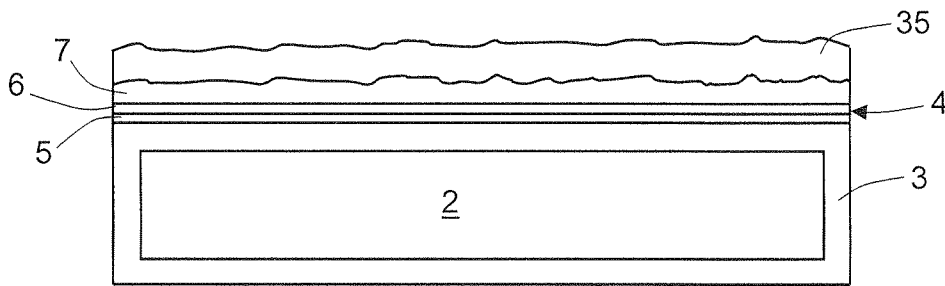


Fig.2C

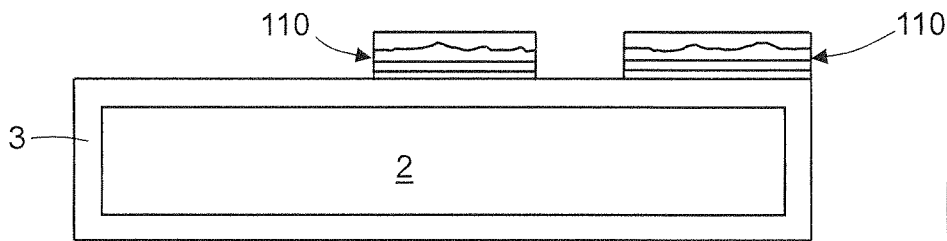


Fig.2D

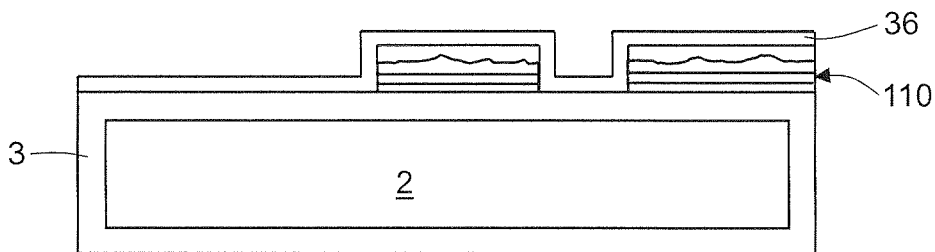


Fig.2E

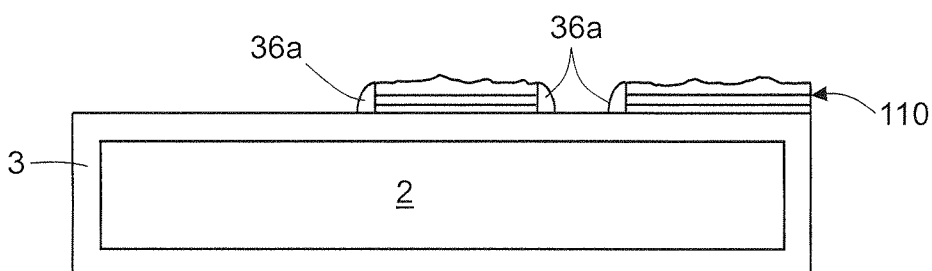


Fig.2F

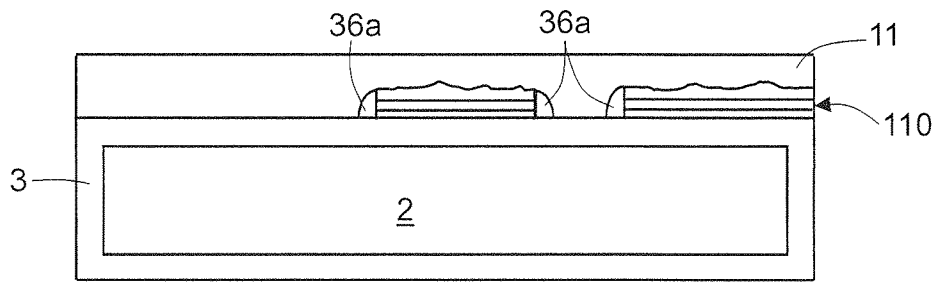


Fig.2G

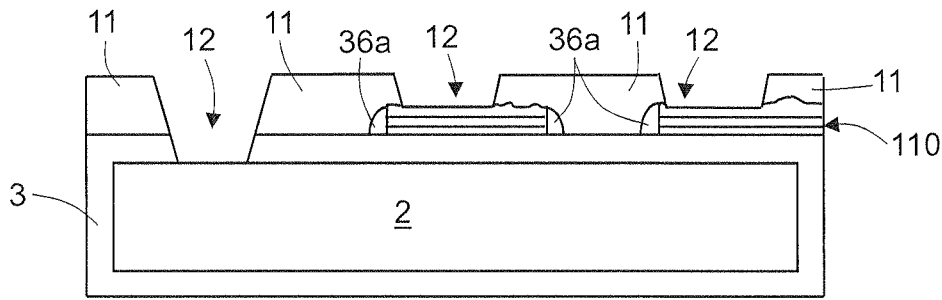


Fig.2H

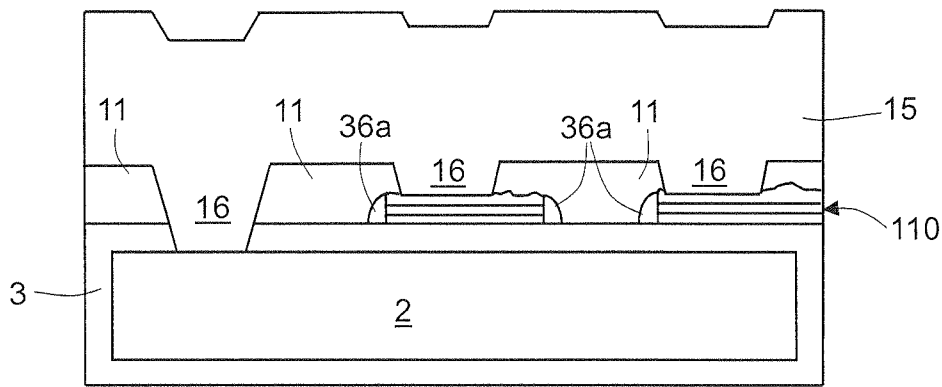


Fig.2I

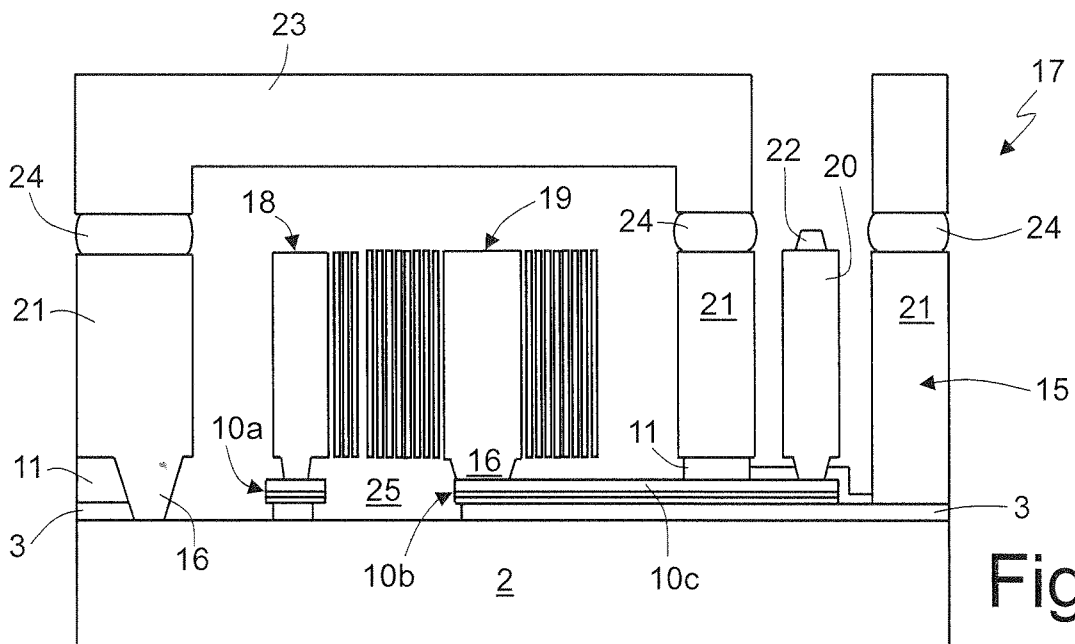


Fig.3