



(21)申請案號：104114149

(22)申請日：中華民國 104 (2015) 年 05 月 04 日

(51)Int. Cl. : G11C13/00 (2006.01)

G11C7/12 (2006.01)

(30)優先權：2015/02/17 美國

14/623,507

(71)申請人：華邦電子股份有限公司(中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路8號

(72)發明人：黃 科穎 HUANG, KOYING (US)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

US 8077497B2

US 8116117B2

US 8599600B2

US 8830724B2

US 8885428B2

US 8897058B2

US 8917535B2

US 2008/0062740A1

US 2014/0160831A1

US 2014/0347913A1

審查人員：蕭明椿

申請專利範圍項數：12 項 圖式數：7 共 26 頁

(54)名稱

寫入和驗證電路及用於寫入並驗證電阻性記憶體的方法

WRITING AND VERIFYING CIRCUIT AND METHOD FOR WRITING AND VERIFYING
RESISTIVE MEMORY THEREOF

(57)摘要

提供一種寫入和驗證電路以及其一種用於寫入並驗證電阻性記憶體的方法。所述方法的步驟包含：在寫入和驗證期間啟用對應於所述電阻性記憶體的至少一個選擇電阻性記憶體單元的至少一個字線信號；提供位元線電壓至所述選擇電阻性記憶體單元，其中所述位元線電壓在所述寫入和驗證期間自第一電壓準位到第二電壓準位連續地增加或減小；以及測量通過所述位元線的檢測電流，和根據所述檢測電流及參考電流確定所述寫入和驗證期間的結束時間點。

A writing and verifying circuit and a method for writing and verifying a resistive memory thereof are provided. The steps of the method includes: enabling at least one word line signal corresponding to at least one selected resistive memory cell of the resistive memory during a writing and verifying timing period; providing a bit line voltage to the selected resistive memory cells, wherein the bit line voltage continuously increases or decreases from a first voltage level to a second voltage level during the writing and verifying timing period; and, measuring a detected current through the bit line and determining a finish time point of the writing and verifying timing period according to the detected current and a reference current.

指定代表圖：

符號簡單說明：

S210~S230 . . . 寫入並驗證 RRAM 的步驟

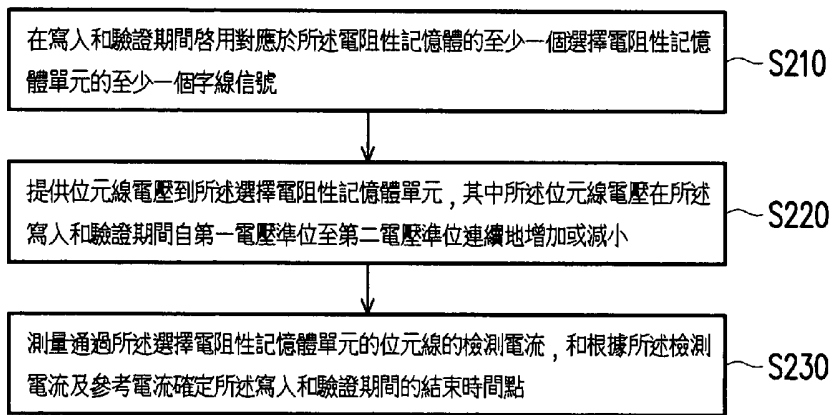


圖 2

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

寫入和驗證電路及用於寫入並驗證電阻性記憶體的方法

WRITING AND VERIFYING CIRCUIT AND METHOD FOR
WRITING AND VERIFYING RESISTIVE MEMORY THEREOF

【技術領域】

【0001】 本發明有關於一種用於驗證電阻性記憶體的方法以及一種用於電阻性記憶體的驗證電路，且特別是有關於一種用於通過使用位元線電壓寫入和驗證電阻性記憶體的方法，且位元線電壓在寫入和驗證期間連續地增加或減小。

【先前技術】

【0002】 基於對下一代非揮發性記憶體的需求，已開發出一類電阻性隨機存取記憶體 (resistive random access memory, RRAM)。為了獲得具有更好均一性的 RRAM，對 RRAM 進行的具有良好性能的驗證操作是有必要的。

【0003】 圖 1 說明常規技術領域中用於設定 RRAM 的波形曲線。在寫入和驗證期間 TV，啓用字線信號 WL (拉到高電壓準位)，且在 RRAM 的選擇電阻性記憶體單元的位元線上施加位元線電壓 VVER，且在寫入和驗證期間 TV 將位元線電壓 VVER 的電壓準位保持為恒定電壓準位。在常規技術領域中，在寫入和驗證期間 TV

檢測位元線電流 CBL。通過比較位元線電流 CBL 與目標位元線電流，可確定 RRAM 的寫入操作結束抑或未結束。如果位元線電流 CBL 未達到目標位元線電流，則所述選擇電阻性記憶體單元應再一次被設定。如果位元線電流 CBL 達到目標位元線電流，則對選擇電阻性記憶體單元的寫入操作（設定操作）完成。即，當位元線電壓 VVER 未經良好界定時，寫入驗證期間 TV 的循環次數難以進行控制。另外，由於位元線電壓 VVER 的偏壓電壓恒定且電阻在寫入操作期間發生變化，因此寫入操作的時間可過大。針對 RRAM 的寫入操作的性能被降低。

【發明內容】

【0004】本發明是針對一種用於寫入和驗證電阻性記憶體的方法，以及一種可有效地設定及/或重置電阻性記憶體單元的寫入和驗證電路。

【0005】本發明提供一種用於驗證電阻性記憶體的方法，所述方法包含：在寫入和驗證期間啓用對應於所述電阻性記憶體的至少一個選擇電阻性記憶體單元的至少一個字線信號；提供位元線電壓到所述選擇電阻性記憶體單元，其中所述位元線電壓在所述寫入和驗證期間自第一電壓準位到第二電壓準位連續地增加或減小；以及測量通過所述位元線的檢測電流，和根據所述檢測電流及參考電流確定所述寫入和驗證期間的結束時間點。

【0006】本發明提供一種用於電阻性記憶體的寫入和驗證電路。

所述寫入和驗證電路包含電流產生器及至少一個電流檢測器。電流產生器根據位元線電壓產生參考電流，且根據參考電流產生偏壓電壓，其中位元線電壓在寫入和驗證期間自第一電壓準位到第二電壓準位連續地增加或減小。電流檢測器耦合到參考電流產生器，及電阻性記憶體的選擇電阻性記憶體單元的位元線。電流檢測器提供位元線電壓到選擇電阻性記憶體單元，且根據位元線上的檢測電流產生檢測電壓。

【0007】基於上述，在本發明中，當驗證電阻性記憶體單元時，在寫入和驗證期間自第一電壓準位到第二電壓準位連續地增加或減小的位元線電壓被提供到選擇電阻性記憶體單元。此外，通過測量寫入和驗證期間通過位元線的檢測電流，寫入和驗證期間的結束時間點可被確定，且寫入和驗證操作可更精確且有效率地結束。為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0008】

圖 1 說明常規技術領域中用於設定 RRAM 的波形曲線。

圖 2 為根據本申請案的實施例的一種用於寫入並驗證 RRAM 的方法的流程圖。

圖 3A 說明根據本申請案的實施例的對 RRAM 進行的設定操作的波形曲線。

圖 3B 說明根據本申請案的實施例的對 RRAM 進行的重置操作的波形曲線。

圖 4 到 7 說明根據本申請案的實施例的多個寫入和驗證電路的示意圖。

【實施方式】

【0009】 圖 2 揭示用於寫入並驗證 RRAM 的方法可用於設定、重置或形成 RRAM 的一或多個選擇電阻性記憶體單元，且選擇電阻性記憶體單元可被同時驗證。在步驟 S210 中，在寫入和驗證期間啟用至少一個字線信號，且至少一個字線信號對應於 RRAM 的至少一個選擇電阻性記憶體單元。在步驟 S220 中，在寫入及驗證期間，將位元線電壓提供給選擇電阻性記憶體單元的位元線從而同時進行寫入和驗證操作。此處請注意，寫入和驗證操作可為對 RRAM 進行的設定操作、重置操作或者形成操作。此外，在寫入和驗證期間，位元線電壓的電壓準位自第一電壓準位到第二電壓準位連續地增加或減小。

【0010】 舉例來說，當對選擇電阻性記憶體單元實行設定操作時，位元線電壓的電壓準位在寫入和驗證期間自第一電壓準位連續地增加到第二電壓準位，且第一電壓準位小於第二電壓準位。另一方面，當對選擇電阻性記憶體單元實行重置操作時，位元線電壓的電壓準位在寫入和驗證期間自第一電壓準位連續地減小到第二電壓準位，且第一電壓準位大於第二電壓準位。步驟 S230 中，

在寫入和驗證期間，測量通過選擇電阻性記憶體單元的位元線的檢測電流。檢測電流可用以與參考電流比較，從而確定寫入和驗證期間的結束時間點。具體來說，根據位元線電壓產生參考電流，且將檢測電流用以與參考電流進行比較。當檢測電流的電流準位達到參考電流的電流準位時，可確定寫入和驗證期間的結束時間點，且可結束寫入和驗證操作。舉例來說，當對選擇電阻性記憶體單元實行設定操作時，源極線電壓施加於選擇電阻性記憶體的源極線上，且源極線電壓的電壓準位可等於第一電壓準位（低於第二電壓準位）。在寫入和驗證期間，位元線電壓自第一電壓準位增加到第二電壓準位，且參考電流根據位元線電壓的增加而增加。並且，由於施加於位元線上的位元線電壓不斷增加，因此選擇電阻性記憶體單元的位元線上的電流（檢測電流）相應地增加。當檢測電流的電流準位不小於參考電流的電流準位時，意謂結束寫入和驗證操作，且可確定寫入和驗證期間的結束時間點。

【0011】 對於另一實例，當對選擇電阻性記憶體單元實行重置操作時，源極線電壓施加於選擇電阻性記憶體的源極線上，且源極線電壓的電壓準位可等於第一電壓準位（高於第二電壓準位）。在寫入和驗證期間，位元線電壓自第一電壓準位減小到第二電壓準位，且參考電流根據位元線電壓的增加而減小。並且，由於施加於位元線上的位元線電壓不斷減小，因此選擇電阻性記憶體單元的位元線上的電流（檢測電流）的絕對值相應地增加，其中位元線上的電流的值為負值。當檢測電流的電流準位小於參考電流的

電流準位時，意謂結束寫入和驗證操作，且可確定寫入和驗證期間的結束時間點。

【0012】圖 3A 中，在寫入和驗證期間 TS 啓用字線信號 WL（拉到高電壓準位）。位元線電壓 VVER1 的電壓準位在寫入和驗證期間 TS 連續地增加。此外，參考電流 CREF 根據位元線電壓 VVER1 的變化而在寫入和驗證期間 TS 增加。檢測電流 CBL1 根據位元線電壓 VVER1 的增加而增加，且檢測電流 CBL1 的上升斜率大於參考電流 CREF1 的上升斜率。在時間點 TF1 處，檢測電流 CBL1 的電流準位達到參考電流 CREF1 的電流準位，且時間點 TF1 可為寫入和驗證期間 TS 的結束時間點。

【0013】圖 3B 中，在寫入和驗證期間 TR 啓用字線信號 WL（拉到高電壓準位）。位元線電壓 VVER2 的電壓準位在寫入和驗證期間 TR 連續地減小。此外，參考電流 CREF2 根據位元線電壓 VVER2 的變化而在寫入和驗證期間 TR 減小。在時間點 TF2 處，檢測電流 CBL2 的電流準位達到參考電流 CREF2 的電流準位，且時間點 TF2 可為寫入和驗證期間 TR 的結束時間點。

【0014】圖 3A 中，針對設定操作的參考電流 CREF1 在寫入和驗證期間 TS 可線性地增加。圖 3B 中，針對重置操作的參考電流 CREF2 的絕對值在寫入和驗證期間 TR 可非線性地增加。

【0015】圖 4 說明寫入和驗證電路 400 經調適用於電阻性記憶體，且用於設定並驗證 RRAM。寫入和驗證電路 400 包含電流產生器 410 及電流檢測器 420。電流產生器 410 根據位元線電壓

VVER 產生參考電流 CREF，且根據所述參考電流 CREF 產生偏壓電壓 VB，其中位元線電壓 VVER 在驗證期間自第一電壓準位連續地增加到第二電壓準位。電流檢測器 420 耦合到電流產生器 410 以及選擇電阻性記憶體單元 402 的位元線，且電流檢測器 420 提供位元線電壓 VVER 到選擇電阻性記憶體單元 402 並根據位元線上的檢測電流 CBL 產生檢測電壓 VDET。具體來說，電流產生器 410 包含電晶體 PM1、虛設 Y 路徑電路 411、參考電阻器 REFR 以及由電晶體 NM1 及 NM2 形成的開關。電晶體 PM1 的第一端接收位元線電壓 VVER，且電晶體 PM1 的第二端耦合到電晶體 PM1 的控制端。虛設 Y 路徑電路 411 耦合在電晶體 PM1 的第二端與參考電阻 REFR 之間。參考電阻 REFR、電晶體 NM1 及 NM2 串聯地耦合在虛設 Y 路徑電路 411 與源極線電壓 VSL 之間。電晶體 NM1 及 NM2 分別由字線信號 WL 及啓用信號 EN 控制。

【0016】 在寫入和驗證期間，電晶體 PM1 在電晶體 NM1 及 NM2 接通時接收位元線電壓 VVER，且根據位元線電壓 VVER 產生參考電流 CREF。對應地，電晶體 PM1 根據參考電流 CREF 產生偏壓電壓 VB。參考電流 CREF 的電流準位可根據位元線電壓 VVER 的電壓準位以及參考電阻器 REFR 的電阻來確定。在此實施例中，參考電流 CREF 的電流準位 $= (VVER - V_{th}) / REFR$ ，其中 V_{th} 為電晶體 PM1 的閾值電壓。虛設 Y 路徑電路 411 的電路結構可與對應於選擇電阻性記憶體單元 402 的 Y 路徑電路 401 相同。另外，在寫入和驗證期間啓用了啓用信號 EN (拉到高準位)。電流檢測器 420

包含電晶體 PM3、比較器 CMP，以及由電晶體 PM2 及 NM3 形成的開關。電晶體 PM2、PM3 及 NM3 串聯地耦合於位元線電壓 VVER 與 Y 路徑電路 401 之間。電晶體 PM2 及 NM3 由檢測輸出信號 DETO 控制，從而接通或切斷，且電晶體 PM2 及 NM3 的接通或切斷狀態為互補的。電晶體 PM3 由偏壓電壓 VB 控制，且電晶體 PM2 及 PM3 在寫入和驗證期間形成路徑從而在電晶體 PM2 接通時將位元線電壓 VVER 輸送到對應於電阻性記憶體單元 402 的 Y 路徑電路 401。在寫入和驗證期間，可檢測電阻性記憶體單元 402 的位元線上的檢測電流 CBL，且可獲得電晶體 PM3 與 NM3 耦合在一起所在的端上的檢測電壓 VDET。比較器 CMP1 接收偏壓電壓 VB 及檢測電壓 VDET，且比較偏壓電壓 VB 與電壓 VDET 以產生檢測輸出信號 DETO。當檢測電流 CBL 達到參考電流 CREF 時，檢測電壓 VDET 的電壓準位達到偏壓電壓 VB 的電壓準位，可獲得寫入和驗證期間的結束時間點，且檢測輸出信號 DETO 針對電晶體 PM2 的切斷而變化從而結束寫入和驗證操作。某實施例中，啓用信號 EN 可與檢測輸出信號 DETO 相聯繫。另一方面，電阻性記憶體呼叫 402 包含電阻器 R1 及電晶體 T1。電阻性記憶體呼叫 402 為 1T1R 電阻性記憶體呼叫出於參考目的為一實例，在一些實施例中，電阻性記憶體呼叫 402 可由任何其它結構形成。

【0017】 圖 5 之寫入和驗證電路 500 可應用至多個電阻性記憶體單元 501 到 503。寫入和驗證電路 500 包含一個電流產生器 410 及多個電流檢測器 420。電流檢測器 420 分別耦合到電阻性記憶體

單元 501 到 503，從而同時寫入並驗證多個電阻性記憶體單元 501 到 503。電阻性記憶體單元 501 到 503 可共用同一字線 WL。

【0018】圖 6 說明寫入和驗證電路 600 經調適用於 RRAM 且用於重置 RRAM。寫入和驗證電路 600 包含電流產生器 610 及電流檢測器 620。電流產生器 610 根據位元線電壓 VVER 產生參考電流 CREF，且根據參考電流 CREF 產生偏壓電壓 VB，其中位元線電壓 VVER 在驗證期間自第一電壓準位連續地減小到第二電壓準位。電流檢測器 620 耦合到電流產生器 610 以及選擇電阻性記憶體單元 602 的位元線，且電流檢測器 620 提供位元線電壓 VVER 到選擇電阻性記憶體單元 602 並根據位元線上的檢測電流 CBL 產生檢測電壓 VDET。具體來說，電流產生器 610 包含電晶體 NM1、虛設 Y 路徑電路 611、二極體 D1 以及由電晶體 NM2 及 PM3 形成的開關。電晶體 NM1 的第一端接收位元線電壓 VVER，且電晶體 NM1 的第二端耦合到比較器 CMP1。虛設 Y 路徑電路 611 耦合在電晶體 NM1 的第二端與二極體 D1 之間。二極體 D1、電晶體 NM2 及 PM1 串聯地耦合在虛設 Y 路徑電路 611 與源極線電壓 VSL 之間。電晶體 NM2 及 PM1 分別由字線信號 WL 及啓用信號 ENb 控制。其中，源極線電壓 VSL 是在寫入和驗證期間的起始處。二極體 D1 在虛設 Y 路徑電路 611 與電晶體 NM2 之間經反向偏壓。即，二極體 D1 的陽極耦合到電晶體 NM2，陰極耦合到虛設 Y 路徑電路。在寫入和驗證期間，電晶體 NM1 在電晶體 NM2 及 PM1 接通時接收位元線電壓 VVER，且參考電流 CREF 是根據位元線電壓

VVER 及源極線電壓 VSL 產生。對應地，電晶體 NM1 根據參考電流 CREF 產生偏壓電壓 VB。參考電流 CREF 的電流準位可根據二極體 D1 的電特性來確定。在此實施例中，參考電流 CREF 的電流準位 = $IS \times \exp(VVER/V_{th})$ ，其中 V_{th} 為二極體 D1 的閾值電壓，且 IS 為二極體 D1 的飽和電流，且 exp 為指數算符。虛設 Y 路徑電路 611 的電路結構可與對應於選擇電阻性記憶體單元 602 的 Y 路徑電路 601 相同。另外，在寫入和驗證期間啓用了啓用信號 ENb（拉到低準位）。電流檢測器 620 包含電晶體 NM4、比較器 CMP，以及由電晶體 NM3 及 NM5 形成的開關。電晶體 NM3、NM4 及 NM5 串聯地耦合於位元線電壓 VVER 與 Y 路徑電路 601 之間。電晶體 NM3 及 NM5 由檢測輸出信號 DETO 控制，從而接通或切斷，且電晶體 NM3 及 NM5 的接通或切斷狀態為互補的。電晶體 PM3 由偏壓電壓 VB 控制，且電晶體 NM3 及 NM4 在寫入和驗證期間形成路徑從而在電晶體 NM3 接通時將位元線電壓 VVER 輸送到對應於電阻性記憶體單元 602 的 Y 路徑電路 601。在寫入和驗證期間，可檢測電阻性記憶體單元 602 的位元線上的檢測電流 CBL，且可獲得電晶體 NM4 及 NM5 耦合在一起所在的端上的檢測電壓 VDET。比較器 CMP1 接收偏壓電壓 VB 及檢測電壓 VDET，且比較偏壓電壓 VB 與檢測電壓 VDET 以產生檢測輸出信號 DETO。當檢測電流 CBL 到達參考電流 CREF 時，電壓 VDET 的電壓準位到達偏壓電壓 VB 的電壓準位，可獲得寫入和驗證期間的結束時間點，且檢測輸出信號 DETO 針對電晶體 NM3 的切斷而變化，從而

結束寫入和驗證操作。另一方面，電阻性記憶體呼叫 602 包含電阻器 R2 以及電晶體 T2。電阻性記憶體呼叫 602 為 1T1R 電阻性記憶體呼叫出於參考而為實例，且在一些實施例中電阻性記憶體呼叫 602 可由任何其它結構形成。

【0019】圖 7 之電阻性記憶體單元 701 到 703 中的每一者對應於一個電流產生器 610 及一個電流檢測器 620。電流檢測器 620 分別耦合到電阻性記憶體單元 701 到 703 從而同時寫入並驗證多個電阻性記憶體單元 501 到 503，且每一電流檢測器 620 耦合到對應電流產生器 710。電阻性記憶體單元 701 到 703 可共用同一字線 WL。

【0020】綜上所述，本發明施加到選擇電阻性記憶體單元的位元線的位元線電壓在寫入和驗證期間連續地發生變化。通過檢測位元線上的檢測電流，可有效率地獲得寫入和驗證期間的結束時間點，且可改良對 RRAM 進行的寫入和驗證操作的性能。

【符號說明】

【0021】

S210~S230：寫入並驗證 RRAM 的步驟

400、500、600：寫入和驗證電路

401：Y 路徑電路 402：選擇電阻性記憶體單元

410：電流產生器 411：虛設 Y 路徑電路 420：電流檢測器

501~503：電阻性記憶體單元

601：Y 路徑電路 602：選擇電阻性記憶體單元

610：電流產生器 611：虛設 Y 路徑電路 620：電流檢測器

701 到 703：電阻性記憶體單元

S210~S230：步驟

CBL：位元線電流 CBL1：檢測電流 CBL2：檢測電流 CMP、
CMP1：比較器

CREF、CREF1、CREF2：參考電流

D1：二極體 DETO：檢測輸出信號

EN：啓用信號 ENb：啓用信號

NM1~NW5、PM1~PM3、T1、T2：電晶體

R1~R2：電阻器

REFR：參考電阻器

TF1~TF2：時間點

TR、TS、TV：寫入和驗證期間

VB：偏壓電壓

VDET：檢測電壓

VSL：源極線電壓

VVER、VVER1、VVER2：位元線電壓

WL：字線信號

發明摘要

※ 申請案號：

104114149

※ 申請日：

104.5.04

※IPC 分類：

G11C 13/00.2006.01

7/2 (2006.01)

【發明名稱】

寫入和驗證電路及用於寫入並驗證電阻性記憶體的方法

WRITING AND VERIFYING CIRCUIT AND METHOD FOR
WRITING AND VERIFYING RESISTIVE MEMORY THEREOF

【中文】

提供一種寫入和驗證電路以及其一種用於寫入並驗證電阻性記憶體的方法。所述方法的步驟包含：在寫入和驗證期間啟用對應於所述電阻性記憶體的至少一個選擇電阻性記憶體單元的至少一個字線信號；提供位元線電壓至所述選擇電阻性記憶體單元，其中所述位元線電壓在所述寫入和驗證期間自第一電壓準位到第二電壓準位連續地增加或減小；以及測量通過所述位元線的檢測電流，和根據所述檢測電流及參考電流確定所述寫入和驗證期間的結束時間點。

【英文】

A writing and verifying circuit and a method for writing and verifying a resistive memory thereof are provided. The steps of the method includes: enabling at least one word line signal corresponding to at least one selected resistive memory cell of the resistive memory during a writing and verifying timing period;

providing a bit line voltage to the selected resistive memory cells, wherein the bit line voltage continuously increases or decreases from a first voltage level to a second voltage level during the writing and verifying timing period; and, measuring a detected current through the bit line and determining a finish time point of the writing and verifying timing period according to the detected current and a reference current.

【代表圖】

【本案指定代表圖】：圖 2。

【本代表圖之符號簡單說明】：

S210~S230：寫入並驗證 RRAM 的步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

圖式

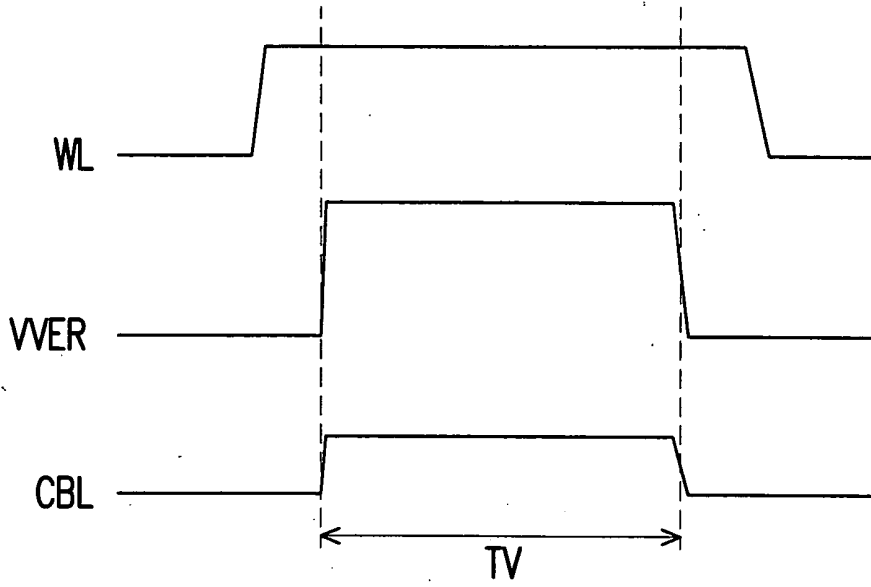


圖 1

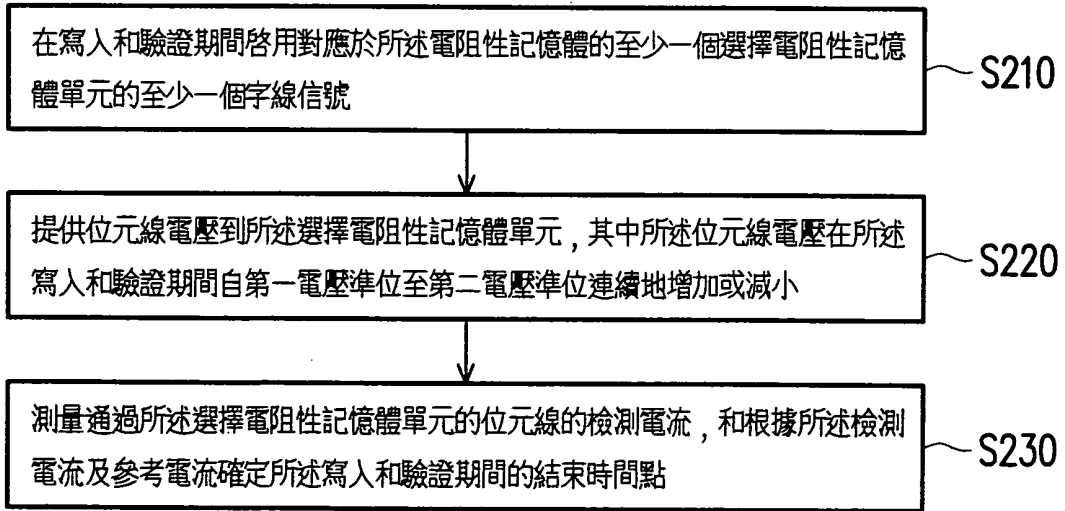


圖 2

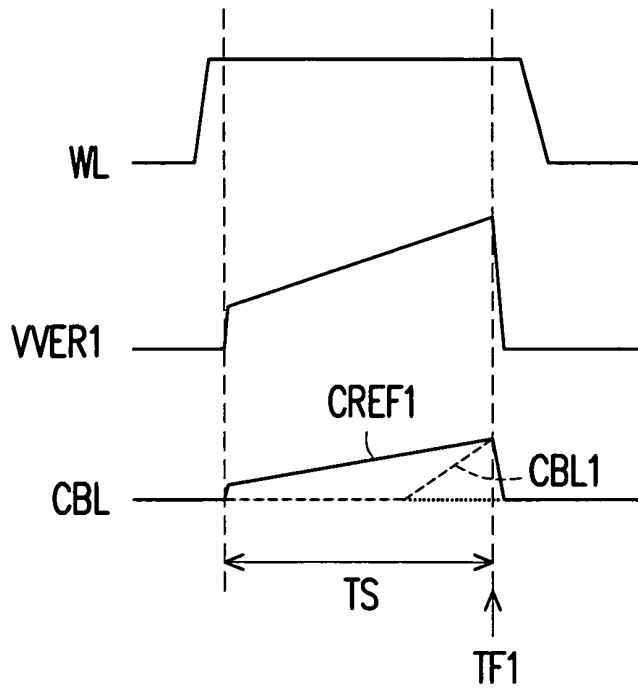


圖 3A

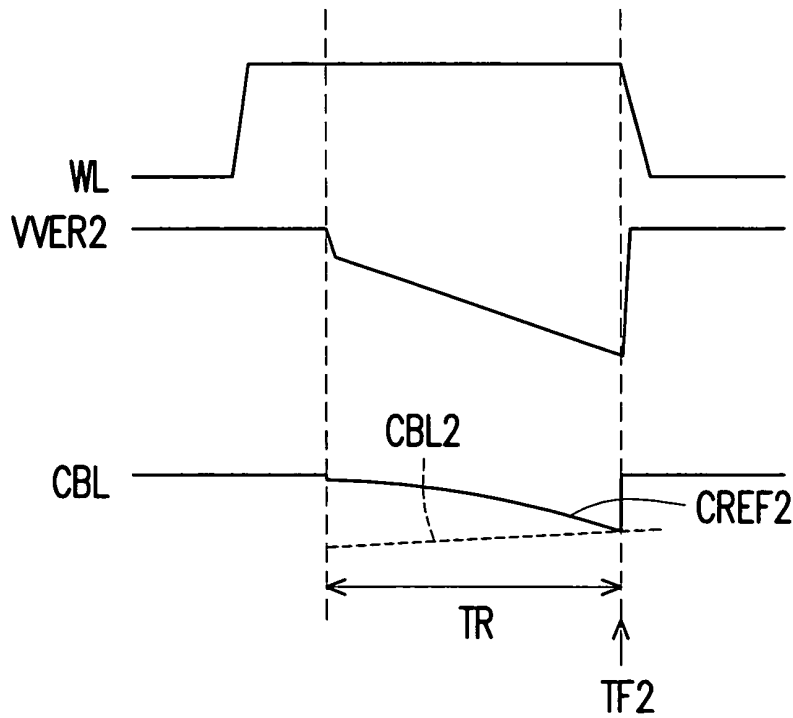


圖 3B

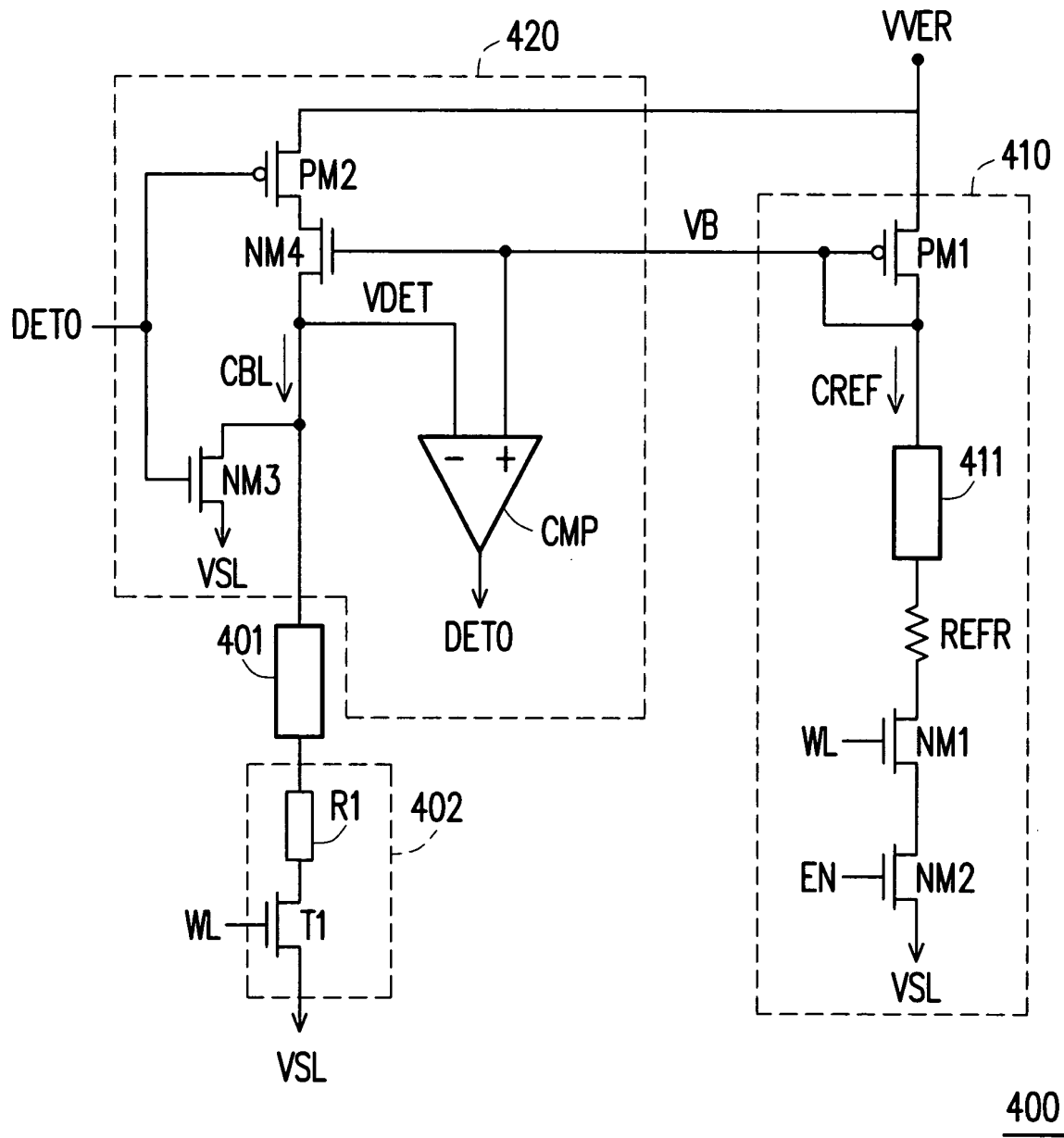
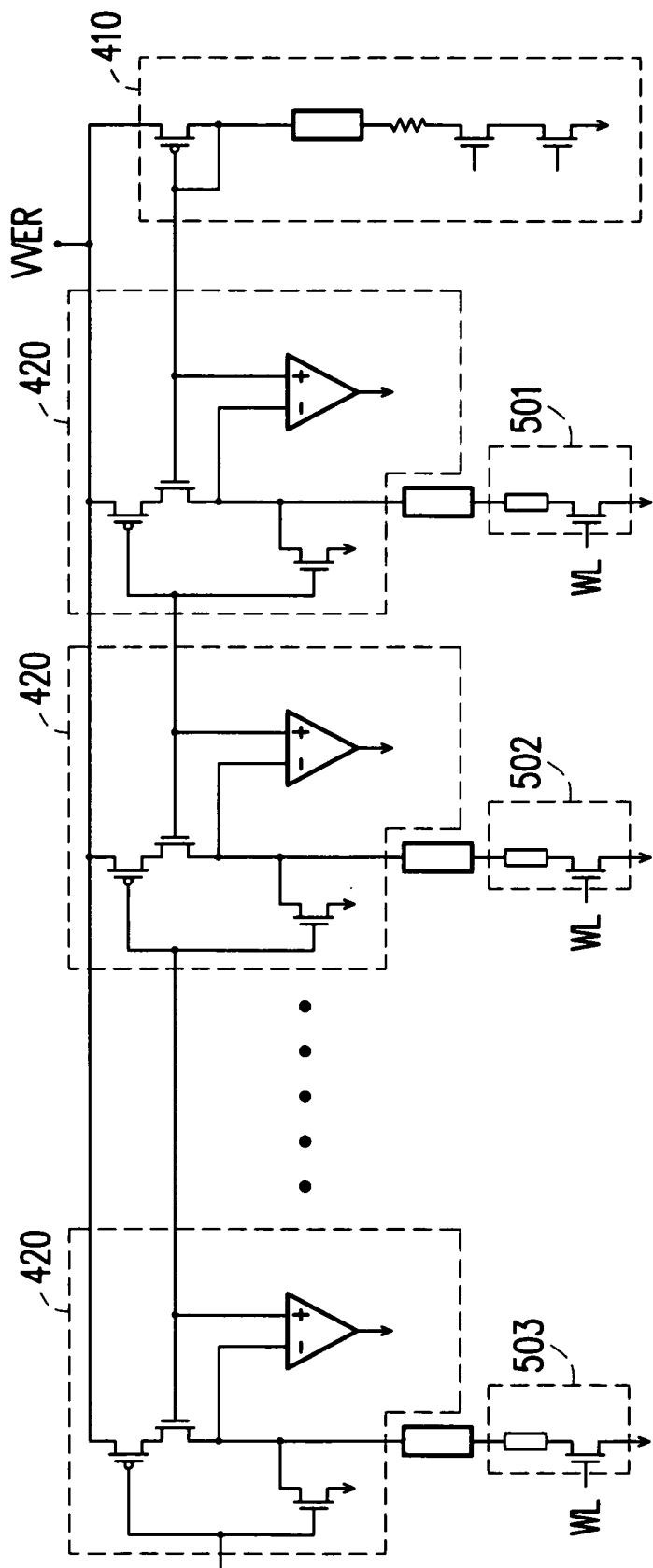


圖 4



500

圖 5

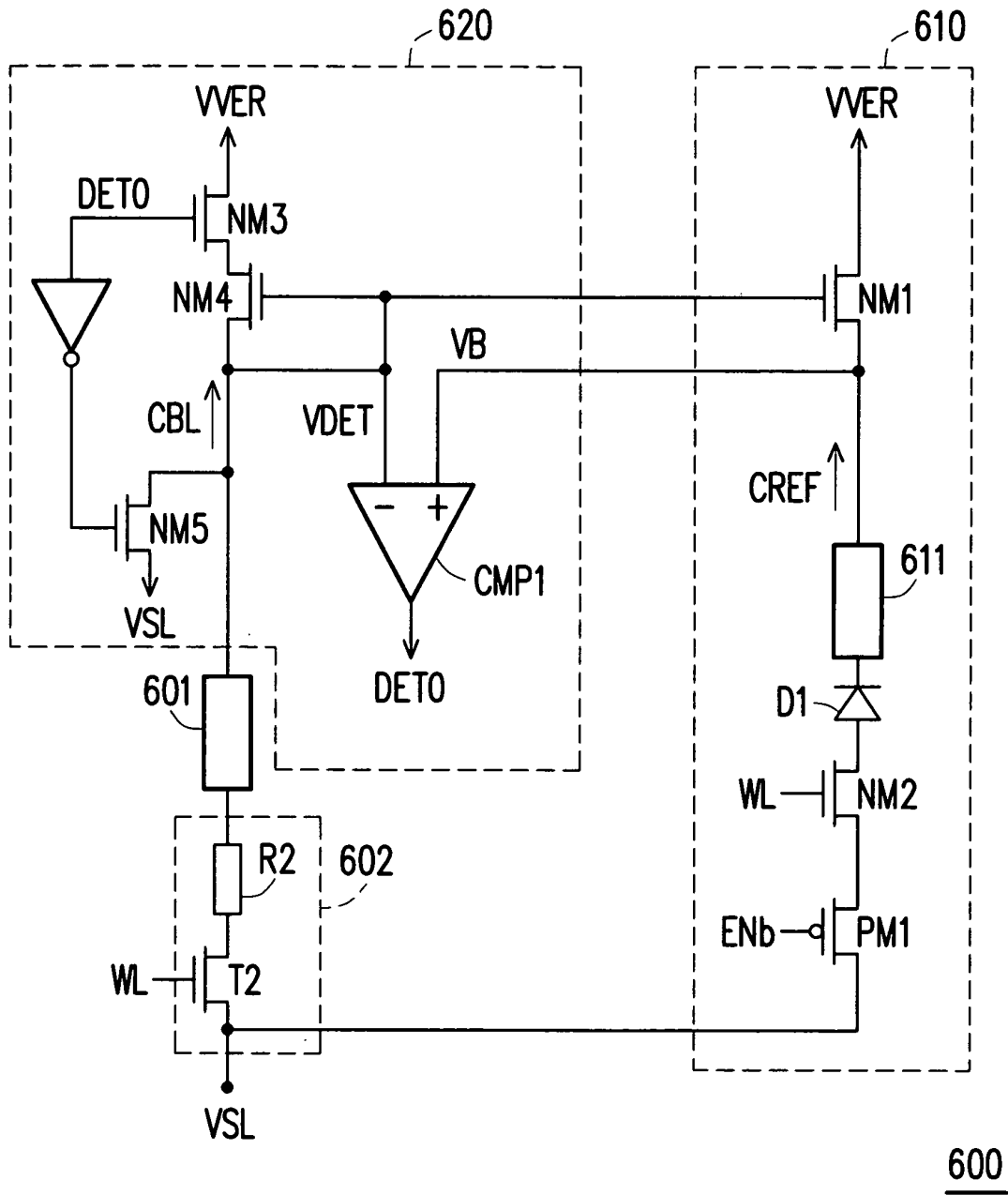


圖 6

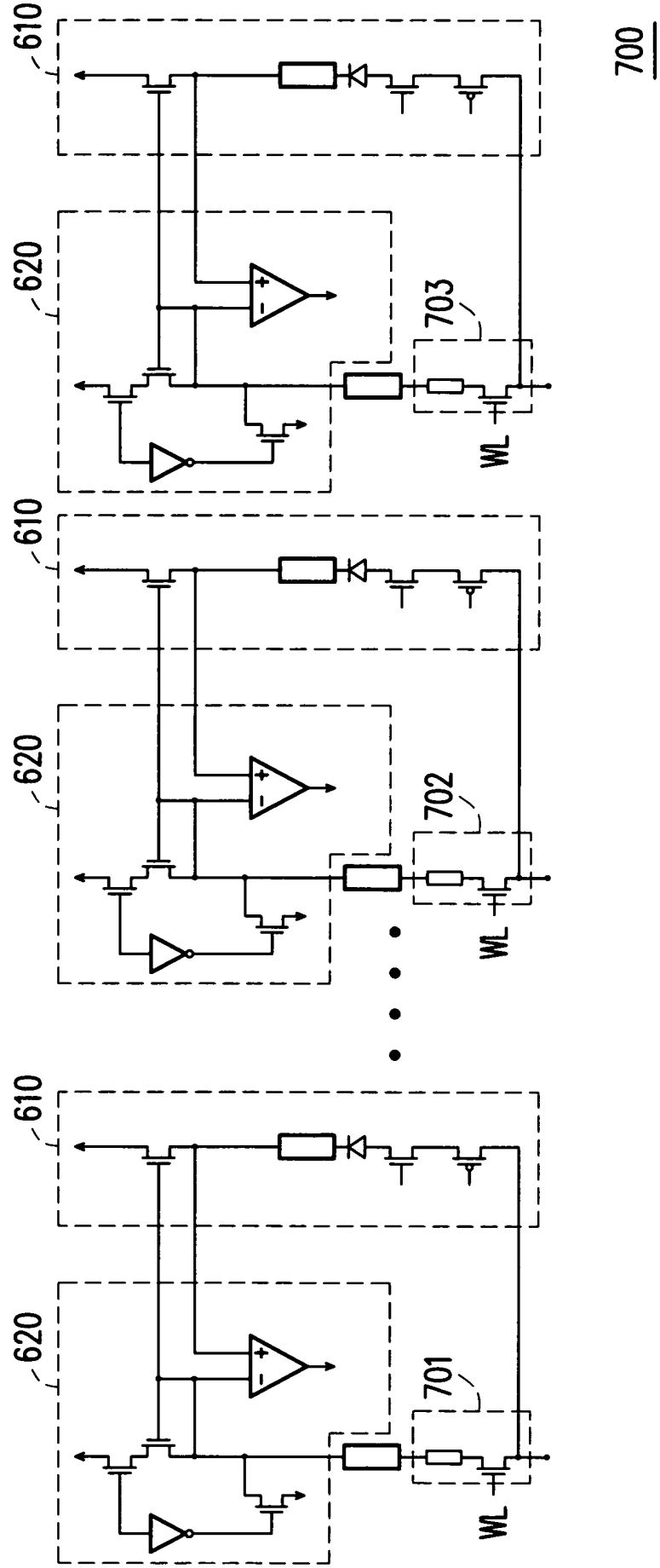


圖 7

providing a bit line voltage to the selected resistive memory cells, wherein the bit line voltage continuously increases or decreases from a first voltage level to a second voltage level during the writing and verifying timing period; and, measuring a detected current through the bit line and determining a finish time point of the writing and verifying timing period according to the detected current and a reference current.

【代表圖】

【本案指定代表圖】：圖 2。

【本代表圖之符號簡單說明】：

S210~S230：寫入並驗證 RRAM 的步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

申請專利範圍

1. 一種用於寫入和驗證電阻性記憶體的方法，其包括：

在寫入和驗證期間啟用對應於所述電阻性記憶體的至少一個選擇電阻性記憶體單元的至少一個字線信號；

提供位元線電壓到所述選擇電阻性記憶體單元，其中所述位元線電壓在所述寫入和驗證期間自第一電壓準位至第二電壓準位連續地增加或減小；以及

測量通過所述選擇電阻性記憶體單元的位元線的檢測電流，和根據所述檢測電流及參考電流確定所述寫入和驗證期間的結束時間點。

2. 如申請專利範圍第 1 項所述的用於寫入和驗證電阻性記憶體的方法，其中提供所述位元線電壓到所述選擇電阻性記憶體單元的所述步驟包括：

如果所述第一電壓準位大於所述第二電壓準位，那麼所述位元線電壓在所述寫入和驗證期間自所述第一電壓準位連續地減小到所述第二電壓準位；如果所述第一電壓準位小於所述第二電壓準位，那麼所述位元線電壓在所述寫入和驗證期間自所述第一電壓準位連續地增加到所述第二電壓準位。

3. 如申請專利範圍第 2 項所述的用於寫入和驗證電阻性記憶體的方法，其中所述參考電流非線性地減小從而重置所述選擇電阻性記憶體單元。

4. 如申請專利範圍第 2 項所述的用於寫入和驗證電阻性記

105-9-19

憶體的方法，其中所述參考電流線性地增加從而設定所述選擇電阻性記憶體單元。

5. 如申請專利範圍第 1 項所述的用於寫入和驗證電阻性記憶體的方法，其中根據所述檢測電流的電流準位及所述參考電流確定所述寫入和驗證期間的所述結束時間點的所述步驟包括：

比較所述檢測電流與所述參考電流以確定所述寫入和驗證期間的所述結束時間點。

6. 一種用於電阻性記憶體的寫入和驗證電路，其包括：

電流產生器，其根據位元線電壓產生參考電流且根據所述參考電流產生偏壓電壓，其中所述位元線電壓在寫入和驗證期間自第一電壓準位到第二電壓準位連續地增加或減小；以及

至少一個電流檢測器，其耦合到所述電流產生器以及所述電阻性記憶體的選擇電阻性記憶體單元的位元線，提供所述位元線電壓到所述選擇電阻性記憶體單元並根據所述位元線上的檢測電流產生檢測電壓，

其中所述至少一電流檢測器通過比較所述檢測電壓及所述偏壓電壓確定所述寫入和驗證期間的結束時間點。

7. 如申請專利範圍第 6 項所述的用於電阻性記憶體的寫入和驗證電路，其中所述電流產生器包括：

第一電晶體，其具有第一端、第二端及控制端，其中所述第一電晶體的所述第一端接收所述位元線電壓，所述第一電晶體的所述第二端耦合到所述第一電晶體的所述控制端，且所述偏壓電

壓產生於所述第一電晶體的所述控制端上；

虛設 Y 路徑電路，其耦合到所述第一電晶體的所述第二端；

參考電阻器，其具有耦合至所述虛設 Y 路徑電路的第一端；

第一開關，其耦合到所述參考電阻器的第二端，且由字線信號控制從而接通或切斷；以及

第二開關，其耦合於所述第一開關與源極線電壓之間；且由啟用信號控制從而接通或切斷。

8. 如申請專利範圍第 7 項所述的用於電阻性記憶體的寫入和驗證電路，其中所述至少一電流檢測器包括：

第三開關，其具有接收所述位元線電壓的第一端，且由檢測輸出信號控制從而接通或切斷；

第二電晶體，其具有第一端、第二發送及控制端，其中所述第二電晶體的所述第一端耦合到所述第三開關的第二端，所述第二電晶體的所述控制端耦合到所述第一電晶體的所述控制端，且所述第二電晶體的所述第二端耦合到對應於所述選擇電阻性記憶體單元的 Y 路徑電路；

第四開關，其耦合於所述第二電晶體的所述第二端與所述源極線電壓之間，且由所述檢測輸出信號控制；以及

比較器，其具有用於分別接收所述偏壓電壓及所述第二電晶體的所述第二端上的電壓的第一輸入端與第二輸入端，且產生所述檢測輸出信號。

9. 如申請專利範圍第 7 項所述的用於電阻性記憶體的寫入

和驗證電路，其中所述參考電流是根據所述位元線電壓及所述參考電阻器的電阻產生。

10. 如申請專利範圍第 6 項所述的用於電阻性記憶體的寫入和驗證電路，其中所述電流產生器包括：

第一電晶體，其具有第一端、第二端及控制端，其中所述第一電晶體的所述第一端接收所述位元線電壓，所述第一電晶體的所述控制端耦合到所述至少一電流檢測器，且所述偏壓電壓產生於所述第一電晶體的所述第二端上；

虛設 Y 路徑電路，其耦合到所述第一電晶體的所述第二端；

二極體，其具有耦合到所述虛設 Y 路徑電路的陰極；

第一開關，其耦合到所述二極體的陽極，且由字線信號控制從而接通或切斷；以及

第二開關，其耦合於所述第一開關與源極線電壓之間；且由啟用信號控制從而接通或切斷。

11. 如申請專利範圍第 10 項所述的用於電阻性記憶體的寫入和驗證電路，其中所述至少一電流檢測器包括：

第三開關，其具有接收所述位元線電壓的第一端，且由檢測輸出信號控制從而接通或切斷；

第二電晶體，其具有第一端、第二發送以及控制端，其中所述第二電晶體的所述第一端耦合到所述第三開關的第二端，所述第二電晶體的所述控制端耦合到所述第一電晶體所述控制端，且所述第二電晶體的所述第二端耦合到對應於所述選擇電阻性記憶

體單元的 Y 路徑電路以及所述第二電晶體的所述控制端；

第四開關，其耦合於所述第二電晶體的所述第二端與所述源極線電壓之間，且由所述檢測輸出信號控制；以及

比較器，其具有用於分別接收所述偏壓電壓及所述第二電晶體的所述第二端上的電壓的第一輸入端與第二輸入端，且產生所述檢測輸出信號。

12. 如申請專利範圍第 6 項所述的用於電阻性記憶體的寫入和驗證電路，其中如果所述第一電壓準位大於所述第二電壓準位，那麼所述位元線電壓在所述寫入和驗證期間自所述第一電壓準位連續地減小到所述第二電壓準位，其中如果所述第一電壓準位小於所述第二電壓準位，那麼所述位元線電壓在所述寫入和驗證期間自所述第一電壓準位連續地增加到所述第二電壓準位。