



(12) 发明专利申请

(10) 申请公布号 CN 114023364 A

(43) 申请公布日 2022. 02. 08

(21) 申请号 202111270187.3

(22) 申请日 2021.10.29

(71) 申请人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技  
园区祖冲之路1399号

(72) 发明人 王宁 张可钢

(74) 专利代理机构 上海浦一知识产权代理有限  
公司 31211

代理人 焦健

(51) Int. Cl.

G11C 16/04 (2006.01)

G11C 16/08 (2006.01)

G11C 16/24 (2006.01)

权利要求书2页 说明书5页 附图8页

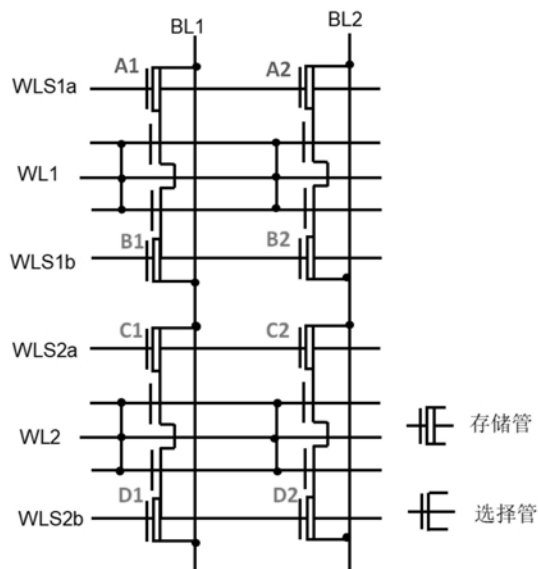
(54) 发明名称

分栅存储器阵列结构及操作方法

(57) 摘要

本发明公开了一种分栅存储器阵列结构,所述的分栅存储器阵列结构由多个结构相同的存储单元在X方向和Y方向形成存储阵列;所述存储阵列放置于阱中;各个所述的存储单元为分栅结构形成选择管和存储管;在所述的存储阵列中,在Y方向上,每相邻的两个存储单元采用共源连接,即每相邻的两个存储单元的选择管为共源连接;共源相邻的两个存储单元的两个选择栅短接之后接X方向的选择管字线WL;每共源相邻的两个存储单元的存储栅分别接存储栅字线WLSa、WLSb;所述存储阵列中位于同一列上的所有存储管的漏极均与对应该列的Y方向的位线BL连接。本发明使用共源相邻的分栅结构存储器阵列结构,存储单元的结构更加紧凑,有效缩减了存储单元的面积。

CN 114023364 A



1. 一种分栅存储器阵列结构,其特征在于:所述的分栅存储器阵列结构由多个结构相同的存储单元组成,在X方向和Y方向上分布形成存储阵列;所述存储阵列放置于阱中;各个所述的存储单元为分栅结构形成选择管和存储管,包含一个选择栅以及一个存储栅;

在所述的存储阵列中,在Y方向上,每相邻的两个存储单元采用共源连接,即每相邻的两个存储单元的选择管共享源区;共源相邻的两个存储单元的两个选择栅短接之后接X方向的选择栅字线WL;每共源相邻的两个存储单元的存储栅分别接存储栅字线WLSa、WLSb;

所述存储阵列中位于同一列上的所有存储管的漏极均与对应该列的Y方向的位线BL连接。

2. 如权利要求1所述的分栅存储器阵列结构,其特征在于:所述的存储单元中的分栅结构形成选择管和存储管,存储管和选择管共享一个沟道,省去中间的源/漏区;共源连接的相邻的两个存储单元中,两个选择管的源区共享,减少了两个往外引出的接触孔;在Y方向上只需一条位线BL。

3. 如权利要求1所述的分栅存储器阵列结构,其特征在于:所述的存储管为SONOS存储管。

4. 如权利要求1所述的分栅存储器阵列结构,其特征在于:在对存储阵列进行数据的擦除、编程或者读出时,对阱分别施加对应的不同的电压值。

5. 如权利要求1所述的分栅存储器阵列结构的操作方法,其特征在于:所述的存储阵列在数据擦除和编程时采用page操作模式;读取时,给选中的目标存储单元的选择栅字线加压,并将与选中的目标存储单元共源相邻的存储单元的存储管关断,此时读取目标存储单元的位线中的电流以获得目标存储单元的状态;

进行数据擦除时,需要进行数据擦除的目标存储单元的选择栅字线接电压 $V_{pos}$ ,目标存储单元的存储栅字线接电压 $V_{neg}$ ,存储阵列中其余的所有存储单元的选择栅字线以及选择栅字线接电压 $V_{pos}$ ,同一行上的选中擦除的存储单元的存储管字线接电压 $V_{neg}$ ,其他存储单元的存储管字线接电压 $V_{pos}$ 。

6. 如权利要求5所述的分栅存储器阵列结构的操作方法,其特征在于:进行数据读取时,阱的电压为 $V_{gnd}$ ,给选中的目标存储单元的选择栅字线施加电压 $V_{pwr}$ ,以及给选中的目标存储单元的存储栅字线接地 $V_{gnd}$ ,同时关断与选中存储单元共源相邻的存储单元的存储管,读取选中的目标存储单元的位线中的电流即可获得选中的目标存储单元的状态;读取时,存储阵列中选中的存储单元所在行的选择栅电压为 $V_{pwr}$ ,非选中行的存储单元的选择栅字线电压以及存储栅字线电压均为 $V_{gnd}$ ,选中的目标存储单元的存储栅电压为 $V_{gnd}$ ,与选中的存储单元共源相邻的存储栅字线电压为 $V_{negr}$ ,选中的存储单元所在的列位线电压为 $V_{gnd}$ ,其余列的位线为浮空状态,此时读取选中的存储单元的位线电流即可获得目标存储单元的状态。

7. 如权利要求5所述的分栅存储器阵列结构的操作方法,其特征在于:对所述的存储阵列进行编程时,为page操作模式,此时阱电压为 $V_{neg}$ ,存储阵列中选择栅字线电压均为 $V_{neg}$ ,目标存储单元的存储栅的字线电压为 $V_{pos}$ ,非目标行上的存储单元的存储栅的字线电压为 $V_{neg}$ ;存储阵列中位线电压分为编程“1”和编程“0”两种状态:编程“1”时位线电压为 $V_{neg}$ ,编程“0”时位线电压为 $V_{bl}$ 。

8. 如权利要求1-7任一项所述的分栅存储器阵列结构的操作方法,其特征在于:所述的

电压 $V_{pos} > V_{b1} > V_{gnd} = 0 > V_{negr} > V_{neg}$ ,  $V_{pwr} > V_{gnd}$ 。

9. 如权利要求8所述的分栅存储器阵列结构的操作方法, 其特征在于: 所述的 $V_{pos}$ 为7V,  $V_{neg}$ 为-4V,  $V_{b1}$ 为1.2V,  $V_{negr}$ 为-1.5V,  $V_{pwr}$ 为1.5V。

## 分栅存储器阵列结构及操作方法

### 技术领域

[0001] 本发明涉及半导体器件制造工艺领域,特别是指一种分栅存储器阵列结构。

### 背景技术

[0002] 随着电子产品的快速普及,闪存flash作为当今的主流存储载体得到迅速的推广普及,其技术也得到了迅速的发展。非挥发性存储器(NVM)技术,从存储介质上分主要有浮栅(floating gate)技术和SONOS

[0003] (Silicon-Oxide-Nitride-Oxide-Silicon)技术,从结构上分主要有单栅(1-Transistor)、分栅(split gate)、双栅(2-Transistor)等技术。Flash由于其具有长寿命,非易失性,低价格,以及易于编程、擦除的优点已被越来越广泛的应用于各种嵌入式电子产品如金融IC卡、汽车电子等应用。提高存储集成密度有利于节省芯片面积、降低制造成本。随着主流工艺技术的发展,以及人们对Flash器件迫切要求,基于分栅结构的分栅Flash受到人们的广泛关注,相比于传统Flash,分栅快闪存储器作为闪存的一种,由于具有高效的编程速度以及完全避免过擦除的能力,无论是在单体还是在嵌入式产品方面都得到了人们更多的关注,目前,分栅快闪存储器已被广泛地应用于个人电脑、数码器材、移动终端、智能卡等产品。这种新颖的分栅Flash在可靠性、无过擦除等方面表现优越,而且由于结构紧凑,同样的芯片面积能集成更多的存储单元,因而对容量的提升也有较佳的优化效果。但是由于目前信息时代数据量剧增,对存储器结构的进一步优化实现更高的容量始终是行业的追求。

### 发明内容

[0004] 本发明所要解决的技术问题在于提供一种分栅存储器阵列结构及其操作方法,采用分栅结构,结构更加紧凑,操作也更简单。

[0005] 为解决上述问题,本发明所述的一种分栅存储器阵列结构,所述的

[0006] 分栅存储器阵列结构由多个结构相同的存储单元组成,在X方向和Y方向上分布形成存储阵列;所述存储阵列放置于阱中;各个所述的存储单元为分栅结构形成选择管和存储管,包含一个选择栅以及一个存储栅;;

[0007] 在所述的存储阵列中,在Y方向上,每相邻的两个存储单元采用共源连接,即每相邻的两个存储单元的选择管共用一个源区;共源相邻的两个存储单元的两个选择栅短接之后接X方向的选择栅字线WL;每共源相邻的两个存储单元的存储栅分别接存储栅字线WLSa、WLSb;

[0008] 所述存储阵列中位于同一列上的所有存储管的漏极均与对应该列的Y方向的位线BL连接。

[0009] 可选地,所述的存储单元中的分栅结构形成选择管和存储管,该选择管和存储管共享沟道,省去中间的源/漏区;共源连接的相邻的两个存储单元中,两个选择管共享源区,减少两个往外引出的接触孔;在Y方向上只需一条位线BL。

[0010] 可选地,所述的存储管为SONOS存储管。

[0011] 可选地,在对存储阵列进行数据的擦除、编程或者读出时,对阱分别施加对应的不同的电压值。

[0012] 所述的分栅存储器阵列结构的操作方法,所述的存储阵列在数据擦除和编程时采用page操作模式,读取时,给选中的目标存储单元的选择栅字线加压,并将与选中的目标存储单元共源相邻的存储单元的存储管关断,此时读取目标存储单元的位线中的电流以获得目标存储单元的状态;

[0013] 可选地,进行数据擦除时,阱的电压为 $V_{pos}$ ,需要进行数据擦除的目标存储单元的选择栅字线接电压 $V_{pos}$ ,目标存储单元的存储栅字线接电压 $V_{neg}$ ,存储阵列中其余的所有存储单元的存储栅字线以及选择栅字线接电压 $V_{pos}$ ,同一行上的选中擦除的存储单元的存储管字线接电压 $V_{neg}$ ,其他存储单元的存储管字线接电压 $V_{pos}$ 。

[0014] 可选地,进行数据读取时,阱的电压为 $V_{gnd}$ ,给选中的目标存储单元的选择栅字线施加电压 $V_{pwr}$ ,以及给选中的目标存储单元的存储栅字线接地 $V_{gnd}$ ,同时关断与选中存储单元共源相邻的存储单元的存储管,读取选中的目标存储单元的位线中的电流即可获得选中的目标存储单元的状态;读取时,存储阵列中选中的存储单元所在行的选择栅电压为 $V_{pwr}$ ,非选中行的存储单元的选择栅字线电压以及存储栅字线电压均为 $V_{gnd}$ ,选中的目标存储单元的存储栅电压为 $V_{gnd}$ ,与选中的存储单元共源相邻的存储栅字线电压为 $V_{negr}$ ,选中的存储单元所在的列位线电压为 $V_{gnd}$ ,其余列的位线为浮空状态,此时读取选中的存储单元的位线电流即可获得目标存储单元的状态。

[0015] 可选地,对所述的存储阵列进行编程时,为page操作模式,此时阱电压为 $V_{neg}$ ,存储阵列中选择栅字线电压均为 $V_{neg}$ ,目标存储单元的存储栅的字线电压为 $V_{pos}$ ,非目标行上的存储单元的存储栅的字线电压为 $V_{neg}$ ;存储阵列中位线电压分为编程“1”和编程“0”两种状态:编程“1”时位线电压为 $V_{neg}$ ,编程“0”时位线电压为 $V_{b1}$ 。

[0016] 可选地,所述的电压 $V_{pos} > V_{b1} > V_{gnd} = 0 > V_{negr} > V_{neg}$ ,  $V_{pwr} > V_{gnd}$ 。

[0017] 可选地,所述的 $V_{pos}$ 为7V, $V_{neg}$ 为-4V, $V_{b1}$ 为1.2V, $V_{pwr}$ 为1.5V, $V_{negr}$ 为-1.5V, $V_{gnd} = 0V$ 。

[0018] 本发明所述的分栅存储器阵列结构,存储单元使用分栅结构,每两个相邻的存储单元的选择管共源连接,共源相邻的两个存储单元的选择栅共用一根字线,存储单元中Y方向只需一条位线,使得存储单元的结构更加紧凑,整个存储阵列简化,有效缩减了存储单元的面积。对存储单元的操作也更加简化。

## 附图说明

[0019] 图1是本发明提供的分栅存储器阵列结构示意图。

[0020] 图2是本发明分栅存储器阵列进行page擦除的示意图。

[0021] 图3是图2所示的存储单元擦除时的器件剖面各结构电位的示意图。

[0022] 图4是本发明分栅存储器阵列进行编程的示意图。

[0023] 图5是图4所示的存储单元编程时的器件剖面各结构电位的示意图。

[0024] 图6是本发明分栅存储器阵列进行读数据的示意图。

[0025] 图7是图6所示的存储单元读取时的器件剖面各结构电位的示意图。

[0026] 图8是本发明分栅存储器阵列的操作表。

### 具体实施方式

[0027] 以下结合附图给出本发明的具体实施方式,对本发明中的技术方案进行清楚、完整的描述,但本发明不限于以下的实施方式。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比率,仅用于方便、明晰地辅助说明本发明实施例的目的。本领域普通技术人员在不做出创造性劳动的前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0028] 应当理解,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大,自始至终相同附图标记表示相同的元件。应当明白,当元件或层被称为“在…上”、“与…相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在…上”、“与…直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0029] 本发明所述的分栅存储器阵列结构如图1所示,图中阵列中的存储单元,在X方向和Y方向上形成存储单元阵列,即横向及纵向,为了说明的简便,本图中仅示出了A1、A2、B1、B2、C1、C2、D1、D2这几个存储单元,存储阵列中其他单元是这几个存储单元结构在X方向和Y方向上的简单重复排列。本发明存储单元中储存管 and 选择管采用分栅结构,一个存储单元中储存管 and 选择管的沟道直接相连,相比传统器件省掉一个源/漏区。如图1中所示的阵列结构中,包含有A1、A2、B1、B2、C1、C2……等存储单元,以A1存储单元和B1存储单元为例,这两个存储单元在Y方向上位于同一列上,属于共源相邻的结构,所谓共源,是指A1单元的选择管和B1单元的选择管共用一个源区,使得A1存储单元和B1存储单元形成串接,共源相邻的每个存储单元的储存管都连接同一位线BL1,其中A1存储单元的选择管和B1存储单元的选择栅共接到同一选择字线WL1上,A1存储单元的储存栅端为储存管控制字线WLS1a,B1单元的储存管的栅端接控制字线WLS1b。存储阵列中位于同一行上的所有存储单元中,在横向上,A1、A2两个存储单元,A2单元的储存栅极与A1单元的储存栅极相连,都连接到储存字线WLS1a上,A2单元的选择栅极与A1单元的选择栅极,以及B1、B2单元的选择栅都连接到字线WL1上,A2、B2存储单元位于另一列上,A2、B2存储单元的储存栅接到位线BL2上。C1、D1、C2、D2存储单元以及其他图中未示的存储单元的接法与A1、B1、A2、B2单元的接法保持一致,整个存储器即由此扩展形成阵列。

[0030] 每共源相邻的2个存储器单元中两个储存管位于外侧,选择管位于两个相邻存储单元的中心处,有利于将两个选择管的栅极并接引出。整个结构上在引出上比传统结构少了2个外接的接触孔,同时Y方向上也只需要一根BL线,上述结构比传统的存储器单元阵列

更加紧凑,能够显著缩小存储器的面积,在同等面积下具有更高的容量。

[0031] 上述存储器阵列结构的操作方法如后所述,一般来说,在读取时,给选中单元的WL加压,并关断与选中单元共源相邻的存储管,读取BL中的电流可以获得选中单元的状态。

[0032] 图8中所示的表格为这种存储器阵列的操作方式,1) 擦除和写入采用page模式,同一行的位数同时被擦除和写入,擦除为0,写入分为写“1”或写“0”,写“1”时BL加Vneg,写“0”时BL加Vb1;2) 读取时,选中行的选择栅字线电压为Vpwr,非选中行的选择栅字线电压为Vgnd,选中行的存储栅字线电压为Vgnd,与选中行镜像对称的存储管电压为Vnegr,其余非选中行存储管电压和所有BL电压均为Vgnd,读取选中列的电流获得目标单元存储的状态。 $V_{pos} > V_{b1} > V_{gnd} = 0 > V_{negr} > V_{neg}$ ,  $V_{pwr} > V_{gnd}$ , Vpwr是存储单元读取时选择栅字线电压,大于选择管的阈值电压Vt即可。具体来说,图2所示是本发明存储阵列进行页擦除(page erase)的操作状态图,页操作模式时存储器中非常常见的一种操作模式,分页存储管理方式,是将用户程序的地址空间分为若干个固定大小的区域,称为“页”或“页面”。典型的页面大小为1KB。在对存储器阵列进行页擦除时,参考图8中擦除参数以及图2,本说明书实施例采用的电压如下所述,但根据制造工艺的不同,具体的电压会存在区别。此时P阱的电位为 $V_{pos} = 7V$ ,同时,除A1、A2存储单元所在行的字线WLS1a的电压为-4V外,其余存储单元B1、B2、C1、C2、D1、D2的选择栅、存储栅分别对应的字线WL1、WLSb、WLS2a、WL2、WLS2b的电压全部为 $V_{pos} = 7V$ ,通过对上述这些字线、位线施加对应的电压实现页擦除模式。图3是存储单元的剖面结构的电位示意图,包含选择栅、存储栅以及阱区和源漏区的电位。由于A1单元存储栅字线电压为-4V,衬底阱电压为7V,之间存在-11V的电压压差,实现擦除。其他单元由于栅、衬底阱之间电压均为 $V_{pos} = 7V$ ,晶体管状态不变。即在擦除时,存储管的栅和衬底上存在-11V压差,存储管沟道不会开启,只需确定栅和衬底的压差即可。

[0033] 如图4所示,是本发明存储器阵列进行编程模式的操作状态图,同为页模式,P阱的电位切换到 $V_{neg} = -4V$ ,对A1、A2存储栅的字线WLS1a施加电压 $V_{pos} = 7V$ ,其余存储单元的选择管和存储管的字线电压均切换到 $V_{neg} = -4V$ ,目标存储单元的位线电压BL1、BL2上的电压根据编程为“1”还是编程为“0”则分为两种状态,结合图5所示的剖面结构电位图,图5中左侧为编程为“1”的状态,左上为目标存储单元及相邻单元的状态,左下为非目标存储单元(C1、D1)的状态,右侧为编程为“0”的状态,右上为目标存储单元及相邻单元的状态,右下为非目标存储单元(C1、D1)的状态。当编程为“1”时,位线BL1和BL2上接电压 $V_{neg} = -4V$ ,当编程为“0”时,位线BL1和BL2上接电压 $V_{b1} = 1.2V$ 。编程时,目标存储单元的存储栅和衬底阱存在正压差11V,远大于存储管的开启电压,因此存储栅的沟道开启,BL端的电压会传到沟道中,因此可以通过BL端加-4V或者1.2V实现P1和P0。因此,编程为“1”时,目标单元存储栅字线电压7V,A1存储单元存储管位线电压BL1-4V会传到沟道中,栅与沟道之间压差+11V,为高电平状态,存储管编程状态为“1”;当位线电压BL1为1.2V时,1.2V会传到沟道中,栅与沟道之间压差为5.8V,为低电平状态,存储管编程状态为“0”。

[0034] 读数据时,如图6所示,假定需要读取A1目标存储单元的存储管存储状态,图6结合图7所示的剖面结构电位图,此时的操作方式是,阱电位为零,与A1单元共源相邻的存储单元是B1,A1单元存储栅字线WLS1a的电压为0V,B1单元的存储管WLS1b的电压为负电源-1.5V,两个单元共源连接的选择管字线WL1的电压为1.5V,A1单元所在的列的位线电压BL1为0V,而其他列的单元位线BL2等为浮空状态(floating),其他行上的存储单元的选择管字

线和存储管字线都接为0V。此时,A1、B1单元的选择管字线电压为1.5V,A1、B1单元选择管开启,而B1单元的存储管由于存储栅字线电压-1.5V,为关断状态,因此电流只能从源端流经A1的选择管和A1的存储管从BL1流出。A1的存储管为0状态时,零电压能使存储管开启,通路中有电流流出,可读取A1单元存储管状态;A1的存储管为1状态时,零电压不能使存储管开启,通路中没有电流流出,由此,目标单元A1的存储状态均可以被读出。若要将B1单元的存储状态读出,则只需在关断A1单元的存储管,给B1单元的存储管接零电压即可。

[0035] 以上仅为本发明的优选实施例,并不用于限定本发明。对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。



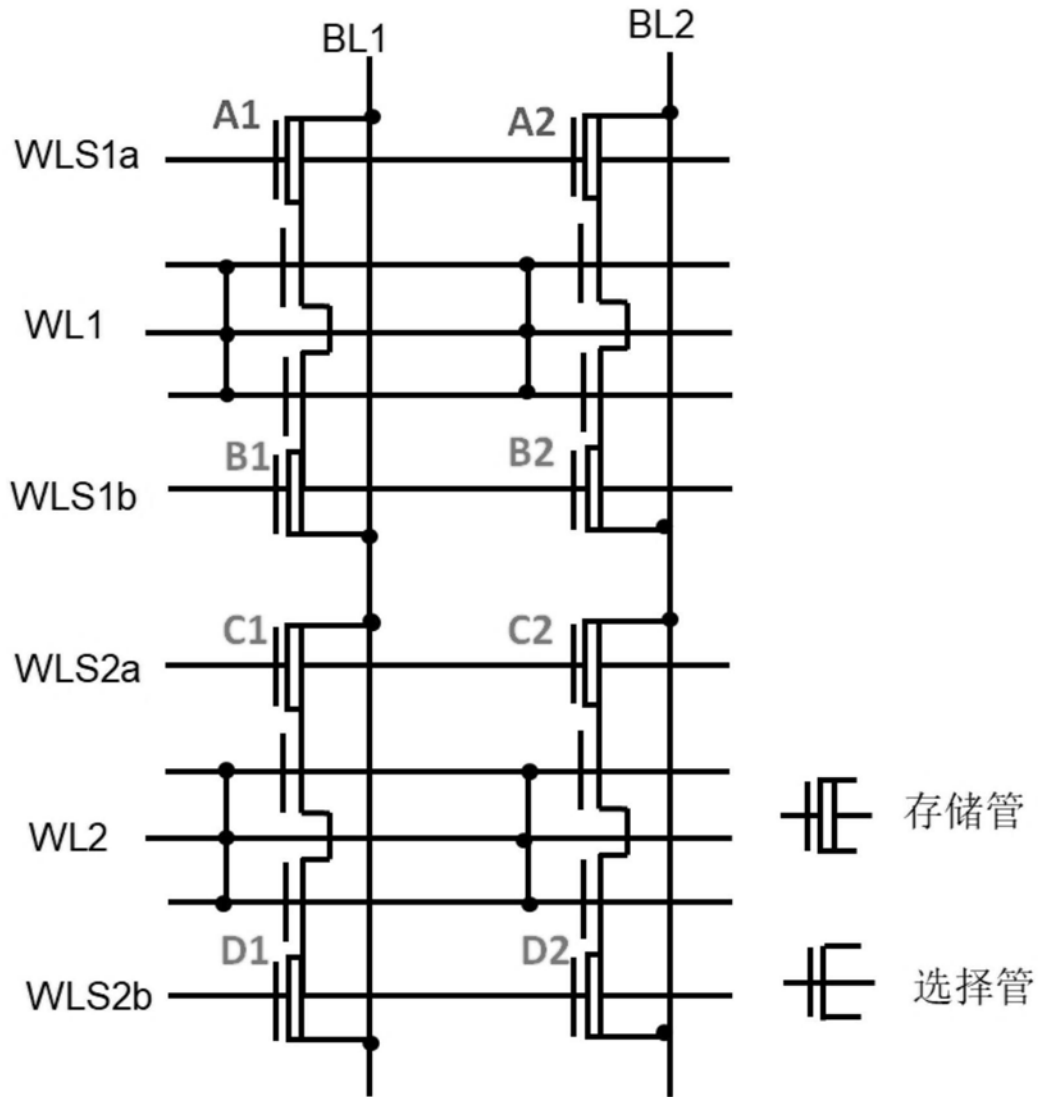


图1

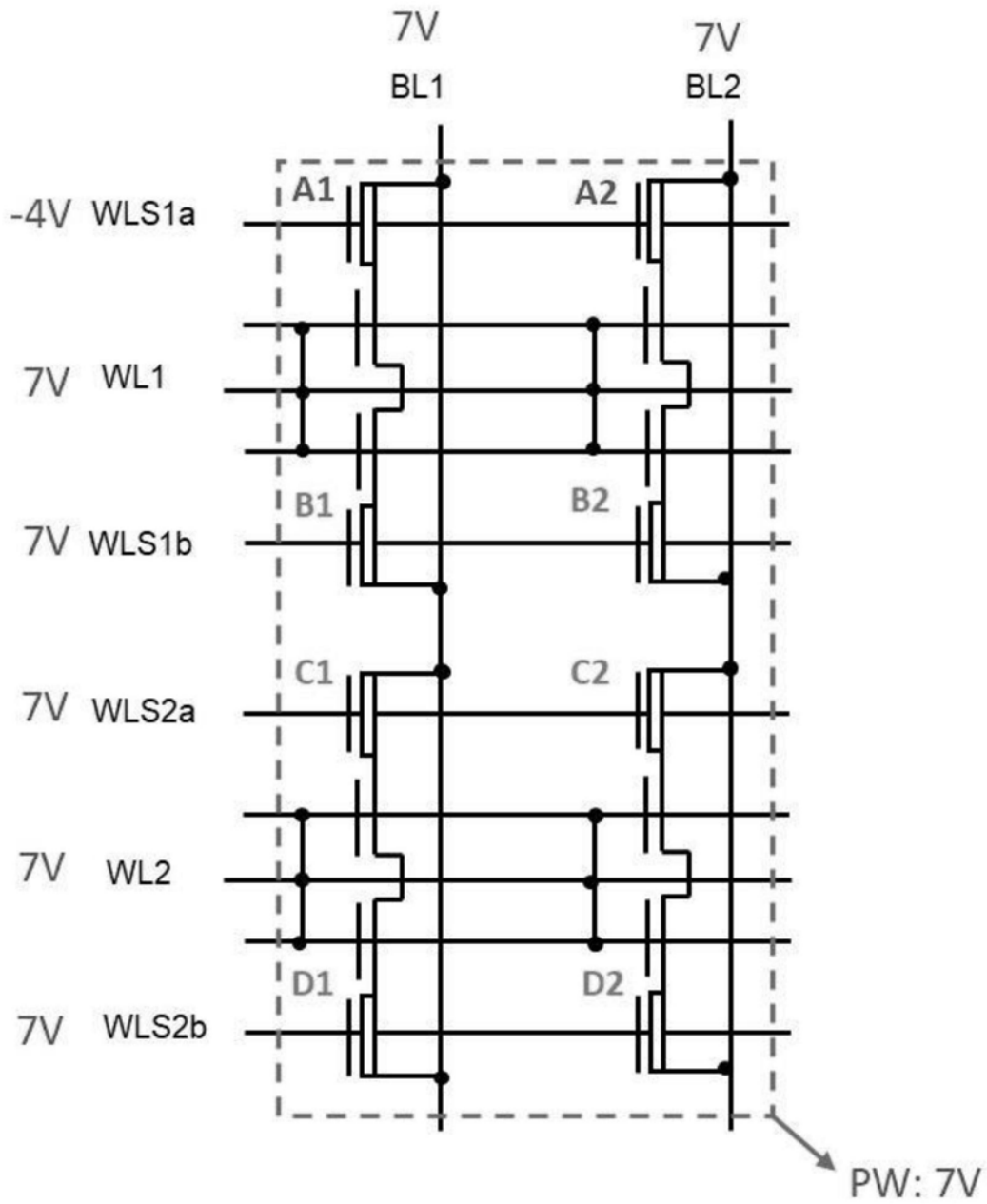


图2

A1擦除

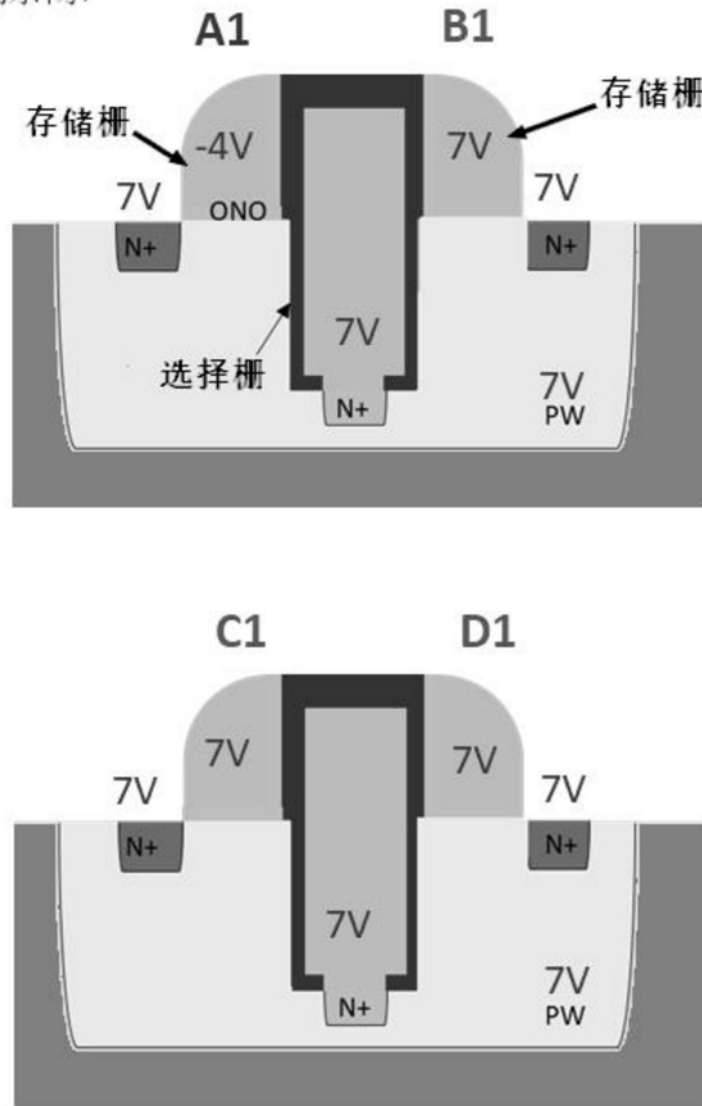


图3

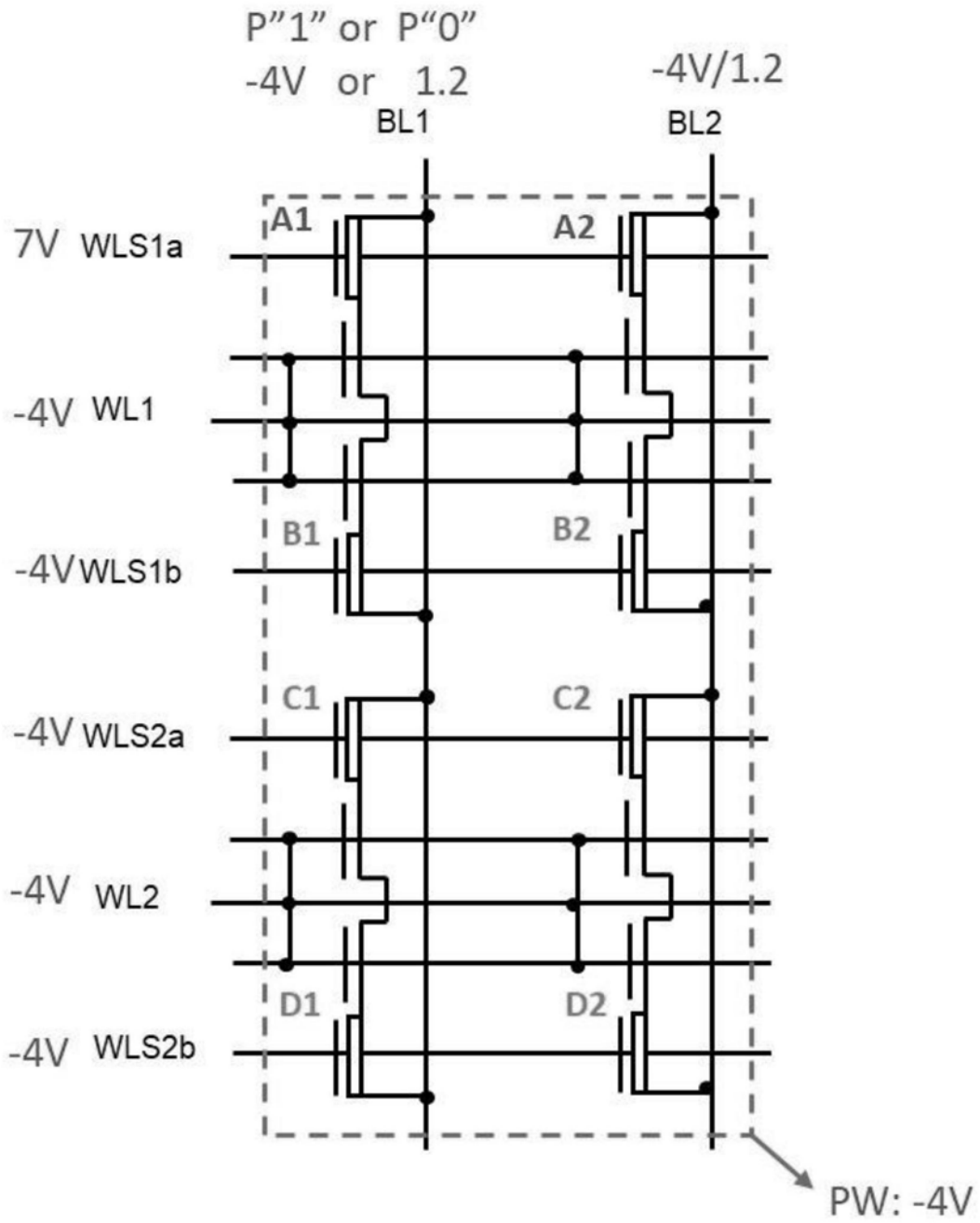


图4

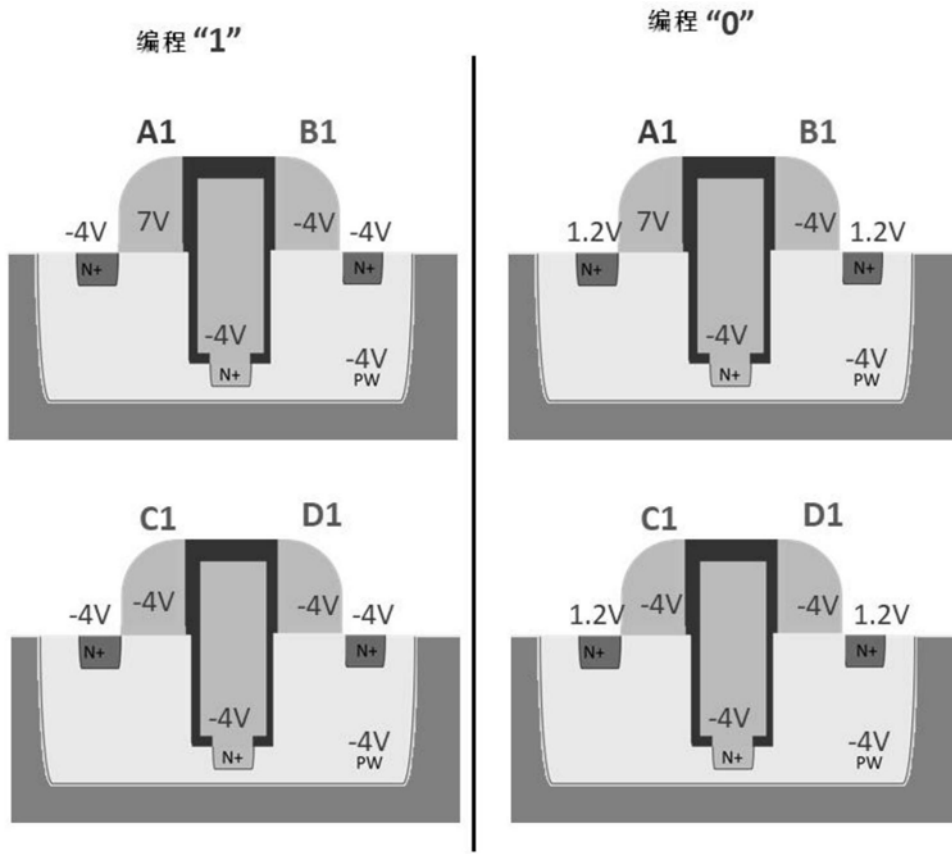


图5

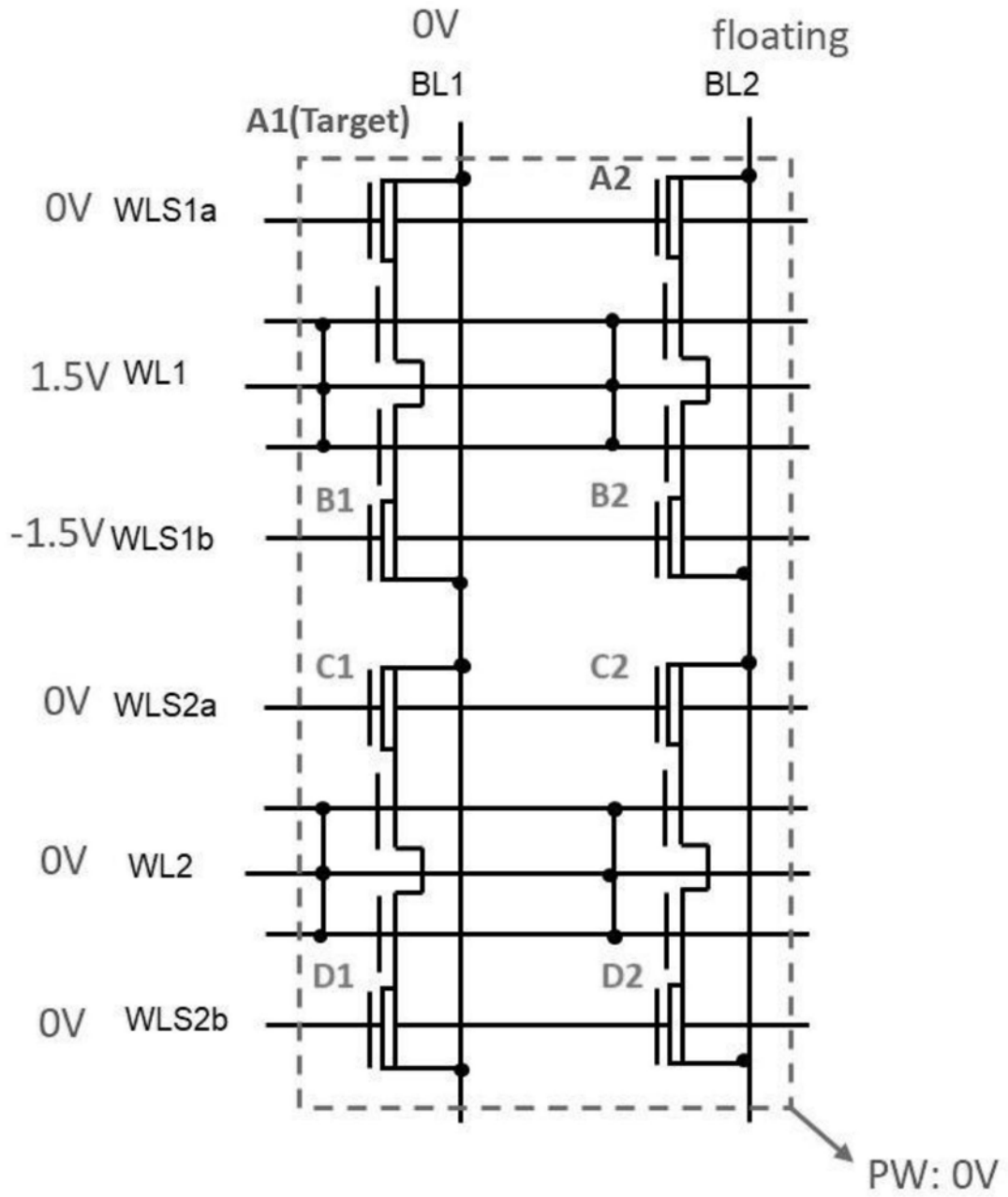


图6

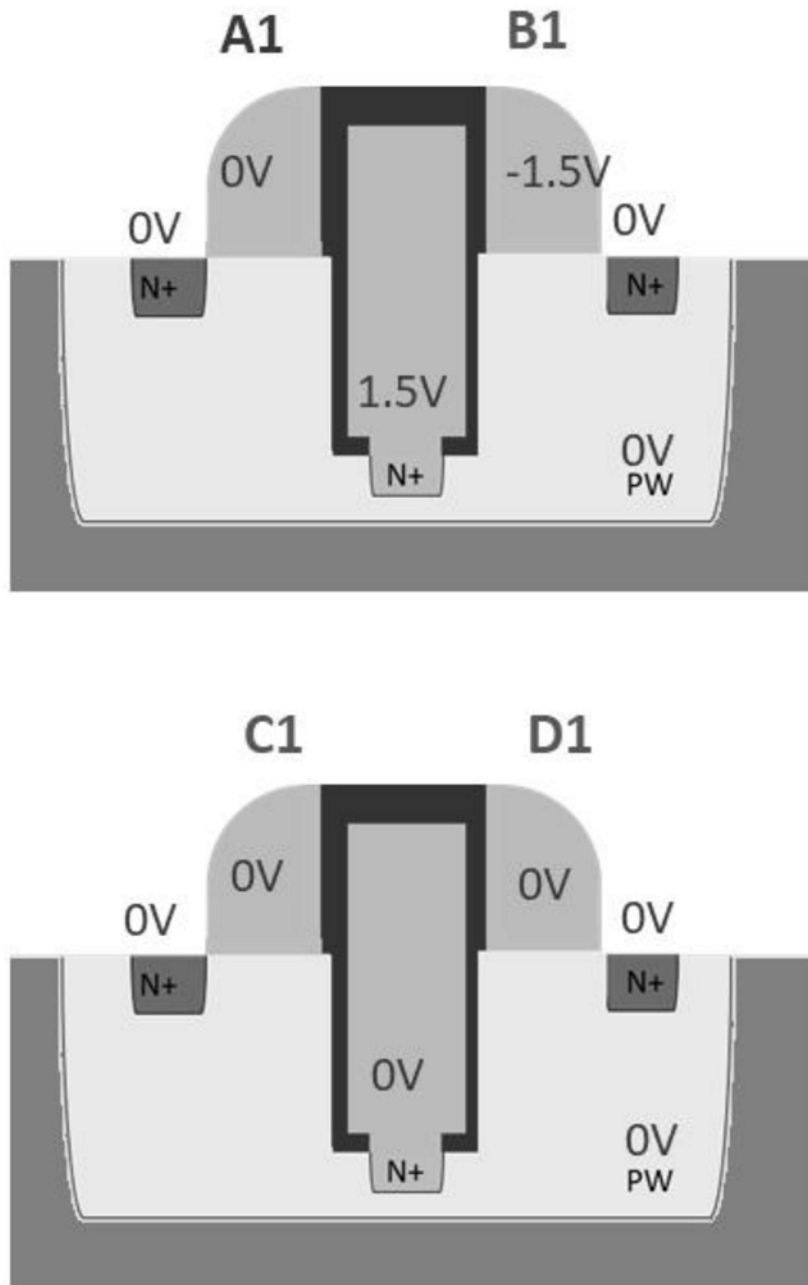


图7

	<b>Cell</b>	<b>Vwl</b>	<b>Vwls</b>	<b>Vbl</b>	<b>Vbpw</b>
Erase	A1, A2	Vpos	Vneg	Vpos	Vpos
	B1,B2,C1,C2,D1,D2	Vpos	Vpos	Vpos	
program	A1, A2	Vneg	Vpos	Vneg/Vbl	Vneg
	B1,B2,C1,C2,D1,D2	Vneg	Vneg	Vneg/Vbl	
Read	A1	Vpwr	Vgnd	Vgnd	Vgnd
	A2	Vpwr	Vgnd	Floating	
	B1	Vpwr	Vnegr	Vgnd	
	B2	Vpwr	Vnegr	Floating	
	C1,D1	Vgnd	Vgnd	Vgnd	
	C2,D2	Vgnd	Vgnd	Floating	

图8