

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-505126
(P2005-505126A)

(43) 公表日 平成17年2月17日(2005.2.17)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 23/52	HO 1 L 23/52	E
HO 1 L 23/12	HO 1 L 23/32	A
HO 1 L 23/32	HO 1 L 23/12	E

審査請求 有 予備審査請求 有 (全 201 頁)

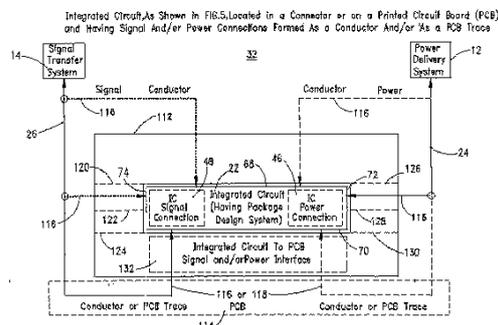
(21) 出願番号	特願2003-531522 (P2003-531522)	(71) 出願人	591043064 モレックス インコーポレーテッド MOLEX INCORPORATED アメリカ合衆国 イリノイ州 ライル ウ ェリントン コート 2222
(86) (22) 出願日	平成14年9月26日 (2002. 9. 26)	(74) 代理人	100116207 弁理士 青木 俊明
(85) 翻訳文提出日	平成16年3月26日 (2004. 3. 26)	(74) 代理人	100096426 弁理士 川合 誠
(86) 国際出願番号	PCT/US2002/030593	(72) 発明者	アウグスト ビー パネラ アメリカ合衆国、イリノイ州 60564 、ネイパービル、ミッドランド ドライブ 2659
(87) 国際公開番号	W02003/028095		
(87) 国際公開日	平成15年4月3日 (2003. 4. 3)		
(31) 優先権主張番号	60/325, 107		
(32) 優先日	平成13年9月26日 (2001. 9. 26)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 集積回路用電力分配及び他のシステム

(57) 【要約】

【解決手段】 電力分配システム、信号伝達システム、パッケージ設計システム、熱管理システム及び電磁障害 (EMI) システムが集積回路 (IC) の支持するために提供されてる。電力分配システムは、電源と、電圧調整器モジュールと、個別の及び/又は集積型コンデンサの形態のデカップリングコンデンサとを有する。電圧調整器モジュールとデカップリングコンデンサは、コネクタ内に設けられ、該コネクタは、ICに対してカバー、ソケット又はフレームの形態をとることができる。電力分配システムは、ICの頂部、底部及び側面に沿ってICに電力を分配する。信号伝達システムは、ICからの信号を1個以上の回路基板上の回路に結合する。IC用のパッケージ設計システムは、ICパッケージの外側、面一、凹状又は内側の接続で、信号及び/又は電力をICの選択された側面に結合できるようにする。また、パッケージ設計システムは、周波数が異なる (例えば高周波と低周波) の信号を、異なるタイプの信号インターフェイス (例えば、直流式、容量性など) を用いて伝達する。熱管理システムは、IC及び/又は電圧調整器モジュ



【特許請求の範囲】

【請求項 1】

電子パッケージであって、

第一の表面積を備える頂部側面と、第二の表面積を備える頂部側面と対向して配設された底部側面と、第三の表面積を備える頂部側面及び底部側面の間に配設された横側面とを備え、第三の表面積が第一の表面積及び第二の表面積の何れよりも小さい集積回路と、該集積回路を備える半導体ダイを信号伝達システムに電気的に結合するために集積回路の底部側面に配置された信号接続部と、半導体ダイを電力分配システムに電気的に結合するために前記集積回路の頂部側面と横側面の内の少なくとも一方に配設された電力接続部とを有する電子パッケージ。

10

【請求項 2】

信号接続部は、第一の周波数の第一信号を運ぶ第一の信号インターフェイスと、第一の周波数と異なる第二の周波数の第二信号を運ぶ第二の信号インターフェイスとを更に含む、請求項 1 に記載の電子パッケージ。

【請求項 3】

信号接続部は、信号伝達システムからの第一信号を前記半導体ダイに電気的に結合するための第一の信号経路と、前記半導体ダイからの第二信号を信号伝達システムに電気的に結合するための第二の信号経路とを含む双方向信号経路を更に含む、請求項 1 に記載の電子パッケージ。

【請求項 4】

電力接続部は、電力分配システムからの電力を前記半導体ダイに電気的に結合するための電力経路と、前記半導体ダイからの接地を電力分配システムに電気的に結合するための接地経路とを含む双方向電力経路を更に備える、請求項 1 に記載の電子パッケージ。

20

【請求項 5】

電力分配システムは前記半導体ダイからデカップリングされている、請求項 4 に記載の電子パッケージ。

【請求項 6】

電子パッケージの頂部側面は、該頂部側面の中心に近接して位置する内側部分と、前記頂部側面の外周に近接して位置する外側部分とを更に含み、前記電力接続部は前記頂部側面の外側部分に設けられている、請求項 1 に記載の電子パッケージ。

30

【請求項 7】

前記電力接続部は、前記信号接続部の導電コンデンサよりも大きな導電コンデンサを備える、請求項 1 に記載の電子パッケージ。

【請求項 8】

前記信号及び電力接続部の内の少なくとも一方は、導電性接続部、容量性接続部、誘導性接続部、光学接続部、伝送線接続部及び無線接続部から成る群から選択される、請求項 1 に記載の電子パッケージ。

【請求項 9】

導電性接続部は、ハンダ接続、ばね接続、ランドグリッドアレイ (LGA)、ピングリッドアレイ (PGA) 及びボールグリッドアレイ (BGA) の内の何れか一つを更に含む、請求項 8 に記載の電子パッケージ。

40

【請求項 10】

容量性接続部は、第一のコンデンサプレートを形成する信号コンタクトを更に含み、第一のコンデンサプレートは第二のコンデンサプレートと対向して配設されている、請求項 8 に記載の電子パッケージ。

【請求項 11】

前記容量性接続部は、前記第一及び第二のコンデンサプレートの上に配設された誘電体材料を更に含む、請求項 10 に記載の電子パッケージ。

【請求項 12】

前記信号及び電力接続部に電気的に結合された半導体ダイを更に含む、請求項 1 に記載の

50

電子パッケージ。

【請求項 13】

半導体ダイは、マイクロプロセッサ、コントローラ、メモリデバイス、送信器、受信器及び信号プロセッサから成る群から選択される電子要素を含む、請求項 12 に記載の電子パッケージ。

【請求項 14】

リードフレームキャリアを更に有し、

前記信号接続部は、リードフレームキャリアによって支持された信号リードフレームを含み、該信号リードフレームは、前記信号伝達システムに電氣的に結合するために、前記底部側面上の第一端部に信号コンタクトを含むとともに、前記第一端部と反対側の第二端部が前記半導体ダイに電氣的に結合するため信号パッドを備えており、

10

前記電力接続部は、前記リードフレームキャリアによって支持された電力リードフレームを更に含み、該電力リードフレームは、前記電力分配システムに電氣的に結合するために、その第一端部に前記横側面に近接して位置する電力コンタクトを備えるとともに、前記第一端部と反対側の第二端部が前記半導体ダイに電氣的に結合するための電力パッドを備えている、請求項 12 に記載の電子パッケージ。

【請求項 15】

前記リードフレームキャリアは、半導体基板、半導体パッケージ及びプリント回路基板から成る群より選ばれる少なくとも一つの要素を含む、請求項 14 に記載の電子パッケージ。

20

【請求項 16】

半導体ダイを包み込むように適合された半導体パッケージを更に含む、請求項 12 に記載の電子パッケージ。

【請求項 17】

半導体パッケージは、プラスチックパッケージ、セラミックパッケージ及びグローブトップ (glob top) パッケージから成る群より選ばれる、請求項 16 に記載の電子パッケージ。

【請求項 18】

前記半導体ダイは、レベル 0 集積化、レベル 1 集積化、レベル 2 集積化、レベル 3 集積化及びレベル 4 集積化から成る群より選択される集積化の一部である、請求項 12 に記載の電子パッケージ。

30

【請求項 19】

電子パッケージであって、

第一の表面積を備える頂部側面と、第二の表面積を備え頂部側面と対向して配設された底部側面と、第三の表面積を備え前記頂部及び底部側面の間に配設された横側面とを有し、第一の表面積及び第二の表面積が前記第三の表面積よりも大きく、

半導体基板と、

半導体基板上に取り付けられた半導体ダイと、

半導体ダイを包み込む半導体パッケージと、

該パッケージの底部側面に設けられ、前記半導体ダイと信号伝達システムとの間に電氣的に結合された信号接続部を含むリードフレームキャリアとを更に有し、前記信号接続部は信号リードフレームを含み、

40

該信号リードフレームは、前記信号伝達システムに電氣的に結合するために、前記パッケージの底部側面に設けられた信号コンタクトを備える第一端部を含むとともに、前記半導体ダイに電氣的に結合するため信号パッドを備える、第一端部と反対側の第二端部を含んでおり、

電子パッケージは更に、

前記信号伝達システムからの第一信号を前記半導体ダイに電氣的に結合するための第一の信号経路と、前記半導体ダイからの第二信号を前記信号伝達システムに電氣的に結合するための第二の信号経路とを含む双方向信号経路と、

50

前記パッケージの頂部及び横側面の内の何れか一方に近接し、前記半導体ダイと電力分配システムとの間に電氣的に結合された電力接続部であって、電力リードフレームを更に含み、該電力リードフレームは、前記電力分配システムに電氣的に結合するために、前記パッケージの頂部及び横側面の内の何れかに近接して設けられた第一端部に電力コンタクトを更に含むとともに、前記半導体ダイに電氣的に結合するための電力パッドを前記第一端部と反対側の第二端部に含む電力接続部と、

前記電力分配システムからの電力を前記半導体ダイに電氣的に結合するための電力経路と、前記半導体ダイからの接地を前記電力分配システムに電氣的に結合するための接地経路とを含む双方向電力経路とを有し、前記電力は、前記電力分配システムによって発生される直流電圧よりも低いデカップリングされ調整された直流電圧と、前記電力分配システムによって発生される直流電流よりも大きなデカップリングされ調整された直流電流とを含み、前記電力接続部の電流保持コンデンサは、前記信号接続部の電流保持コンデンサよりも大きい電子パッケージ。

10

【請求項 20】

前記信号接続部は、第一の周波数の第一信号を運ぶ第一の信号インターフェイスと、第一の周波数と異なる第二の周波数の第二信号を運ぶ第二の信号インターフェイスとを更に含む、請求項 19 に記載の電子パッケージ。

【請求項 21】

前記信号接続部は、(1) 前記パッケージの底部側面の外側、(2) 前記パッケージの底部側面と面一、(3) 前記パッケージの底部側面から凹んだ位置、及び、(4) 前記パッケージの底部側面の内側から成る群より選択される位置に位置しており、

20

前記電力接続部は、(5) 前記パッケージの頂部及び横側面の内の少なくとも一方の外側、(6) 前記パッケージの頂部及び横側面の内の少なくとも一方と面一、(7) 前記パッケージの頂部及び横側面の内の少なくとも一方から凹んだ位置、並びに、(8) 前記パッケージの頂部及び横側面の内の少なくとも一方の内側から成る群より選択される位置に位置している、請求項 19 に記載の電子パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、米国仮特許出願第 60,325,107 号(2001年9月26日出願)に基づく優先権を主張する。

30

【0002】

本発明は、一般に集積回路用のシステムに関する。より詳細には、本発明は、半導体技術の進歩を支える、集積回路用の電力供給システム、信号伝達システム、パッケージ設計システム、熱管理システム及び電磁障害(EMI)放射制御システムに関する。

【背景技術】

【0003】

I. 半導体技術

消費者は、より機能が多く、より性能が高く、より小型で、より軽量で、より信頼性が高く、より安価で、市場により早く出回る革新的な電子製品を望んでいる。半導体技術は、消費者が望む革新的な電子製品のためのコアとなるビルディングブロックである。長年に亘(わた)り、半導体技術の進歩により、サイズ、重量、欠陥及びコストを最小にしながら、集積回路(IC)装置の機能及び性能が飛躍的に高められている。

40

【0004】

歴史的に見ると、電子産業が半導体チップ上に置くことができるトランジスタの数はほぼ 18ヶ月毎に2倍に増加している。この速い開発サイクルにより、新しい革新的製品を市場へ早く供給することを可能にしている。例えば、半導体製造業者は、1[GHz]のクロック速度で動作するマイクロプロセッサを完成させるのに30年近くも要したが、最近、1[GHz]に到達した後18ヶ月に満たない期間で、マイクロプロセッサクロック速度を2[GHz]に到達させた。製造業者は、より速いシリコントランジスタを作ること

50

によって、半導体技術の速い進歩を次の10年も続けることについて基本的な障害はないと予想している。これらのトランジスタは約20ナノメートル〔nm〕のサイズになるものと予想され、これにより、製造業者は、20〔GHz〕に近い速度で1〔ボルト〕未満で動作する、10億個のトランジスタを含むマイクロプロセッサを数年以内に作ることが可能になることが見込まれる。マイクロプロセッサ内部での電子の流れを制御するスイッチのように作用するこれらの新しいトランジスタは、1秒間に1兆回以上オンオフを繰り返すであろう。そのような半導体技術の進歩によって、クロック速度がより速く、パワーがより大きく、供給電圧がより低く、直流電流がより大きく、過渡電流がより大きく、電圧マージンがより狭く、熱密度の不均一性がより高く、電磁障害放射周波数がより高いマイクロプロセッサが製造されるであろう。これらの進歩に付随する利点は、マイクロプロセッサの相互接続が増加すること、回路基板の占有面積及びパッケージの容積が減少すること、並びに、製品の製造及び信頼性が改善されることである。

10

【0005】

近い将来のマイクロプロセッサの仕様は、1.0〔V〕の動作電圧、100〔A〕の電流、300〔A/μ秒〕の過渡電流、90〔%〕を超える効率、5〔%〕以内の変動率、及び、1〔%〕未満の電圧リップルを要求する。これらの条件は、現在のマイクロプロセッサ設計を上回る大きな利点をもたらす。これらの特性や条件を有するマイクロプロセッサ、及び、特性や条件に対する要求がより高い将来のマイクロプロセッサは、電力分配、信号伝達、パッケージング、熱管理及び電磁障害（EMI）放射制御等の新しいサポートシステムを必要とするであろう。

20

II. 電力分配

電力分配は、電力を必要とする装置に電力を供給することに関する。慣例では、理想的な電源を想定し、電力分配については設計の最終段階まで殆ど（ほとんど）考慮されない。プリント回路基板（PCB）の設計者は、PCB内の慣用の電源及び接地平面、並びに、PCB上の幅広で厚いトレースを用いて理想的な電力分配供給を確立し、電力をPCB上の装置間で分配するように試みる。高周波セラミックコンデンサは、トランジスタのオンオフ切り換えによって発生される高周波ノイズを、該高周波ノイズをアースに短絡することによって制御する。その後、低周波バルクコンデンサ（タンタルコンデンサ等）が高周波セラミックコンデンサを再充電する。種々のICのために必要とされる各種の静電容量を決定するための種々経験則が存在する。

30

【0006】

この電力分配システムを電氣的にモデル化するために考慮すべき点は、電力を受ける装置と電源の抵抗やコンデンサ等の部品、接点、ピン、PCB、コネクタ及びケーブルのインダクタンスと抵抗である。過去においては、インダクタンス（ $V = L di / dt$ ）及び抵抗（ $V = IR$ ）に起因する電圧降下は、殆どのシステムにおける装置の許容範囲に対してほぼ無視可能であった。同様に、単純な経験則により、高周波ノイズをデカップリングするための方法が決められる。

【0007】

各世代の半導体技術は、進んだサブミクロン半導体技術の要求に応えらるとともに信頼性を向上させるために、電源電圧を低下させてきた。電源電圧を低下させると、電力消費量も低下する。しかし、低下させた電源電圧でも、マイクロプロセッサの電力消費量は増加し続ける。何故なら、トランジスタの数が増加し、ダイ上のトランジスタの密度が増加し、絶縁体の厚さの減少により容量が増加し、更に動作周波数が高くなるからである。マイクロプロセッサの電源電圧が1.0〔V〕に近付いているが、マイクロプロセッサにおける電力消費量は、2年毎に3倍程度上昇している。電力消費量（P）は、動作周波数（f）、電源電圧（V）及びマイクロプロセッサのチップ容量（C）に関連し、式（ $P = C f V^2$ ）によって表される。例えば、典型的なチップ容量が20〔ナノファラッド〕、電源電圧が1.65〔ボルト〕、動作周波数が1〔GHz〕であるマイクロプロセッサは、55〔ワット〕の電力（ $0.020 \times 1.65 \times 1.65 \times 1,000$ ）を消費するであろう。他の例では、典型的なチップ容量が40〔ナノファラッド〕、電源電圧が1〔ボルト〕

40

50

、動作周波数が3〔GHz〕であるマイクロプロセッサは、120〔ワット〕の電力(0.040×1.0×1.0×3,000)を消費するであろう。

【0008】

また、電力消費量(P)は、電源電圧(V)と電流(I)に関連し、式($P = VI$)によって表される。この式は、低電源電圧(V)で高い電力消費量(P)の場合、大きな電流(I)($I = P/V$)をマイクロプロセッサに分配しなければならないことを示している。上記の二つの例の場合を引き続き考えると、55〔ワット〕の電力を消費する電源電圧が1.65〔ボルト〕のマイクロプロセッサは、33〔アンペア〕($55/1.65$)の供給電流を必要とし、120〔ワット〕の電力を消費する電源電圧が1.0〔ボルト〕のマイクロプロセッサは、120〔アンペア〕($120/1$)の供給電流を必要とし、これは33〔アンペア〕のマイクロプロセッサに対し約3.6倍の増加であることを表している。

10

【0009】

これらの電圧及び電流レベルでは、電力分配経路に沿う受け入れられない電圧降下を引き起こすインピーダンスレベルのため、中央電源が大電流低電圧の電力をコンピュータシステム全体を通して分配することはより困難である。コンピュータシステムは、現在、高電圧低電流でコンピュータシステム全体を通して電力を送り、その後、マイクロプロセッサが必要とするような低電圧大電流に変換する分散型電力システムを使用している。必要とされる低電圧大電流の電力を提供する電圧調整器又はモジュール型DC/DCコンバータがマザーボード上でマイクロプロセッサに可能な限り接近して位置決めされ、これにより、インピーダンス、及び、これによって発生する電圧降下を最小にしている。マザーボード上における電力分配経路の位置は、他の部品が使用することができる貴重な空間を奪ってしまう。

20

【0010】

分散型電力分配システムを使用しても、分配経路の各部分は、発生する電圧降下を最小にするために低インピーダンスでなければならない。典型的には、電圧調整器での電圧変動は、マイクロプロセッサでの電圧変動の(例えば、約半分)未満である。慣例では、ピン数が多く厚い銅の電源/接地平面を有するコネクタを使用してインピーダンスを最小化している。しかし、これらの解決策は、余分なプリント回路基板のスペースと追加のコストを必要とする。

30

【0011】

ある電力分配のアプローチでは、マイクロプロセッサと電圧調整器が、それぞれ、モジュールを形成し、各モジュールをマザーボードに接続するために対応するソケットに依存している。マイクロプロセッサがインターポーザ基板に取り付けられる場合もあり、この場合、マザーボードは、電圧調整器を受け入れるソケットと、インターポーザ基板を受け入れる別のソケットとを有している。マイクロプロセッサと電圧調整器は、迅速で容易な交換、及び、効率的な製造とサービスのためにモジュール型となっている。電流は、電圧調整器からマイクロプロセッサへ、電圧調整器から延在する経路を流れて流れる。この経路は、電圧調整器のソケット、マザーボード、インターポーザソケット及び基板、マイクロプロセッサパッケージを通り、ダイで終わる。この比較的長い電流経路によってインピーダンス、及び、電圧降下が発生し、これは先進のマイクロプロセッサ設計には望ましくない。

40

【0012】

他の電力システムのアプローチでは、マザーボードとマイクロプロセッサのソケットを迂(う)回する。このアプローチでは、インターポーザ基板がマイクロプロセッサのダイと電圧調整器を支持する。電流は、電圧調整器からマイクロプロセッサへ、電圧調整器から始まり、電圧調整器のソケット、インターポーザ基板、マイクロプロセッサパッケージを通り、ダイで終わる経路を流れて流れる。このアプローチでは、マザーボードとマイクロプロセッサのソケットが迂回されるため、電流経路が短くなる。したがって、このアプローチは、相対的に短い経路のインピーダンス、及び、これによって発生する電圧降下を改

50

善する。

【0013】

いつの日か、電圧調整器をマイクロプロセッサパッケージに集積し、電流経路を非常に短くし、インピーダンス、及び、これによって発生する電圧降下を減少させることが可能となるであろう。しかし、半導体技術は、このレベルの集積システムを提供できる程まだ進歩していない。

【0014】

マイクロプロセッサの応答時間又は過渡電流条件 (di/dt)、すなわち、電流要求の変化速度は、電力に関連する別の問題である。マイクロプロセッサの種々の演算要求は、電源からの供給すべき電流に変化をもたらす。演算要求は、クロック速度が高い回路及び省電力設計、例えば、クロックゲーティング、スリープモード等のために変化する。これらの技術の結果、供給電流に高速で予測不能な大きな変化が生じ、数ナノ秒の間に数百〔アンペア〕の電流が必要となる。電圧調整器からマイクロプロセッサに供給することが要求される電流のサージは、式 ($dV = IR + L di/dt$) に従って、許容することができない電圧スパイクを電力分配電圧に引き起こす。

10

【0015】

電力分配システム全体に、例えば、電圧調整器モジュール、マザーボード、インターポーザ PCB、ダイパッケージ、ダイ自体の上などにデカップリングコンデンサを設けることによってサージ電流を管理することが試みられている。デカップリングコンデンサは、典型的には回路基板上でマイクロプロセッサパッケージの外側に位置しており、典型的には、回路基板上のマイクロプロセッサパッケージに隣接して取り付けられたいくつかの個別のデカップリングコンデンサが使用される。このアプローチでは、回路基板上の導電トレースがデカップリングコンデンサをマイクロプロセッサ上の電源及び接地ピンに接続する。他のアプローチでは、個別のデカップリングコンデンサが IC の一部として形成される。

20

【0016】

これらのデカップリングコンデンサは、必要なときに電力供給システムがマイクロプロセッサにサージ電流を供給できることを確実にするために一般的に使用される。デカップリングコンデンサは電源をマイクロプロセッサの電源リードに接続する。必要なデカップリング容量は、マイクロプロセッサの電力要求に依存する。マイクロプロセッサは、必要とするサージ電流をデカップリングコンデンサ内に貯蔵された電力から引き出すことができる。デカップリングコンデンサは、電力をマイクロプロセッサの近くに貯蔵して、マイクロプロセッサのサージ電流の必要性に応えることにより、電力分配システムを安定化させる。しかし、基板に取り付けられた個別のデカップリングコンデンサを使用すると、電力分配システムのコストが増加するだけでなく、IC 又は回路基板上、あるいは、別の場所に追加の領域が必要となる。

30

【0017】

マイクロプロセッサの電力要求が増加すると、より大きなデカップリング容量が必要となり、これにより、大きな値、すなわち、大きなサイズのデカップリングコンデンサ、及び、それらを収容するより大きい空間が必要となる。残念なことに、大きな値、すなわち、サイズのデカップリングコンデンサは回路基板上でより大きな領域を占有する。

40

【0018】

トランジスタのスイッチング速度が増加すると、半導体ダイとデカップリングコンデンサとの間の相互接続に関連する、インダクタンスに起因する好ましくない抵抗の値が、式 ($XL = 2fL$) に従って増加する。デカップリングコンデンサとマイクロプロセッサ内の半導体ダイとを相互接続する導電性経路が長くなる程、インダクタンスが増加する。マイクロプロセッサの動作周波数が高くなる程、インダクタンスに起因するシステムの抵抗値が高くなり、抵抗値が高くなると電圧降下が大きくなる。したがって、導電性経路を最短にしてインダクタンスを最小にするために、前述されたように、デカップリングコンデンサをマイクロプロセッサパッケージの内部に置く等、デカップリングコンデンサを半導体

50

ダイにできるだけ接近して位置決めすることが望ましい。

【0019】

更に、コンデンサは容量特性だけでなく抵抗特性を有し、RLC直列回路として電氣的にモデル化することができる。100〔MHz〕以上等の高周波では、インダクタンス特性が従来の個別のデカップリングコンデンサの有効性を制限する。マイクロプロセッサによって大きなサージ電流が要求された場合、この残留インダクタンスにより、受け入れられない電圧降下及び交流ノイズが発生する。

【0020】

歴史的には、電力はICソケット内のピンを介してICに供給されていた。ICの電力要求が増加すると、電力増加に対応するために追加のピンが必要となり、これらの追加のピンのためにICパッケージのサイズが大きくなり、したがって、回路基板上の貴重な空間が奪われてしまう。また、ピンの数の増加は、ICを回路基板のソケットに挿入したり外したりするために必要な力を増加させる。電源ピンがICの同じ面、典型的には、下面を貫通して延びており、密度が高い場合、電源ピンと信号ピンを互いに分離してクロストークやノイズを防止しなければならない。

10

【0021】

したがって、低電圧、狭い電圧マージン、大電流、大過渡電流をマイクロプロセッサ等の高性能集積回路に分配することができ、信頼性を改善しつつ、コストと空間を最小にすることができる電力分配システムに対する要求がある。

20

III. 信号伝達

信号の完全性は、デジタル及びアナログ設計、回路、並びに、伝送ライン理論を含む複雑な研究分野であり、クロストーク、接地反射 (ground bounce) 及び電源ノイズ等の現象が関与している。信号の完全性は常に重要であるが、過去においては、マイクロプロセッサのトランジスタのスイッチング速度が遅かったため、実際には、デジタル信号は1を表すハイパルスと0を表すローパルスに似ていた。信号伝搬の電氣的なモデリングが不要な場合が多かった。残念なことに、1〔GHz〕以上の現在のマイクロプロセッサの速度では、配線、PC基板、コネクタ及びマイクロプロセッサパッケージ等の高速設計の単純な受動要素が、信号の波形や電圧レベルに大きな影響を与える。更に、これらの受動要素は、グリッチ (glitch)、リセット、ロジックエラーや他の問題を引き起こす可能性がある。

30

【0022】

典型的には、マイクロプロセッサは、ランドグリッドアレイ (LGA)、ボールグリッドアレイ (BGA)、ピングリッドアレイ (PGA) 及びハンダ等のガルバニック (galvanic) (すなわち、金属間) 接続を使用してマザーボードと接触し、これにより、マイクロプロセッサとマザーボードとの間で信号を伝達している。トランジスタのスイッチング速度が増加すると、マイクロプロセッサ内部の半導体ダイとマザーボードとの間の導電性相互接続に関連する、インダクタンスに起因する好ましくない抵抗の値が、式 ($X_L = 2\pi fL$) に従って増加する。マイクロプロセッサ内の半導体ダイとマザーボードとを相互接続する導電性経路が長くなる程、インダクタンスが増加する。マイクロプロセッサの動作周波数が高くなる程、信号経路上のインダクタンスに起因する抵抗値が高くなり、抵抗値が高くなると信号レベルの電圧降下が大きくなる。したがって、マイクロプロセッサの動作周波数が増加しているため、信号経路のインダクタンスを最小にすることが望ましい。導電性接点を介しての信号伝達の他の欠点が、1997年5月13日に発行された米国特許第5,629,838号に開示されている。マイクロプロセッサの要求動作周波数の増加とシステムの信号の完全性との間にはエンジニアリング的妥協が存在する。

40

【0023】

したがって、信号の完全性を低下させることなくマイクロプロセッサの動作周波数を高めることができるシステムに対する要求が存在する。その様なシステムは性能を最高にし、高速デジタル信号設計で使用される相互接続技術のコストを最小にすることができる。

50

IV. 集積回路パッケージ設計

半導体技術の進歩により、性能がより高くサイズがより小さいマイクロプロセッサが提供され、これはマイクロプロセッサのパッケージの設計に直接的な影響を与えている。マイクロプロセッサのパッケージ設計に関連するファクタには、コンタクトあたり及びソケットあたりの電流、接地及び電源ピンの数、信号コンタクトの数、単位面積あたりの信号コンタクトの数、コンタクトのピッチ、すべてのコンタクトの数、単位面積あたりのすべてのコンタクトの数、Z軸方向の接触力、嵌（かん）合コンタクト高さ、信号帯域幅、半導体ダイのサイズ等がある。

【0024】

マイクロプロセッサ内のトランジスタの数及びパワーが増加すると、典型的には、コンタクトあたり及びソケットあたりの電流が増加するとともに、接地及び電源ピンの数が増加する。マイクロプロセッサの性能が向上すると、信号コンタクトの数及び半導体ダイのサイズを増加させる必要がある。マイクロプロセッサのパワーが増加し性能が上がると、コンタクトの総数が増加し、コンタクトピッチが減少する。コンタクトの総数が増加し、コンタクトピッチが減少すると、Z軸方向の接触力が増加し、これにより、嵌合コンタクト高さが増加する。マイクロプロセッサの動作周波数が高くなると、信号帯域幅が狭くなる。したがって、最適化したパッケージ設計を有するマイクロプロセッサを製造するためには、これらのファクタの間でのエンジニアリング的妥協が存在することを理解しなければならない。

10

V. 熱管理

電子パッケージング設計の進歩により、性能がより高くサイズがより小さい装置が提供され、この結果、発熱及び熱密度が増加し、このため、装置の信頼性を維持するために、パッケージ設計において熱管理により高い優先度が与えられる。

20

【0025】

マイクロプロセッサの場合、性能の向上、集積度の向上及びダイサイズの最適化により、マイクロプロセッサダイのある領域において不均一な熱密度が高くなってきている。発熱及び熱密度は、半導体技術が更に進歩するに伴い増加し続ける。マイクロプロセッサの信頼性は、ダイ接合部の動作温度に依存して指数関数的に変化し、ダイ接合部の動作温度は、ダイ接合部を有するトランジスタが消費する電力に依存する。

【0026】

マイクロプロセッサの熱管理は、電圧調整器の熱管理に関連している。電圧調整器の効率とプロセッサによって消費される電力は一緒に考えなければならない。例えば、120〔ワット〕の電力を消費するマイクロプロセッサを駆動する、85〔%〕の効率で動作する電圧調整器は、約18〔ワット〕の電力を消散する。この電力を電圧調整器やマイクロプロセッサから引き出してこれらのデバイスを冷却し、それらの信頼性を維持する必要がある。したがって、電圧調整器をマイクロプロセッサの近くに置いてインピーダンス、及び、その結果生じる前述されたような電圧降下を最小にすることと、電圧調整器をマイクロプロセッサから遠ざけて発熱と熱密度を最小にすることとの間にエンジニアリング的妥協が存在する。

30

【0027】

したがって、発熱及び熱密度を効率的に消散して信頼性を最大にししながら、インピーダンス、及び、その結果生じる電圧降下を最小にするために高電力マイクロプロセッサを電圧調整器の近くに位置決めすることを可能にする熱管理の解決法に対するニーズが存在する。

40

VI. 電磁インターフェイス

電磁障害（EMI）放射源には、マイクロプロセッサ内のトランジスタ、回路基板上の信号経路及びケーブルがある。コンピュータシステムにおいては、マイクロプロセッサが最も大きなEMI源の一つである。マイクロプロセッサのクロック信号の周波数は1〔GHz〕まで増加し、現在ではそれを越えている。1〔GHz〕では、これらのクロック信号は、5〔GHz〕に達する高調波信号を発生することがあり、これらの信号は何れも、信号の周波数に反比例する波長のEMI波を発生する（すなわち、周波数が高い程、波長が

50

短い)。

【0028】

典型的には、EMIを制御するために導電性のシールド又はカバーが使用される。EMIのための消散経路を提供するためにシールドが接地され、これにより、EMIが他の回路に障害を与えるのを防止する。通常、シールドには熱管理用の孔(あな)が設けられ、EMIを発生するデバイスを冷却するために空気流を作り出す。しかし、シールドの孔が大きいと、シールドを通過してEMIが逃げってしまうため、シールドの孔は、EMIは逃げないが、空気流によるデバイスの冷却が制限されないサイズにしなければならない。高周波信号は、EMIを閉じ込めるためにより小さい孔を必要とするが、孔を小さくすると冷却に利用できる空気流が制限されてしまう。したがって、冷却の目的とEMI閉じ込めの目的のためのシールドの孔のサイズを決定するに当たってエンジニアリング的妥協が存在する。

10

【0029】

シールドはマイクロプロセッサ又はシャシーのレベル若くはその両方に設けられる。マイクロプロセッサは、EMIを引き起こす高周波の高調波信号を発生するため、シールドをマイクロプロセッサに接近させて設けることにより、EMIの発生源の近傍に高調波信号を効果的に閉じ込めることができる。局所的閉じ込めにより、EMIがコンピュータシステム内の他の回路と干渉するのを防ぐことができるが、この場合も、マイクロプロセッサの熱の消散に必要な空気流を制限してしまう。あるいは、コンピュータのシステムのシャシーをシールドとして使用することもあり、これはマイクロプロセッサの周囲における空気流を改善するが、EMIがシステム内の他の回路と干渉することを許容してしまう。シャシーレベルの解決策では、EMIの阻止のためにシャシーの孔を小さくする必要があるが、これは空気流を減少させる。

20

【0030】

マイクロプロセッサの近くに位置するヒートシンクを接地することがEMIを減少させる別の方法である。しかし、ヒートシンクと結合しているマイクロプロセッサは、ヒートシンクをアンテナとして作動させてEMIを放射する。マイクロプロセッサパッケージを介してヒートシンクを接地することは困難である。ヒートシンクを接地すればEMIが減少するかもしれないが、この解決策だけでは、必要とされるFCCのエミッションテストに合格するには不十分であろう。EMIを阻止するためには追加のシールドが必要になるであろう。したがって、システムの熱管理を妥協することなく、高周波信号からのEMIを閉じ込めるEMI閉じ込めシステムに対する要求がある。

30

【発明の開示】

【発明が解決しようとする課題】

【0031】

要約すると、半導体技術の現在及び将来における進歩をサポートするために集積回路用の電力分配、信号伝達、パッケージ設計、熱管理及び電磁障害(EMI)放射制御に関連するシステムが必要とされる。

【0032】

したがって、本発明の全般的な目的は、回路基板上で大きな空間を占有することなく、集積回路への電力の分配における上記の問題を克服する改善された電力分配システム及び装置を提供することである。

40

【0033】

本発明の他の目的は、集積回路と係合するカバー又は類似の部材によって支持された1個以上のコンデンサを利用して集積回路に電力を提供するシステム及び装置を提供することである。

【0034】

本発明の更なる目的は、集積回路用のコネクタを提供することであり、該コネクタは、本体内に電力伝達手段を含む。好ましくは、コネクタは集積回路の側部又は頂部に沿って電力を集積回路に供給可能であり、この結果、集積回路のために必要とされる導電ピン(リ

50

ード)の数を減少することができ、これにより、集積回路をコネクタに挿入したりコネクタから外したりするのに必要な力を減少することができるとともに、集積回路との間での信号伝達に使用する追加のピンを設けることができる。

【0035】

本発明の更に他の目的は、ソケット又はカバーの形態の電力分配部材を提供することであり、該ソケット又はカバーは、その内部に形成された平面状の複数のコンデンサを含み、該コンデンサは、フィルムの形態であるのが好ましい誘電体材料で互いに離間された少なくとも二枚の金属板を含む。コンデンサは、更に電力分配部材によって相互に離間されており、これにより、コンデンサは複数の異なる電圧を集積回路の別個の領域に供給する。

【0036】

本発明の更なる目的は、1個以上のコンデンサを内部に一体化した電力分配部材を提供することであり、集積回路上のリードと係合するために電力分配部材から延在する複数の個別の接触アームを含み、前記リードは、集積回路の頂部、底部又は側部の回りに配設されている。

【0037】

本発明の更なる目的は、回路基板上での占有空間が少なく、回路基板上のリードとの係合をガルバニ結合に依存しないで行うプロセッサパッケージを提供することであり、該パッケージは、集積回路を上側で受けるハウジングを有し、該ハウジングはハウジングの壁を形成する誘電性プレートを備えるとともに、その内側表面上に、集積回路のリードが終端される複数のコンタクトパッドを備え、誘電性プレートは、ハウジングの内側コンタクトパッドを回路基板の対向面に配設されたコンタクトパッドから分離し、ハウジングの内側コンタクトパッドは回路基板の対応するコンタクトパッドと位置が整合されて、それらの間に容量性結合を提供して集積回路から回路基板への信号伝達を行い、ハウジングは更に、ハウジングによって支持された少なくとも1個のコンデンサを有し、該コンデンサが集積回路への電力の供給を行う。

【0038】

本発明の更なる目的は、集積回路に用いるための電力伝達コネクタを提供することであり、該コネクタは、集積回路が取り付けソケット内に取り付けられるか否か関わらず、回路基板上に取り付けられた集積回路を覆うように寸法が決められたカバー部材の形態を採り、カバー部材は、その内部に配設された複数の離間された導電性コンデンサプレート有し、コネクタは、カバー部材が集積回路に装着されたときに、集積回路上の導電性トレースと接触するためにコンデンサプレートから延在している端子を更に有し、コンデンサプレートはそれらに電圧が印加されたときに選択的に電力を貯蔵し、必要なときに集積回路に電力を放電し、コンデンサプレートの端子は、集積回路の側部又は頂部から集積回路に接触し、これにより、回路基板又は取り付けソケット内に電力コンタクト又は端子を設ける必要性をなくし、回路基板又は取り付けソケット内の端子数を減少させるとともに、集積回路の取り付けに必要な力を減少させる。

【0039】

本発明の更に他の目的は、マイクロプロセッサに対して電力を容量的に提供し、マイクロプロセッサが動作中に発生する熱を消散させるための手段を備えたシステム及び装置を提供することである。

【0040】

本発明は、これら及び他の目的をその独特で新規な構成によって達成する。

【課題を解決するための手段】

【0041】

本発明の電力分配システムは、電源と、電圧調整器モジュールと、個別の及び/又は集積型コンデンサの形態のデカップリングコンデンサとを有する。電圧調整器モジュールとデカップリングコンデンサは何れも、ICと係合するコネクタ内に設けられている。コネクタは、システムがICの一面以上に電力を分配することができるようにICと係合する、カバー、ソケット又はフレームの形態を採ることができる。システムは、ICから、該I

10

20

30

40

50

Cが設けられる回路基板上のコネクタ内に設けられた遠隔回路へ、導線又はPCBトレースを介して信号を結合する信号伝達システムを有していてもよい。

【0042】

本発明のパッケージ設計システムは、半導体パッケージの外側、面一、凹状又は内側の接続を利用して、信号及び/又は電力をICの一以上の面に結合することができるようにする。好ましくは、本パッケージ設計システムは、周波数が異なる、例えば、高周波と低周波の、信号を、異なるタイプの信号インターフェイス、例えば、導電性、容量性、誘導性、光学的、伝送ライン及び無線を用いて伝達する。

【0043】

また、本発明では種々のシステムにおいて熱管理を行ってもよい。ヒートシンクがICの発熱面と接触するようにヒートシンクとファンがコネクタに取り付けられ、これにより、ICが発生する熱と電力分配システム(システム内で使用される電圧調整器モジュール含む)が発生する熱の両方を消散させる。

【0044】

本発明は、更に、EMI制御システムを利用してもよい。該EMI制御システムは、コネクタの一部として形成され、ICによって放射されるEMIをシールドする。これらのすべてのシステムにより、相互接続密度を増加することができ、回路基板の占有面積及びICパッケージの容積を減少することができ、製品の製造及び信頼性を改善することができる。

【0045】

本発明の上記及びその他の目的、特徴及び利点は、以下の詳細な説明の検討することによって明瞭に理解されよう。

【0046】

以下の詳細な説明において添付図面を頻繁に参照する。

【発明を実施するための最良の形態】

【0047】

本発明は、IC22用の、改良された電力分配システム12、信号伝達システム14、パッケージ設計システム16、熱管理システム18及びEMI制御システム20に関する。現在及び将来の半導体技術の進歩によって、マイクロプロセッサ等のICのクロック速度はより速く、パワーはより大きく、供給電圧はより低く、DC電流はより大きく、過渡電流はより大きく、電圧マージンはより狭く、不均一な熱密度は高く、EMI放射周波数は高くなる。また、このような技術進歩に伴って得られる恩恵としては、マイクロプロセッサの接続密度が高くなり、生産性や信頼性も高くなるということが挙げられる。半導体製造者は、近い将来のマイクロプロセッサは、典型的には、動作電圧1.0[V]以下、電流100[A]以上、過渡電流300[A/μ秒]以上、電圧調整器の効率90[%]超、電圧変動率5[%]以下、電圧リップル1[%]未満となると予想している。これらの条件を満たすには、現在のマイクロプロセッサの設計に対して非常に大きな進歩が必要となり、このような特性を備えたマイクロプロセッサには、将来におけるパッケージングとして、電力分配、信号伝達、パッケージング、熱管理、EMI制御のための新しいサポートシステムが必要となるであろう。本発明は、先進の半導体技術を支えることができ有益な、これらのシステムや他のシステムの改良に関する。

【0048】

図1~20は、図面に示した本発明の各種実施形態におけるIC22用の電力分配システム12、信号伝達システム14、パッケージ設計システム16、熱管理システム18及びEMI制御システム20の概略を示し、図21~58はそれらをより詳細に示す。図1は、IC22用の電力分配システム12、信号伝達システム14、パッケージ設計システム16、熱管理システム18及びEMI制御システム20を含む電子装置、すなわち、システム10の概略ブロック図を示す。図2は、図1の電力分配システム、信号伝達システム、パッケージ設計システムのより詳細なブロック図(符号)32であり、IC22用の電力分配システム12、信号伝達システム14、パッケージ設計システム16間の関係が示

されている。

【0049】

図3は、図2に示した各システムブロックの代替的な位置、及び、該システムブロック間の代替的な接続を記載した表(符号)56である。図4~10は、図1~3に示したIC22のための各種パッケージ設計システム16を示す。図11、12A、12B及び12Cは、図5に示した集積回路(IC)を示し、該集積回路は、カバー、ソケット又はフレームとして形成されたコネクタ112内に設けられているか又はプリント回路基板(PCB)114上に設けられており、導線116及び/又はPCBトレース118として形成されている信号接続26及び/又は電力接続24を有している。図13及び14は、図11に示したIC22が、コネクタ140内又はPCB114上に設けられている遠隔回路(RC)に結合している2タイプの配置を示す。図15~19は、IC22及びRC52を示し、図13及び14に示すように、これらは電圧調整器38とデカップリングコンデンサ42とを有しており、電圧調整器38とデカップリングコンデンサ42は各々、コネクタ112の内の1個か、導線116上か、PCB114上か、又は、これらの組み合わせのいずれかに設けられている。図20は、IC22を示し、図11に示すように、図1に示した熱管理システム18とEMI放射制御システム20がより詳細に示されている。図21及び22は、IC22のためのパッケージ設計システム16を示し、該パッケージ設計システム16は、IC22の側部に設けられた電源コンタクトを有している。図23は、図21に示したIC22を用いたシステム10の組み立て体を示す。図24~26は、IC22のためのパッケージ設計システム16を示し、該パッケージ設計システム16は、IC22の頂部に設けられた電源コンタクトを有している。図27は、図26に示したIC22を用いたシステム10の組み立て体を示す。図28~31は、システム10の各種組み立て図を示す。図32及び33は、ソケット又はカバーとして形成されたコネクタ112を示し、該コネクタ112は、集積コンデンサとして形成されたデカップリングコンデンサ42を有している。図34~44は、集積コンデンサとして形成されたデカップリングコンデンサ42の各種実施形態を示し、該デカップリングコンデンサ42は、カバー、ソケット又はフレームとして形成された別体又は一体のコネクタ112に支持されている。図45~60は、複数の個別のコンデンサとして形成されたデカップリングコンデンサ42の各種実施形態を示し、該デカップリングコンデンサ42はカバー、ソケット又はフレームとして形成されたコネクタ112に支持されている。

【0050】

図1に戻って参照すると、図1は、IC22用の電力分配システム12、信号伝達システム14、パッケージ設計システム16、熱管理システム18及びEMI制御システム20を含む電子装置10のブロック図を示す。本発明は、コンピュータ分野において使用されるマイクロプロセッサの形のICでの使用が最大の用途であるが、その原理及び構造は他の用途に使用される他のICにも適用することができるものと理解される。電力分配システム12はIC22に電源を供給し、信号伝達システム14はIC22からの又はIC22への信号を伝達する。パッケージ設計システムは、IC22が保持されるパッケージ、すなわち、ハウジングの構築に関するものであり、熱管理システム18は動作中にIC22を冷却し、EMI制御システム20は、IC22から又はIC22へのEMIをブロックする。

【0051】

電力分配システム12は、電力接続24によってIC22に連結され、前記電力接続24は、好ましくは、電源要素と接地要素(図示せず)とを含む。図1及び2に示された電力接続24は好ましくは二方向接続であり、これは、電力分配システム12から電源経路を介してIC22に向かう電力を示すとともに、IC22から電力分配システム12に向かう接地経路を示す。

【0052】

信号伝達システム14は、信号接続26によってIC22に連結される。前記信号接続26は一以上の信号経路を含むことができ、単一信号は単一経路によって送り、複数の信号

10

20

30

40

50

は個別の経路によって送るか、又は、一以上の経路によって多重化されて送ることができる。信号接続 26 も好ましくは二方向接続であり、これにより、IC 22 から信号伝達システム 14 に向かう信号を示すとともに、信号伝達システム 14 から IC 22 に向かう信号を示す。信号は、通常、データ及び / 又は制御情報を含む。

【0053】

パッケージ設計システム 16 は通常 IC 22 に固有であり、前記各種システム 12、14、18、20 と一緒に動作するように IC 22 を構築することを含む。熱管理システム 18 は、好ましくは、熱の流れの経路を示す熱接続 28 により、熱発生面に対向して IC 22 に直接結合されている、すなわち、取り付けられている。熱接続 28 は二方向接続を示し、IC 22 から熱管理システム 18 に発散した熱を示すとともに、熱管理システム 18 から IC 22 へ向けて冷却を行っていることを示す。

10

【0054】

E MI 制御システム 20 は、E MI 接続 30 により IC 22 に連結されている。E MI 接続 30 は E MI 20 の経路を示す。E MI 接続 30 は二方向接続を示し、これは、IC 22 から発生して放射された E MI 30 と、他の回路から IC 22 に向かって放射された E MI 30 とを示す。

【0055】

IC 22 は、高度な半導体技術を支えるための前述された特性や条件を一以上有する半導体装置を含む。IC 22 は好ましくはマイクロプロセッサであるが、例えば、デジタル信号プロセッサ (DSP) や特定用途向け集積回路 (ASIC) 等の別のタイプの信号プロセッサとすることもできる。あるいは、適切な用途においては、IC 22 は、別のタイプの素子、例えば、メモリ装置、コントローラ、送信器又は受信器とすることもできる。

20

【0056】

図 1 の電子装置、すなわち、システム 10 は、集積回路を使用する任意のタイプの電氣的及び / 又は機械的システム、例えば、コンピュータ、通信装置及びシステム、並びに、医療装置及びシステムを示す。コンピュータには、典型的には、ワークステーション、デスクトップコンピュータ、ノートブックコンピュータ、ハンドヘルドコンピュータ、パーソナルデジタルアシスタント等が含まれる。通信装置及びシステムには、通信システム、衛星通信システム、マイクロ波システム、地上電話交換システム、インターネットシステム、無線電話システムその他、サーバ、ルータ等のインターネットシステム等が含まれる。医療装置及びシステムには、診断装置及びシステム、分析装置及びシステム、治療装置及びシステム等が挙げられる。これら装置は携帯式であっても、携帯式でなくてもよい。本技術分野においては、通常、周期的に充電する必要がある短時間電力分配システムを有するものを「携帯」装置と呼ぶ。このような携帯装置は、再充電可能な又は再充電不可能な DC 電源を用いて電力分配システム 12 から直流 (DC) 電力を得る。

30

【0057】

携帯式でない電子装置とは、交流 (AC) 電源コンセントから交流の形で電力を電力分配システム 12 へ導く固定式電力分配システムを有するものである。IC 22 が DC 電力を使うため、この装置においては通常、AC 電力が DC 電力に変換される。しかしながら、用途によっては、IC 22 が AC 電力を使用することもある。

40

【0058】

図 2 は、IC 22 用の電力分配システム 12、信号伝達システム 14、パッケージ設計システム 16 を示す詳細ブロック図 (符号) 32 である。前記電力分配システム 12 は、電源 34、電源と電圧調整器モジュールとの間の接続 36、電圧調整器モジュール 38、電圧調整器モジュールとデカップリングコンデンサ 42 との間の接続 40、デカップリングコンデンサから IC までの接続 44、及び、必要な場合は電圧調整器モジュールと IC との間の接続 54 を含む。信号伝達システム 14 は、遠隔回路 52 及び該遠隔回路 52 と IC との間の接続 50 を含む。パッケージ設計システム 16 は、好ましくは、IC 電力接続部 46 及び IC 信号接続部 48 を含む。

【0059】

50

動作においては、電源 3 4 は比較的粗く調整された D C 電力を電力接続 3 6 において発生させる。電圧調整器モジュール 3 8 は、この粗い D C 電力を比較的細かく調整された D C 電力に変換し下流の電力接続 4 0 へ出力し、必要に応じてデカップリングコンデンサ 4 2 に送る。該デカップリングコンデンサ 4 2 は、この調整済 D C 電力を所定の量だけ蓄え、電力接続 4 4 を介して I C の電力接続部、すなわち、入力部 4 6 へ提供する。あるいは、電圧調整器モジュール 3 8 は、デカップリングコンデンサ 4 2 を用いずに、直接 I C の I C 電力接続部 4 6 に調整済 D C 電力を供給することもできる。I C 信号接続部 4 8 は、信号接続 5 0 を介して、遠隔回路 5 2 への信号を送信したり、遠隔回路 5 2 からの信号を受信したりする。

【 0 0 6 0 】

電力分配システム 1 2 においては、電力接続 3 6、4 0、4 4 及び 5 4 は、隣接するシステムブロック間に延びる電力と接地を示す二方向接続である。図 1 に示した電力接続 2 4 は、図 2 の電力接続 4 4 と同一のものである。同様に、信号接続 5 0 は二方向接続であり、これは、信号接続 2 6 を参照して前述したように、I C 2 2 から遠隔回路 5 2 に向かう信号を示すとともに、遠隔回路 5 2 から I C 2 2 に向かう信号を示す。同様に、図 1 の信号接続 2 6 は、図 2 の信号接続 5 0 と同一のものである。

【 0 0 6 1 】

電源 3 4 は好ましくは、図 3 の表 5 6 の A 列第 2 行に示すように、電子装置、すなわち、システム 1 0 内の遠隔位置に置かれる。この遠隔位置は、電子装置、すなわち、システム 1 0 に電力を供給するのに適切な任意の位置とすることができる。したがって、電子装置、すなわち、システム 1 0 がハウジングや包囲部材等を有する場合、電源をその内側か外側に置くことができる。好ましくは、電源 3 4 は、ハウジングの内側に設けられ、シャーシや回路基板等の構造物に取り付けられる。電源 3 4 がハウジングの外側に設けられる場合、電源は、通常、ハウジングの外側に取り付けられる。電源 3 4 は、電力を発生し、好ましくは交流 (A C) の電源を直流 (D C) の電源に変換して電力接続 3 6 へ出力するものであればいかなるタイプの装置であってもよい。このような A C から D C への電力変換は、前述したように、携帯式でない電子装置においては通常行われていることである。あるいは、電源 3 4 は、バッテリーやコンデンサ等の D C 電源から直接 D C 電力を発生させるものであってもよい。電源 3 4 は、好ましくは、電源 3 4 のコストと複雑さを最小限のものとするために、調整レベルの比較的粗い D C 電源を発生させる。

【 0 0 6 2 】

電源 3 4 は、電源の技術分野では知られているように、通常、比較的高電圧で比較的低電流の D C 電力を電力接続 3 6 に発生させる。しかしながら、I C 2 2 は比較的低電圧で比較的大電流の D C 電力を必要とする。したがって、本発明の好ましい実施形態によれば、D C 電力の高電圧低電流から低電圧大電流への変換がなされる位置と、高電圧低電流の D C 電力のための電力接続及び低電圧大電流の D C 電力のための電力接続の位置と種類に、特別な考慮がなされている。

【 0 0 6 3 】

高電圧低電流の D C 電源は、比較的少ない量の導電材料で構成した電力接続、例えば、配線や回路基板トレース等を介して電力を送ることを許容するので、電力接続に係るコストを最小限にするため有利である。この導電性材料としては、金属、導電性インク等が挙げられる。通常、電力接続を形成する回路基板上のトレースの設計によって、回路基板上に設けられる導電性メッキの最大量が決まる。回路基板上の導電性メッキの厚さは回路基板全体に亘って均一とするが、これは回路基板上のメッキの量、すなわち、厚さを領域別を選択して適用することはコスト的に不利であるからである。回路基板の電力接続にかかるコストによって、回路基板のコストが高くなってしまふ場合が多い。例えば、高電圧低電流の D C 電力を電源 3 4 から回路基板上のトレースを介して回路基板上に設けられた各種電子部品に送るには通常、1 [オンス] の銅メッキが使用される。一方、電源 3 4 が低電圧大電流の電力を出力する場合には、回路基板上の要素に同量の電力を送るためには、基板上に 4 [オンス] の銅メッキが必要となるであろう。このような 4 倍量のメッキを有

10

20

30

40

50

する回路基板は、非常に高価なものとなる。

【0064】

本発明の好ましい実施形態によれば、下記において詳細に説明するように、回路基板上に電力接続を形成する回路基板トレースは、好ましくは、回路基板のコストを最小限にするために、低電圧大電流のDC電力ではなく高電圧低電流のDC電力を送る。この場合、導電体は、低電圧大電流のDC電力を、回路基板トレースを介さずに、電圧調整器モジュール38及び/又はデカップリングコンデンサ42から直接IC22へ送る。

【0065】

電圧調整器モジュール38は、電力接続36の高電圧低電流のDC電力をIC22に適切な低電圧大電流のDC電力に変換する任意のデバイスとすることができる。好ましくは、電圧調整器モジュール38は、電圧調整器モジュール38の性能を最大限にしながら電圧調整器モジュール38のコストと複雑さを最小限にするために、DC電力を比較的細かく調整されたレベルで発生させる。本明細書において、「粗い」及び「細かい」と「高(大)」及び「低」という用語は、電源34と電圧調整器モジュール38の性能及び動作を区別する相対的な用語であって、特定の値やレベルに限定されることを意図していない。電圧調整器モジュール38は、個別の回路部品群及び/又は一体化された回路部品群のモジュールとして構成され、必要であれば別の回路基板に設けられることが好ましい。あるいは、電圧調整器モジュール38は、必要や要望に応じて、個別の回路部品群だけあるいは一体化された回路部品群だけで構成することができる。

10

【0066】

デカップリングコンデンサ42は、IC22からの電力をデカップリングする任意のタイプのコンデンサを含むことができる。デカップリングコンデンサ42は、前述したように、必要となるときに大きな過渡電流をIC22に好適に供給することができる。デカップリングコンデンサ42は、個別のコンデンサからあるいは集積コンデンサから形成することができる。個別のコンデンサとしては、セラミックコンデンサ、タンタルコンデンサ、ゲル(ポケットティッドエアロゲル(pocketed aero gel)等)コンデンサ等が挙げられ、これらはリード接続又は表面接続用の終端接続部を有する。このようなコンデンサには、チップタイプコンデンサも含まれる。個別のコンデンサは、所定の仕様を提供し、サイズが分かっているものであることが有利である。個別のコンデンサへの接続には、単芯(しん)ワイヤや多芯ワイヤ、打ち抜き成形リード、ブランクリード(blank lead)等の導線を用いる。前述の個別のコンデンサは、キャリアリードフレームと一体に形成してもよいし、適切な絶縁体により離間された比較的大きな平行プレート群を含むものでもよい。集積コンデンサは剛性のものであるいは可撓(とう)性のものであり、固体、液体、ペースト、ゲル、気体で形成することができる。集積コンデンサは、注文に応じた仕様、形状、構成を許容することができ有利である。デカップリングコンデンサ42については、下記においてより詳細に説明する。

20

30

【0067】

電源34、電圧調整器モジュール38及びデカップリングコンデンサ42は、任意の適切な方法で組み合わせて、個別あるいは一体のモジュール、装置、部品等とすることができる。好ましくは、電源34、電圧調整器モジュール38及びデカップリングコンデンサ42は別々に構成してもよいし、それに類する他の構成としてもよい。すなわち、電源34と電圧調整器モジュール38は、低電圧大電流の細かく調整されたDC電力を発生させる単一の一体化された装置として設計することもできる。更に、電圧調整器モジュール38とデカップリングコンデンサ42は、デカップリングされた低電圧大電流の細かく調整されたDC電力を発生させることができる単一の一体化された装置として設計することができる。

40

【0068】

IC22は、必要に応じ、デカップリングコンデンサ42から電力接続44を介して、あるいは、電圧調整器モジュール38から電力接続54を介して電力を得る。通常、IC22の仕様により、デカップリングコンデンサ42及び/又は電圧調整器モジュール38か

50

ら出力すべき電力が決まる。IC 22が必要とする大過渡電流が電圧調整器モジュール 38だけでは満たせない場合、適切な量のデカップリングコンデンサ 42が必要である。あるいは、電圧調整器モジュール 38が、IC 22が必要とする過渡電流を満たすことができる場合、デカップリングコンデンサ 42は連続的には必要ない。

【0069】

電力接続 44としては、例えば、導電性接続、容量性接続、誘導性接続等の任意のタイプの接続が挙げられる。ICと回路基板との間の信号接続としては、ハンダ、ランドグリッドアレイ(LGA)、ピングリッドアレイ(PGA)、ボールグリッドアレイ(BGA)、スプリングコンタクト等の接続が挙げられる。容量性信号インターフェイスは、適切な誘電材料で離間された適切なサイズの二枚の導電性プレート間の信号伝達をするためのインターフェイスを提供する。誘導性信号インターフェイスは、所定の距離だけ離間し互いに特定の方向を向いた二枚の導電体の間の信号伝達をするためのインターフェイスを提供する。

10

【0070】

遠隔回路 52は、メモリ装置、マイクロプロセッサ、デジタル信号プロセッサ、特定用途向け集積回路(ASIC)、ハードディスクドライブ、ユーザインターフェイス装置、受信器、送信器等を示す。用途によっては、遠隔回路 52とIC 22は、同一の又は異なる電子回路又は電子装置である。

【0071】

信号接続 50は、導電性信号インターフェイス、容量性信号インターフェイス、誘導性信号インターフェイス、光学的信号インターフェイス、伝送線信号インターフェイス、無線式信号インターフェイス等を含むことができる。導電性信号インターフェイスは、ハンダ接続、ランドグリッドアレイ(LGA)、ピングリッドアレイ(PGA)、ボールグリッドアレイ(BGA)等の本技術分野で知られているもの等の金属間接触によるガルバニック信号インターフェイスを提供する。容量性信号インターフェイスは、適切な誘電性材料や空気で離間され、好ましくは略等しいサイズの二枚の離間した導電性プレート間で信号を伝達することができるものである。誘導性信号インターフェイスは、所定の距離だけ離間し互いに特定の方向を向いた二枚の導電体の間で信号を伝達することができるものである。光学的信号インターフェイスは、光ファイバ等の光学ウェーブガイドを介して、チャンネル全体に亘り、光等の光学周波数で、送信器で変調され受信器で変調が戻される信号を送るためのインターフェイスを提供する。伝送線信号インターフェイスは、同軸(coax)、マイクロストリップ、コプレナ、ストリップライン等の二つの平行導電体間で又はそれらを介して信号を送るためのインターフェイスを提供する。無線信号インターフェイスは、空気や空間等の無線伝達媒体を介して、無線周波数チャンネルを通して、無線周波数で、送信器で変調され受信器で復調される信号を送るためのインターフェイスを提供する。電力接続 44と信号接続 50のIC 22への延長は、回路基板、エッジカード組み立て体、ピン・ソケット組み立て体、プラグ組み立て体、ハンダ、導電性接着剤、ピン、スプリングフィンガ等の任意のタイプの嵌(は)め合い構造によって行うことができる。

20

30

【0072】

図3は表(符号) 56を示し、該表 56におけるA、C、E、H及びK列には、図2に示したシステムブロック 34、38、42、22及び52の代替的な位置がそれぞれ示されており、また、B、D、F、G、I及びJ列には、図2のシステムブロック間接続 36、40、44、46、48及び50の代替的な接続がそれぞれ示されている。図2のシステムブロックの符号 36、40、44及び50は表 56の列に直接的に対応し、表 56では括弧が付けられていない。例えば、電力接続 36は、B列第1行に記載されている電力接続に直接的に対応する。図2のシステムブロックの符号 34、38、42、46、22、48及び52は表 56の列に間接的に対応し、表 56では括弧が付けられている。例えば、図2の電源 34は電源自体を示すが、A列第1行は電源の位置を示している。表 56では、図2の電圧調整器モジュールからICへの電力接続 54への代替の接続は明確化のため図示していない。しかしながら、代替の電力接続 54は導線と回路基板トレースとを含

40

50

む。これは、図3の表56に示される他の接続と同じである。

【0073】

表56では、電源の位置は、A列第2行に示すように遠隔と記載されている。本明細書における「遠隔」という用語は一般に、電源が、電子装置10の残りの回路から離れた任意の適切な場所に置かれることを意味する。この記載は、その性質上比較的複雑な回路であり、通常残りの回路にインターフェイスするモジュールとして形成される電源の現在又は予想される将来の設計を反映している。「遠隔」という用語は、電源が残りの回路から離れている場合の距離関係を示すものではない。これは、実際のところ、電源34は残りの回路に電氣的に接続されるからである。

【0074】

C、E、H及びK列の第1行目にそれぞれ示された、電圧調整器モジュール38、デカップリングコンデンサ42、IC22、遠隔回路52の位置は、それぞれ、各列の2、3及び4行目にそれぞれ記載されているように、コネクタ内、PCB上及び/又は導線上に位置すると記載されている。

【0075】

コネクタは、電気信号を電子装置に電氣的に結合させる装置である。コネクタによって運ぶ電気信号には、通常、電力及び/又は情報信号が含まれる。コネクタは、電子装置への電氣的接続を容易にするための機械的な特徴も有する。本発明の好ましい実施形態においては、コネクタは、IC用のカバー、フレーム及びソケットとして形成される。

【0076】

回路基板は、非導電性材料からなる一以上の層を含む、トレースやコンタクトパッドとしても知られている導電性経路を支持するための基板である。導線は、電子装置からの電気信号を別の電子装置に電氣的に結合させるための装置である。導線によって運ばれる電気信号には通常、電力及び/又は信号が含まれる。導線は可撓性、剛性又はその組み合わせである。可撓性導線としては、フレキシブル回路、リボンケーブル、ワイヤ、ケーブル等が挙げられる。剛性導線としては、導電性トレースを設けた従来の回路基板等が挙げられる。導線は、通常、一般に、マザーボードと呼ばれる主回路基板から離して設けられる。

【0077】

電力接続36、40及び44と信号接続50はそれぞれB、D、F及びJ列の第1行目に示されており、各列の第2行目と第3行目にそれぞれ記載されているように、導線及び/又は回路基板トレースであると記載されている。この記載における「導線」という用語は一般に、機能ブロックの位置を参照して前述したのと同じ意味である。したがって、導線は、機能ブロックの位置としても、電力及び/又は信号接続としても用いられる。トレースは、非導電性材料からなる一以上の層上に設けられた電気信号を運ぶための導電性経路を提供する。トレースによって運ばれる電気信号は通常、電力及び/又は情報信号を含む。

【0078】

IC電力接続部46及びIC信号接続部48の位置は、それぞれ、G及びI列の第1行目に示されており、各列の第2、3及び4行目に記載のようにIC22の頂部、側部(横方向)及び/又は底部に設けられると記載されている。本明細書において、「頂部」「側部」及び「底部」という用語は、通常、正方形、円形又は長方形のIC22の異なる側部あるいは表面をいい、これらは説明のみを目的として用いた相対的な用語であり、IC22の頂部、側部又は底部として一般に考えられるであろうものに限定されるものではない。通常、マイクロプロセッサとして形成される現在のICに典型的であるように、IC22の頂部表面と底部表面は、ICの各側部の表面より表面積が大きい。IC電力接続部46とIC信号接続部48の位置については、下記において更に詳細に説明する。

【0079】

図3の表56を概観すると、A、B、C、D、E、F、G、H、I、J及びK列には、それぞれ、1、2、3、2、3、2、3、3、3、2及び3個の個別の選択肢が第2、3及び4行目に記載されている。したがって、表56だけで他の記載や図面を考慮しない場合

10

20

30

40

50

、各種個別の選択肢としては11664個(すなわち、 $1 \times 2 \times 3 \times 2 \times 3 \times 2 \times 3 \times 3 \times 2 \times 3 = 11664$)の組み合わせが考えられる。可能性のある組み合わせのこの個数は、IC22用の電力分配システム12、信号伝達システム14及びパッケージング設計システム16が実施され得る方法が多いことを示している。本発明は、可能性のある組み合わせがこの個数に限定されるものではない。これは、表56に挙げた選択肢と組み合わせ、本明細書に記載し、本図面に図示した他の多くの特徴や代替例を使用し得るためである。更に、各種の選択肢を同時に用いて組み合わせることによって、可能性のある組み合わせの数は増えるであろう。

【0080】

図2に示したデカップリングコンデンサ42と電力接続44を用いずに別の電力接続54を用いた場合、合計の組み合わせの数は、デカップリングコンデンサ42の位置の3通りの選択肢、電力接続44のタイプの2通りの選択肢によって減少する(すなわち、 $11664 / (3 \times 2) = 1994$ 通りの組み合わせが考えられる)。

【0081】

図4A、4B、4C、4D及び4Eは、図1、2及び3に示したIC22を示し、4Aから4Eに向かって集積レベルが0、1、2、3、4の順で増え、これはパッケージング設計システム16を示す。図4Aは、集積レベル0で構成されたIC22を示し、チップ、ウェハ等として知られている半導体ダイ58を含む。図4Bは、集積レベル1で構成されたIC22を示し、図4Aに示した半導体ダイ58が半導体基板60上に設けられている。図4Cは、集積レベル2で構成されたIC22を示し、図4Bに示した半導体基板60上に設けられた半導体ダイ58がプラスチック、セラミック等の半導体パッケージ62で囲まれている。図4Dは、集積レベル3で構成されたIC22を示し、図4Cに示した半導体パッケージ62が回路基板64上に設けられている。該基板は、インターポーザ基板と呼ばれる場合も多い。図4Eは、集積レベル4で構成されたIC22を示し、図4Dに示した半導体パッケージ62とPCB64がより大きな回路基板66上に設けられている。該基板は、マザーボードと呼ばれる場合も多い。好ましくは、IC22は、図4Cに示すように集積レベル2で構成される。しかしながら、ICは、図4Bに示すように集積レベル1で構成されると予想される。

【0082】

各種集積レベルは参照のためだけに図示したのであって、これにより、集積レベルが厳密に定義されるものと解釈すべきではない。具体的には図示されていないが、種々の集積レベルの組み合わせが可能である。例えば、図4Bに示した半導体基板60上に設けられた半導体ダイ58は、半導体パッケージ62を用いずに直接PCB64上に設けることができる。また、図4Cに示した半導体パッケージ62は、PCB64を用いずにマザーボード66上に直接設けることができる。したがって、図示したレベルのIC22の個々の部品を組み合わせ、図4A、4B、4C、4D及び4Eに具体的には図示されていない多くの集積の組み合わせを提供することができる。

【0083】

図4B~4Eにおいて、各パッケージは、全体として「頂部」表面や「側部」表面と考えられる複数の表面を有する。これら複数の表面は、各要素が互いに組み合わせられ、あるいは、取り付けられて階段形状を形成するために生じる。したがって、「頂部」や「側部」という用語は、同一方向に向いているすべての表面を含むことができ、前記方向において最も外側の表面に限定されるものではない。

【0084】

図5に、IC22、電力分配システム12、信号伝達システム14を概略的に示す。この図におけるIC22は一般に、IC電力接続部46とIC信号接続部48とを有するパッケージング設計システム16を含む。したがって、図5に示すブロック図は、IC22が概略立面図で図示されていることを除いては、図2に示したブロック図と略同じである。図5において、すべての図面に適用される凡例を示す。実線は信号接続26の好ましい経路と好ましい電力接続24を示す。点線は、信号接続26の代替の経路を示す。破線は、

電力接続 24 の代替の経路を示す。これらの凡例は、図面や本明細書をより明確にし、かつ、理解を容易にするためのものであり、何らかの限定（例えば、任意の一接続が他の接続より重要である、あるいは、良い等）を加えるものと理解すべきでない。

【0085】

信号伝達システム 14 は、図 2 で説明した通り、信号接続 26 を介して IC 22 の IC 信号接続部 48 に電氣的に結合される。信号接続 26 は、IC 22 の頂部 68、底部 70 及び / または側部 74 に電氣的に結合される。好ましくは、信号接続 26 は、IC 22 の底部 70 に電氣的に結合される。したがって、IC 22 の立面図内に示した IC 信号接続部 48 は、信号接続 26 が IC 22 の任意の表面に設けられることを示す。

【0086】

電力分配システム 12 は、図 2 で説明した通り、電力接続 24 を介して IC 22 の IC 電力接続部 46 に電氣的に結合される。電力接続 24 は、IC 22 の頂部 68、底部 70 及び / または側部 72 に電氣的に結合される。好ましくは、電力接続 24 は、IC 22 の側部 72 に電氣的に結合される。したがって、IC 22 の立面図内に示した IC 電力接続部 46 は、電力接続 24 が IC 22 の任意の表面に設けられることを示す。

【0087】

本発明の好ましい実施形態においては、信号接続 26、電力接続 24 は IC 22 の異なる面（すなわち、それぞれ、底部 70、側部 72）に設けられる。信号接続 26 と電力接続 24 を IC 22 の異なる面に設けることには、IC 22 のパッケージ設計システム 16 に関していくつかの利点がある。利点としては、接地コンタクト数と電源コンタクト数を減らせる、信号コンタクト数を増やせる、単位面積あたりの信号コンタクト数を増やせる、信号コンタクトピッチを小さくすることができる、全コンタクト数を減少することができる、単位面積あたりの全コンタクト数を増やせる、単位面積あたりコンタクトあたりの Z 軸方向の力を減少することができる、嵌め合いコンタクト高さを低くすることができる、信号帯域幅を大きくすることができる、半導体ダイのサイズを大きくすることができる、IC 22 のサイズを小さくすることができる、エレクトロニクスや機械や材料に関する他のファクタをよくすることができる等が挙げられる。

【0088】

あるいは、信号接続 26、電力接続 24 は IC 22 の一以上の面（すなわち、頂部 68、底部 70 及び側部 72）の内の同一面に設けてもよい。この場合、エンジニアリング上の種々の理由から信号接続 26 と電力接続 24 を最適化するために、IC 22 の同一面上のこれらの接続の位置に関して特別な考慮がなされるであろう。これについては、下記において更に詳細に説明する。

【0089】

図 6A は、本発明の好ましい実施形態における、第一の（高）周波数信号インターフェイス 76 と、この第一の（高）周波数信号インターフェイス 76 とは別の第二の（低）周波数信号インターフェイス 78 とを有する図 5 に示した IC 22 を示し、これらインターフェイスは、パッケージ設計システム 16 を示す IC 22 の異なる面にそれぞれ結合されている。すなわち、信号接続 26 は、第一の（高）周波数信号インターフェイス 76 と第二の（低）周波数信号インターフェイス 78 との両方を含む。第一の（高）周波数信号インターフェイス 76 の周波数と第二の（低）周波数信号インターフェイス 78 の周波数は、少なくとも 1〔ヘルツ〕だけ離れている。しかしながら、周波数に基づいて IC 22 の異なる面に設けられる信号インターフェイス同士を離して設けることによって得られる利点は、周波数間の差が大きくなる程大きくなる。

【0090】

第一の（高）周波数信号インターフェイス 76 と第二の（低）周波数信号インターフェイス 78 は各々、IC 22 の任意の面（すなわち、頂部 68、底部 70 及び側部 72）に接続することができる。好ましくは、第一の（高）周波数信号インターフェイス 76 は IC 22 の頂部 68 に接続し、第二の（低）周波数信号インターフェイス 78 は IC 22 の底部 70 に接続する。この位置配列により、IC 22 の側部 72 における信号接続 26 の位

10

20

30

40

50

置を考慮せずに IC 22 の側部 72 に電力接続 24 を接続することができ有利である。

【0091】

更に、この位置配列においては、(図 7A 及び 7B の表 84 に示した) 一種類の信号インターフェイスを IC 22 の一面に使用し、他の種類のインターフェイスを IC 22 の別の一面に使用することが有利である。例えば、第一の(高)周波数信号インターフェイス 76 に容量性タイプの信号インターフェイスを用い、第二の(低)周波数信号インターフェイス 78 に導電性タイプの信号インターフェイスを用いる。この例においては、第二の(低)周波数信号インターフェイス 78 が PCB との間で導電性タイプの信号インターフェイスを介して信号を伝達し、第一の(高)周波数信号インターフェイス 76 が導線との間で容量性タイプの信号インターフェイスを介して信号の伝達を行うことが有利である。言い換えると、低周波数信号は PCB 上の PCB トレースを介して運ばれ、高周波数信号は導線を介して運ばれる。導線は、PCB に入らずに直接他の回路へ高周波数信号を運ぶか、あるいは、他の回路に隣接する PCB に入った後、短い距離だけ PCB トレースを介して延び該回路に高周波数信号を送る。この特定の配置は、PCB のコストとサイズを最小限とすることを許容する。これは、複数の PCB 層間に亘る高周波伝達ラインの複雑なルーティングを最小限にする、あるいは、なくすことができるためである。

10

【0092】

図 6B は、本発明の好ましい実施形態における、第一の(高)周波数信号インターフェイス 76 と、この第一の(高)周波数信号インターフェイス 76 とは別の第二の(低)周波数信号インターフェイス 78 とを有する図 5 に示した IC 22 の立面図であり、これらインターフェイスは、パッケージ設計システム 16 を示す IC 22 の同一面にそれぞれ結合されている。したがって、IC 22 の面(すなわち、頂部 68、底部 70 及び側部 72)に設けられた第一の(高)周波数信号インターフェイス 76 の位置及び第二の(低)周波数信号インターフェイス 78 の位置以外は、図 6B は図 6A と同じものである。

20

【0093】

第一の(高)周波数信号インターフェイス 76 と第二の(低)周波数信号インターフェイス 78 はいずれも、IC 22 の任意の面(すなわち、頂部 68、底部 70 及び側部 72)に接続することができる。好ましくは、第一の(高)周波数信号インターフェイス 76 と第二の(低)周波数信号インターフェイス 78 はともに IC 22 の底部 70 に設けられる。あるいは、第一の(高)周波数信号インターフェイス 76 と第二の(低)周波数信号インターフェイス 78 は IC 22 の頂部 68 か側部 74 に設けることもできる。

30

【0094】

第一の(高)周波数信号インターフェイス 76 と第二の(低)周波数信号インターフェイス 78 をともに IC 22 の同一面に設けることによって、高周波信号と低周波信号を同一の PCB、コネクタ、導線、又は、他の IC に電氣的に結合することができ有利である。この位置配列は、信号接続 26 が一周波数の信号インターフェイスを多く有し、その他の周波数の信号インターフェイスを殆ど有さず、インターフェイスを IC 22 の別々の面に割り振ることが IC 22 の同一面に置くよりもより高価になり複雑になる場合に実用的である。

【0095】

この位置配列では、異なる周波数に対応するために、PCB、コネクタ、導線又は他の IC と IC 22 との間にハイブリッドインターフェイス接続が必要となる場合がある。例えば、第一の(高)周波数信号インターフェイス 76 には容量性タイプの信号インターフェイスを用い、第二の(低)周波数信号インターフェイス 78 には導電性タイプの信号インターフェイスを用いることがある。この場合、ハイブリッドインターフェイス接続は、容量性と導電性の両方の信号を収容する。より具体的には、ハイブリッドインターフェイス接続は、容量性タイプの信号のための誘電性要素と、導電性タイプの信号のためのガルバニック接触部との両方を含むであろう。

40

【0096】

図 7A は、本発明の好ましい実施形態における、第一のタイプの信号インターフェイス 8

50

0と、このタイプの信号インターフェイス80とは別の第二のタイプの信号インターフェイス82とを有する図5に示したIC22の立面図であり、これらインターフェイスは、パッケージ設計システム16を示すIC22の異なる面(すなわち、頂部68、底部70及び側部72)にそれぞれ結合されている。したがって、信号接続26は、第一のタイプの信号インターフェイス80と第二のタイプの信号インターフェイス82の両方を含む。第一のタイプの信号インターフェイス80と第二のタイプの信号インターフェイス82は同一の周波数で又は異なる周波数で信号伝達を行う。

【0097】

第一のタイプの信号インターフェイス80や第二のタイプの信号インターフェイス82としては、図7Aの表84に示すように、導電性信号インターフェイス、容量性信号インターフェイス、誘導性信号インターフェイス、光学的信号インターフェイス、伝送線信号インターフェイス、無線式信号インターフェイス等が挙げられるが、これらにより限定されるものではない。信号インターフェイスのタイプのこれらの例については、上に詳細に説明している。信号インターフェイスのタイプは、上記タイプの信号インターフェイスにより運ばれる信号の特性も含む。このような信号の特性としては、周波数、振幅、変調等が挙げられるが、これらに限定されるものではない。

10

【0098】

第一のタイプの信号インターフェイス80と第二のタイプの信号インターフェイス82は各々、IC22の任意の面(すなわち、頂部68、底部70及び側部72)に接続することができる。好ましくは、第一のタイプの信号インターフェイス80はIC22の頂部68に接続し、第二のタイプの信号インターフェイス82はIC22の底部70に接続する。あるいは、第二のタイプの信号インターフェイス82は、IC22の側部74に接続することもできる。

20

【0099】

このタイプの信号インターフェイス配置は、各々のタイプの信号インターフェイスの電氣的及び/又は機械的特性が異なるためIC22の異なる面にインターフェイスを置く方が費用がかからないか、あるいは、容易である場合に有利である。例えば、第一のタイプの信号インターフェイス80として光学的なものを、第二のタイプの信号インターフェイス82として容量性のものを用いる場合がある。この場合、光学的インターフェイスは光の形の信号を伝達し、容量性インターフェイスは電子の形の電気信号を伝達する。したがって、IC22の一面に光学的信号インターフェイスを、IC22の別の面に容量性信号インターフェイスを構成することが有利であろう。

30

【0100】

図7Bは、本発明の好ましい実施形態における、第一のタイプの信号インターフェイス80と、このタイプの信号インターフェイス80とは別の第二のタイプの信号インターフェイス82とを有する図5に示したIC22を示し、これらインターフェイスは、パッケージ設計システム16を示すIC22の同一面にそれぞれ結合されている。したがって、IC22の面(すなわち、頂部68、底部70及び側部74)に設けられた第一のタイプの信号インターフェイス80の位置及び第二のタイプの信号インターフェイス82の位置以外は、図7Bは図7Aと同じものである。

40

【0101】

第一のタイプの信号インターフェイス80と第二のタイプの信号インターフェイス82はいずれも、IC22の任意の面(すなわち、頂部68、底部70及び側部74)に接続することができる。好ましくは、第一のタイプの信号インターフェイス80と第二のタイプの信号インターフェイス82の両方ともIC22の底部70に設けられる。あるいは、第一のタイプの信号インターフェイス80と第二のタイプの信号インターフェイス82の両方ともIC22の頂部68か側部74に設けることもできる。この配列の利点は、図6Bにおいてハイブリッドインターフェイス接続について説明した利点と同様である。

【0102】

なお、図6A及び6Bに記載の周波数信号インターフェイスと図7A及び7Bに記載のタ

50

イブの信号インターフェイスとは重複している部分がある。これは、図 6 A 及び 6 B に記載の周波数信号インターフェイスは必然的に図 7 A 及び 7 B に記載したものの等のタイプの信号インターフェイスを有するためである。例えば、図 6 A においては、第一の（高）周波数信号インターフェイス 7 6 は好ましくは容量性タイプの信号インターフェイスであり、第二の（低）周波数信号インターフェイス 7 8 は好ましくは導電性タイプの信号インターフェイスである。この例においては、各タイプの信号インターフェイスは異なる周波数で信号伝達を行う。したがって、この記述や例示に示すように、図 6 A、6 B、7 A 及び 7 B の種々の組み合わせが可能であり、それらは本明細書の範囲に含まれる。

【0103】

図 8 A、8 B、8 C 及び 8 D は、本発明の好ましい実施形態における、信号接続部 4 8 及び / 又は電力接続部 4 6 とを有する図 4 C 及び 5 に示した IC 2 2 の断面図であり、これら接続部は、パッケージ設計システム 1 6 を示す半導体パッケージ 6 2 に対して外側に、面一に、凹んだ位置に又は内側にそれぞれ設けられている。好ましくは、IC 2 2 は、上の図 4 C に示す集積レベル 2 の設計で形成された半導体パッケージ 6 2 である。しかし、IC 2 2 は、図 4 A、4 B、4 C、4 D 及び 4 E に示した集積レベル設計のどのレベルで形成されていてもよいし、これらの組み合わせでもよい。なお、図 4 C に示した半導体ダイ 5 8 と半導体基板 6 0 はいずれも、図 8 A、8 B、8 C 及び 8 D の 4 図においては明瞭さを維持するため図示していない。

【0104】

図 8 A、8 B、8 C 及び 8 D は、前述した、半導体パッケージ 6 2（頂部 6 8、底部 7 0、側部 7 2 及び 7 4 を含む）、IC 信号接続部 4 8、IC 電力接続部 4 6、信号接続 2 6、電力接続 2 4 等の共通の特徴を有する。IC 電力接続部 4 6 と信号接続 2 6 は、前述したものと同一である。

【0105】

半導体パッケージ 6 2 は所定の厚さ 8 8 を有する。この所定の厚さ 8 8 は任意の値をとることができ、半導体パッケージ 6 2 の一以上の面によって異なる値であってもよい。半導体パッケージ 6 2 は、任意の適切な材料で形成される。好ましくは、所定の厚さ 8 8 の値は、半導体パッケージ 6 2 にプラスチック材料あるいはセラミック材料を用いたマイクロプロセッサに対して適切な値である。好ましくは、所定の厚さ 8 8 の値は、半導体パッケージ 6 2 のすべての面で同一の値である。

【0106】

IC 2 2 は、IC 2 2 を他の構造体に位置合わせする及び / 又は取り付けのための機械的特徴部（図示せず）を有する。他の構造体としては、PCB、カバー、ソケットやフレームを形成するコネクタ、導線、他の IC 等が挙げられるが、これらに限定されるものではない。機械的特徴部は、IC 2 2 に取り付けられる別体の部品として形成されてもよいし、IC 2 2 に一体に形成されていてもよい。機械的特徴部としては、IC 2 2 の一以上の面から延在するピン、うね（ridge）、ポスト、杭（くい）（peg）、突起（bump）等、及び / 又は IC 2 2 の一以上の面の中に延びる孔、凹部、溝（trough）等が挙げられる。機械的特徴部は、それ自体で固定具を形成してもよいし、別の固定具と協働して IC 2 2 に位置合わせ及び / 又は取り付けられていてもよい。

【0107】

IC 信号接続部 4 8 は、信号コンタクト 9 0 を含む。該信号コンタクト 9 0 は任意のタイプの経路を提供し、この経路により、信号接続 2 6 上の信号が IC 2 2 によって受信される及び / 又は IC 2 2 により送信される。したがって、信号コンタクト 9 0 は、図 7 A 及び 7 B の表 8 4 に示した各種のタイプの信号インターフェイスと適合することができる。インターフェイスとしては、導電性信号インターフェイス、容量性信号インターフェイス、誘導性信号インターフェイス、光学的信号インターフェイス、伝送線信号インターフェイス、無線式信号インターフェイスが挙げられるが、これらに限定されるものではない。用いられる信号インターフェイスのタイプに応じて、信号コンタクト 9 0 は種々の機械的及び電氣的な特徴や特性を有する。信号コンタクトが導電性タイプの信号インターフェイス

スと適合することができるものであるとき、信号コンタクト 90 を金属製としガルバニクコンタクトを提供するのが好ましい。

【0108】

信号コンタクト 90 が容量性タイプの信号インターフェイスと適合することができるものである場合、信号コンタクト 90 は金属製とし、容量性信号伝達に必要な導電性プレートの一側の側を提供するのが好ましい。また、導電性プレート上の IC 22 に絶縁材料が設けられてもよい。なお、他方の側の導電性プレート（図示せず）は PCB 上又はコネクタ上に設けることができ、これについては下記においてより詳細に説明する。

【0109】

信号コンタクト 90 が誘導性タイプの信号インターフェイスと適合することができるものである場合、信号コンタクト 90 を金属製とし、誘電性信号伝達に必要な導電性要素（図示せず）の一側の側を提供するのが好ましい。なお、導電性要素の他方の側（図示せず）は PCB 上又はコネクタ上に設けることができ、これについては下記においてより詳細に説明する。 10

【0110】

信号コンタクト 90 が光学タイプの信号インターフェイスと適合することができるものである場合、信号コンタクト 90 は、一以上の光学送信器及び/又は光学受信器を形成するのが好ましい。これについては下記においてより詳細に説明する。

【0111】

信号コンタクト 90 が伝送線タイプの信号インターフェイスと適合できるものである場合、信号コンタクト 90 は、伝送線インターフェイスを形成し、これにより、IC 22 の外側の信号接続 26 と IC 22 の内側の信号接続（図示せず）との間で適切なインピーダンスマッチングを提供するのが好ましい。 20

【0112】

信号コンタクト 90 が無線タイプの信号インターフェイスと適合することができるものである場合、信号コンタクト 90 は、アンテナインターフェイスを形成し、これにより、IC 22 の外側のアンテナ（図示せず）を介した信号接続 26 と IC 22 の内側の信号接続（図示せず）との間で適切なインピーダンスマッチングを提供するのが好ましい。しかし、信号コンタクト 90 自体がアンテナを形成してもよい。

【0113】

信号コンタクト 90 は、半導体パッケージ 62 内に設けられた半導体ダイ 58（図示せず）に電氣的に結合する。電氣的結合を提供するための慣用の方法としては、半導体製造の技術分野でよく知られているワイヤボンディング、タブボンディング、フリップ-チップボンディング等が挙げられるが、これらに限定されるものではない。好ましくは、信号コンタクト 90 と半導体ダイ 58 との電氣的結合は、半導体製造の技術分野でよく知られているワイヤ及びワイヤボンディングを用いて行われる。 30

【0114】

信号コンタクト 90 は、IC 22 の任意の面あるいはすべての面（すなわち、頂部 68、底部 70、側部 72 及び 74）に設けられる。好ましくは、信号コンタクト 90 は、IC 22 の底部 70 に、前述したように信号接続 26 の好ましい位置に適合するように設けられる。信号コンタクト 90 の代替的な位置を、半導体パッケージ 62 の頂部 68 及び側部 74 に示す。信号コンタクト 90 は、各図においては明確化のため単純なブロックで示される。実際は、信号コンタクト 90 は、各信号経路に対応する複数の別個の信号コンタクトを含む。信号コンタクト 90 は、半導体パッケージ 62 に対して任意の高さを有することができる。好ましくは、信号コンタクト 90 の半導体パッケージ 62 に対する高さはすべて同じである。この配列とすることで、半導体パッケージ 62 の製造が容易になり、信号コンタクト 90 への接続が容易になる。あるいは、エンジニアリング上の各種要求事項を考慮して、信号コンタクト 90 のパッケージ 62 に対するそれぞれの高さを異なるものとするすることができる。信号コンタクト 90 の形状、サイズ、ピッチ、材料等は任意のものとするすることができる。形状としては、正方形、長方形、円形、長円形等が挙げられるが、 40 50

これらに限定されるものではない。好ましくは、サイズは0.5～1.0〔mm〕×0.5～1.0〔mm〕の正方形範囲である。好ましくは、材料はガルバニック材料である。

【0115】

IC電力接続部46は、金属製の導電性電源コンタクト92を含む。電力接続部は任意のタイプの経路を提供し、該経路により、電力接続24の電力がIC22により送られる。電源コンタクト92は、半導体パッケージ62内に設けられた半導体ダイ58（図示せず）に結合される。好ましくは、電源コンタクト92と半導体ダイ58との間の電氣的結合は、ICパッケージ設計の技術分野でよく知られているワイヤ及びワイヤボンディングによって行われる。好ましくは、電源コンタクト92は、信号コンタクト90よりサイズが大きく、電源コンタクト92と半導体ダイ58との間の電氣的結合度は、信号コンタクト90と半導体ダイ58との間の電氣的結合度より高い。このような構成とすることにより、電源コンタクト92から半導体ダイ58に流れる電流を、信号コンタクト90から半導体ダイ58に流れる電流より大きくすることができ有利である。

10

【0116】

電源コンタクト92は、IC22の任意の面あるいはすべての面（すなわち、頂部68、底部70、側部72及び74）に設けられる。好ましくは、電源コンタクト92は、IC22の側部72に、前述したように電力接続24の好ましい位置に適合するように、また、IC上のより多くのコンタクトを信号や他の用途に用いることができるように設けられる。電源コンタクト92の代替的な位置を、半導体パッケージ62の頂部68及び底部70に示す。電源コンタクトをIC22の側部72に設ける場合、IC22の底部70にかかる単位面積あたり一信号コンタクトあたりのZ軸方向の力を大きく減らすことができる。これは、各電源コンタクトあたりの力はX軸及びY軸方向であるためである。電源コンタクトをIC22の頂部68上に設ける場合、IC22の底部70にかかる単位面積あたり一信号コンタクトあたりのZ軸方向の力を大きく減らすことができる。これは、信号コンタクト90と電源コンタクト92がIC22の対向する面に分散している場合には、必要となる接触力がより小さくなるためである。電源コンタクト92は、各図においては明確化のため単純なブロックで図示される。実際には、電源コンタクト92は、図1を参照して説明した電源経路と接地経路に対応する、複数の別個の電源コンタクトと接地コンタクトとを含む。

20

【0117】

電源コンタクト92は、半導体パッケージ62に対して任意の高さを有することができる。好ましくは、電源コンタクト92の半導体パッケージ62に対する高さはすべて同じである。この配列とすることで、半導体パッケージ62の製造が容易になり、電源コンタクト92への接続が容易になる。しかしながら、適切な場合には、エンジニアリング上の各種要求事項を考慮して、電源コンタクト92の半導体パッケージ62に対するそれぞれの高さを異なるものとすることができる。

30

【0118】

図8Aでは、信号コンタクト90及び/又は電源コンタクト92が半導体パッケージ62の外側に設けられている。この場合、信号コンタクト90及び/又は電源コンタクト92は、半導体パッケージ62の外側表面から所定の高さ94だけ突出している。信号コンタクト90及び/又は電源コンタクト92の所定高さ94は任意の値をとることができ、半導体パッケージ62の—以上の面において異なってもよい。好ましくは、所定の高さ94の値は、半導体パッケージ62にプラスチック材料あるいはセラミック材料を用いたマイクロプロセッサに対して適切な値である。好ましくは、信号コンタクト90及び/又は電源コンタクト92の所定高さ94の値は、半導体パッケージ62のすべての面で同一の値である。

40

【0119】

図8Bでは、信号コンタクト90及び/又は電源コンタクト92が半導体パッケージ62に対して面一で設けられている。この場合、信号コンタクト90及び/又は電源コンタクト92は、半導体パッケージ62の外側表面に対して凹凸がない。図8Cでは、信号コン

50

タクト 90 及び / 又は電源コンタクト 92 が、半導体パッケージ 62 に形成された対応する凹み 98 に部分的に凹状に設けられている。この場合、信号コンタクト 90 及び / 又は電源コンタクト 92 は、半導体パッケージ 62 の外側表面から所定の高さ 96 だけ奥まっている。信号コンタクト 90 及び / 又は電源コンタクト 92 の所定の高さ 96 は任意の値をとることができ、半導体パッケージ 62 の一以上の面において異なってもよい。好ましくは、所定高さ 96 の値は、半導体パッケージ 62 にプラスチック材料あるいはセラミック材料を用いたマイクロプロセッサに対して適切な値である。好ましくは、信号コンタクト 90 及び / 又は電源コンタクト 92 の所定高さ 96 の値は、半導体パッケージ 62 のすべての面で同一の値である。この凹部は、信号コンタクト 90 及び / 又は電源コンタクト 92 の汚れ及び / 又は損傷を低減させることができ有利である。この凹部により、電力接続 24 及び / 又は信号接続 26 に対して位置合わせや取り付けのための機械的特徴部を提供することもできる。

10

【0120】

図 8D では、信号コンタクト 90 及び / 又は電源コンタクト 92 が半導体パッケージ 62 の内部に設けられている。この場合、信号コンタクト 90 及び / 又は電源コンタクト 92 は、半導体パッケージ 62 の内側表面よりも内部に設けられている。この配置は、信号コンタクト 90 及び / 又は電源コンタクト 92 の汚れ及び / 又は損傷をなくすことができ有利である。

【0121】

IC 信号接続部 48 は、信号パッケージインターフェイス 100 を含む。信号パッケージインターフェイス 100 は、半導体パッケージ 62 の内部に設けられた信号コンタクト 90 が半導体パッケージ 62 の外側に設けられた信号接続 26 と協働することを許容する任意のタイプのインターフェイスである。信号パッケージインターフェイス 100 は、半導体パッケージ 62 とは別の部品として形成することができ、それを半導体パッケージ 62 に、インサートモルディング、オーバーモルディング、スナップ、締まり嵌め (interference press fit)、接着剤等の各種方法を用いて結合する。別体の部品は、半導体パッケージ 62 と同じ材料で形成してもよいし、異なる材料としてもよい。あるいは、信号パッケージインターフェイス 100 は半導体パッケージ 62 を構成する一部として形成してもよい。信号パッケージインターフェイス 100 は、各図において明確化のため単純なブロックとして図示している。実際には信号パッケージインターフェイス 100 は各信号経路に対応する一以上の別個の信号パッケージインターフェイス 100 を含むことができる。

20

30

【0122】

信号パッケージインターフェイス 100 の機械的及び電気的な特徴や特性は、図 7A 及び 7B の表 84 に示した、使用する信号インターフェイスのタイプによって決まる。例えば、容量性タイプの信号インターフェイスの場合は、信号パッケージインターフェイス 100 が誘電性材料として形成される必要がある。この場合、信号コンタクト 90 は容量性信号伝達に必要な導電性プレート的一方の側を提供する。導電性プレートの第二の側 (図示せず) は半導体パッケージ 62 の外側にあり、PCB 上やコネクタ上に設けることができる。信号パッケージインターフェイス 100 は、適切な周波数、振幅等を有する信号の導電性プレート間の誘電性信号伝達を許容する、適切な誘電率を有する誘電材料を形成する。

40

【0123】

例えば、光学タイプの信号インターフェイスの場合は、信号パッケージインターフェイス 100 が光学レンズとして形成される必要がある。この場合、信号コンタクト 90 は、光学送信器及び / 又は光学受信器を形成する。信号パッケージインターフェイス 100 は、光波の形状に変調された信号を半導体パッケージ 62 を通して送るための光学レンズとする。あるいは、信号パッケージインターフェイス 100 は、半導体パッケージ 62 を貫通して延在する一以上の孔とすることもでき、光ファイバとして形成された信号接続 26 を IC 22 内の光学送信器及び / 又は光学受信器と機械的に位置合わせすることができる。

50

この代替例では、一以上の孔により、IC 22への光ファイバを固定することもできる。他の例によれば、伝送線タイプや無線タイプの信号インターフェイスでは、信号パッケージインターフェイス100をインピーダンスマッチング装置として形成する必要がある。

【0124】

IC電力接続46は電源パッケージインターフェイス102を含む。電源パッケージインターフェイス102は、半導体パッケージ62の内部に設けられた電源コンタクト92が半導体パッケージ62の外側に設けられた電力接続24と協働することを許容する任意のタイプのインターフェイスである。

【0125】

電源パッケージインターフェイス102は、半導体パッケージ62とは別の部品として形成することができ、それを半導体パッケージ62に、インサートモールドイング、オーバーモールドイング、スナップ、締まり嵌め、接着剤等によって結合する。別体の部品は、半導体パッケージ62と同じ材料で形成してもよいし、異なる材料としてもよい。あるいは、電源パッケージインターフェイス102は半導体パッケージ62を構成する一部として形成してもよい。電源パッケージインターフェイス102は、各図において明確化のため単純なブロックとして図示している。実際には電源パッケージインターフェイス102は各信号経路に対応する一以上の別個の電源パッケージインターフェイス102を含むことができる。電源パッケージインターフェイス102の機械的及び電気的な特徴や特性は、電力接続24から電源コンタクト92を介してIC22に電力を送る方法の種類によって決まる。

10

20

【0126】

図8A、8B、8C及び8Dにおいて、図示の特徴は例示のためであって、これらにより限定されるものではなく、いずれかの図面に示された任意の特徴部を、他の図面に示された特徴部と組み合わせて特徴部の複数の組み合わせを提供することができる。例えば、図8Dに示した半導体パッケージ62内に設けられた信号コンタクト90は、図8A、8B及び8Cにそれぞれ示した、半導体パッケージ62の外側に、半導体パッケージ62に面一で、又は、半導体パッケージ62内に凹状に設けられた電源コンタクト92と組み合わせることができる。

【0127】

図9A、9B及び9Cは、本発明の好ましい実施形態における、信号コンタクト90及び/又は電源コンタクト92を有する図8A、8B、8C又は8D及び5に示したIC22の平面図であり、これらコンタクトはパッケージ設計システム16を示すIC22の頂部68、底部70及び/又は側部72にそれぞれ設けられている。この3つの図面においては、信号コンタクト90及び/又は電源コンタクト92は、等間隔に離間した正方形として示されるが、これは例示のみを目的としたものである。実際には、信号コンタクト90及び/又は電源コンタクト92は、任意の適切なサイズ、形状、厚さ、寸法、ピッチ等を有することができる。したがって、信号コンタクト90及び/又は電源コンタクト92をIC22の頂部68、底部70及び/又は側部72の内の一以上に配設することによって、複数の実施形態が提供され、これらは本明細書の範囲に含まれる。

30

【0128】

より具体的に示すと、図9Aは、信号コンタクト90及び/又は電源コンタクト92を支持するのに利用することができるIC22の頂部68を示す。図9Bは、信号コンタクト90及び/又は電源コンタクト92を支持するのに利用することができるIC22の底部70を示す。本発明の好ましい実施形態においては、信号コンタクト90は図9Bに示すようにIC22の底部70に設けられる。図9Cは、信号コンタクト90及び/又は電源コンタクト92を支持するのに利用することができるIC22の側部72を示す。本発明の好ましい実施形態においては、電源コンタクト92は、図9Cに示すようにIC22の側部72に設けられる。

40

【0129】

図10A、10B及び10Cは、信号コンタクト90及び/又は電源コンタクト92のI

50

C 2 2 の頂部 6 8、底部 7 0 及び / 又は側部 7 2 の内の一以上における配置と位置をより限定した例を示す。図 1 0 A は、信号コンタクト 9 0 及び / 又は電源コンタクト 9 2 を支持するのに利用することができる IC 2 2 の頂部 6 8 の外側部分 1 0 4 を示す。IC 2 2 の内側部分 1 0 6 は、ヒートシンク、熱拡散部等を収容するのに利用することができる。好ましくは、ヒートシンクは、IC 2 2 と機械的に接触状態になっており IC 2 2 から熱を取り除くための熱経路を提供する。

【 0 1 3 0 】

図 1 0 B は、信号コンタクト 9 0 及び / 又は電源コンタクト 9 2 を支持するのに利用することができる IC 2 2 の頂部 6 8 の外側部分 1 0 8 と内側部分 1 1 0 とを示す。好ましくは、外側部分 1 0 8 が電源コンタクト 9 2 を支持し、内側部分 1 1 0 が信号コンタクト 9 0 を支持する。この配置は、電源コンタクト 9 2 と信号コンタクト 9 0 とが図 7 A 及び 7 B の表 8 4 に示した信号インターフェイスの内のタイプの異なるものである場合、例えば、電源コンタクト 9 2 が導電性、信号コンタクト 9 0 が容量性である場合に有利である。

10

【 0 1 3 1 】

図 1 0 C は、信号コンタクト 9 0 及び / 又は電源コンタクト 9 2 を支持するのに利用することができる、IC 2 2 の頂部 6 8 の外側部分 1 1 2 及び内側部分 1 1 4 を示す。好ましくは、外側部分 1 1 2 が電源コンタクト 9 2 を支持し、内側部分 1 1 4 が信号コンタクト 9 0 を支持する。

【 0 1 3 2 】

図 1 1 において、コネクタ 1 1 2 は、信号接続 2 6 及び / 又は電力接続 2 4 と IC 2 2 との間の電氣的インターフェイスを提供するための適切な電氣的及び機械的な特徴や特性を含む。コネクタ 1 1 2 は、図 7 A 及び 7 B の表 8 4 に記載の種々のタイプの信号インターフェイスのいずれにも使用することができる。

20

【 0 1 3 3 】

本発明の好ましい実施形態によれば、コネクタ 1 1 2 は、下記において更に詳細に説明するように、電圧調整器モジュール 3 8 及び / 又はデカップリングコンデンサ 4 2 を支持する。コネクタ 1 1 2 は IC 2 2 を支持しているので、電圧調整器モジュール 3 8 及び / 又はデカップリングコンデンサ 4 2 を IC 2 2 にできるだけ近付けて配設することによって、電力接続 2 4 の長さを最短にする。電力接続 2 4 の長さを最短にすることは、言い換えると、電力接続 2 4 のインピーダンスとインダクタンスが最小限の値となり、これにより、電圧調整器モジュール 3 8 及び / 又はデカップリングコンデンサ 4 2 は高性能 IC 2 2 に低電圧で電圧マージンの狭い大電流を供給することができる。

30

【 0 1 3 4 】

コネクタ 1 1 2 は種々のエンジニアリング上の考慮事項に応じて、様々な形態、形状、サイズを採ることができるとともに、様々な材料で作ることができる。様々な形態、形状、サイズについては、図 1 1 において、IC 2 2 の側部 7 4 の破線 1 2 0、1 2 2 及び 1 2 4 や、IC 2 2 の側部 7 2 の破線 1 2 6、1 2 8 及び 1 3 0 で示されている。破線 1 2 0、1 2 2、1 2 4 は、それぞれ、破線 1 2 6、1 2 8、1 3 0 と水平方向に位置合わせされている。破線は、コネクタ 1 1 2 を特定の形態、形状、サイズで形成したときのコネクタ 1 1 2 の端部の種々の場所を示している。なお、破線は例示のみを目的としたものであり、これらにより、コネクタ 1 1 2 の範囲が限定されると理解すべきでない。

40

【 0 1 3 5 】

例えば、IC 2 2 の頂部 6 8 の上方に位置するコネクタ 1 1 2 の上部は、破線 1 2 0 及び 1 2 6 の位置まで下がったところまで延在するものとすることができ、これにより、基本的には、IC 2 2 に被せるプレートやキャップとしても知られているカバーを形成している。この場合、カバーとして形成されているコネクタ 1 1 2 の底面は、IC 2 2 の頂部 6 8 と同一面あるいは頂部 6 8 の上方に設けられる。カバーとして形成されているコネクタ 1 1 2 は更に、IC 2 2 の側部 7 2 及び 7 4 の破線 1 2 2 及び 1 2 8 まで下がった位置まで延在していてもよい。この場合、カバーとして形成されているコネクタ 1 1 2 の底面は、IC 2 2 の頂部 6 8 と底部 7 0 との間の位置に設けられる。カバーとして形成されてい

50

るコネクタ 1 1 2 は更に、IC 2 2 の側部 7 2 及び 7 4 の破線 1 2 4 及び 1 3 0 まで下がった位置まで延在していてもよい。この場合、カバーとして形成されているコネクタ 1 1 2 の底面は、IC 2 2 の底部 7 0 と同一面あるいは底部 7 0 より下の位置まで設けられていてもよいし、PCB 1 1 4 が存在する場合は PCB 1 1 4 の上面まで延在していてもよい。なお、カバーとして形成されているコネクタ 1 1 2 は、IC 2 2 の側部 7 2 及び 7 4 を超えて延在しているように図示されているが、これにより、コネクタ 1 1 2 が限定されるものであると理解すべきでない。あるいは、カバーとして形成されているコネクタ 1 1 2 は、IC 2 2 の側部 7 2 及び 7 4 と面一であっても、側部 7 2 及び 7 4 より内側にあってもよい。図 1 2 A は、カバーとして形成されているコネクタ 1 1 2 のより詳細な図を示す。

10

【0136】

他の例では、IC 2 2 の底部 7 0 より下方に位置するコネクタ 1 1 2 の下部は、破線 1 2 4 及び 1 3 0 の位置までしか延在しておらず、これにより、基本的には、IC 2 2 の下方のカップやポケットとしても知られているソケットを形成している。この場合、ソケットとして形成されているコネクタ 1 1 2 の上面は、IC 2 2 の底部 7 0 と同一面あるいは底部 7 0 の下方に設けられる。ソケットとして形成されているコネクタ 1 1 2 は更に、IC 2 2 の側部 7 2 及び 7 4 の破線 1 2 2 及び 1 2 8 まで上がった位置まで延在していてもよい。この場合、ソケットとして形成されているコネクタ 1 1 2 の上面は、IC 2 2 の底部 7 0 と頂部 6 8 との間の位置に設けられる。ソケットとして形成されているコネクタ 1 1 2 は更に、IC 2 2 の側部 7 2 及び 7 4 の破線 1 2 0 及び 1 2 6 まで上がった位置まで延在していてもよい。この場合、ソケットとして形成されているコネクタ 1 1 2 の上面は、IC 2 2 の頂部 6 8 と同一面あるいは頂部 6 8 より上の位置まで設けられる。なお、ソケットとして形成されているコネクタ 1 1 2 は、IC 2 2 の側部 7 2 及び 7 4 を超えて延在しているように図示されているが、これにより、コネクタ 1 1 2 が限定されるものであると理解すべきでない。あるいは、ソケットとして形成されているコネクタ 1 1 2 は、IC 2 2 の側部 7 2 及び 7 4 と面一であっても、側部 7 2 及び 7 4 より内側にあってもよい。図 1 2 B は、ソケットとして形成されているコネクタ 1 1 2 のより詳細な図を示す。

20

【0137】

他の例では、IC 2 2 の側部 7 2 及び 7 4 の回りに位置するコネクタ 1 1 2 の中央部は、IC 2 2 の周囲を取り囲むリングやボダとしても知られているフレームを形成している。この場合、フレームとして形成されているコネクタ 1 1 2 の上面は、IC 2 2 の頂部 6 8 の上方に設けてもよく、あるいは、破線 1 2 2 及び 1 2 8 で示す IC 2 2 の頂部 6 8 と底部 7 0 との間に設けてもよい。フレームとして形成されているコネクタ 1 1 2 の底面は、IC 2 2 の底部 7 0 より下方に設けてもよいし、破線 1 2 4 及び 1 3 0 で示す IC 2 2 の頂部 6 8 と底部 7 0 との間に設けてもよいし、PCB 1 1 4 が存在する場合には該 PCB 1 1 4 の上面まで延在していてもよい。図 1 2 C は、フレームとして形成されているコネクタ 1 1 2 のより詳細な図を示す。

30

【0138】

コネクタ 1 1 2 のこれら 3 つの例、すなわち、カバー、フレーム、又は、ソケットは、コネクタ 1 1 2 が取り得る様々な形態、形状、サイズの例を示したものである。なお、これらの例に用いた説明は、互いに混じり合っている (blend)。例えば、カバーの説明はフレームの説明と混じり合っており、フレームの説明はソケットの説明と混じり合っている。したがって、これらの例は、コネクタ 1 1 2 が IC 2 2 の一以上の任意の面に設けることができることを示しており、図 1 1 の図に限定されるものではない。

40

【0139】

コネクタ 1 1 2 は、任意の適切な材料で形成することができる。例としては、プラスチックや金属が挙げられるが、これらに限定されるものではない。また、コネクタ 1 1 2 は、任意の適切な特性を有することができる。例としては、導電性や非導電性が挙げられるが、これらに限定されるものではない。好ましくは、コネクタは、非導電性のプラスチック材料で形成され、適切な信号コンタクト (図示せず) と電源コンタクトを支持する。これ

50

らのコンタクトは、IC 22により支持された対応する信号コンタクト90及び電源コンタクト92とともに作用する。あるいは、コネクタ112は、前述の図2に示した電圧調整器モジュール38及び/又はデカップリングコンデンサ42を支持する回路基板として形成されていてもよい。あるいは、コネクタ112は集積コンデンサ構造を有するデカップリングコンデンサ42自体として形成されていてもよい。あるいは、コネクタ112は、従来のハウジングと考えられるものを有することなく、電圧調整器モジュール38及び/又はデカップリングコンデンサ42の機能を提供する個別の部品の組み立て体として形成されていてもよい。

【0140】

コネクタ112は、コネクタ112を他の構造体に位置合わせする及び/又は取り付けるための機械的特徴部(図示せず)を有する。他の構造体としては、回路基板114、カバーやソケット、又は、フレームを形成する他のコネクタ140(図13及び14に示す)、導線116等が挙げられるが、これらに限定されるものではない。機械的特徴部は、コネクタ112に取り付けられる別体の部品として形成されてもよいし、コネクタ112に一体に形成されていてもよい。機械的特徴部としては、コネクタ112の一以上の面から延在するピン、うね、ポスト、杭、突起等、及び/又は、コネクタ112の一以上の面の中に延在する孔、凹部、溝等が挙げられる。機械的特徴は、それ自体で固定具(スナップ、クリップ等)を形成してもよいし、別の固定具と協働してコネクタ112に位置合わせされる及び/又は取り付けられていてもよい。

10

【0141】

信号接続26及び/又は電力接続24は、前述したように、それらをIC 22の好ましい及び/又は代替的な位置に位置合わせするようにコネクタ112に電氣的及び機械的に結合する。また、信号接続26及び/又は電力接続24は、前述したように、導線116としてあるいはPCBトレース118として形成することができる。

20

【0142】

信号接続26及び電力接続24が導線116として形成されるとき、コネクタ112、PCB 114は、全く用いなくてもよいし、コネクタ112を機械的に安定させるために用いてもよい。この場合、コネクタ112は、IC 22やIC 22に信号や電力を送る導線116のためのホルダとして考えられる。PCBがコネクタ112を機械的に安定させるために存在する場合は、コネクタ112はこの回路基板の上方にいくらか浮いているように見える。

30

【0143】

回路基板114は、導電性トレース118を用いて、信号接続26及び/又は電力接続24とIC 22の間のルーティングを行うために用いることができる。回路基板114を用いる場合、好ましくは、ICから回路基板への信号及び/又は電源のインターフェイス132を用いて、IC 22と回路基板114との間の適切な接続を提供する。好ましくは、インターフェイス132は、IC 22の底部70と回路基板114の頂部との間に設けられる。回路基板114は、IC 22、コネクタ112及び/又は導線116を位置合わせする及び/又は固定するための種々のタイプの機械的特徴部を有することができる。該機械的特徴部としては、孔や凹部等が挙げられるがこれらに限定されるものではない。この機械的特徴部は、対応する嵌め合い構造の機械的特徴部と機械的に協働する、あるいはピン、ねじ、杭、スナップ、クリップ等を用いて嵌め合い構造を位置合わせする及び/又は固定する。

40

【0144】

インターフェイス132は、単独で、あるいは、コネクタ112と組み合わせて用いられる。インターフェイス132をコネクタ112と組み合わせて用いる場合、コネクタ112は、好ましくはソケットやフレームとして形成され、IC 22に対してインターフェイス132を保持し位置合わせするのを助ける。この場合、インターフェイス132は、ソケットあるいはフレームとして形成されているコネクタ112の内側部分に形成され、このソケットあるいはフレームは、インターフェイス132の周囲においてコネクタ112

50

の外側部分を形成している。インターフェイス 132 は、IC 22 とは別の部分として形成されてもよいし、単一ユニットとして IC 22 と一体的に形成されてもよい。インターフェイス 132 が IC 22 とは別の部分として形成される場合、インターフェイス 132 は、IC 22 と分離していてもよいし、IC 22 に取り付けられていてもよい。好ましくは、インターフェイス 132 は、IC 22 とは別の部分として形成され IC 22 から分離される。インターフェイス 132 が単一ユニットとして IC 22 と一体的に形成される場合、インターフェイス 132 は、例えば、図 4 B に示したような半導体基板 60 として形成してもよいし、図 4 C 及び 8 D に示したような半導体パッケージ 62 の側部として形成してもよいし、図 4 D 又は 4 E に示したような PCB 64 又は 114 として形成してもよい。インターフェイス 132 は、種々の形状やサイズとすることができ、種々の材料で形成することができる。インターフェイス 132 の全体あるいは個々の部分の種々の形状としては、円形、正方形、多角形等が挙げられる。インターフェイス 132 は、平坦(たん)であってもよいし、湾曲していてもよいし、特定の形状を有するように形成してもよい。

10

20

30

40

50

【0145】

インターフェイス 132 の材料の特性としては、固体、流体、ペースト、ゲル、気体等が挙げられる。インターフェイス 132 の材料の硬さは任意のレベルとすることができ、例えば、剛性、可撓性、可圧縮性が挙げられる。可撓性のインターフェイス 132 が、IC パッケージ及び/又は回路基板 114 の製造のばらつきに対して対応することができ、かつ、容易に製造することができるため有利である。用途によっては、インターフェイス 132 の誘電率等の特性を温度や圧力等により調整することが望ましい場合がある。インターフェイス 132 は、各種製造技法により、材料の単一又は複数の層で形成される。製造技法としては、積層法 (layered built-up approach)、スプレー蒸着法や真空蒸着法、押出成形法等が挙げられるが、これらに限定されるものではない。インターフェイス 132 は、同一材料であるいは異なる複数の材料で形成される。異なる複数の材料の場合、第一の材料は担体を形成し、第二の材料は信号経路及び/又は電源経路を形成する。信号経路及び/又は電源経路を形成する第二の材料は、圧入、インサートモールドイング、オーバーモールドイング、スティッチング等の方法によって第一の材料に取り付けることができる。

【0146】

インターフェイス 132、IC 22 上の信号コンタクト 90 及び/又は電源コンタクト 92、PCB 64 又は 114 上のこれらに対応する信号コンタクト及び/又は電源コンタクト、導線 116、コネクタ 112、又は、遠隔回路 52 は、多様な方法で配設することができる。例えば、コンタクトとインターフェイス 132 の各種配置としては、コンタクト - インターフェイス 132、コンタクト - インターフェイス 132 - コンタクト、インターフェイス 132 - コンタクト - インターフェイス 132、インターフェイス 132 - インターフェイス 132、コンタクト - インターフェイス 132 - インターフェイス 132 - コンタクト及びコンタクト - インターフェイス 132 - コンタクト - インターフェイス 132 - コンタクト等が挙げられるが、これらに限定されるものではない。したがって、インターフェイス 132 は、IC 22、PCB 64 又は 114、導線 116、コネクタ 112 又は遠隔回路 52 の外面に形成してもよいし、これらの内側の層として形成してもよい。電気的には、インターフェイス 132 は、IC 22 と遠隔回路 52 との間の任意のタイプの信号伝達をサポートすることができる。このような信号伝達のタイプとしては、非平衡終端シリアル信号伝達、非平衡終端パラレル信号伝達、差動シリアル信号伝達、及び、差動パラレル信号伝達が挙げられるが、これらに限定されるものではない。更に、インターフェイス 132 及び/又は信号コンタクト 90 及び/又は電源コンタクト 92 は、インダクタンス、キャパシタンス、クロストーク、伝播遅延、勾配 (skew) 及びインピーダンス等のエンジニアリング上の電気的な考慮事項を最適化するように設計される。

【0147】

あるいは、インターフェイス 132 は、回路基板 114 とのインターフェイスに関して述

べたのと同様な方法で、IC 22と導線 116 やコネクタ 112 や他の IC との間のインターフェイスとして使用することができる。インターフェイス 132 は、図 7 A 及び 7 B に示した表 8 4 に記載されている各種のタイプの信号インターフェイスに適合することができる。例えば、インターフェイス 132 が導電性タイプの信号インターフェイスに適合している場合、インターフェイス 132 は好ましくは、複数の別々の導電性セグメントを支持する非導電性材料を形成し、前記導電性セグメントは、この導電性タイプの信号インターフェイスと適合している信号コンタクト 90 の位置に対応し位置合わせされている。インターフェイス 132 が容量性タイプの信号インターフェイスと適合している場合、インターフェイス 132 は好ましくは、適切な誘電率と適切な所定の厚さを有する誘電材料を形成している。この場合、信号コンタクト 90 は好ましくは金属性とし、これにより、容量性信号伝達に必要な導電性プレートの一方を提供する。他方の導電性プレート（図示せず）は、回路基板 114 に設けられるであろう。

10

【0148】

インターフェイス 132 が誘導性タイプの信号インターフェイスと適合している場合、インターフェイス 132 は好ましくは、適切な所定の厚さを有する非導電性材料を形成している。この場合、インターフェイス 132 は、IC 22 内の一方の導電性要素（図示せず）と回路基板内あるいは回路基板上にある他方の導電性要素（図示せず）との間に最適な隔りを提供する。インターフェイス 132 が光学タイプの信号インターフェイスと適合している場合、インターフェイス 132 は好ましくは、変調された光波の形状の光学信号を送るように構成された、レンズ等の光学伝達チャネルを形成している。これとは別に、あるいは光学伝達チャネルと組み合わせて、インターフェイス 132 は、IC 22 と回路基板 114 との間の光学信号を位置合わせする及び/又は該光学信号の焦点を合わせるために用いることができる。インターフェイス 132 が伝送線タイプの信号インターフェイスと適合している場合、インターフェイス 132 は好ましくは、IC 22 と回路基板 114 との間に適切なインピーダンスマッチングを提供するための伝送線インターフェイスあるいはチャネルを形成している。インターフェイス 132 が無線タイプの信号インターフェイスと適合している場合、インターフェイス 132 は好ましくは、IC 22 から回路基板 114 へ無線周波数（RF）信号を送るのに適切な RF チャネルを形成している。

20

【0149】

インターフェイス 132 は、パッケージ設計システム 16 と協働することによって、信号の完全性のレベルを落とすことなくマイクロプロセッサの動作周波数を高くすることができ有利である。例えば、誘電材料を形成しているインターフェイス 132 と、信号コンタクト 90 として導電性プレートを形成しているパッケージ設計システム 16 とが一緒になって、容量性タイプの信号インターフェイスを提供する。この場合、マイクロプロセッサ内部に設けられた半導体ダイとマザーボードとの間の導電性の相互接続に関連するインダクタンスによる抵抗は、容量性タイプの信号インターフェイスにより最小化される。高周波数信号での動作は、信号の完全性を損なわせる信号経路のインピーダンスの増加を伴わずに伝達できる。したがって、この構成は、高速デジタル信号の設計に用いる相互接続技術の性能を最大化し、そのコストを最小化する。

30

【0150】

図 12 A は、カバーとして形成されているコネクタ 112 を示す。この図において、コネクタ 112 の側部は IC 22 の両側部 72 及び 74 を超えて延在しており、上部は IC 22 の頂部 68 の上方に設けられており、下部は IC 22 の底部 70 と面一になっているか又は底部 70 より若干下方に設けられている。好ましくは、カバーとして形成されているコネクタ 112 は、IC 22 の 4 つの側面（側面 72、側面 74、この紙面の手前で紙面と対向する側面、この紙面の後方で紙面と対向する側面）すべてを取り囲んでいる。カバーとして形成されているコネクタ 112 は、IC 22 が PCB 114 上に直接取り付けられる場合に有利である。

40

【0151】

図 12 B は、本発明の好ましい実施形態における、図 11 に示した IC 22 の立面図であ

50

り、IC 22は、ソケットとして形成されているコネクタ112内に設けられている。図12Bに示した、ソケットとして形成されているコネクタ112の側部は、IC 22の両側部72及び74を超えて延在しており、下部はIC 22の底部の下方に設けられており、上部はIC 22の頂部68と面一になっているか又は頂部68より若干上方に設けられている。好ましくは、ソケットとして形成されているコネクタ112は、IC 22の4つの側面（側面72、側面74、この紙面の手前で紙面と対向する側面、この紙面の後方で紙面と対向する側面）すべてを取り囲んでいる。好ましくは、ソケットとして形成されているコネクタ112は、PCB 114上に設けられ、ICからPCBへの信号及び/又は電源へのインターフェイス132を支持している。ソケットとして形成されているコネクタ112は、ソケットがPCB 114上に直接設けられ、ソケットがIC 22を支持する場合に有利である。 10

【0152】

図12Cは、本発明の好ましい実施形態における、図11に示したIC 22の立面図であり、IC 22は、フレームとして形成されているコネクタ112内に設けられている。図12Cに示したフレームとして形成されているコネクタ112の側部は、IC 22の両側部72及び74を超えて延在しており、下部はIC 22の底部と面一になっているか又は底部70より若干下方に設けられており、上部はIC 22の頂部68と面一になっているかあるいは頂部68より若干上方に設けられている。フレームとして形成されているコネクタ112は、IC 22がPCB 114上に直接設けられる場合に有利である。

【0153】

図13は、本発明の好ましい実施形態における、図11に示したIC 22の立面図であり、IC 22は、コネクタ112又はPCB 114に設けられた遠隔回路52に結合している。遠隔回路52は、遠隔回路信号接続部134と遠隔回路電力接続部136とを含み、頂部144、底部146並びに側部148及び150を有する。コネクタ140は、遠隔回路52の一以上の面に設けられている。遠隔回路52は、コネクタ140により支持されるか、あるいは、PCB 114上に設けられる。遠隔回路からPCBに対しての信号及び/又は電源のインターフェイス138は、それぞれ、PCB 114と遠隔回路52との間の信号及び/又は電力を送るための経路を提供する。遠隔回路52、コネクタ140、インターフェイス138、PCB 114、遠隔回路信号接続部134及び遠隔回路電力接続部136の特徴、特性、機能、動作は、それぞれ、前述したIC 22、コネクタ112、インターフェイス132、PCB 114、集積回路信号接続部48及び集積回路電力接続部46と同じである。 30

【0154】

また、導線116としてあるいはPCBトレース118として形成されている信号接続26は、IC 22の頂部68、底部70並びに側部72及び74の内の任意の一以上と、遠隔回路52の頂部144、底部146並びに側部148及び150の内の任意の一以上の間の信号伝達を行うことができる。好ましくは、信号接続26はPCBトレース118として形成され、ICの底部70と遠隔回路52の底部146の間の信号伝達を行う。

【0155】

電力接続24は、導線116として形成されあるいはPCBトレース118として形成されており、遠隔回路52の頂部144、底部146並びに側部148及び150の内の任意の一以上に結合される。好ましくは、電力接続24は、導線116として形成され、電源を遠隔回路52の側部148及び150に結合している。なお、電力接続24が電源を遠隔回路52に結合していることは、明確化のために図1及び2には図示していない追加的な特徴部である。通常、遠隔回路が能動回路である場合は電力分配システム12からの電力を必要とし、遠隔回路が受動回路である場合は電力分配システム12からの電力を必要としない。 40

【0156】

IC 22と遠隔回路52は、同一タイプの回路を備えていてもよいし、異なるタイプの複数の回路を備えていてもよい。回路としては、マイクロプロセッサ、デジタル信号プロセ 50

ッサ(DSP)、メモリ装置、オーディオ・ビジュアルインターフェイス装置、ユーザインターフェイス装置が挙げられるが、これらに限定されるものではなく、これらの回路は能動的装置及び/又は受動的装置である。

【0157】

PCB114にある隙(すき)間142は、IC22のためのPCB114が、遠隔回路52のためのPCBと同一である又は異なることを示している。IC22と遠隔回路52が同一のPCB114上に設けられている場合は、信号接続26及び/又は電力接続24は導線116又はPCBトレース118により形成することができる。IC22と遠隔回路52とが異なるPCB上に設けられている場合は、信号接続26及び/又は電力接続24は、各PCB上に導線116又はPCBトレース118を設けるとともに、異なるPCBに設けられたPCBトレース118の間のジャンパとなる導線(図示せず)を設けることにより形成することができる。

10

【0158】

コネクタ112は、IC22と遠隔回路52の両方のための単一のコネクタとして、コネクタ140と一体的に形成することができる。あるいは、コネクタ112とコネクタ140は、別々の部分として形成することができ、これらを互いに機械的に結合するか又は別々に用いる。各部分を互いに機械的に結合する場合、コネクタ112の任意の面とコネクタ140の任意の面とを結合することができる。

【0159】

インターフェイス132は、IC22と遠隔回路52の両方のための単一のインターフェイスとして、インターフェイス138と一体的に形成することができる。あるいは、インターフェイス132とインターフェイス138は、別々の部分として形成することができ、これらを互いに機械的に結合するか又は別々に用いる。各部分を互いに機械的に結合する場合、インターフェイス132の任意の面とインターフェイス138の任意の面とを結合することができる。

20

【0160】

図13は、IC22と遠隔回路52が隣接して並設された状態を示すが、図13はこのような配置に限定することを意図するものではない。実際には、IC22と遠隔回路52は、相対的に任意の物理的配置を取り得る。例えば、IC22と遠隔回路52を積み上げ配設にすることができ、これについては図14に更に詳細に示す。また、図13は2個の回路のみ(すなわち、IC22と遠隔回路52)を図示しているが、図13は、回路の数を2個のみに限定することを意図するものではない。実際には、IC22と遠隔回路52との間の前述したのと同じ特徴、特性、機能及び動作により、任意の数のICと遠隔回路を一緒に作動させることができる。

30

【0161】

図14は、本発明の好ましい実施形態に係る、図13に示したIC22と遠隔回路52の立面図を示し、IC22と遠隔回路52が積み上げられて結合した配置になっている。図14では、遠隔回路52を支持するコネクタ140が、IC22を支持するコネクタ112の上方にあるいはコネクタ112の頂部に設けられている。信号接続26は、導線116やPCBトレース(図示せず)を介して別の遠隔回路152にルーティングすることができる。図14は、IC22と遠隔回路52が積み上げられて結合した配置である場合に可能な種々の信号接続26及び/又は電力接続24を示す。積み上げ配置は、別個の半導体パッケージのコスト及び/又は性能を最適化するために実質的には互いに協力して動作するが別々にパッケージされるパートタイプ、クラスタタイプ又はマスタ/スレーブタイプのICに有利である。このようなパートナICとしては、マイクロプロセッサやメモリ装置が挙げられるが、これらに限定されるものではない。

40

【0162】

図15、16、17、18及び19は、本発明の好ましい実施形態に係る、図13及び14に示したIC22と遠隔回路52の立面図を示し、各図においては、電圧調整器モジュール38及びデカップリングコンデンサ42が様々な位置に設けられている。各図では、

50

IC 信号接続部 48、IC 電力接続部 46、遠隔回路信号接続部 134、遠隔回路電力接続部 136、IC 22 並びに遠隔回路 52 の頂部、底部及び側部の符号、並びに、コネクタ 112 及び 140 の 6 本の破線の符号は、図の明確化のため図示していない。

【0163】

これら 5 つの図においては、図の明確化のため、信号接続 26 と電力接続 24 は各々、IC 22 と遠隔回路 52 の一面に結合しているように図示されている。実際は、信号接続 26 及び / 又は電力接続 24 は、前述したように IC 22 及び / 又は遠隔回路 52 の一以上の面に結合することができる。

【0164】

これら 5 つの図においては、図 13 の説明において述べた理由により図 1 及び 2 には図示されなかった電圧調整器モジュール 154 及び / 又はデカップリングコンデンサ 158 を含む新しいシステムブロックが導入されている。電圧調整器モジュール 154 及び / 又はデカップリングコンデンサ 158 の導入は、IC 22 や遠隔回路 52 に信号及び / 又は電力を送る各種の代替的な経路の導入により、電圧調整器モジュール 38 とデカップリングコンデンサ 42 に相乗性 (synergy) を提供する。実線は好ましい経路を示し、破線は代替的経路を示す。この相乗性は、5 つの図にそれぞれ適用される。相乗性は、IC 22、電圧調整器モジュール 38、デカップリングコンデンサ 42 に関して前述したのと同様に、遠隔回路 52、電圧調整器モジュール 154、デカップリングコンデンサ 158、IC 22、電圧調整器モジュール 38 及びデカップリングコンデンサ 42 の仕様に関連している。通常、IC 22 と遠隔回路 52 の仕様により、必要な電圧調整器モジュールが 1 個か 2 個か、必要なデカップリングコンデンサが 1 個か 2 個かが決まる。IC 22 や遠隔回路 52 の電圧調整器モジュールやデカップリングコンデンサに対しての物理的近接性が、前述したように、インピーダンスの最小化やその結果の電圧降下の最小化のためのファクタである。したがって、遠隔回路 52 と IC 22 の仕様によっては、遠隔回路 52 が IC 22 と電圧調整器モジュール 38 及び / 又はデカップリングコンデンサ 42 を共有することができる。そうでなければ、遠隔回路 52 は、それ自身の電圧調整器モジュール 154 及び / 又はデカップリングコンデンサ 158 を使用しなければならない。

【0165】

電圧調整器モジュール 38、デカップリングコンデンサ 42、電圧調整器モジュール 154、デカップリングコンデンサ 158 は、コネクタ 112 又は 140 の特定の部分に示されているが、これは単なる例示と図面の明確化のためである。図 11 を参照して上に述べたとおり、これらの要素の各々は、コネクタ 112 又は 140 の任意の部分に設けることができる。例としては、図 12A、12B 及び 12C に示したカバー、ソケット及び / 又はフレームが挙げられるが、これらに限定されるものではない。

【0166】

図 15 は、本発明の好ましい実施形態における、図 13 及び 14 に示した IC 22 と遠隔回路 52 の立面図であり、IC 22 は、コネクタ 112 内に設けられた電圧調整器モジュール 38 及びデカップリングコンデンサ 42 を有し、遠隔回路 52 はコネクタ 140 内に設けられた電圧調整器モジュール 154 及びデカップリングコンデンサ 158 を有する。電力分配システム 12 は、図 2 を参照して説明したように、IC 22 に結合しており、これにより、IC 22 に電力を供給する。図 2 を参照して上に述べたように、高電圧低電流の電力供給に好ましい経路は、導線 116 や PCB トレース 118 によって電源 34 から電力接続 36 を通って電圧調整器モジュール 38 に至り、その後低電圧大電流の電力として導線 116 により電力接続 40 を通ってデカップリングコンデンサ 42 に至り、その後低電圧大電流の電力として導線 116 により電力接続 44 を通って IC 22 に至るものである。また、これに代えて、図 2 を参照して説明したように、電圧調整器モジュール 38 は、デカップリングコンデンサ 42 を用いることなく、直接、低電圧大電流の電力を導線 116 によって電力接続 54 を通って IC 22 に結合してもよい。

【0167】

図 2 を参照して説明したのと同様に、電力分配システム 12 は遠隔回路 52 に結合し、遠

隔回路 5 2 に電力を提供する。電力分配に好ましい経路は、導線 1 1 6 や P C B トレース 1 1 8 によって電源 3 4 から電力接続 3 6 を通って高電圧低電流の電力として電圧調整器モジュール 1 5 4 に至り、その後低電圧大電流の電力として導線 1 1 6 によって電力接続 1 5 6 を通ってデカップリングコンデンサ 1 5 8 に至り、その後、低電圧大電流の電力として導線 1 1 6 によって電力接続 1 6 6 を通って遠隔回路 5 2 に至るものである。また、これに代えて、図 2 を参照して説明したのと同様に、電圧調整器モジュール 1 5 4 は、デカップリングコンデンサ 1 5 8 を用いることなく、直接、低電圧大電流の電力を導線 1 1 6 によって電圧調整器モジュール - 遠隔回路間電力接続 1 6 0 を通って遠隔回路 5 2 に結合してもよい。

【 0 1 6 8 】

また、電圧調整器モジュール 3 8 は、導線 1 1 6 によって電力接続 1 6 2 を介してデカップリングコンデンサ 1 5 8 に低電圧大電流の電力を送ることができる。あるいは、電圧調整器モジュール 3 8 は、電圧調整器モジュール 1 5 4 を用いることなく、導線 1 1 6 によって電力接続 1 6 2 及び 1 6 0 を介して遠隔回路 5 2 に電力を直接送ることもできる。また、デカップリングコンデンサ 4 2 は、電圧調整器モジュール 1 5 4 やデカップリングコンデンサ 1 5 8 を用いることなく、低電圧大電流の電力を導線 1 1 6 によって電力接続 1 6 4 を介して遠隔回路 5 2 に直接送ることができる。

【 0 1 6 9 】

したがって、図 1 5 においては、コネクタ 1 1 2 は、電圧調整器モジュール 3 8 のみ、デカップリングコンデンサ 4 2 のみ又は電圧調整器モジュール 3 8 とデカップリングコンデンサ 4 2 の両方を支持してもよい。同様に、コネクタ 1 4 0 は、電圧調整器モジュール 1 5 4 とデカップリングコンデンサ 1 5 8 を両方とも支持しなくてもよいし、あるいは電圧調整器モジュール 1 5 4 とデカップリングコンデンサ 1 5 8 の一方のみ又は電圧調整器モジュール 1 5 4 とデカップリングコンデンサ 1 5 8 の両方を支持してもよい。特に好ましい組み合わせは、種々のエンジニアリング上の考慮事項によって決まる。例えば、I C 2 2 や遠隔回路 5 2 に用いられる回路のタイプ、図 7 A 及び 7 B の表 8 4 に示した用いるインターフェイスのタイプ、本明細書において述べた熱管理システム 1 8 の好ましい特性等が挙げられるが、これらに限定されるものではない。

【 0 1 7 0 】

図 1 6 は、本発明の好ましい実施形態における、図 1 3 及び 1 4 に示した I C 2 2 と遠隔回路 5 2 の立面図であり、I C 2 2 は、導線 1 1 6 上に設けられた電圧調整器モジュール 3 8 及びデカップリングコンデンサ 4 2 を有し、遠隔回路 5 2 は導線 1 1 7 上に設けられた電圧調整器モジュール 1 5 4 及びデカップリングコンデンサ 1 5 8 を有する。電力分配システム 1 2 は、図 2 を参照して説明したように I C 2 2 に結合しており、これにより、I C 2 2 に電力を供給する。図 2 を参照して上に述べたように、高電圧低電流の電力供給に好ましい経路は、導線 1 1 6 により電源 3 4 から電力接続 3 6 を通って電圧調整器モジュール 3 8 に至り、その後、低電圧大電流の電力として導線 1 1 6 により電力接続 4 0 を通ってデカップリングコンデンサ 4 2 に至り、その後、低電圧大電流の電力として導線 1 1 6 により電力接続 4 4 を通って I C 2 2 に至るものである。また、これに代えて、図 2 を参照して説明したように、電圧調整器モジュール 3 8 は、デカップリングコンデンサ 4 2 を用いることなく、直接、低電圧大電流の電力として導線 1 1 6 によって電力接続 5 4 を通って I C 2 2 に結合してもよい。

【 0 1 7 1 】

図 2 を参照して説明したのと同様に、電力分配システム 1 2 は遠隔回路 5 2 に結合し、該遠隔回路 5 2 に電力を提供する。電力分配に好ましい経路は、導線 1 1 7 によって電源 3 4 から電力接続 3 6 を通って高電圧低電流の電力として電圧調整器モジュール 1 5 4 に至り、その後、低電圧大電流の電力として導線 1 1 7 によって電力接続 1 5 6 を通ってデカップリングコンデンサ 1 5 8 に至り、その後、低電圧大電流の電力として導線 1 1 7 によって電力接続 1 6 6 を通って遠隔回路 5 2 に至るものである。また、これに代えて、図 2 を参照して説明したのと同様に、電圧調整器モジュール 1 5 4 は、デカップリングコンデ

10

20

30

40

50

ンサ 158 を用いることなく、直接、低電圧大電流の電力として導線 117 によって電圧調整器モジュール - 遠隔回路間電力接続 160 を通って遠隔回路 52 に結合してもよい。

【0172】

また、電圧調整器モジュール 38 は、導線 116 及び / 又は 117 によって電力接続 162 を介してデカップリングコンデンサ 158 に低電圧大電流の電力を送ることができる。あるいは、電圧調整器モジュール 38 は、電圧調整器モジュール 154 を用いることなく、導線 116 及び / 又は 117 によって電力接続 162 及び 160 を介して遠隔回路 52 に電力を直接送ることもできる。

【0173】

また、デカップリングコンデンサ 42 は、電圧調整器モジュール 154 やデカップリングコンデンサ 158 を用いることなく、低電圧大電流の電力を導線 116 及び / 又は 117 によって電力接続 164 を介して遠隔回路 52 に直接送ることができる。

【0174】

したがって、図 16 においては、導線 116 は、電圧調整器モジュール 38 のみ、デカップリングコンデンサ 42 のみ、又は、電圧調整器モジュール 38 とデカップリングコンデンサ 42 の両方を支持してもよい。同様に、導線 117 は、電圧調整器モジュール 154 とデカップリングコンデンサ 158 を両方とも支持しなくてもよいし、あるいは、電圧調整器モジュール 154 とデカップリングコンデンサ 158 の一方のみ又は電圧調整器モジュール 154 とデカップリングコンデンサ 158 の両方を支持してもよい。特に好ましい組み合わせは、種々のエンジニアリング上の考慮事項によって決まる。例えば、IC22 や遠隔回路 52 に用いられる回路のタイプ、図 7A 及び 7B の表 84 に示した用いるインターフェイスのタイプ、本明細書において述べた熱管理システム 18 の好ましい特性等が挙げられるが、これらに限定されるものではない。

【0175】

図 17 は、本発明の好ましい実施形態における、図 13 及び 14 に示した IC22 と遠隔回路 52 の立面図であり、IC22 は、PCB114 上に設けられた電圧調整器モジュール 38 及びデカップリングコンデンサ 42 を有し、遠隔回路 52 は PCB114 上に設けられた電圧調整器モジュール 154 及びデカップリングコンデンサ 158 を有する。電力分配システム 12 は、図 2 を参照して説明したように IC22 に結合しており、これにより、該 IC22 に電力を供給する。図 2 を参照して前述したように、高電圧低電流の電力供給に好ましい経路は、PCB トレース 118 によって電源 34 から電力接続 36 を通って電圧調整器モジュール 38 に至り、その後、低電圧大電流の電力として PCB トレース 118 によって電力接続 40 を通ってデカップリングコンデンサ 42 に至り、その後、低電圧大電流の電力として PCB トレース 118 と導線 116 によって電力接続 44 を通って IC22 に至るものである。また、これに代えて、図 2 を参照して説明したように、電圧調整器モジュール 38 は、デカップリングコンデンサ 42 を用いることなく、直接、低電圧大電流の電力として PCB トレース 118 と導線 116 によって電力接続 54 を通って IC22 に結合してもよい。

【0176】

図 2 を参照して説明したのと同様に、電力分配システム 12 は遠隔回路 52 に結合し、該遠隔回路 52 に電力を提供する。電力供給に好ましい経路は、PCB トレース 118 によって電源 34 から電力接続 36 を通って高電圧低電流の電力として電圧調整器モジュール 154 に至り、その後、低電圧大電流の電力として PCB トレース 118 によって電力接続 156 を通ってデカップリングコンデンサ 158 に至り、その後、低電圧大電流の電力として PCB トレース 118 と導線 116 によって電力接続 166 を通って遠隔回路 52 に至るものである。また、これに代えて、図 2 を参照して説明したのと同様に、電圧調整器モジュール 154 は、デカップリングコンデンサ 158 を用いることなく、直接、低電圧大電流の電力として PCB トレース 118 と導線 116 によって電圧調整器モジュール - 遠隔回路間電力接続 160 を通って遠隔回路 52 に結合してもよい。

【0177】

また、電圧調整器モジュール 38 は、PCB トレース 118 によって電力接続 162 を介してデカップリングコンデンサ 158 に低電圧大電流の電力を送ることができる。あるいは、電圧調整器モジュール 38 は、電圧調整器モジュール 154 を用いることなく、PCB トレース 118 と導線 116 とによって電力接続 162 及び 160 を介して遠隔回路 52 に電力を直接送ることもできる。また、デカップリングコンデンサ 42 は、電圧調整器モジュール 154 やデカップリングコンデンサ 158 を用いることなく、低電圧大電流の電力として PCB トレース 118 と導線 116 とによって電力接続 164 を介して遠隔回路 52 に直接送ることができる。

【0178】

したがって、図 17 においては、PCB 114 は、電圧調整器モジュール 38 のみ、デカップリングコンデンサ 42 のみ又は電圧調整器モジュール 38 とデカップリングコンデンサ 42 の両方を支持してもよい。同様に、導線 117 は、電圧調整器モジュール 154 とデカップリングコンデンサ 158 を両方とも支持しなくてもよいし、あるいは、電圧調整器モジュール 154 とデカップリングコンデンサ 158 の一方のみ又は電圧調整器モジュール 154 とデカップリングコンデンサ 158 の両方を支持してもよい。特に好ましい組み合わせは、種々のエンジニアリング上の考慮事項によって決まる。例えば、IC 22 や遠隔回路 52 に用いられる回路のタイプ、図 7A 及び 7B の表 84 に示した用いるインターフェイスのタイプ、本明細書において述べた熱管理システム 18 の好ましい特性等が挙げられるが、これらに限定されるものではない。

【0179】

図 18 は、本発明の好ましい実施形態における、図 13 及び 14 に示した IC 22 と遠隔回路 52 の立面図であり、IC 22 は、導線 116 上に設けられた電圧調整器モジュール 38 とコネクタ 112 上に設けられたデカップリングコンデンサ 42 とを有し、遠隔回路 52 は導線 117 上に設けられた電圧調整器モジュール 154 とコネクタ 140 上に設けられたデカップリングコンデンサ 158 とを有する。電力分配システム 12 は、図 2 を参照して説明したように IC 22 に結合しており、これにより、IC 22 に電力を供給する。図 2 を参照して上に述べたように、高電圧低電流の電力供給に好ましい経路は、導線 116 によって電源 34 から電力接続 36 を通って電圧調整器モジュール 38 に至り、その後、低電圧大電流の電力として導線 116 によって電力接続 40 を通ってデカップリングコンデンサ 42 に至り、その後、低電圧大電流の電力として導線 116 によって電力接続 44 を通って IC 22 に至るものである。また、これに代えて、図 2 を参照して説明したように、電圧調整器モジュール 38 は、デカップリングコンデンサ 42 を用いることなく、直接、低電圧大電流の電力として導線 116 によって電力接続 54 を通って IC 22 に結合してもよい。

【0180】

図 2 を参照して説明したのと同様に、電力分配システム 12 は遠隔回路 52 に結合し、遠隔回路 52 に電力を提供する。電力供給に好ましい経路は、導線 116 と導線 117 によって電源 34 から電力接続 36 を通って高電圧低電流の電力として電圧調整器モジュール 154 に至り、その後、低電圧大電流の電力として導線 117 によって電力接続 156 を通ってデカップリングコンデンサ 158 に至り、その後、低電圧大電流の電力として導線 117 によって電力接続 166 を通って遠隔回路 52 に至るものである。また、これに代えて、図 2 を参照して説明したのと同様に、電圧調整器モジュール 154 は、デカップリングコンデンサ 158 を用いることなく、直接、低電圧大電流の電力として導線 117 によって電圧調整器モジュール - 遠隔回路間電力接続 160 を通って遠隔回路 52 に結合してもよい。

【0181】

また、電圧調整器モジュール 38 は、導線 116 によって電力接続 162 を介してデカップリングコンデンサ 158 に低電圧大電流の電力を送ることができる。あるいは、電圧調整器モジュール 38 は、電圧調整器モジュール 154 を用いることなく、導線 116 によって電力接続 162、160 を介して遠隔回路 52 に電力を直接送ることもできる。また

、デカップリングコンデンサ 4 2 は、電圧調整器モジュール 1 5 4 やデカップリングコンデンサ 1 5 8 を用いることなく、低電圧大電流の電力を導線 1 1 6 によって電力接続 1 6 4 を介して遠隔回路 5 2 に直接送ることができる。

【 0 1 8 2 】

したがって、図 1 8 においては、導線 1 1 6 は電圧調整器モジュール 3 8 を支持し、コネクタ 1 1 2 はデカップリングコンデンサ 4 2 を支持する。同様に、導線 1 1 7 は電圧調整器モジュール 1 5 4 を支持し、コネクタ 1 4 0 はデカップリングコンデンサ 1 5 8 を支持する。

【 0 1 8 3 】

図 1 9 は、本発明の好ましい実施形態における、図 1 3 又は 1 4 に示した IC 2 2 と遠隔回路 5 2 の立面図であり、IC 2 2 は、PCB 1 1 4 上に設けられた電圧調整器モジュール 3 8 とコネクタ 1 1 2 上に設けられたデカップリングコンデンサ 4 2 とを有し、遠隔回路 5 2 は PCB 1 1 4 上に設けられた電圧調整器モジュール 1 5 4 とコネクタ 1 4 0 上に設けられたデカップリングコンデンサ 1 5 8 とを有する。電力分配システム 1 2 は、図 2 を参照して説明したように IC 2 2 に結合しており、これにより、該 IC 2 2 に電力を供給する。図 2 を参照して前述したように、高電圧低電流の電力供給に好ましい経路は、好ましくは PCB トレース 1 1 8、あるいは、導線 1 1 6 によって電源 3 4 から電力接続 3 6 を通って電圧調整器モジュール 3 8 に至り、その後、低電圧大電流の電力として好ましくは導線 1 1 6、あるいは、PCB トレース 1 1 8 によって電力接続 4 0 を通ってデカップリングコンデンサ 4 2 に至り、その後、低電圧大電流の電力として好ましくは導線 1 1 6、あるいは、PCB トレース 1 1 8 によって電力接続 4 4 を通って IC 2 2 に至るものである。また、これに代えて、図 2 を参照して説明したように、電圧調整器モジュール 3 8 は、デカップリングコンデンサ 4 2 を用いることなく、直接、低電圧大電流の電力として、好ましくは導線 1 1 6 によって電力接続 1 6 2 及び 4 4 を通って、あるいは、PCB トレースと導線 1 1 6 により、電力接続 5 4 を通って IC 2 2 に結合してもよい。

【 0 1 8 4 】

図 2 を参照して説明したのと同様に、電力分配システム 1 2 は遠隔回路 5 2 に結合し、該遠隔回路 5 2 に電力を提供する。電力分配に好ましい経路は、好ましくは PCB トレース 1 1 8、あるいは、導線 1 1 6 によって電源 3 4 から電力接続 3 6 を通って高電圧低電流の電力として電圧調整器モジュール 1 5 4 に至り、その後、低電圧大電流の電力として好ましくは導線 1 1 6、あるいは、PCB トレース 1 1 8 によって電力接続 1 5 6 を通ってデカップリングコンデンサ 1 5 8 に至り、その後、低電圧大電流の電力として好ましくは導線 1 1 6、あるいは、PCB トレース 1 1 8 によって電力接続 1 6 6 を通って遠隔回路 5 2 に至るものである。また、これに代えて、図 2 を参照して説明したのと同様に、電圧調整器モジュール 1 5 4 は、デカップリングコンデンサ 1 5 8 を用いることなく、直接、低電圧大電流の電力として好ましくは導線 1 1 6、あるいは、PCB トレース 1 1 8 によって電圧調整器モジュール - 遠隔回路間電力接続 1 6 0 を通って遠隔回路 5 2 に結合してもよい。

【 0 1 8 5 】

また、電圧調整器モジュール 3 8 は、好ましくは導線 1 1 6 あるいは PCB トレース 1 1 8 によって電力接続 1 6 2 を介してデカップリングコンデンサ 1 5 8 に低電圧大電流の電力を送ることができる。あるいは、電圧調整器モジュール 3 8 は、電圧調整器モジュール 1 5 4 を用いることなく、好ましくは導線 1 1 6、あるいは、PCB トレース 1 1 8 によって電力接続 1 6 2 を介して遠隔回路 5 2 に電力を直接送ることもできる。また、デカップリングコンデンサ 4 2 は、電圧調整器モジュール 1 5 4 やデカップリングコンデンサ 1 5 8 を用いることなく、低電圧大電流の電力として好ましくは導線 1 1 6、あるいは、PCB トレース 1 1 8 によって電力接続 1 6 4 を介して遠隔回路 5 2 に直接送ることができる。

【 0 1 8 6 】

したがって、図 1 9 においては、PCB 1 1 4 は電圧調整器モジュール 3 8 を支持し、コ

ネクタ 112 はデカップリングコンデンサ 42 を支持する。同様に、PCB 114 は電圧調整器モジュール 154 を支持し、コネクタ 140 はデカップリングコンデンサ 158 を支持する。

【0187】

図 15、18 及び 19 において、コネクタに設けられたデカップリングコンデンサ 42 は、集積コンデンサ又は複数の個別のコンデンサであり、IC 22 の頂部 68 及びノ又は側部 72 及び 74 上の電源コンタクト 92 に直接ハンダ付けされる。デカップリングコンデンサ 42 は、PCB トレース 118 を介して IC 22 から電力を受けるのではなく、IC 22 上に設けられたコネクタ（図示せず）を介して導線 116 として形成された電力接続 24 から電力を受ける。この場合、コネクタ 112 は、デカップリングコンデンサ 42、及び、電源コンタクト 92 として形成された IC 電力接続部 46 を含み、デカップリングコンデンサ 42 と電源コンタクト 92 を結合するハンダ、及び、導線 116 とデカップリングコンデンサ 42 を結合するコネクタ（図示せず）を含む場合もある。この例においては、コネクタ 112 は、従来のプラスチックカバー等の一体の構造体ではなく、特定の方法で組み立てられた個別の部品の集合を示す。

10

【0188】

図 20 は、本発明の好ましい実施形態における、図 11 ~ 19 に示した IC 22 の立面図であり、IC 22 は熱管理システム 18 と電磁障害（EMI）放射制御システム 20 とを有する。図 20 においては、電力分配システム 12、信号伝達システム 14、信号接続 26、電力接続 24、IC 信号接続部 48、IC 電力接続部 46、並びに、破線 120、122、124、126、128 及び 130 は、図の明確化のために図示していないが、これらはより詳細な設計においては含まれるものである。

20

【0189】

熱管理システム 18 は、第一ヒートシンク 200 を含むか又は第一熱拡散部 202 と第一ファン 204 とを含み、これらは好ましくは IC 22 の頂部 68 の上方に設けられる。あるいは、熱管理システム 18 は、第二ヒートシンク 206 を含むか又は第二熱拡散部 208 と第二ファン 210 とを含み、これらは好ましくは IC 22 の底部 70 の下方に設けられる。

【0190】

第一ヒートシンク 200 及び第二ヒートシンク 206 は、図 1 に示した熱接続 28 を介して IC 22 から熱が逃げるための経路を提供する。第一ヒートシンク 200 及び第二ヒートシンク 206 は、任意の種類で形成することができるが、好ましくは金属製である。第一ヒートシンク 200 及び第二ヒートシンク 206 は、IC 22、熱拡散部 202 及びノ又は PCB 114 と一以上の接触点を有する。第一ヒートシンク 200 及び第二ヒートシンク 206 は、任意のタイプの設計とすることができるが、好ましくは、フィン間を空気が通過できる複数のフィンを含む。あるいは、第一ヒートシンク 200 及び第二ヒートシンク 206 は、温度によって相が変化する（例えば、液体と気体との間で）材料を内蔵するヒートパイプとして形成することができる。第一ヒートシンク 200 及び第二ヒートシンク 206 は、コネクタ 112、PCB 114 又は導線 116 に固定される。第一ヒートシンク 200 及び第二ヒートシンク 206 は、好ましくは別々の部品として形成するが、1 個の一体化部品として形成することもできる。

30

40

【0191】

第一熱拡散部 202 及び第二熱拡散部 208 は、それぞれ、IC 22 から第一ヒートシンク 200 及び第二ヒートシンク 206 へ熱を伝導する熱伝導経路を提供する。第一熱拡散部 202 及び第二熱拡散部 208 は、任意の種類で形成することができるが、好ましくは金属製であり、あるいは、ゲルやグルー（glue）で形成する。通常、第一熱拡散部 202 及び第二熱拡散部 208 は IC 22 と直接接触している。第一熱拡散部 202 及び第二熱拡散部 208 は、好ましくは別々の部品として形成するが、1 個の一体化部品として形成することもできる。

【0192】

50

第一ファン 204 及び第二ファン 210 は、熱をそれぞれ第一ヒートシンク 200 及び第二ヒートシンク 206 から逃がすために、空気をそれぞれ第一ヒートシンク 200 及び第二ヒートシンク 206 を強制的に通すものである。第一ファン 204 及び第二ファン 210 は、それぞれ、第一ヒートシンク 200 及び第二ヒートシンク 206 を通して空気の吐き出し及び/又は吸い込みを行うのに適した任意のタイプの設計とすることができる。第一ファン 204 及び第二ファン 210 は、PCB 114、コネクタ 112 又は導線 116 を介して電力を受ける。第一ファン 204 及び第二ファン 210 は、コネクタ 112、PCB 114 及び/又は導線 116 に位置合わせされる及び/又は固定される。第一ファン 204 及び第二ファン 210 は、好ましくは別々の部品として形成するが、1 個の一体化部品として形成することもできる。

10

【0193】

第一熱拡散部 202、第一ヒートシンク 200 及び第一ファン 204 は、好ましくは、IC 22 の頂部 68 の上方に積み上げ配置で設けられ、IC 22 から熱を放散する。同様に、第二熱拡散部 208、第二ヒートシンク 206、第二ファン 210 は、好ましくは、IC 22 の底部 70 の下方に積み上げ配置で設けられ、IC 22 から熱を放散する。

【0194】

第二熱拡散部 208 は、前述した IC と PCB 間の信号及び/又は電源のインターフェイス 132 も提供することができる。この場合、IC と PCB との間の信号及び/又は電源のインターフェイス 132 は、前述されたように構成されるのに加え、熱拡散部を提供するための熱伝達特性を有するように構成される。したがって、第二熱拡散部 208 が IC と PCB との間の信号及び/又は電源のインターフェイス 132 も提供することは、信号及び/又は電源のインターフェイス機能と熱通路機能のいずれも提供することができ有利である。

20

【0195】

第二熱拡散部 208 は、PCB 114 に熱を伝導するか、又は、PCB ビア (via)、ヒートパイプ等を用いて PCB 114 を通して PCB 114 の底部に設けられた第二ヒートシンク 206 に熱を伝達する。第二ファン 210 は第二ヒートシンク 206 を冷却する。コネクタ 112 及び/又は PCB 114 は、第一ヒートシンク 200、第一熱拡散部 202、第一ファン 204、第二ファン 210、第二ヒートシンク 206 及び第二熱拡散部 208 の内の一以上のための適切な位置合わせ及び/又は取り付け機構を提供する。

30

【0196】

熱グリス (図示せず) を、IC 22 と第一熱拡散部 202 との間、第一熱拡散部 202 と第一ヒートシンク 200 との間、IC 22 と第二熱拡散部 208 との間、第二熱拡散部 208 と PCB 114 との間、及び/又は、第二熱拡散部 208 と第二ヒートシンク 206 との間に用いてもよい。熱グリスは、隣接する部品間の熱伝導率を高める。

【0197】

E MI 放射制御システム 20 は、前述した E MI 放射のための経路を示す E MI 接続 30 によって IC 22 に結合する。E MI 放射制御システム 20 は、IC 22 の一以上の側面に設けることができるが、好ましくは図 20 に示すように IC 22 の 4 つの側面 72 及び 74 に設ける。E MI 放射制御システム 20 は、任意の適切な導電性材料で形成することができる。例としては、金属、金属被覆プラスチック、可撓性 (flex) 回路、導電性インク被覆プラスチック等が挙げられるが、これらに限定されるものではない。E MI 放射制御システム 20 は、剛性であってもフレキシブルであってもよい。E MI 放射制御システム 20 の形態、形状、サイズは任意のものとしてすることができる。好ましくは、E MI 放射制御システム 20 は、適切な位置合わせ及び/又は取り付け機構を提供するコネクタ 112 によって支持される。この場合、E MI 放射制御システム 20 は、コネクタ 112 の内面に設けられるか、コネクタ 112 内に埋め込まれるか又はコネクタ 112 の外面に設けられる。E MI 放射制御システム 20 とコネクタ 112 は、好ましくは、別々の部品として形成され、これらはインサートモールドディング、オーバーモールドディング、圧入、スナップ、クリップ、接着剤等によって機械的に互いに位置合わせされ固定される。あるいは

40

50

、これらは単一の部品として一体的に形成される。

【0198】

EMI放射制御システム20は、EMI接合212を介して第一ヒートシンク200と結合し、EMI接合214を介して第一熱拡散部202と結合することができる。同様に、EMI放射制御システム20は、EMI接合216を介して第二ヒートシンク206と結合し、EMI接合218を介して第二熱拡散部208と結合することができる。EMI接合212、214、216及び218は、各部品をEMI放射制御システム20に電氣的に接続するための導電性経路を示す。第一ヒートシンク200及び/又は第一熱拡散部202に向かって放射されたいずれのEMI放射も、第一熱拡散部202及び/又は第一ヒートシンク200を通り、更にそれぞれEMI接合214及び212を通り、EMI放射制御システム20に送られる。したがって、第一熱拡散部202及び/又は第一ヒートシンク200は、IC22の頂部68の上方におけるEMI放射制御を提供することができ有利である。同様に、第二熱拡散部208及び/又はPCB114に向かって放射されたいずれのEMI放射も、第二熱拡散部208及び/又はPCB114を通り、更にそれぞれEMI接合218及び216を通り、EMI放射制御システム20に送られる。したがって、第二熱拡散部208及び/又はPCB114は、IC22の底部70の下方におけるEMI放射制御を提供することができ有利である。EMI放射制御システム20は、EMI接地経路220によって適切な接地電位に電氣的に結合される。これにより、IC22から放射された好ましくないEMI放射はすべて、このエリアの他の回路に対する干渉を起こさずに適切に接地され、及び/又は、IC22に向かって放射される好ましくないEMI放射はすべて、IC22に対する干渉を起こさずに適切に接地される。

10

20

【0199】

図21は、アップライト(upright)型半導体ダイ58を有するレベル2の半導体パッケージ62として形成されたIC22の断面図である。図4C、5、8A、8B、9A、9B、9C及び11に示したように、容量性タイプの信号インターフェイスがIC22の底部70上に設けられ、電源コンタクト92がIC22の側部72及び74に設けられている。このパッケージ62は好ましくは、本技術分野においてよく知られている低温同時焼成セラミック(「LTCC」)パッケージとして形成される。該LTCCパッケージの場合は、図4Cに示した半導体パッケージ62の底面と半導体基板60は、一部品として一体的に形成される。

30

【0200】

半導体基板60は、信号リードフレーム220、電源リードフレーム222及び半導体ダイ58を支持している。信号リードフレーム220及び電源リードフレーム222は各々、半導体パッケージ62の内側から半導体パッケージ62の外側に延在している。各信号リードフレーム220は信号パッド226及び信号コンタクト90を有する。信号パッド226は、半導体パッケージ62の内側に、かつ、半導体基板60の頂部に設けられている。信号コンタクト90は、図5、9B及び11に示すように、半導体パッケージ62の外側の底部に設けられている。なお、信号コンタクト90は、図8Bを参照して説明したように、半導体パッケージ62と面一になっている。好ましくは、信号コンタクト90は、図7A及び7Bの表84に示した容量性タイプの信号接続に用いるように構成された導電性プレートの内の一方を形成する。

40

【0201】

同様に、各電源リードフレーム222は電源パッド228及び電源コンタクト92を有する。電源パッド228は、半導体パッケージ62の内側に、かつ、半導体基板60の頂部に設けられている。電源コンタクト92は、図5、9C及び11に示すように、半導体パッケージ62の外側の側部72及び74に設けられている。好ましくは、電源コンタクト92は、IC22の側部72に設けられる。しかしながら、電源コンタクト92はIC22の側部74に設けることもできる。なお、電源コンタクト92は、図8Aを参照して説明したように、半導体パッケージ62の外側に突出している。

【0202】

50

半導体ダイ58は、半導体基板60上に上向きに設けられており、半導体ダイ58の頂部232は電源パッド及び/又は信号パッド(図示せず)を有し、頂部232は半導体基板60とは反対の側を向いている。

【0203】

信号ワイヤボンド230は、半導体ダイ58の頂部232上の適切な信号パッドを半導体基板60の頂部に設けられた対応する信号パッド226に接続している。同様に、電力ワイヤボンド234は、半導体ダイ58の頂部232上の適切な電源パッドを半導体基板60の頂部に設けられた対応する電源パッド228に接続している。

【0204】

ICからPCBへの信号及び/又は電源のインターフェイス132は、IC22の底部70に設けられている。好ましくは、インターフェイス132は、前述したように、適切な誘電率を有する誘電材料を形成する。好ましくは、インターフェイス132は別の部品として形成された後、IC22の底部70に取り付けられる。

10

【0205】

図22は、フリップ型半導体ダイ58を有するレベル2の半導体パッケージ62として形成されたIC22の断面図である。図4C、5、8A、8B、9A、9B、9C及び11に示したように、容量性タイプの信号インターフェイスがIC22の底部上に設けられ、電源コンタクト92がIC22の側部72及び74に設けられている。図22のIC22は図21のIC22と同じであるが、半導体ダイ58が、半導体設計の分野ではよく知られているように、上下逆向きに半導体基板60上に設けられている。あるいは、「フリップチップ」としても知られている。フリップチップの向きでは、信号と電力が、アップライトの場合とは異なる方法で信号コンタクト90と電源コンタクト92にそれぞれ接続される。

20

【0206】

図21において半導体基板60の反対側を向いていた半導体ダイ58の頂部232は、図22では半導体基板60の方を向いている。したがって、図22においては、図21において、これまでIC22の頂部232と呼んでいたものを、IC22の底部232と呼ぶことができる。図22のフリップチップの向きでは、IC22の底部232上の電源パッド及び/又は信号パッド(図示せず)は半導体基板60の方を向いている。IC22の底部232上の信号パッド(図示せず)は、半導体製造の分野ではよく知られている結合技法によって、半導体基板60の頂部に設けられた対応する信号パッド226に電氣的に結合される。

30

【0207】

第二の電源リードフレーム236は第一の電源パッド238と第二の電源パッド240を有し、これらは第二の電源リードフレーム236の両端部にそれぞれ電氣的に接続されている。第一の電源パッド238と第二の電源パッド240はいずれも、半導体パッケージ62の内部、かつ、半導体基板60の頂部に設けられている。第一の電源パッド238は、半導体ダイ58の外側に設けられ半導体ダイ58には覆われていない。第二の電源パッド240は半導体ダイ58の下に設けられている。好ましくは、電力ワイヤボンド234によって、第一の電源パッド238は対応する電源パッド228に接続されている。しかしながら、第一の電源パッド238は、対応する電源パッド228と一体的に形成してもよい。また、第一の電源パッド238は、対応する電源パッド228に溶接されていてもよい。

40

【0208】

図23は、図21に示したIC22の断面図であり、図4C、5、8A、8B、10A、10B、10C、11、12B及び20に示したように、IC22は、ソケットとして形成されているコネクタ112によって支持され、ヒートシンク200を支持している。図23のIC22は、図21のIC22について説明したのと同じである。図23に示されている追加的な要素としては、ソケットとして形成されているコネクタ112とヒートシンク200が挙げられる。

50

【0209】

IC22は、図12Bに示したようなソケットとして形成されているコネクタ112によって支持されている。ICからPCBへの信号及び/又は電源のインターフェイス132は、信号コンタクト90からコネクタ112の底面を横切って延びる湾曲線により図示されている。図23においては、インターフェイス132は、IC22とPCB114との間の信号のみを容量的に結合する。これは、電力はIC22の側部72又は74に供給されるためである。好ましくは、インターフェイス132は、コネクタ112とは別体の部品として又はコネクタ112と一体の部品として、コネクタ112の底部に支持される。

【0210】

IC22への電力の供給は、IC22の側部72又は74に設けられた電源コンタクト92を介して行われる。好ましくは、電力は、導線116として形成された電力接続24を介してIC22の側部72に設けられた電源コンタクト92に送られる。あるいは、電力は、電力接続24を介してIC22の側部74に設けられた電源コンタクト92に送られる。この場合の電力接続24は、PCB上のPCBトレース118として形成され、かつ、コネクタ112により支持されている導線116として形成されている。導線116は、コネクタ112により支持される対応する電力接続242を介して電源コンタクト92に電氣的に結合される。コネクタ112により支持される電力接続242は、金属等の適切な導電性材料で形成されており、IC22の電源コンタクト92に物理的に接触して電氣的に接触している。

【0211】

ヒートシンク200は、IC22の頂部68と直接接触して頂部68の上に設けられている。ヒートシンク200は、IC22から熱を逃がすものである。ヒートシンク200は、図20を参照して前述したように、その位置に位置合わせされ、固定される。

【0212】

図24は、アップライト型半導体ダイ58を有するレベル2の半導体パッケージ62として形成されたIC22の断面図である。図4C、5、8A、8B、9A、9B、9C及び11に示したように、容量性タイプの信号インターフェイスがIC22の底部70上に設けられ、電源コンタクト92が集積回路の頂部68に設けられている。図24のIC22は図21のIC22に関して述べたものと同じであるが、電源コンタクト92がIC22の頂部68に設けられている。

【0213】

電源リードフレーム222は、電源パッド228と電源コンタクト92とを有し、これらは電源リードフレーム222の両端部に接続されている。電源リードフレーム222は、半導体基板60を通り、半導体パッケージ62の側部72及び74内を上延びて設けられている。電源パッド228は、半導体パッケージ62の内部、かつ、半導体基板60の頂部に設けられている。電源コンタクト92は、図5、9A、10A及び11に示すように、半導体パッケージ62の外側に位置し、頂部68に設けられている。なお、電源コンタクト92は、図8Bを参照して説明したように、半導体パッケージ62と面一になっている。電力ワイヤボンド234が、半導体ダイ58上の頂部232にある適切な電源パッドを対応する電源パッド228に接続している。

【0214】

図25は、フリップ型半導体ダイ58を有するレベル2の半導体パッケージ62として形成されたIC22の断面図である。図4C、5、8A、8B、9A、9B、9C及び11に示したように、容量性タイプの信号インターフェイスがIC22の底部70に設けられ、電源コンタクト92がIC22の頂部68に設けられている。図25に示したIC22は、図22のIC22について説明したものと図24のIC22について説明したものの組み合わせであるが、電源パッド228の位置が異なっている。図25のIC22は、半導体ダイ58と電源コンタクト92を有し、半導体ダイ58は、図22を参照して説明したようにフリップチップの向きにあり、電源コンタクト92は、図24を参照して説明したようにIC22の頂部68に設けられている。電源パッド228は、信号パッド226

10

20

30

40

50

と一緒に半導体ダイ５８の下方に設けられており、従来の方法で半導体ダイ５８の底部２３２にある対応する電源パッド（図示せず）に接続されている。

【０２１５】

図２６は、フリップ型半導体ダイ５８を有するレベル１の半導体パッケージとして形成されたＩＣ２２の断面図である。図４Ｂ、５、８Ａ、８Ｂ、１０Ａ、１０Ｂ、１０Ｃ、１１及び２０に示したように、容量性タイプの信号インターフェイスがＩＣ２２の底部７０に設けられ、電源コンタクト９２がＩＣ２２の頂部６８に設けられている。図２６に示したＩＣ２２は、図２２及び２５のＩＣ２２について説明したものと同様であるが、用いる半導体パッケージ６２のタイプが異なっている。図２６においては、半導体ダイ５８は、図２２及び２５を参照して説明したようにフリップチップの向きに半導体基板６０上に設けられている。

10

【０２１６】

図２２及び２５は各々、図２１を参照して最初に説明したように、半導体ダイ５８を包み込むＬＴＣＣタイプの半導体パッケージ６２を示している。しかしながら、図２６は、封止材料２４２と熱拡散部２０２を組み合わせ形成された半導体パッケージを示している。

【０２１７】

封止材料２４２は、「グラブトップ」としても知られ、液体、ペースト又はゲルの粘度を有する柔軟性の高い（compliant）材料であり、半導体製造の分野でよく知られているように半導体ダイ５８に直接塗布される。好ましくは、封止材料２４２は半導体ダイ５８の周囲に塗布され、半導体ダイ５８の側面を流れ落ち、半導体基板６０と接触する。あるいは、封止材料２４２は、半導体ダイ５８の頂部及び側面に塗布することもできる。この場合、封止材料２４２の塗布によって半導体ダイ５８が半導体基板６０に対して完全に包み込まれる。

20

【０２１８】

熱拡散部２０２は、半導体ダイ５８の頂部表面に直接接触して設けられる。熱拡散部は好ましくは、金属等の熱伝導材料として形成される。好ましくは、熱拡散部２０２は、半導体ダイ５８の周縁に置かれた封止材料２４２を乾燥及び固化することによって、あるいは、封止材料２４２の接着性や粘着性によって所定の位置に保持される。この場合、熱拡散部２０２と、封止材料２４２の半導体ダイ５８の周縁への塗布とを組み合わせ、半導体ダイ５８を半導体基板６０に対して完全に包み込む。あるいは、熱拡散部２０２は、半導体基板６０に位置合わせをする及び／又は取り付けすることもできる。あるいは、熱拡散部２０２は、半導体ダイ５８の頂部に設けた封止材料２４２により所定の位置に固定することができる。

30

【０２１９】

図２６においては、半導体基板６０は頂部において電源コンタクト９２を支持している。この場合、半導体パッケージの頂部は、符号６８で表され、熱拡散部２０２の頂部と半導体基板６０の頂部とを含んでいる。

【０２２０】

図２７は、図２６に示したＩＣ２２の断面図であり、図１２Ｂ、１９に更に示されているように、ＩＣ２２は、ソケットとして形成されているコネクタ１１２により支持され、デカップリングコンデンサ４２とヒートシンク２００とを支持している。図２７のＩＣ２２と半導体パッケージ６２は、図２６のＩＣ２２と半導体パッケージ６２について説明したのと同じである。図２７に示されている追加的な要素としては、ソケットとして形成されているコネクタ１１２、ヒートシンク２００及びデカップリングコンデンサ４２が挙げられる。

40

【０２２１】

デカップリングコンデンサ４２は、第一導電性プレート２４４及び第二導電性プレート２４６を含み、これらは、コンデンサ設計の分野ではよく知られているように、誘電性材料（図示せず）によって離間されており、これにより、デカップリングコンデンサ４２を形

50

成している。デカップリングコンデンサ42は、IC22の頂部68に、より具体的には熱拡散部202の頂部68に設けられている。

【0222】

第一電源コネクタ256と第二電源コネクタ258がデカップリングコンデンサ42の両側に設けられており、これにより、電力を電力接続24からデカップリングコンデンサ42に電氣的に接続するようになっている。電源34は、電圧調整器モジュール38を介して電力を第一電源コネクタ256に供給する。第二電源コネクタ258は、電圧調整器モジュール38を介して電源34から電力を受けるか、又は、遠隔回路52に電力を送る。

【0223】

第一電源コネクタ256は、第一電源端子255と第二電源端子257とを含む。第二電源コネクタ258は、第一電源端子251と第二電源端子253とを含む。好ましくは、第一電源コネクタ256の第一電源端子255と第二電源コネクタ258の第一電源端子251は、金属の打ち抜き成形、ブランキング (blanking)、成形 (forming) 等によって単一ユニットとして第二導電性プレート246と一体的に形成される。しかし、これらを別体の部品として形成し、ハンダ付けや溶接等によって第二導電性プレート246と電氣的に結合してもよい。同様に、第一電源コネクタ256の第二電源端子257と第二電源コネクタ258の第二電源端子253は、金属の打ち抜き成形、ブランキング、成形等によって単一ユニットとして第一導電性プレート244と一体的に形成される。しかし、これらを別体の部品として形成し、ハンダ付けや溶接等によって第一導電性プレート244と電氣的に結合してもよい。

10

20

【0224】

電力接続24は、電源線254と接地線252とを含むが、これらは本技術分野でよく知られているものであり、図1を参照して前述されている。電源線254は所定の電圧の電位を運び、接地線252は接地電位を運ぶ。電源線254は電力をデカップリングコンデンサ42に向かわせ、接地線252はデカップリングコンデンサ42を接地するための戻り経路を提供している。電源線254は、第一電源コネクタ256の第一電源端子255と電氣的に結合しているとともに、第二電源コネクタ258の第一電源端子251と電氣的に結合している。接地線252は、第一電源コネクタ256の第二電源端子257と電氣的に結合しているとともに、第二電源コネクタ258の第二電源端子253と電氣的に結合している。このような接続では、第一導電性プレート244は所定の電圧の電位を保持し、第二導電性プレート246は接地電位を保持する。

30

【0225】

デカップリングコンデンサ42の第一導電性プレート244は、一以上の電源部材250を含む。該電源部材250は、金属の打ち抜き成形、ブランキング、成形等によって第一導電性プレート244と形成されるが、電源部材250を別体の部品として形成し、ハンダ付けや溶接等によって第一導電性プレート244と電氣的に結合してもよい。電源部材250は、IC22上にあり、電位に対応する電源コンタクト92と電氣的に接触している。電源コンタクト92は、好ましくは、図27に示したレベル2の半導体パッケージ62の半導体基板60の頂部に設けられている。

【0226】

デカップリングコンデンサ42の第二導電性プレート246は、一以上の接地部材248を含む。該接地部材248は、金属の打ち抜き成形、ブランキング、成形等によって第二導電性プレート246と形成されるが、接地部材248を別体の部品として形成し、ハンダ付けや溶接等によって第二導電性プレート246と電氣的に結合してもよい。接地部材248は、IC22上にあり、接地電位に対応する接地コンタクト92と電氣的に接触している。電源コンタクト92は、好ましくは、図27に示したレベル2の半導体パッケージ62の半導体基板60の頂部に設けられている。

40

【0227】

好ましくは、電源部材250と接地部材248は、それぞれ、柔軟性の高いばね部材として形成するが、ピンやポスト等の剛性部材として形成することもできる。好ましくは、柔

50

軟性の高いばね部材として形成された電源部材 250 と接地部材 248 とはレッグ部とフット部を有し、レッグ部は半導体ダイ 58 から遠ざかる方向に角度が付けられており、フット部は、半導体基板 60 から遠ざかる方向の上方に向きを変えて設けられている。あるいは、柔軟性の高いばね部材として形成された電源部材 250 と接地部材 248 とはアーム部を有し、アーム部は内側に半円状又は半楕(だ)円状に巻かれているとともにハンド部を有し、ハンド部は円又は楕円の中心に向けて内方に巻かれている。上方向きのフット部や内側に巻いたハンド部によって、容易で簡便な組み立てのためのハンダ付けのない接続が可能となる。柔軟性の高いばね部材は、IC 22 にかかる Z 軸方向の圧縮力を小さくすることができ有利である。

【0228】

ヒートシンク 200 は、IC 22 の頂部 68 上に設けられている。より具体的には、ヒートシンク 200 は、デカップリングコンデンサ 42 の頂部 68 上に設けられている。熱拡散部 202 は、半導体ダイ 58 上の不均一な熱密度を消散させる。ヒートシンク 200 は、熱拡散部 202 及び / 又はデカップリングコンデンサ 42 を介して半導体ダイ 58 から熱を伝達させる。

10

【0229】

好ましくは、デカップリングコンデンサ 42 は、第一導電性プレート 244、第二導電性プレート 246 及び誘電材料の中心部を貫通する孔を有し、これにより、ヒートシンク 200 を熱拡散部 202 に直接接触させる。この場合、IC 22 から発生した熱の多くは、熱拡散部 202 を介してヒートシンク 200 に熱伝導されるが、一部の熱はデカップリングコンデンサ 42 を介してヒートシンク 200 に熱伝導される。あるいは、デカップリングコンデンサ 42 の孔をなくして、ヒートシンク 200 がすべての熱をデカップリングコンデンサ 42 を介して伝達させるようにすることもできる。更に、ヒートシンク 200 は、デカップリングコンデンサ 42 の周縁の少なくとも一部分の周りにおいて熱拡散部 202 と直接接触する一以上の領域を有することもできる。

20

【0230】

図 28 は、レベル 2 の半導体パッケージ 62 として形成された IC 22 のシステム 10 の側面斜視組み立て図である。図 4C、5、8A、8B、9A、9B、9C、11、12A、12B、19 及び 20 に示したように、IC 22 は、二個の部品のカバー及びソケットとして形成されたコネクタ 112 内に支持されており、デカップリングコンデンサ 42 及びヒートシンク 200 を支持している。コネクタ 112 は、レベル 2 の半導体パッケージ 62 として形成された IC 22 (図 28 には図示されていない) と、デカップリングコンデンサ 42 と、IC から PCB に対する信号及び / 又は電源のインターフェイス 132 (図 28 には図示されていない) とを支持している。コネクタ 112 は PCB 114 上に設けられている。ヒートシンク 200 は、コネクタ 112 上に設けられている。図 28 には、ファンは詳しくは図示されていないが、通常、ヒートシンク 200 の頂部の B に取り付けられている。

30

【0231】

コネクタ 112 は、図 27 に示したものと同一第一電源コネクタ 256 と第二電源コネクタ 258 とを含む。第一電源コネクタ 256 は、好ましくはエッジカードコネクタとして示されている。第二電源コネクタ 258 は、好ましくはピンコネクタとして示されている。システム 10 は、一以上の孔 260 を含み、該孔 260 は好ましくはシステム 10 の 4 つのコーナに設けられる。孔 260 は好ましくは、コネクタ 112 とデカップリングコンデンサ 42 を貫通して延びており、これにより、システム 10 の位置合わせと固定を機械的に行う。

40

【0232】

図 29 は、図 27 に示したシステム 10 の組み立て体の分解図であり、図 29 には、上から下に、ヒートシンク 200、第一電源コネクタ 256、第二電源コネクタ 258、コネクタ 112 の上部 262、第一導電性プレート 244、第二導電性プレート 246、コネクタ 112 の中央部 264、信号コンタクトプレート 268、IC 22、PCB 64、コ

50

ネクタ 1 1 2 の底部 2 6 6 及び PCB 1 1 4 が含まれている。

【 0 2 3 3 】

ヒートシンク 2 0 0 は、コネクタ 1 1 2 の上部 2 6 2 上に設けられている。コネクタ 1 1 2 の上部 2 6 2 は、第一電源コネクタ 2 5 6 と第二電源コネクタ 2 5 8 を収容するように一体成形された特徴部を有する。コネクタ 1 1 2 の上部 2 6 2 の中央領域には貫通孔があり、ヒートシンク 2 0 0 の底部の中央部分を収容するように構成されている。コネクタ 1 1 2 の上部 2 6 2 の 4 つのコーナには 4 個の孔 2 6 0 が設けられている。

【 0 2 3 4 】

電位を保持する第一導電性プレート 2 4 4 は、第二電源コネクタ 2 5 8 の第二電源端子 2 5 3 と、第一電源コネクタ 2 5 6 の第二電源端子 2 5 7 と、複数の電源コンタクト 2 5 0 とを含む。電源部材 2 5 0 は、第一導電性プレート 2 4 4 の 4 つの側部から延在している。第二電源コネクタ 2 5 8 の第二電源端子 2 5 3 と第一電源コネクタ 2 5 6 の第二電源端子 2 5 7 は上方に曲がっている。電源部材 2 5 0 は下方に曲がっている。第一導電性プレート 2 4 4 のコーナ 4 ヶ所にも 4 個の孔 2 6 0 が設けられている。

10

【 0 2 3 5 】

接地電位を保持する第二導電性プレート 2 4 6 は、第一電源コネクタ 2 5 6 の第一電源端子 2 5 5 と、第二電源コネクタ 2 5 8 の第一電源端子 2 5 1 と、接地部材 2 4 8 とを含む。接地コンタクト 2 4 8 は、第二導電性プレート 2 4 6 の 4 つの側部から延在している。第一電源コネクタ 2 5 6 の第一電源端子 2 5 5 と第二電源接続 2 5 8 の第一電源端子 2 5 1 は上方に曲がっている。接地部材 2 4 8 は下方に曲がっている。第二導電性プレート 2 4 6 のコーナ 4 ヶ所にも 4 個の孔 2 6 0 が設けられている。

20

【 0 2 3 6 】

好ましくは、第二導電性プレート 2 4 6 に保持されている、第一電源コネクタ 2 5 6 の第一電源端子 2 5 5 と、第一導電性プレート 2 4 4 に保持されている、第一電源コネクタ 2 5 6 の第二電源端子 2 5 7 とは、第一電源コネクタ 2 5 6 内では所定のピッチで互いに隣接して交互に配設される。しかしながら、任意の配置とすることもできる。好ましくは、第二導電性プレート 2 4 6 に保持されている、第二電源コネクタ 2 5 8 の第一電源端子 2 5 1 と、第一導電性プレート 2 4 4 に保持されている、第二電源コネクタ 2 5 8 の第二電源端子 2 5 3 とは、第二電源コネクタ 2 5 8 内では所定のピッチで互いに隣接して交互に配設される。しかしながら、任意の配置とすることもできる。好ましくは、第二導電性プレート 2 4 6 に保持されている電源コンタクト 2 5 0 と、第二導電性プレート 2 4 6 に保持されている接地コンタクト 2 4 8 は、所定のピッチで互いに隣接して交互に配設される。しかしながら、任意の配置とすることができる。

30

【 0 2 3 7 】

コネクタ 1 1 2 の中央部 2 6 4 は、第一電源コネクタ 2 5 6 と第二電源コネクタ 2 5 8 を収容するように構成された一体成形された特徴部を有する。コネクタ 1 1 2 の上部 2 6 2 上の一体成形された特徴部と、コネクタ 1 1 2 の中央部 2 6 4 上の一体成形された特徴部とは、互いに機械的に位置合わせされて嵌められ、これにより、各端子のためのコネクタハウジングを提供する。コネクタハウジングは、第一電源コネクタ 2 5 6 と第二電源コネクタ 2 5 8 を収容するように構成されている。コネクタ 1 1 2 の中央部 2 6 4 とコネクタ 1 1 2 の上部 2 6 2 は、機械的に位置合わせされて嵌められ、これにより、図 1 2 A に示したカバーとしても説明した、デカップリングコンデンサ 4 2 のためのハウジングを提供する。コネクタ 1 1 2 の中央部 2 6 4 の 4 ヶ所のコーナにも 4 個の孔 2 6 0 が設けられている。

40

【 0 2 3 8 】

信号コンタクトプレート 2 6 8 は、第二導電性プレート 2 4 6 に支持されている、第二電源コネクタ 2 5 8 の第一電源端子 2 5 1 と、第一導電性プレート 2 4 4 に支持されている、第二電源コネクタ 2 5 8 の第二電源端子 2 5 3 とを、位置合わせし固定する。IC 2 2 は回路基板 6 4 (インターポーザ基板としても知られている)上に設けられ、IC 製造分野においてはよく知られているように、図 4 D に示したレベル 3 の IC 2 2 を形成してい

50

る。

【0239】

コネクタ112の底部266は、図12Bに示したようなソケット又は図12Cに示したようなフレームを形成し、ICからPCBへの信号及びノ又は電力のインターフェイス132を支持している。コネクタ112の底部266は、PCB64をインターフェイス132に機械的に位置合わせし固定するように構成されており、これにより、PCB64の底部にある信号コンタクト90（図示せず）が、好ましくはインターフェイス132、あるいは、PCB114上の対応する信号コンタクトと位置合わせできる。コネクタ112の底部266の4ヶ所のコーナにも4個の孔260が設けられている。

【0240】

コネクタ112の上部262、第一導電性プレート244、第二導電性プレート246、コネクタ112の中央部264及びコネクタ112の底部266の各4ヶ所のコーナにある孔260は、各コーナにおいて4本の共通軸に沿って互いに位置合わせされる。

【0241】

4ヶ所のコーナの各々で共通軸上に位置合わせされた5個の孔を固定具が貫通して、コネクタ112を図28に示したようなシステム10の組み立て体として機械的に固定する。あるいは、システム10の4個の孔と位置合わせされた4個の孔がPCB114を貫通して延び、これにより、システム10をPCB114に取り付けることができる。固定具は任意のタイプのものとして行うことができ、例えば、ねじ、熱かしめ（heat stakes）、ピン、杭、クリップ等が挙げられるが、これらに限定されるものではない。固定具は、コネクタ112とは別体の部品として又はコネクタ112と一体的に形成される。好ましくは、固定具は4個の別々の部品として形成される。あるいは、固定具は、コネクタ112の少なくとも一部分に一体的に形成されたスナップやクリップを形成し、これがコネクタ112の少なくとも他の一部分に設けられた嵌め合い部と機械的に係合する。この場合、スナップやクリップとして形成された固定具は、好ましくは、修理や再利用をするために組み立てや分解が容易にできる、システムの組み立て体を作る。しかしながら、システム10の組み立て体に損傷を与えずには分解できないという意味において恒久的に組み立て状態にあるシステム10の組み立て体を作ることでもある。

【0242】

回路基板114は、コネクタ112とヒートシンク200とを支持する。回路基板114は、IC22とインターフェイスしている他の回路の多くをも支持しているため、通常マザーボードと呼ばれる。基板114は、IC22上やインターフェイス132上の導電性コンタクト90に対応する複数の導電性コンタクト（図示せず）を含む。また、PCBは、PCB上の導電性コンタクト（図示せず）を、IC22がインターフェイスしている他の各種回路に電氣的に結合する複数のPCBトレース118（図29では図示せず）も含む。

【0243】

なお、図29には、図27に示した、デカップリングコンデンサ42の第一導電性プレート244と第二導電性プレート246の中央領域にある孔が図示されていない。また、図29には、図27に示した熱拡散部202も図示されていない。図29においてはこれら2個の要素がないが、これは、図27を参照して説明した代替例を示したものである。この例においては、図29のデカップリングコンデンサ42が図27の熱拡散部202の機能を実行し、ヒートシンク200がデカップリングコンデンサ42の頂部に直接接触している。この代替例については、図30及び31を参照しつつ更に説明する。

【0244】

図30は、図28及び29に示したシステム10の組み立て体の断面図を示す。PCB114はコネクタ112を支持している。インターフェイス132は、前述したように、PCB64とPCB114との間の信号インターフェイスを提供する。PCB64はIC22を支持している。デカップリングコンデンサ42はIC22の上方に設けられている。デカップリングコンデンサ42は、熱拡散部の特性を有し、IC22の頂部と直接接触し

10

20

30

40

50

ており、これにより、IC 22の熱をデカップリングコンデンサ42の構造体を貫通させて放散する。電源部材248と接地部材250とは、図27を参照して説明したように、延在しているレッグ部と上方に曲がっているフット部を形成し、PCB64上の対応する電源コンタクト92(図示せず)と接地コンタクト92(図示せず)に接触している。ヒートシンク200はコネクタ112の頂部に支持されている。ヒートシンク200の中央部分は、コネクタ112の上部262の孔を貫通して延在し、デカップリングコンデンサ42の頂部と直接接触している。

【0245】

図31は、図28に示したシステム10の組み立て体の別の断面図を示す。図30のシステム10の組み立て体は図31のシステム10の組み立て体と同じであるが、電源コンタクト92はIC22の側部(72及び74)に設けられており、電源部材248と接地部材250は内方に巻いているアーム部とハンド部で示されており、信号インターフェイス132はIC22とPCB114との間の信号の結合を容量的に行うための誘電材料を形成している点異なる。

10

【0246】

PCB114はコネクタ112を支持している。インターフェイス132は、IC22とPCB114との間に容量性信号インターフェイスを提供する。なお、図31にはPCB64は存在しない。この場合、IC22は、個々のコンデンサの一方を形成する信号コンタクト90(図示せず)を一組有し、PCB114は、個々のコンデンサの他方を形成する対応する信号コンタクト(図示せず)を一組有する。インターフェイス132は、適切な誘電率を有する誘電材料を、対応するIC22上の信号コンタクトとPCB114上の信号コンタクトの間に提供し、これにより、IC22とPCB114との間の容量性信号結合を許容する。

20

【0247】

デカップリングコンデンサ42はIC22の上方に設けられている。内方に巻いているアーム部とハンド部を形成している電源部材248及び接地部材250は、IC22の側部72、側部74、後方の側部(図示せず)及び前方の側部(図示せず)に設けられている対応する電源コンタクト92及び接地コンタクト92と接触している。ヒートシンク200は、コネクタ112の頂部上に支持されており、デカップリングコンデンサ42と直接的に接触している。

30

【0248】

図32は、ICを収容するための凹部を有するソケットとしても、IC上に嵌まるカバーとしても使用することができる両方の性質を有する本発明のコネクタ112を示す。このタイプの構成は、図4C、5、8A、8B、9A、9B、9C、11、12A及び12Bに示したレベル2のタイプの半導体パッケージに用いるのに適している。この構成では、コネクタは電源と接続するための外部手段を含む。該手段は、エッジ回路カード、すなわち、基板256、258として示されており、これらはそれぞれ第一電源コネクタ及び第二電源コネクタとなる。この構成は、電力がICパッケージの側部から該パッケージに供給される場合に適している。コネクタ112はデカップリングコンデンサ42を支持する。該デカップリングコンデンサ42は好ましくは、別個の電源コンタクト248と接地コンタクト250とを含むプレートコンデンサの形状をしている。コネクタ112は、コネクタ112の一部として形成された凹部あるいは空洞部を有し、電源コンタクト248と接地コンタクト250は、凹部の内側のコネクタ112の周囲に設けられている。凹部の形状及び深さはIC22を収容するのに適したものとなっており、これにより、電源コンタクト248と接地コンタクト250が、図34に全体が示されているIC22上に設けられた電源コンタクト92及び接地コンタクト92と位置合わせされて接触することができる。

40

【0249】

コネクタ112は、図31に示したIC22の頂部を覆うように嵌められる、図12Aに概略的に示したようなカバーと考えることもできる。この例では、デカップリングコンデ

50

ンサ42はIC22の頂部68上に設けられ、電源コンタクト部材248と接地コンタクト部材250は、IC22の各側面に設けられた対応するコンタクト92と接触する。あるいは、コネクタ112は、図12Bに示したようなソケットとして考えることもできる。この場合、コネクタ112は、ソケットの内側に設けられた特徴部を示すように上向きに示されている。ソケットの場合、IC22は図23に示すようにコネクタ112内に嵌め込まれる。デカップリングコンデンサ42はIC22の底部70の下方に設けられ、電源コンタクト248と接地コンタクト250は、IC22の各側面に設けられた対応する電源コンタクト92と接触する。この場合、信号は、信号導線によってIC22の頂部68を通して伝達される。これは、デカップリングコンデンサ42によって、信号がコネクタ112の底部を通して伝達されることが阻害されるためである。エッジカードコネクタとして示されている第一電源コネクタ256及び第二電源コネクタ258は、デカップリングコンデンサ42へ電位及び接地電位を接続する。

10

20

30

40

50

【0250】

図33は、別のコネクタ112を示す。該コネクタ112は、カバーとして形成されており、図4C、5、8A、8B、9A、9B、9C、11、12A及び12Bに示したレベル2の半導体パッケージ62に用いるのに適している。コネクタ112は、図32に示したものと同一であると考えことができ、コネクタ本体は逆向きになっており、異なるスタイルの電源供給用嵌合部を有している。この実施形態においては、電源と接続するための外側の手段は2個のピンヘッド256、258の形で設けられており、各ピンヘッドは導電性のピン255、257を含む。ピンは、カバーから外側に、すなわち、図33においては上方に延在している。このタイプの構成では、電力をパッケージにその頂部からもたらすことができる。複数の導電性コンデンサプレートはコネクタ内に形成されている。

【0251】

図34は、本発明の他の実施形態を示す。この図では、電力分配システムは、IC22を覆うように嵌められるカバー部材(図示せず)に組み込まれている。この実施形態においては、電力分配システムは、サイズの略等しい少なくとも一対の導電性プレート244、246を含み、該一対のプレート同士は垂直(Z軸)方向に位置合わせされている。この二枚のプレートは介在誘電体層300により離間されており、該介在誘電体層300の誘電率及び/又は厚さは、ICに通常の動作電流やサージ電流を提供するのに十分な電力を蓄積するためのキャパシタンスを提供するように選択される。第二の絶縁層302が底部コンデンサプレート246の底面に設けられ、該プレートをICから絶縁させる。前述したように、電力分配システムは複数のコンタクト248、250を含み、該コンタクトは、交互に置かれた電源コンタクトと接地(電源戻り)コンタクトとを含むことができる。これらは、プレート244、246から外方に、かつ、ICパッケージの側面に沿って延び、好ましくは図示の片持ち梁(はり)状又はベローズ状となっており、ICに形成されたコンタクト303と係合する。二枚のプレート244、246及びコンタクト248、250は通常、プラスチック等の外側絶縁部材によって包み込まれるかあるいは該部材内に成形される。

【0252】

これらコンタクト248、250は、二枚のプレート244、246の各々に形成され、ICパッケージと接触している。この実施形態は、ヒートシンク(図示せず)と組み合わせて使用する場合に適しており、このような場合には、両プレート244、246、介在誘電体層300及び下方の絶縁層302を貫通して延在する開口305を設けることができる。ヒートシンクの一部が、この開口305を貫通して延在しIC22の熱発生面と接触するようにすることもできる。いくつかの構成においては、開口に嵌まりICの熱発生面とヒートシンクの間を伸べる熱伝導部材を用いることができる。

【0253】

図35は図34の断面図であるが、明確化のため下部の絶縁層302は図示されていない。この図は、IC22とパッケージ114と電力分配システムの関係を示している。図35に示すように、絶縁層302はICの上面22aに接しており、別の小さな開口306

が追加の冷却のために設けられている。より明確にするために、図 4 2 にこの断面の端部を示す。コンタクト 2 4 8、2 5 0 が図示のように周囲を取り囲むように設けられており、この配置により、コンタクトの IC 2 2 への係合は、垂直作用線 (vertical line of action) に沿ってではなく水平作用線 (horizontal line of action) に沿って行われるため、挿入や取り外しに必要な力が小さくなる。

【0254】

図 3 6 及び 3 7 は、本発明の他の実施形態を示す。この実施形態では、IC の本体の種々の位置に複数の別個の電圧を供給することができる電源分配供給部が組み込まれている。これは、カバー部材に複数の別個のコンデンサを設けることによって達成することができる。該コンデンサは、別個の下方導電性プレート 3 1 0 ~ 3 1 3 として形成されている。各プレートは、間隔 3 1 5 を介在させることによって、図 3 7 に最もよく示されるように互いに離間しており、このようなプレートの各々が図示のように別個のコンタクト部材 3 1 6 を含んでいる。コンタクト部材 3 1 6 は、プレートから外方、かつ、下方に延びて、IC あるいは IC パッケージと接触するための所定の位置に至っている。既に述べた実施形態と同様に、別個のプレート 3 1 0 ~ 3 1 3 は、介在誘電体層 3 0 0 によって、単一の又は複数のセクションに分割された上方コンデンサプレート 2 4 4 と離間しており、これにより、システムの下方向プレート 3 1 0 ~ 3 1 3 は、介在誘電体層 3 0 0 によって、上方プレート 2 4 4 と垂直方向に離間するとともに、間隔 3 1 5 内の空気又は絶縁体によって 3 1 0 ~ 3 1 3 の各プレートが互いに X 軸方向及び Y 軸方向に離間する。また、下方プレート 3 1 0 ~ 3 1 3 は、これらと組み合わせられる対応する別々の上方プレートを有することもでき、コネクタは、図 3 2 の実施形態における一对の容量性プレートを 4 組支持することになる。

10

20

【0255】

図 3 6 は、ハウジングあるいはカバー部分 1 1 2 に埋め込まれているあるいは包み込まれている複数のプレートのセット (と上方プレート 2 4 4 及び介在誘電体 3 0 0) を示す。このタイプの構造においては、カバー部分 1 1 2 を形成する材料が、下方コンデンサプレート 3 1 0 ~ 3 1 3 の間の間隔 3 1 5 を満たす。プレートから延びているプレートコンタクト 3 1 6 は、コンタクトのばね作用を過度に制限しないように、カバー部分 1 1 2 に部分的に埋め込まれていてもよく、カバー部分に形成された一連のスロット 3 1 6 内に設けられてもよい。図 3 8 は、カバー部分 1 1 2 に埋め込む前の図 3 7 の電源供給構造部 (及び 3 4 の一部) の断面図である。この構造の場合、IC の各部分に異なる電圧 (例えば、0.5 [V]、1.0 [V]、-2.0 [V] 等) を供給することができる。

30

【0256】

図 3 9 は、本発明の電力分配システムに用いることができる互い違いのコンタクト配置を示す。図 3 9 においては、二枚の導電性プレート 2 4 4、2 4 6 は介在誘電体層 3 0 0 によって離間されて図示されており、各プレートのコンタクト 2 4 8、2 5 0 は、プレートから略直角に下方に伸びているが、コンタクト 2 4 8、2 5 0 の接触位置は垂直方向において異なっている。図示のように、下方プレート 2 4 6 のコンタクト 2 4 8 の第一の長さ、上方プレート 2 4 4 のコンタクト 2 5 0 の第二の長さは等しい。しかしながら、コンタクト 2 4 8 のコンタクトアーム部と、コンタクト 2 5 0 のコンタクトアーム部は、異なる高さで配設されている。この互い違い配置は、IC やそのパッケージに対するカバー部分 1 1 2 の挿入や取り外しに必要な力を減少させるのに役立つ。これは、最初のコンタクト時に IC / パッケージと係合するコンタクトの数が半分になるからである。更に、この配置によって、最初に係合し最後に離れる形態 (first mate last break aspect) を電源供給構造において実施することができ、接続中にショートやアークが発生する可能性が少なくなる。

40

【0257】

図 4 0 は、電力分配システムの更に他の実施形態を示し、これは、本発明の原則により構成されている。電力分配システム 3 7 5 は三枚のコンデンサプレート 3 1 8、3 1 9 及び 3 2 1 を含み、これらは、介在誘電体層 3 0 0、3 2 3 により離間されている。上のコン

50

デンサプレート 318 と下のコンデンサプレート 319 は互いに接続されている。この接続は、好ましくは図示のようにそれらの側部で、相互接続部材 320 により行われる。この相互接続部分は、空間、すなわち、隙間 322 により、中央の内部コンデンサプレート 321 と分離され離間されている。3 種類のコンタクト 248、250、325 のセットは、IC やそのパッケージ上の対応するコンタクトと接触するために、電力分配システムの周縁に配設される。この形状とその前の形状の電力分配システムは、一様相においては、その構造により、カバーやソケット等に挿入することができるモジュールとして考えることもできる。この図は、コンタクト 248、250 及び 325 の例示的な構成を示しており、これらコンタクトは、長尺、あるいは、片持ち梁状又はベローズ状のアーム部 360 を有している。該アーム部 360 は、下方に曲げられ、やや内方に曲げられ、自由端 361 で終端している。これにより、コンタクトの内側接触アーム部 362 を画定する。このような接触アーム部の各々は、好ましくは、内方に傾斜した接触面 363 を有する。この接触面は、IC / パッケージの側部との接触のために使用される。

【0258】

この実施形態における二枚の外側コンデンサプレートは内側コンデンサプレートの両側に位置するため、これらを使用すると、上側と下側のプレートの表面積が大きくなるため、デカップリングコンデンサの総キャパシタンスが大きくなるという効果がある。言い換えると、この実施形態では、コネクタ本体の水平方向の面積を変えずにキャパシタンス（及び IC への供給電流）を大きくすることができる。したがって、このような構成は、設計者が回路基板に使用できるスペースが限られている場合や IC が小さい場合に利用できる。この構成においては、コンデンサプレートは、好ましくは、垂直方向に電源 - 接地 - 電源、又は、接地 - 電源 - 接地の順に配設される。

【0259】

図 41 は、IC 22 に上から嵌まるカバー部分 112 内に組み込まれた電力分配システムを示す。カバー部分 112 は明確化のため透視図で描かれており、カバー部分の周縁でどのように IC / パッケージと係合しているかを見ることができる。

【0260】

図 43 は、電力分配システムを内部に組み込んだ IC パッケージ組み立て体の外側を示す。この図では、デカップリングコンデンサ 42 が IC の上方にカバー部材 262 により保持されている。組み立て体の本体には、組み立て体を回路基板に取り付けるための複数の取り付け孔が形成されている。更に、組み立て体は、デカップリングコンデンサ 42 に電力を供給するための外側電源リードと係合するための手段 256、258 を有する。

【0261】

図 44 ~ 50 は、本発明の他の実施形態を示す。この実施形態では、IC 132 はソケットタイプのコネクタ 112 内に保持されており、コネクタ 112 にはデカップリングコンデンサ 42 が組み込まれている。図示のように、ソケットコネクタ 112 の形状は長方形か正方形であり、ソケットコネクタ 112 は、複数の側壁 401 から形成された本体部 400 を有する。複数の側壁 401 は一緒になってその内側に、IC 132 を収容する中央開口 402 を画定する。該開口 402 は貫通孔とすることができ、この開口 402 内に IC が収容され、回路基板上がコンタクト又は端子 890 と接触する（図 46）。デカップリングコンデンサ 42 は複数の個別のコンデンサ 403 を含み、各個別のコンデンサ 403 は、同一又は異なる電圧を IC 132 上に設けられた適切なコンタクトに供給する（図示せず）。カバープレート 404 は IC をソケットコネクタ 112 内に封止する。コンデンサ 403 は、回路基板 406 上に設けられた電源供給部 405 からトレースによって電源を受ける（図 45）。これら個別のコンデンサをソケットコネクタ内に設けることによって、回路基板 406 上の IC 132 の周りの空間を使用しなくて済む。

【0262】

コンデンサ 403 は、ソケットコネクタの側壁 401 に設けられたスロットや開口等の開口 410 に受けられる。コンデンサとしては、接続のために導電性ワイヤリード 411 を利用する図 44 ~ 48 に示したような従来のコンデンサやチップタイプコンデンサ 505

が挙げられる。これらのリード411を収容するために、本体部の側壁401内には、リードを収容する通路412を形成し、これにより、背が低く、かつ、小さなスペースのソケットコネクタの様相を維持することができる(図48)。本体部の側壁401の高さは、ヒートシンク200等の熱伝達部材を収容する段差の小さな凹部を形成することができる高さとする。このタイプのコネクタは、固定具415によって回路基板に固定することができる(図50)。コンデンサを受けるための開口410は、好ましくは、図示のように差し込み口の周縁において互いに離間しているが、これらはIC上の各種電源コンタクトや端子の位置に対応する種々の配置で離間させることもできる。

【0263】

図51~54は、本発明の原則により構成された電力分配システム500の他の好ましい実施形態を示す。この実施形態では、コネクタ112はソケット501の形状となっており、該ソケット501の側壁504には複数の分離した開口502が形成されている。各開口はチップコンデンサ505の形状のデカップリングコンデンサ42を収容している。この実施形態には、異種の端子あるいはリードの構造を用いることができる。リード506は、ワイヤで形成された略U字状のリードとして示されており、リードの一端はループエンド507に、他端508は自由端509になっている。この自由端は回路基板にハンダ付けされている。ワイヤループリード506は、ソケットコネクタ112の側壁504を貫通しており、ソケットコネクタの製造中に所定の位置に容易に成形することができる。ループエンド507は、若干上方に曲げられており、ソケットコネクタに挿入されたICの底部と有効な電氣的接触をすることができるようになっている。端子506のこの部分が「ループ」となっているという性質によって、ICに対して冗長な回路経路が提供され、端子やコネクタ全体のインダクタンスを下げることができる。リードは、第一の端子、すなわち、電源端子のセットとして機能する。電源端子は、パターン又はアレイ状に配設され、複数の第二の端子、好ましくは非電源端子550を取り囲む。非電源端子550はコネクタ差し込み口の内部に配設され、ICを下方の回路基板に接続するために用いられる。これら非電源端子550としては、LGA、PGA、BGA、スプリングコンタクト等が挙げられる。

【0264】

内側支持フレーム510はパッケージの一部として設けられており、この内側フレーム510はソケットコネクタの側壁内に設けられてICのための支持体を形成している。ワイヤリード506のループエンドを収容するために、フレーム510には図示のように凹部515が設けられている。凹部は、ループエンド507を囲んでおり、ICがソケットコネクタの開口に挿入されてICから挿入力を受けると、ループエンドは撓(たわ)むことができる。ワイヤリード506は、オーバーオールキャリアストリップ520の一部として、打ち抜き成形により低コストで容易に形成することができ、また、ICの位置と適合させるために図示の方向とは異なる方向で形成することもできる。内側フレーム510と側壁504とは、インサートモルディングやオーバーモルディング等により一体部品として形成でき、これにより、実質的には、内側フレーム510をソケットコネクタのハウジングのベースあるいは床部分として機能する。

【0265】

図58は、他の例を示す。この例では、個別のコンデンサ403の端子あるいはリード44が、コネクタ本体部の側壁401に設けられたスロット430を貫通して延在している。この例においては、リードはコンデンサ403の端子に接続され、コンデンサを収容する開口410を取り囲む側壁401は、コンデンサ403とリードをコネクタ本体部の所定の位置に保持するために、余分な材料をそれらに追加するか、コンデンサ403とリードの熱かしめを容易にするような構成とされる。あるいは、個別のコンデンサ403は、開口410を別の材料440で密閉することによりあるいはコネクタ本体部内の所定の位置にコンデンサとリードを成形することによって、側壁401内に完全に包み込まれるようにすることもできる。

【0266】

10

20

30

40

50

最後に、図 5 6 及び 5 7 は、図 3 0 に図示したシステムに用いたカバー部材の下方からの斜視図である。この図は、外側支持部材 2 6 2、2 6 4 内にコンデンサプレート 2 4 4、2 4 6 が組み立てられた状態の配置を示している。

【 0 2 6 7 】

本発明の好ましい実施形態の多くの特徴や特性が明細書に記載され図面に図示されている。明細書の任意の各部に記載されている又は各図面に図示されている特徴や特性はいずれも、明細書の他の部分に記載されている又は同じ図面や他の図面の他の部分に図示されている特徴や特性と組み合わせることができる。例えば、上の記載は電力分配システムについて述べられているが、最適な性能のためのサイズとされた各種コンデンサプレートを用いて信号伝達を行うために本発明を使用できることは分かるであろう。

10

【 0 2 6 8 】

本発明の好ましい実施形態を図示し説明してきたが、添付の特許請求の範囲により定義される本発明の精神から離れることなく、各種変形や変更を行うことができることは当業者に明白であろう。

【 図面の簡単な説明 】

【 0 2 6 9 】

【 図 1 】本発明の最も広い様相の機能的ブロック図であり、各種システムの様相と集積回路との関係を示している。

【 図 2 】図 1 のシステムの詳細なブロック図である。

【 図 3 】図 2 の各システムの様相の代替的な位置及び前記システムの様相間の代替的接続を記載した表である。

20

【 図 4 】4 A、4 B、4 C、4 D 及び 4 E は、それぞれ、図 1、2 及び 3 の集積レベル 0、1、2、3、4 の集積回路及び本発明のパッケージ設計システムの様相の概略図である。

【 図 5 】本発明の原則による IC パッケージ設計の電力接続及び信号接続を示す、図 4 A ~ 4 E の集積回路の概略図である。

【 図 6 A 】IC の異なる面に結合した高周波数信号インターフェイス及び低周波数信号インターフェイスを示す、図 5 と同様の図である。

【 図 6 B 】集積回路の同一面に結合した対の第一の（高）周波数信号インターフェイス及び第二の（低）周波数信号インターフェイスを示す、図 5 と同様の図である。

30

【 図 7 A 】集積回路の異なる面に結合した、タイプの異なる第一のタイプの信号インターフェイス及び第二のタイプの信号インターフェイスを示す、図 5 と同様の図である。

【 図 7 B 】集積回路の同一面に結合した、タイプの異なる第一のタイプの信号インターフェイス及び第二のタイプの信号インターフェイスを示す、図 5 と同様の図である。

【 図 8 A 】半導体パッケージの外側に設けられた信号接続及び / 又は電力接続を示す、図 4 C 及び 5 の集積回路の概略断面図である。

【 図 8 B 】半導体パッケージと面一に設けられた信号及接続及び / 又は電力接続を示す、図 4 C 及び 5 の集積回路の概略断面図である。

【 図 8 C 】半導体パッケージ内に凹状に設けられた信号接続及び / 又は電力接続を示す、図 4 C 及び 5 の集積回路の概略断面図である。

40

【 図 8 D 】半導体パッケージの内側に設けられた信号接続及び / 又は電力接続を示す、図 4 C 及び 5 の集積回路の概略断面図である。

【 図 9 】集積回路の（ a ）頂部、（ b ）底部、（ c ）側部に設けられた信号接続及び / 又は電源コンタクトの位置を示す、図 5 及び 8 A ~ 8 D に示した集積回路の概略図である。

【 図 1 0 】本発明の好ましい実施形態に係るパッケージ設計システムを示す集積回路の（ a ）頂部、（ b ）底部、（ c ）側部に設けられた信号コンタクト及び / 又は電源コンタクトを有する、図 8 A、8 B、8 C 又は 8 D 及び 5 に示す集積回路の平面図である。

【 図 1 1 】コネクタ内に設けられた図 5 の集積回路の概略立面図である。

【 図 1 2 A 】集積回路のカバーとして形成されたコネクタ内に設けられた図 1 1 の集積回路の概略立面図である。

50

- 【図 1 2 B】集積回路のソケットとして形成されたコネクタ内に設けられた図 1 1 の集積回路の概略立面図である。
- 【図 1 2 C】集積回路のフレームとして形成されたコネクタ内に設けられた図 1 1 の集積回路の概略立面図である。
- 【図 1 3】コネクタ内又は回路基板上に設けられた遠隔回路と結合している図 1 1 の集積回路の概略立面図である。
- 【図 1 4】積み上げ配置で結合されている図 1 3 の集積回路の概略立面図である。
- 【図 1 5】図 1 3 又は 1 4 の集積回路及び遠隔回路の概略立面図であり、各回路がコネクタ内に電圧調整器モジュールとデカップリングコンデンサを含む状態を示す。
- 【図 1 6】図 1 3 又は 1 4 の集積回路及び遠隔回路の概略立面図であり、各回路が電圧調整器モジュールとデカップリングコンデンサを含む状態を示す。 10
- 【図 1 7】図 1 3 又は 1 4 の集積回路及び遠隔回路の概略立面図であり、各回路が回路基板上に設けられた電圧調整器モジュールとデカップリングコンデンサを含む状態を示す。
- 【図 1 8】図 1 3 又は 1 4 の集積回路及び遠隔回路の概略立面図であり、各回路が導線上に設けられた電圧調整器モジュールとコネクタ内に設けられたデカップリングコンデンサを含む状態を示す。
- 【図 1 9】図 1 3 又は 1 4 の集積回路及び遠隔回路の概略立面図であり、各回路が回路基板上に設けられた電圧調整器モジュールとコネクタ内に設けられたデカップリングコンデンサを含む状態を示す。
- 【図 2 0】熱管理・電磁障害 (E M I) 制御システムと組み合わせられた図 1 1 の集積回路の概略立面図である。 20
- 【図 2 1】アップライト型半導体ダイと容量性タイプの信号インターフェイスとを有し、電力が IC の側部に供給される、本発明の原則により構成されたレベル 2 の半導体パッケージの断面図である。
- 【図 2 2】フリップ型半導体ダイを有し、容量性タイプの信号インターフェイスと集積回路の側部に供給される電源を利用する、本発明の原則により構成されたレベル 2 の半導体パッケージの断面図である。
- 【図 2 3】ヒートシンク部材が取り付けられた図 2 1 の IC パッケージの断面図である。
- 【図 2 4】アップライト型半導体ダイと容量性タイプの信号インターフェイスとを有し、電力がパッケージの側壁に供給される、レベル 2 の半導体パッケージの断面図である。 30
- 【図 2 5】フリップ型半導体ダイと容量性タイプの信号インターフェイスを有し、電源コンタクトが集積回路の頂部に設けられている、本発明のレベル 2 の半導体パッケージの断面図である。
- 【図 2 6】フリップ型半導体ダイと容量性タイプの信号インターフェイスを有し、電源コンタクトが半導体パッケージの頂部に設けられている、レベル 1 の半導体パッケージの断面図である。
- 【図 2 7】図 1 2 B 及び 1 9 に示したのと同様に、デカップリングコンデンサとヒートシンクの両方を支持するソケットコネクタにより支持される、図 2 6 の集積回路の断面図である。
- 【図 2 8】本発明のシステムを組み込んでいる IC 組み立て体の斜視図であり、該 IC 組み立て体がレベル 2 の半導体パッケージとして形成され、カバー及びソケットとして形成されデカップリングコンデンサとヒートシンクとを支持するコネクタ内に支持されている状態を示す。 40
- 【図 2 9】図 2 8 のシステム組み立て体の分解図である。
- 【図 3 0】線 3 0 - 3 0 に沿った図 2 8 の組み立て体の断面図である。
- 【図 3 1】本発明の原則により構成された別のシステム組み立て体の断面図である。
- 【図 3 2】コンデンサ構造体に電力を供給する別の手段を示す、IC が図 4 C に示したレベル 2 の半導体パッケージとして形成されている、本発明の電源分配部材の別の実施形態を下から見た斜視組み立て図である。
- 【図 3 3】電源に接続するための外部手段を有する、図 4 C に示したレベル 2 の半導体パ 50

パッケージに用いる別のシステム組み立て体カバーの斜視図である。

【図34】本発明のコンデンサ電源分配構造をチップパッケージ上の所定の位置において利用し、ヒートシンクとの連通手段を有するシステム組み立て体の別の実施形態の斜視図である。

【図35】図34の線35-35に沿った断面図である。

【図36】ICに様々なレベルの電力を供給するのに有用な、本発明の電力分配システムに用いられるコンデンサ構造の別の実施形態を下から見た斜視図である。

【図37】明確化のためにカバーを外し異なる角度から見た、図36と同様の図である。

【図38】図37のコンデンサ構造体の線38-38に沿った断面図である。

【図39】本発明の原則により構成された、互い違いの電源リードが延びているコンデンサ構造体の別の実施形態の部分的な端面図である。 10

【図40】三枚以上のコンデンサプレートの使用を示す、本発明の原則により構成された電力分配構造体の別の実施形態のコーナを拡大した詳細斜視図である。

【図41】ICに設けられたハウジング（明確化のため透視的に示されている）に収容されている、本発明の電力分配部材の斜視図である。

【図42】図35の断面の端面図である。

【図43】本発明の原則により構成されたコネクタ構造体の斜視図である。

【図44】ICを支持するハウジング内に設けられた複数の個別の電源コンデンサを利用している、本発明の原則により構成された別の電力分配システムの分解図である。

【図45】各種部品が回路基板上に一体的に組み立てられている、図44と同様の図である。 20

【図46】線46-46に沿った図45の組み立て体の断面図である。

【図47】IC及び組み立て体の上の所定の位置にヒートシンク部材が置かれている、図45の組み立て体の斜視図である。

【図48】図45の組み立て体の中に用いられている個別のコンデンサを示す、該組み立て体の部分拡大詳細図である。

【図49】線49-49に沿った図47のコネクタ組み立て体の断面図である。

【図50】図45の組み立て体を所定の位置に保持するための手段を示す、該組み立て体のコーナの拡大詳細図である。

【図51】ICと個別のコンデンサの両方に接触するワイヤコンタクトの使用を示す、本発明の原則により構成されたソケットコネクタの別の構成の拡大詳細図である。 30

【図52】図51のコネクタ組み立て体の斜視図である。

【図53】図52のコネクタ組み立て体の内部領域「A」の拡大詳細断面図である。

【図54】図52のコネクタ組み立て体内における個別のコンデンサの配置を示す、該組み立て体の一部の詳細分解図である。

【図55】図52のコネクタ組み立て体に用いられるリードを含むキャリアストリップの斜視図である。

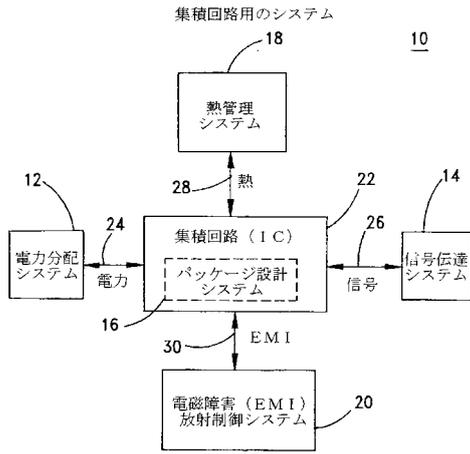
【図56】図30に示したシステムに用いられるカバー部材を下から見た斜視図である。

【図57】図30に示したシステムに用いられるカバー部材を下から見た斜視図である。

【図58】本発明のコネクタ内に個別のコンデンサを設ける別の方法を示す拡大詳細図である。 40

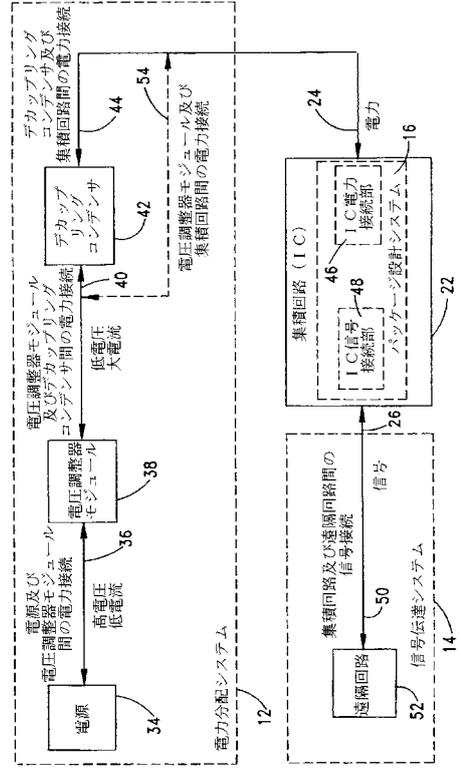
【 図 1 】

FIG. 1



【 図 2 】

FIG. 2



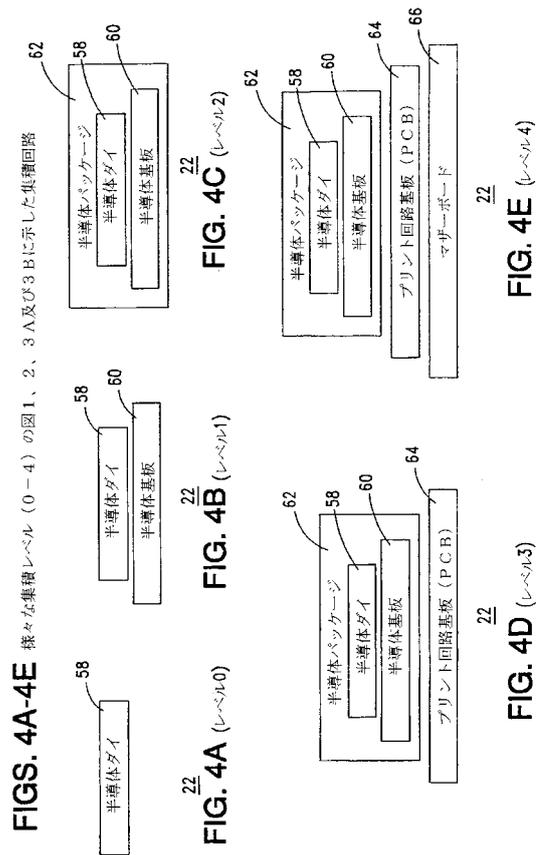
【 図 3 】

FIG. 3

図2に示した各ブロックのための代替的な位置及び
図2に示した各ブロック間の代替的な接続を記載した表

	(34)	(36)	(38)	(40)	(42)	(44)	(46)	(48)	(50)	(52)	(54)
1	電源の位置	電源及び電圧調整モジュール間の電力接続	電圧調整モジュール間の電力接続	電圧調整モジュール間の電力接続	デカップリングコンデンサ及びデカップリングコンデンサ間の電力接続	デカップリングコンデンサ間の電力接続	IC電力接続部の位置	IC信号接続部の位置	IC及び遠隔回路間の信号接続	遠隔回路の位置	
2	遠隔回路	導線	コネクタ	導線	コネクタ	導線	ICの頂部	ICの側部	導線	コネクタ	
3		導線	PCB	PCB	PCB	PCB	ICの側部	ICの側部	PCB	PCB	
4							ICの底部	ICの底部	導線	導線	

【 図 4 A - 4 E 】



FIGS. 4A-4E

FIG. 4A (レベル0)

FIG. 4B (レベル1)

FIG. 4C (レベル2)

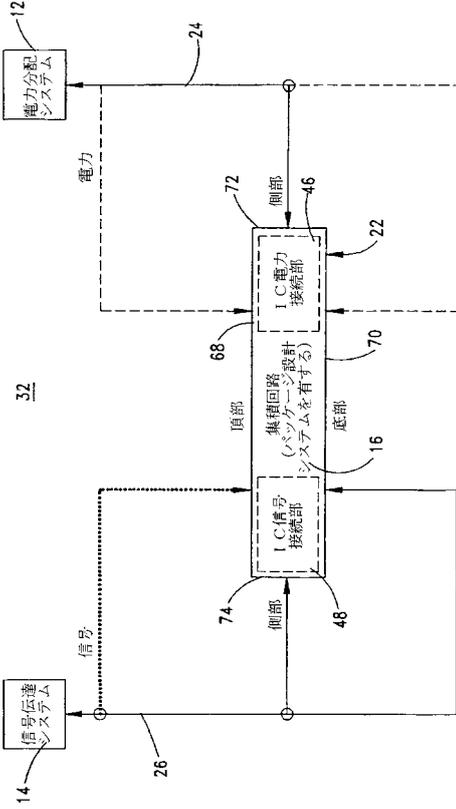
FIG. 4D (レベル3)

FIG. 4E (レベル4)

【 図 5 】

信号接続及び/又は電力接続の位置が頂部、底部及び/又は側部である、図4A-4Eに示した集積回路

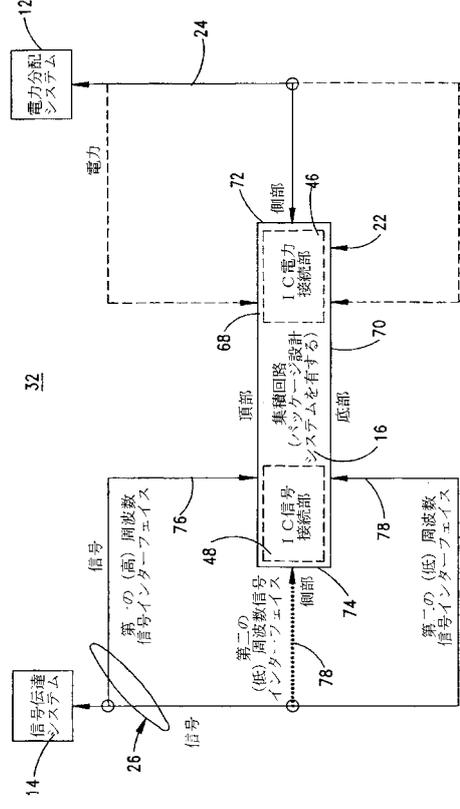
FIG. 5



【 図 6 A 】

集積回路の異なる面に結合している第一の(高)周波数信号インターフェースとこれとは別の第二の(低)周波数信号インターフェースとを有する図5に示した集積回路

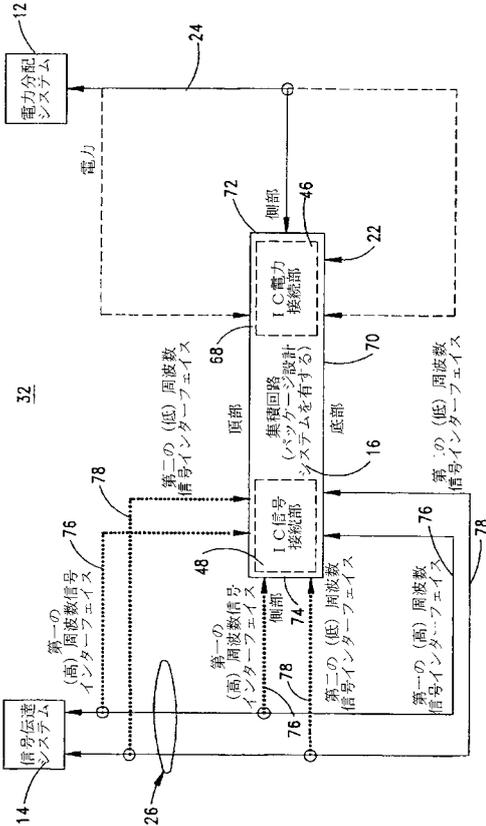
FIG. 6A



【 図 6 B 】

集積回路の同じ面に結合している第一の(高)周波数信号インターフェースとこれとは別の第二の(低)周波数信号インターフェースとを有する図5に示した集積回路

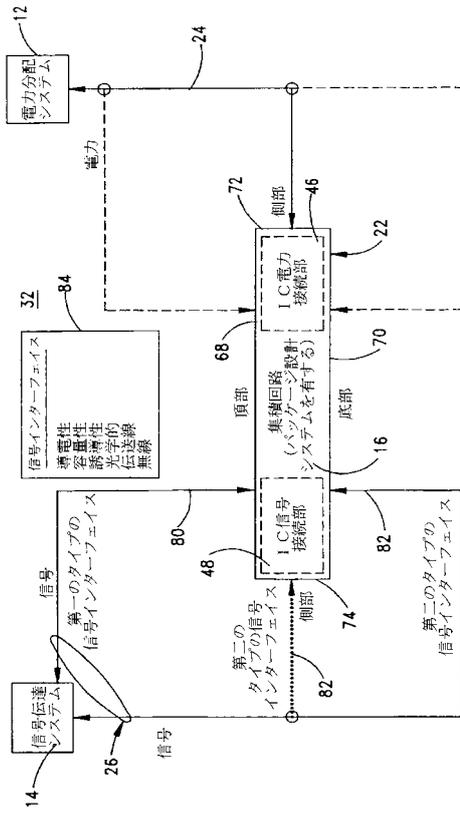
FIG. 6B



【 図 7 A 】

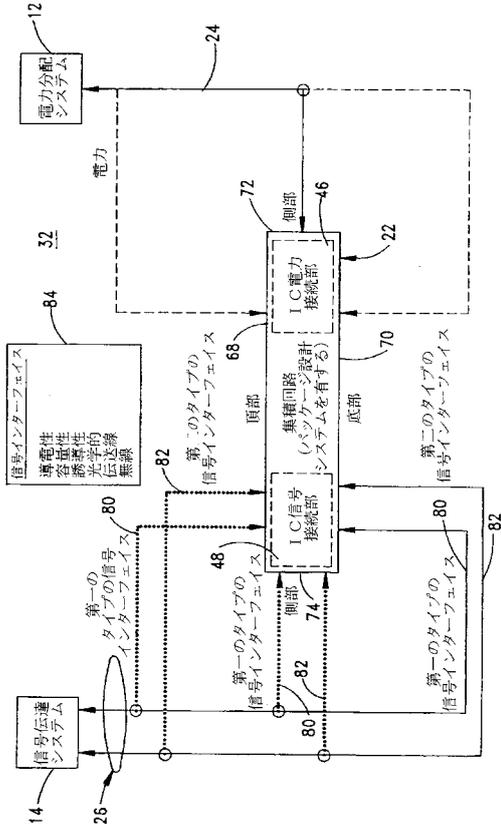
集積回路の異なる面に結合している第一のタイプの信号インターフェースとこれとは別の第二のタイプの信号インターフェースとを有する図5に示した集積回路

FIG. 7A



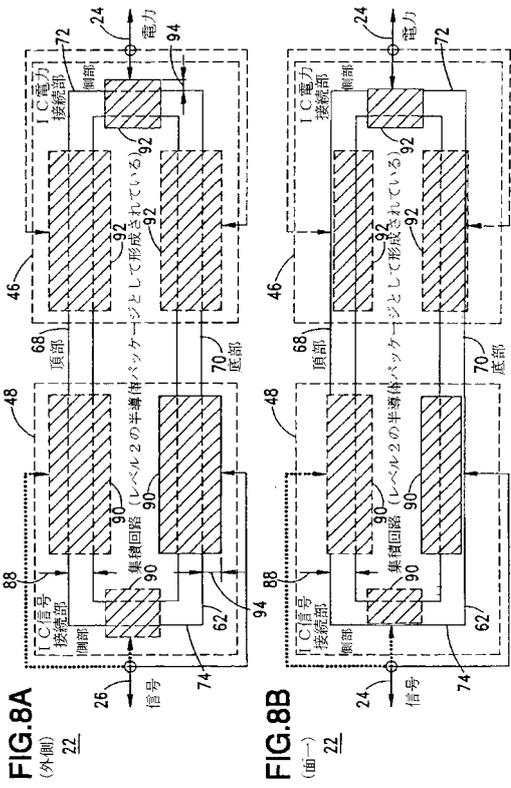
【 図 7 B 】

FIG. 7B 集積回路の異なる面に結合している第一のタイプの信号インターフェースとこれとは別の第二のタイプの信号インターフェースを有する図5に示した集積回路



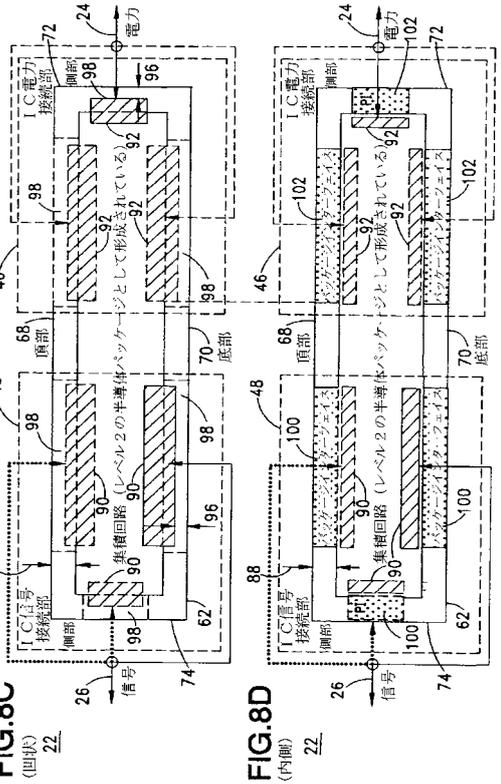
【 図 8 A - 8 B 】

FIGS. 8A and 8B 半導体パッケージの外側及び内側のそれぞれに設けられた信号接続及び/又は電力接続を有する、図4C及び図5に示した集積回路



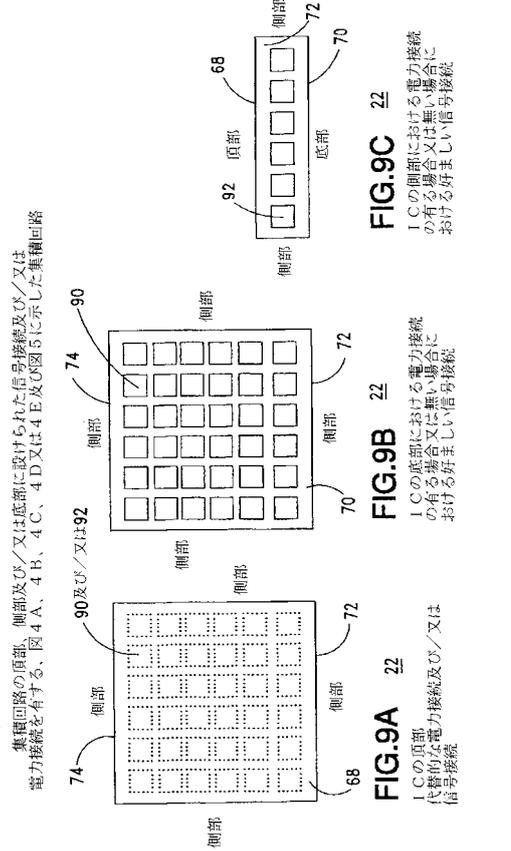
【 図 8 C - 8 D 】

FIGS. 8C and 8D 半導体パッケージに凹状及び凸状にそれぞれ設けられた信号接続及び/又は電力接続を有する、図4C及び図5に示した集積回路



【 図 9 A - 9 C 】

FIGS. 9A, 9B, 9C 集積回路の頂部、側面及び/又は底部に設けられた信号接続及び/又は電力接続を有する、図4A、4B、4C、4D又は4E及び図5に示した集積回路



【 図 10 A - 10 C 】

FIGS.10A,10B,10C

集積回路の頂部、側部及び又は底部に設けられた信号接続及び/又は電力接続を有する、図 4A、4B、4C、4D又は4E及び図5に示した集積回路

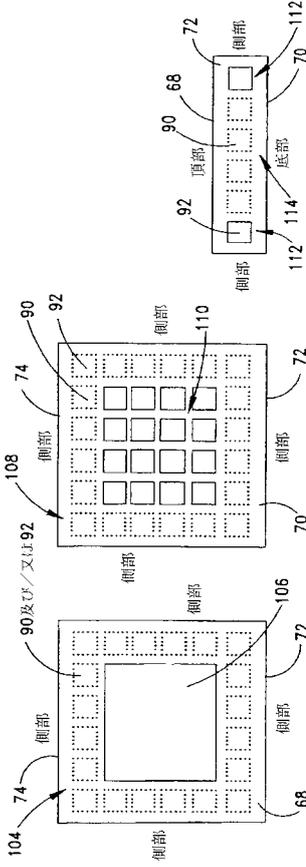


FIG.10A 22

ICの頂部における電力接続、代替的な電力接続及び/又は信号接続を有する、図5に示した集積回路

FIG.10B 22

ICの底部における電力接続、代替的な電力接続及び/又は信号接続を有する、図5に示した集積回路

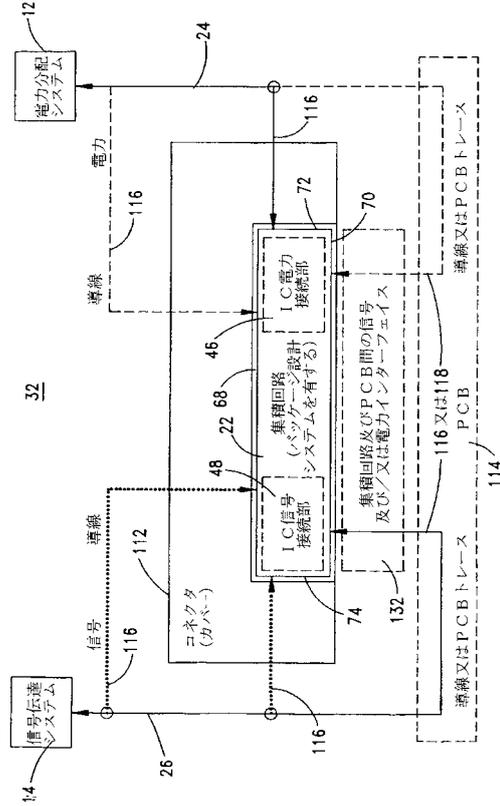
FIG.10C 22

ICの側部における電力接続、代替的な電力接続及び/又は信号接続を有する、図5に示した集積回路

【 図 1 2 A 】

FIG. 12A

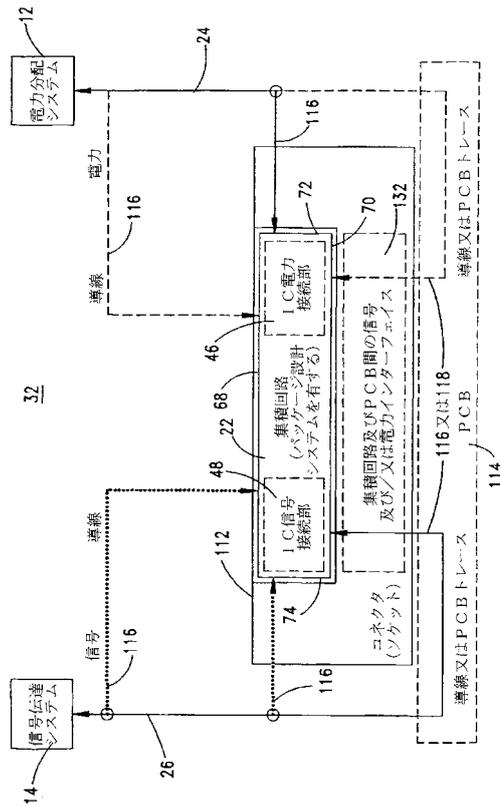
カバーとして形成されたコネクタ内に設けられている、図 1 1 に示した集積回路



【 図 1 2 B 】

FIG. 12B

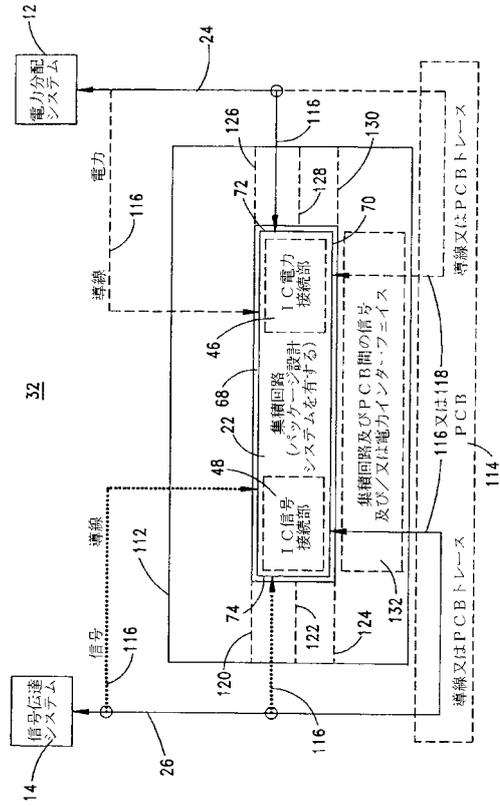
ソケットとして形成されたコネクタ内に設けられている、図 1 1 に示した集積回路



【 図 1 1 】

FIG. 11

コネクタ内又はプリント回路基板 (PCB) 上に設けられ、導線及び/又は PCBトレースとして形成された信号接続及び/又は電力接続を有する、図5に示した集積回路



【 図 1 2 C 】

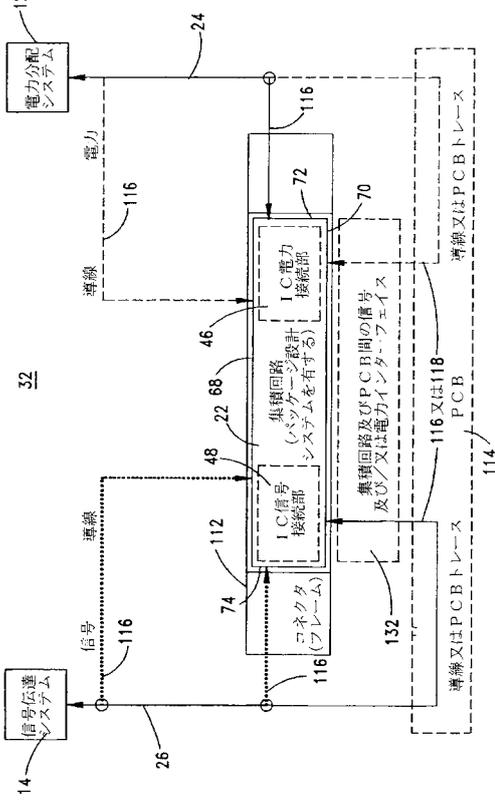


FIG. 12C フレームとして形成されたコネクタ内に設けられている、図 11 に示した集積回路

【 図 1 3 】

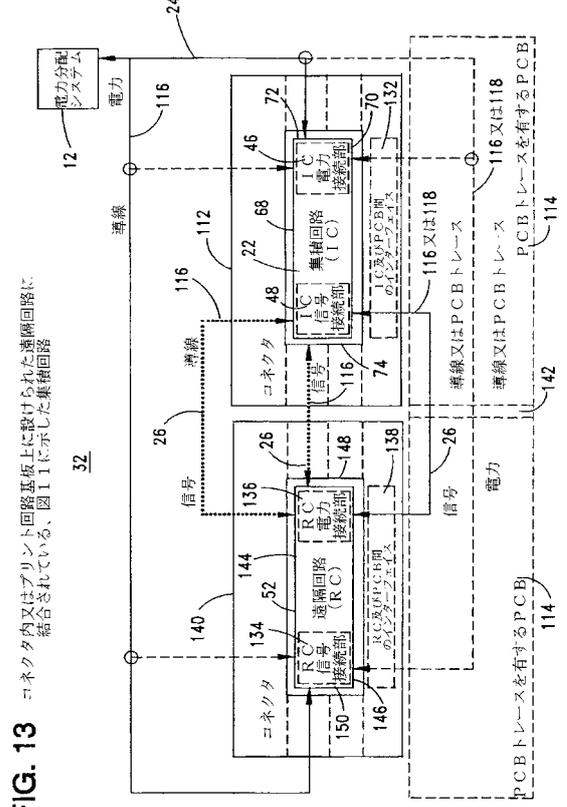


FIG. 13 コネクタ内又はプリント回路基板上に設けられた遠隔回路に結合されている、図 11 に示した集積回路

【 図 1 4 】

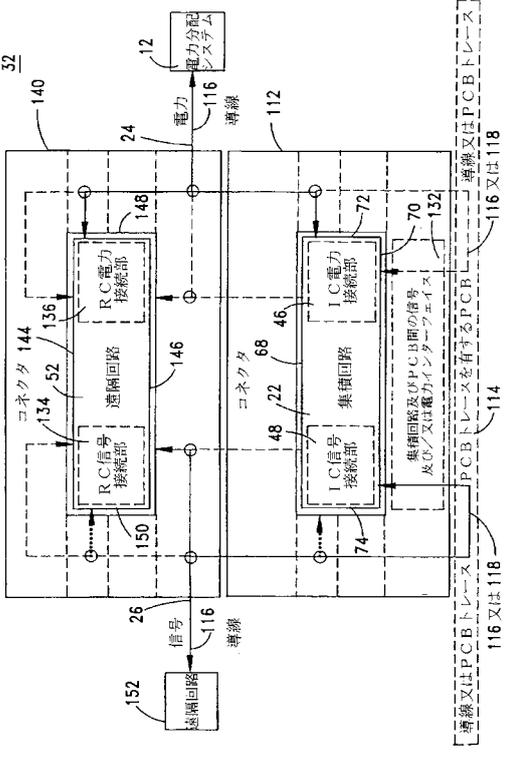


FIG. 14 積み上げ配置で互いに結合している、図 13 に示した集積回路及び遠隔回路

【 図 1 5 】

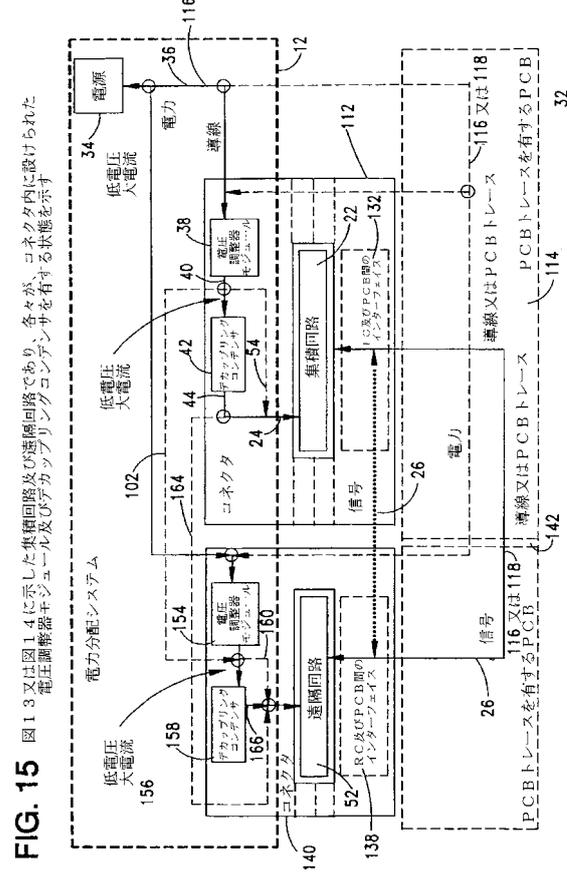
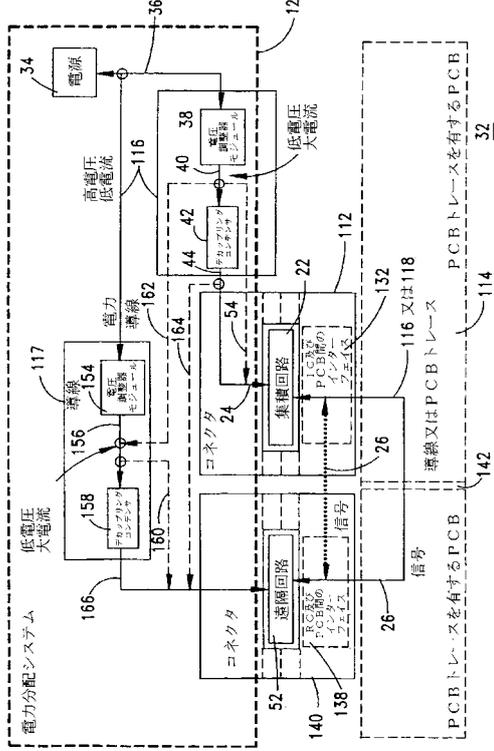


FIG. 15 図 13 又は図 14 に示した集積回路及び遠隔回路であり、各々が、コネクタ内に設けられた電圧調整モジュール及びアンプコンデンサを有する状態を示す

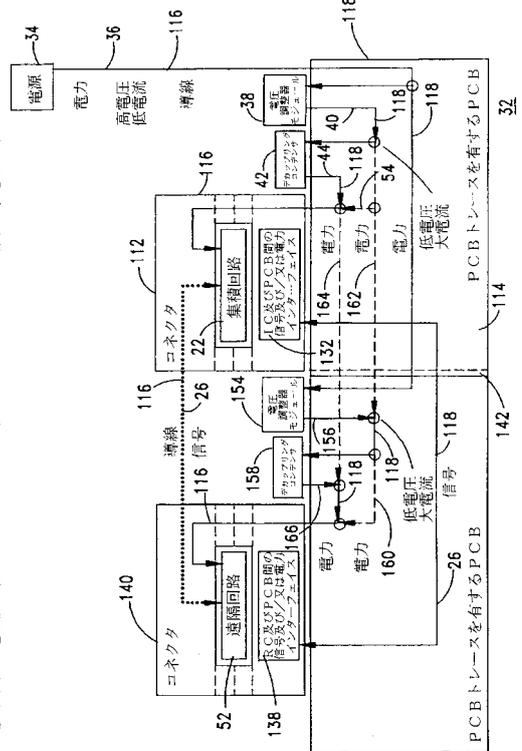
【 図 1 6 】

FIG. 16 図 1.3又は図 1.4に示した集積回路及び遠隔回路であり、各々が、導線上に設けられた電圧調整器モジュール及びデカップリングコンデンサを有する状態を示す



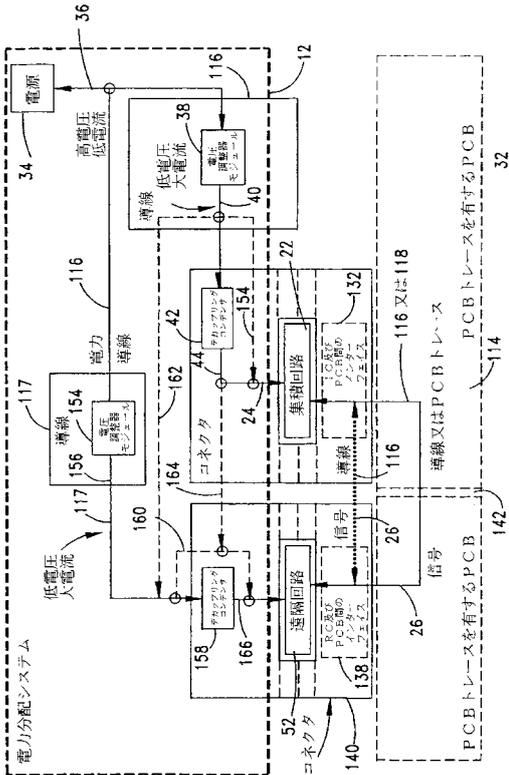
【 図 1 7 】

FIG. 17 図 1.3又は図 1.4に示した集積回路及び遠隔回路であり、各々が、プリント回路基板上に設けられた電圧調整器モジュール及びデカップリングコンデンサを有する状態を示す



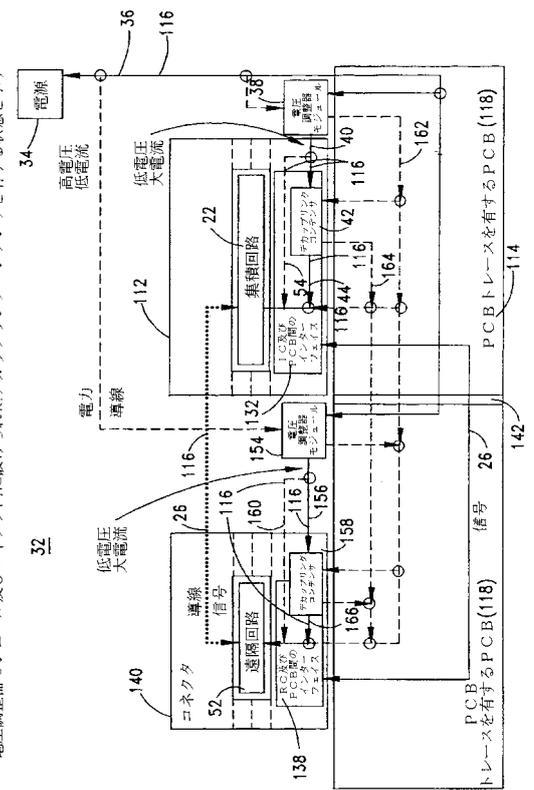
【 図 1 8 】

FIG. 18 図 1.3又は図 1.4に示した集積回路及び遠隔回路であり、各々が、導線上に設けられた電圧調整器モジュール及びデカップリングコンデンサを有する状態を示す



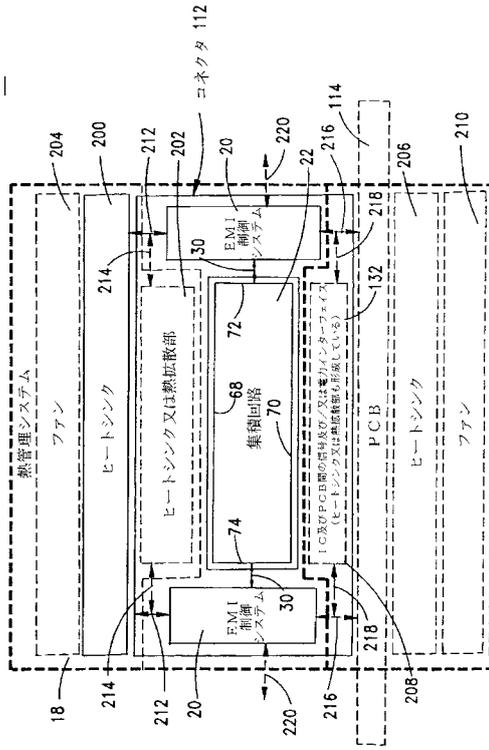
【 図 1 9 】

FIG. 19 図 1.3又は図 1.4に示した集積回路及び遠隔回路であり、各々が、プリント回路基板上に設けられた電圧調整器モジュール及びデカップリングコンデンサを有する状態を示す



【図 20】

FIG. 20 熱管理システム及び電磁障害 (EMI) 制御システムを有する、図 11 に示した集積回路 10



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
3 April 2003 (03.04.2003)

PCT

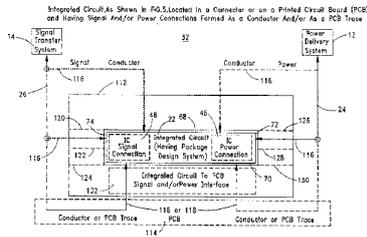
(10) International Publication Number
WO 03/028095 A2

- (51) International Patent Classification: H01L 23/055, 23/50
- (21) International Application Number: PCT/US02/30593
- (22) International Filing Date: 26 September 2002 (26.09.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 60/325,107 26 September 2001 (26.09.2001) US
- (71) Applicant: MOLEX INCORPORATED [US/US]; 2222 Wellington Court, Lisle, IL 60532 (US).
- (72) Inventors: PANELLA, Augusto, P.; 2569 Midland Drive, Naperville, IL 60564 (US). McGRATH, James, L.; 248 Wren Drive, Bloomingdale, IL 60108 (US).
- (74) Agent: PAULIUS, Thomas, D.; Molex Incorporated, 2222 Wellington Court, Lisle, IL 60532 (US).
- (81) Designated States (national): AF, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.
- (84) Designated States (regional): ARIPPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW); Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM); European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LI, MC, NL, PT, SE, SK, TR); OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published: — without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: POWER DELIVERY AND OTHER SYSTEMS FOR INTEGRATED CIRCUITS



WO 03/028095 A2

(57) Abstract: Systems for power delivery, signal transfer, package design, thermal management, and electromagnetic interference ("EMI") control are provided to support an integrated circuit ("IC"). The power delivery system includes a power supply, a voltage regulator module and a decoupling capacitance in the form of discrete and/or integral capacitors. The voltage regulator module and decoupling capacitance are located in a connector that may be formed as a cover, socket or a frame for the IC. The power delivery system delivers power to the IC along top, bottom or sides of the IC. The signal transfer system couples signals from the IC to one or more circuits on a circuit board. The package design system for the IC permits signals and/or power to be coupled to selected sides of the IC at connections outside, flush with, recessed or inside the IC package. The package design system also permits the transferred signals to have different frequencies, such as high and low frequencies, and to utilize different types of signal interfaces, such as galvanic, capacitive or the like. The thermal management system utilizes a heat sink, a fan and/or a heat spreader to dissipate heat generated by the IC and/or voltage regulator module. The EMI control system blocks EMI generated by the IC.

WO 03/028095

PCT/US02/30593

Power Delivery and Other Systems For Integrated Circuits**Reference to Related Applications**

This application claims priority from United States provisional patent application, Serial No. 60,325,107, filed September 26, 2001.

Background of the Invention

5 The present invention generally relates to systems for integrated circuits. More particularly, the present invention relates to a power delivery system, a signal transfer system, a package design system, a thermal management system, and an electromagnetic interference (EMI) emission control system for an integrated circuit to support advancements in semiconductor technology.

I. Semiconductor Technology

10 Consumers demand innovative electronic products that have more functionality, better performance, smaller size, less weight, better reliability, lower cost and faster time-to-market. Semiconductor technology is the core building block for the innovative electronic products desired by consumers. Over the years, advancements in semiconductor technology have led to
15 dramatic increases in the functionality and performance of integrated circuit (IC) devices while minimizing the size, weight, defects and cost of the IC devices.

Historically, the number of transistors that the electronic industry can place on a semiconductor chip doubles about every eighteen months. This rapid development cycle permits fast delivery of the new innovative products to the market. For example, semiconductor
20 manufacturers took nearly thirty years to perfect microprocessor clock rates to run at 1 GHz, yet manufacturers recently reached the 2 GHz microprocessor clock rate less than eighteen months after reaching 1 GHz. Manufacturers anticipate that there are no fundamental barriers to extending the rapid advancement of semiconductor technology for another decade by building the even faster silicon transistors. These transistors are anticipated to be around 20 nanometers
25 (nm) in size and should permit the manufacturers to build microprocessors containing a billion

WO 03/028095

PCT/US02/30593

transistors which run at speeds approaching 20 GHz and operate at less than one volt within the next few years. These new transistors, which act like switches controlling the flow of electrons inside a microprocessor, will turn on and off more than a trillion times per second.

Such advancements in semiconductor technology will result in microprocessors that have faster clock rates, higher power, lower supply voltages, higher DC currents, higher transient currents, narrower voltage margins, higher non-uniform heat densities, and higher frequency electromagnetic interference emissions. Ancillary benefits to these advancements include microprocessors that have increased interconnect densities, reduced circuit board real estate and package volume, and improved product manufacturing and reliability.

Specifications for near future microprocessors require 1.0V operating voltage, 100A current, 300A/ μ sec transient currents, efficiency greater than 90%, regulation within 5%, and voltage ripple less than 1%. These requirements present a significant advancement over present microprocessor designs. Microprocessors having these characteristics and requirements and future microprocessors having even more demanding characteristics and requirements will need new support systems, such as power delivery, signal transfer, packaging, thermal management, and electromagnetic interference (EMI) emission control.

II. Power Delivery

Power delivery concerns supplying power to devices that need it. Traditionally, an ideal power supply is assumed and little consideration is given to power delivery until the end of the design. Printed circuit board (PCB) designers attempt to create the ideal power delivery supply with conventional power and ground planes in the PCB and with wide, heavy traces on the PCB to distribute the power among the devices on the PCB. High frequency ceramic capacitors control high frequency noise, created by switching the transistors on and off, by shorting the high frequency noise to ground. Lower frequency bulk capacitors (such as tantalum capacitors) subsequently recharged the high frequency ceramic capacitors. Various rules of thumb exist for determining the amount of each type of capacitance that is required for various ICs.

To electrically model this power delivery system, considerations include the inductance and resistance of cables, connectors, PCB, pins, contacts and components, such as resistors and capacitors, of the receiving device(s) and power source(s). In the past, voltage drops due to inductance ($V = L \cdot di/dt$) and resistance ($V = IR$) have been nearly negligible relative to the

WO 03/028095

PCT/US02/30593

tolerance of devices in most systems. Similarly, simple rules of thumb determine the method for decoupling the high frequency noise.

Each generation of semiconductor technology has reduced power supply voltage to support the requirements of deep sub-micron semiconductor technologies and to improve reliability. Lower power supply voltages should lower the power consumption. However, even at lower power supply voltages the power consumption of microprocessors is increasing because of more transistors, increased density of transistors on the die, thinner insulators that increase capacitance, and higher operating frequencies. Power consumption in microprocessors continues to rise as much as three times every two years while microprocessor power supply voltages approach 1.0 V. Power consumption (P) is related to the operating frequency (f), the power supply voltage (V), and the chip capacitance (C) of the microprocessor by the formula ($P = CfV^2$). By one example, a microprocessor with a typical chip capacitance of 20 nanofarads, a power supply voltage of 1.65 volts, and an operating frequency of 1 GHz, will consume 55 watts of power ($0.020 \times 1.65 \times 1.65 \times 1,000$). By another example, a microprocessor with a typical chip capacitance of 40 nanofarads, a power supply voltage of 1 volt, and an operating frequency of 3 GHz, will consume 120 watts ($0.040 \times 1.0 \times 1.0 \times 3,000$).

Power consumption (P) is also related to the power supply voltage (V) and the current (I) by the formula ($P = VI$). This formula shows that high power consumption (P) at low power supply voltages (V) requires that high currents (I) ($I = P/V$) be delivered to the microprocessor. Continuing with the two examples above, the microprocessor consuming 55 watts of power and having a power supply voltage of 1.65 volts requires a supply current of 33 amps ($55/1.65$), and the microprocessor consuming a 120 watts of power and having a power supply voltage of 1.0 volts requires a supply current of 120 amps ($120/1$), representing an increase of about 3.6 times over the 33 amp microprocessor.

At these voltage and current levels, it is more difficult for a central power supply to deliver high current and low voltage power throughout a computer system because of impedance levels that cause unacceptable voltage drops along the power distribution paths. Computer systems presently use distributed power systems to route power throughout the computer system at high voltage and low current and then convert to low voltage and high current as needed by the microprocessor. Voltage regulators or modular DC/DC converters, which provide the needed low voltage, high current power, are located as close as possible on the motherboard to

WO 03/028095

PCT/US02/30593

the microprocessor to minimize the impedances and the resulting voltage drops. The location of the power distribution path on the mother board takes up valuable space that could be used for other components.

Even with distributed power delivery systems, every part of the distribution path must still have a low impedance to minimize the resulting voltage drops. Typically, the voltage variance at the voltage regulator is less than (e.g., about one-half) of the voltage variance at the microprocessor. Traditionally, connectors with a high pin count and heavy copper power/ground planes are used to minimize the impedance. However, these solutions also consume extra printed circuit board space and add cost.

In one power distribution approach, the microprocessor and the voltage regulator each form modules and rely upon corresponding sockets to connect each module to the motherboard. The microprocessor may be mounted to an interposer board, and the motherboard has one socket that receives the voltage regulator and another socket that receives the interposer board. The microprocessor and voltage regulator are modular for fast and easy exchange for efficient manufacturing and service. Current flows from the voltage regulator to the microprocessor over a path from the voltage regulator, through its socket, the motherboard, the interposer socket and board, the microprocessor package, and ends at the die. This relatively long path of current flow introduces impedance and voltage drops, which are not desirable for advanced microprocessor designs.

An alternative power system approach bypasses the motherboard and the microprocessor socket. In this approach, the interposer board carries the microprocessor die and the voltage regulator. Current flows from the voltage regulator to the microprocessor over a path starting from the voltage regulator, through the voltage regulator socket, the interposer board, the microprocessor package, and ending with the die. Since this approach bypasses the motherboard and the interposer socket, the path of current flow is shorter. Therefore, this approach improves the impedance and the resulting voltage drop of the relatively shorter path.

Someday it may be possible to integrate the voltage regulator into the microprocessor package, making the path of current flow very short, reducing the impedance and resulting voltage drop. However, semiconductor technology has not advanced far enough to provide this level of an integrated system.

WO 03/028095

PCT/US02/30593

Microprocessor response time or transient current requirement (di/dt), i.e., the rate at which the current demand changes is another power-related concern. Varying computing demands of the microprocessor requires varying current demands from the power supply. The computing demands vary because of high clock speed circuits and power conservation design techniques, such as clock gating and sleep modes. These techniques result in fast, unpredictable and large magnitude changes in supply current ultimately requiring hundreds of amps within a few nanoseconds. The resulting current surge demanded by the microprocessor from the voltage regulator can cause unacceptable voltage spikes on the power delivery voltage according to the formula ($dV = IR + L di/dt$).

Attempts have been made to manage surge currents by placing decoupling capacitors throughout the power delivery system such as on the voltage regulation module, the motherboard, the interposer PCB, the die package, and on the die itself. Decoupling capacitors are typically located on the circuit board outside the microprocessor package, typically using several discrete decoupling capacitors mounted next to the microprocessor package on the circuit board. In this approach, conductive traces on the circuit board connect the decoupling capacitors to power and ground pins on the microprocessor. In another approach, a discrete decoupling capacitor is formed as part of the IC.

These decoupling capacitors are commonly used to ensure that the power supply system can provide the microprocessor with a surge current when required. The decoupling capacitors connect power sources to the power leads of the microprocessor. The amount of decoupling capacitance needed depends on the power requirement of the microprocessor. The microprocessor is able to draw its required surge current from the power stored in the decoupling capacitors, and hence, the decoupling capacitors stabilize the power delivery system by storing power local to the microprocessor in order to meet the surge current needs of the microprocessor. However, use of discrete, broad-mounted decoupling capacitors not only increase the cost of the power delivery system, but also consume additional area on the IC or the circuit board, or elsewhere.

As the power requirement of microprocessor increases, the need for more decoupling capacitance increases, which in turn requires larger value or size decoupling capacitors and more space to accommodate them. Unfortunately, larger value or size decoupling capacitors consume more area on the circuit board.

WO 03/028095

PCT/US02/30593

As the switching speeds of the transistors increases, an undesirable amount of resistance due to inductance, associated with the interconnection between the semiconductor die and the decoupling capacitor, increases according to the formula ($X_L = 2\delta fL$). The longer the conductive path interconnecting the decoupling capacitor and the semiconductor die inside the

5 microprocessor, the higher the inductance. The higher the frequency of operation of the microprocessor, the higher the resistance of the system due to the inductance, and higher resistance causes a higher voltage drop. Therefore, it is desirable to locate the decoupling capacitors as close to the semiconductor die as possible, such as by putting the decoupling capacitor inside the microprocessor package, as described above, in order to minimize the

10 conductive path to minimize the inductance.

Further, capacitors exhibit inductance and resistance characteristics as well as capacitance characteristics and can be electrically modeled as a series RLC circuit. At higher frequencies, such as above 100 MHz, the inductance characteristic limits the effectiveness of conventional discrete decoupling capacitors. If large surge currents are required by the

15 microprocessor, this residual inductance can cause unacceptable voltage drops and AC noise.

Historically, power has been brought to the IC through pins in the IC socket. As the power requirements of an IC increase, it will require additional pins to accommodate the power, and these additional pins increase the size of the IC package and therefore take up valuable space on the circuit board. The increase in the pin numbers also increases the amount of force required

20 for inserting the IC into and removing it from its socket of the circuit board. The power pins are run through the same surface of the IC, typically the bottom surface, and with high densities, the power and signal pins should be isolated from each other to prevent crosstalk and noise.

Hence, there is a need for a power delivery system that delivers low voltage, narrow voltage margin, high current, and high transient current to a high performance integrated circuit,

25 such as a microprocessor, that minimizes cost and space while improving reliability.

III. Signal Transfer

Signal integrity is a complex field of study involving digital and analog design, circuit, and transmission line theory and involves phenomenon such as cross talk, ground bounce, and

30 power supply noise. Although signal integrity has always been important, in the past the switching speed of microprocessor transistors was so slow that digital signals actually resembled

WO 03/028095

PCT/US02/30593

high pulses, representing ones, and low pulses, representing zeros. Electrical modeling of signal propagation was often not necessary. Unfortunately, at today's microprocessor speeds of 1 GHz and above even the simple, passive elements of a high-speed design, such as wires, PC boards, connectors, and microprocessor packages, can significantly affect the wave shape and voltage level of the signal. Further, these passive elements can cause glitches, resets, logic errors, and other problems.

Typically, a microprocessor makes contact with the motherboard using galvanic (i.e., metal-to-metal) connections such as a land grid array (LGA), ball grid array (BGA), pin grid array (PGA) and solder, to transfer signals between the microprocessor and the motherboard. As the switching speeds of the transistors increases, an undesirable amount of resistance due to inductance, associated with the conductive interconnection between the semiconductor die located inside the microprocessor and the motherboard, increases according to the formula ($X_L = 2\pi fL$). The longer the conductive path interconnecting the semiconductor die in the microprocessor to the motherboard, the higher the inductance. A higher frequency of operation of the microprocessor causes a higher resistance due to the inductance on the signal path, and this resistance causes a higher voltage drop of the signal level. Therefore, it is desirable to minimize the inductance of the signal path as the frequency of operation of the microprocessor increases. Other disadvantages of signaling via conductive contacts are disclosed in U.S. Patent 5,629,838, issued May 13, 1997. An engineering tradeoff exists between increasing the desired operating frequency of the microprocessor and the signal integrity of the system.

Hence, there is a need for a system that permits the operating frequency of the microprocessor to increase without degrading the integrity of the signal. Such a system would maximize the performance and minimize the cost of interconnection technology used in high-speed digital signal designs.

IV. Integrated Circuit Package Design

Advances in semiconductor technology provide microprocessors that have higher performance and are smaller in size, which directly affects the design of the microprocessor package. Factors related to microprocessor package design include: current per contact and per socket, the number of ground and power pins, the number of signal contacts and signal contacts per square area, the contact pitch, the number of total contacts and total contacts per square area,

WO 03/028095

PCT/US02/30593

the contact force along the Z-axis, the mated contact height, the signal bandwidth, the semiconductor die size, and other factors.

Increasing the number and power of transistors in the microprocessor typically increases current per contact and socket as well as increases the number of ground and power pins.

5 Increasing the performance of the microprocessor will need an increase in the number of signal contacts and the semiconductor die size. Increasing both the power and performance of the microprocessor will increase the total contacts and will decrease the contact pitch. Increasing the number of total contacts while decreasing the contact pitch will increase the contact force required along the Z-axis which may require an increase in the mated contact height. Increasing
10 the frequency of operation of the microprocessor will decrease the signal bandwidth. Hence, it should be understood that engineering tradeoffs exist among these factors in order to produce a microprocessor having an optimized package design.

Y. Thermal Management

Advances in electronic packaging design provide devices with higher performance and
15 smaller size, which lead to increased heat generation and heat density, which in turn may cause thermal management to be given higher priority in package design to maintain reliability of the device.

For microprocessors, higher performance, increased level of integration, and optimization of die size has led to higher non-uniform heat density in certain areas of the
20 microprocessor die. Heat generation and heat density continue to increase with more advanced semiconductor technology. The reliability of a microprocessor is exponentially dependent on the operating temperature of the die junction, which depends on the power consumed by the transistor having the die junction.

Thermal management of the microprocessor is related to thermal management of the
25 voltage regulator. Both the efficiency of the voltage regulator and the power consumed by the processor must be considered together. For example, a voltage regulator operating at 85 percent efficiency and which drives a microprocessor consuming 120 watts of power, dissipates about 18 watts of power. This power must be drawn away from the voltage regulator and microprocessor to cool the devices in order to maintain their reliability. Therefore, an engineering tradeoff exists
30 between locating the voltage regulator near the microprocessor to minimize impedance and the

WO 03/028095

PCT/US02/30593

resulting voltage drop, as described above, and locating the voltage regulator far from the microprocessor to minimize the heat generation and heat density.

Hence, there is a need for a thermal management solution that permits a high power microprocessor to be located near voltage regulator to minimize the impedance and resulting voltage drop while efficiently dissipating heat generation and heat density to maximize reliability.

VI. Electromagnetic Interference

Sources of electromagnetic interference (EMI) emission include the transistors within a microprocessor and signal paths on circuit boards and cables. The microprocessor is one of the largest sources of EMI in computer systems. Microprocessor clock signals have increased in frequency to 1 GHz and beyond today. At 1 GHz, these clock signals can generate harmonic frequency signals that reach 5 GHz, and both of these signals generate EMI waves with wavelengths that are inversely proportional to the frequency of the signal (i.e., the higher the frequency, the shorter the wavelength).

Typically, a conductive shield or cover is used to control EMI. The shield is grounded to provide a dissipating path for the EMI to prevent it from interfering with other circuits. The shield usually contains holes for thermal management to create airflow to cool the device generating the EMI. However, large holes in the shield permit EMI to escape through the shield, and thus the shield holes must be sized so that the EMI does not escape, but airflow is not restricted to cool the device. High frequency signals require smaller holes in the shield for EMI containment, but the smaller holes restrict the airflow available for cooling. Hence, an engineering tradeoff exists in sizing the holes in the shield to for cooling and EMI containment purposes.

The shield may be located at the microprocessor or chassis level, or both. The microprocessor generates the high frequency harmonic signals that cause EMI, so that locating the shield close to the microprocessor may effectively contain the harmonic signals near the source of the EMI. Localized containment prevents the EMI from interfering with other circuitry in the computer system, but it also restricts the airflow needed to dissipate the microprocessor heat. Alternatively, the chassis of the computer system may be used as the shield which improves the airflow around the microprocessor but permits EMI to interfere with other circuits

WO 03/028095

PCT/US02/30593

in the system. A chassis level solution requires small holes in the chassis for EMI blockage, but reduces airflow.

Grounding a heat sink that located near the microprocessor is another way to reduce EMI. However, EMI from the microprocessor that couples with the heat sink may cause the heat sink to act as an antenna and radiate the EMI. It is difficult to ground the heat sink through the microprocessor package, and although grounding the heat sink may reduce EMI, this solution alone may not be sufficient to pass required FCC emission tests. Additional shielding may be necessary to block the EMI. Therefore, there is a need for an EMI containment system that contains EMI from high frequency signals without compromising the thermal management of the system.

In summary, systems related to power delivery, signal transfer, package design, thermal management, and electromagnetic interference (EMI) emission control for an integrated circuit are needed to support future and current advancements in semiconductor technology.

Summary of the Invention

Accordingly, it is a general object of the present invention to provide an improved power delivery system and apparatus that overcomes the aforementioned disadvantages in delivering power to an integrated circuit without occupying large amounts of space on the circuit board.

Another object of the present invention is to provide a system and apparatus for providing power to an integrated circuit by utilizing one or more capacitors that are supported by a cover or similar member that engages the integrated circuit.

A further object of the present invention is to provide a connector for an integrated circuit which incorporates a power transfer means into the body of the connector, and which is preferably capable of supplying power to the integrated circuit along the sides or top of the integrated circuit which results in a reduction of the number of conductive pins (leads) needed for the integrated circuit which, in turn, reduces the force required to insert and remove the integrated circuit from the connector, and frees up additional pins for use in signal transmission to and from the integrated circuit.

Yet another object of the present invention is to provide a power delivery member in the form of either a socket or a cover that includes a plurality of planar capacitors formed therein, the capacitors including at least two metal plates that are separated from each other by a

WO 03/028095

PCT/US02/30593

dielectric material, preferably in the form of a film, the capacitors being further separated from each other with the power delivery member, whereby the capacitors supply a plurality of different voltages to distinct areas of the integrated circuit.

5 A further object of the present invention is to provide a power delivery member that integrates one or more capacitors therein and which includes a plurality of individual contact arms that extend therefrom to engage leads on an integrated circuit, the leads being disposed around the top, bottom or sides of the integrated circuit.

10 A further object of the present invention is to provide a processor package that takes up less space on a circuit board and which does not rely upon galvanic coupling to mate with leads on a circuit board, the package including a housing that receives the integrated circuit thereon, the housing having a dielectric plate forming a wall of the housing, the housing further having a plurality of contact pads formed on an inner surface thereof to which are terminated, leads of the integrated circuit, the dielectric plate separating the inner contact pads of the housing from
15 contact pads disposed on an opposing surface of the circuit board, the inner contact pads of the housing being aligned with corresponding contact pads on the circuit board to provide capacitive coupling therebetween to effect signal transfer from the integrated circuit to the circuit board, the housing further having at least one capacitor supported thereby, the capacitor providing a supply of power to the integrated circuit.

20 Yet a still further object of the present invention is to provide a power transfer connector for use with integrated circuits, the connector taking the form of a cover member that is dimensioned to overlie an integrated circuit mounted on a circuit board, whether or not the integrated circuit is mounted within a mounting socket, the cover member including a plurality of conductive, spaced-apart capacitor plates disposed therein, the connector further having terminals extending from the capacitor plates for contacting conductive traces on the integrated
25 circuit when the cover member is applied to an integrated circuit, the capacitor plates selectively storing power when a voltage is applied to them and selectively discharging power to the integrated circuit as needed, the capacitor plate terminals contacting the integrated circuit from either the sides or top of the integrated circuit, thereby eliminating the need for power contacts or terminals on the circuit board or in the mounting socket leading to a reduced terminal count
30 therein and a reduction in the mounting force required for the integrated circuit.

WO 03/028095

PCT/US02/30593

Still another object of the present invention is to provide a system and apparatus that capacitively provides power to a microprocessor and which incorporates means for dissipating heat generated by the microprocessor during operation.

The present invention accomplishes these and other objects by means of its unique and novel structure.

The power delivery system of the present invention includes a power supply, a voltage regulator module, and decoupling capacitance in the form of discrete and/or integral capacitors. The voltage regulator module and the decoupling capacitance are each located in a connector that engages the IC. The connector may take the form of a cover, a socket, or a frame that engages the IC in a manner so that the system delivers power to one or more sides of the IC. The system may include a signal transfer system that couples signals from the IC to a remote circuit, located in the connector, on the circuit board on which the IC is located, via a conductor or a PCB trace.

The package design system of the present invention permits signals and/or power to be coupled to one or more surfaces on the IC utilizing connections that are outside, flush with, recessed or inside the semiconductor package. This package design system preferably permits the transferred signals to have different frequencies, such as high and low frequencies with different types of signal interfaces, such as conductive, capacitive, inductive, optical, transmission line and wireless.

The present invention also contemplates a thermal management aspect to its various systems in which a heat sink and a fan may be attached to the connector in a manner such that the heat sink makes contact with a heat generating surface of the IC so that it may dissipate both heat generated by the IC and the power delivery system, including the voltage regulator module used therein.

The present invention further may utilize an EMI control system, that is formed as part of the connector to shield EMI radiated by the IC. All of these systems advantageously permit increased interconnect densities, reduced circuit board real estate and IC package volume, and improved product manufacturing and reliability.

These and other objects, features and advantages of the present invention will be clearly understood through a consideration of the following detailed description.

WO 03/028095

PCT/US02/30593

Brief Description Of The Drawings

In the course of this detailed description, the reference will be frequently made to the attached drawings in which:

- FIG. 1 is a functional block diagram of the broadest aspect of the present invention illustrating the association of the various systems aspects thereof with an integrated circuit;
- FIG. 2 is a detailed block diagram of the systems of FIG. 1;
- FIG. 3 is a table listing alternative locations for each of the system aspects of FIG. 2 and listing alternative connections between the system aspects;
- FIGS. 4A, 4B, 4C, 4D and 4E are diagrammatic views of the integrated circuit of FIGS. 1, 2 and 3, illustrating increasing Levels 0, 1, 2, 3 and 4 of integration, respectively and the package design system aspects of the present invention;
- FIG. 5 is a diagrammatic view of the integrated circuit of FIGS. 4A-4E illustrating the IC package design power and signal connections in accordance with the principles of the present invention;
- FIG. 6A is the same view as FIG. 5, but illustrating high and low frequency signal interfaces coupled to different sides of the IC;
- FIG. 6B is the same view as FIG. 5, but illustrating pairs of first (high) and second (low) frequency signal interfaces which are coupled to the same side of the integrated circuit;
- FIG. 7A is the same view as FIG. 5, but illustrating different first and second signal type interfaces coupled to different sides of the integrated circuit;
- FIG. 7B is the same view as FIG. 5, but illustrating different first and second type of signal interfaces interface coupled to the same side of the integrated circuit;
- FIGS. 8A, 8B, 8C and 8D are diagrammatic cross-sectional views of the integrated circuit of FIGS. 4C and 5, illustrating the signal and/or power connections located outside, flush with, recessed or inside the semiconductor package;
- FIGS. 9A, 9B and 9C are diagrammatic views of the integrated circuit, as shown in FIGS. 5 and 8A-8D, illustrating the locations of the signal and/or power contact on the respective top, bottom and/or sides of the integrated circuit;
- FIGS. 10A, 10B and 10C illustrate a plan view of the integrated circuit, as shown in FIGS. 8A, 8B, 8C or 8D, and FIG. 5, having signal contacts and/or power contacts located on the

WO 03/028095

PCT/US02/30593

top, side and/or bottom of the integrated circuit representing the package design system in accordance with the preferred embodiments of the present invention.

FIG. 11 is a diagrammatic elevational view of the integrated circuit of FIG. 5 and located in a connector;

5 FIG. 12A is a diagrammatic elevational view of the integrated circuit of FIG. 11 located in a connector formed as a cover of the integrated circuit;

FIG. 12B is a diagrammatic elevational view of the integrated circuit of FIG. 11 located in a connector formed as a socket that receives the integrated circuit;

10 FIG. 12C is a diagrammatic elevational view of the integrated circuit of FIG. 11 located in a connector formed as a frame that receives the integrated circuit;

FIG. 13 is a diagrammatic elevational view of the integrated circuit of FIG. 11 coupled to a remote circuit located in a connector or on a circuit board;

FIG. 14 is a diagrammatic elevational view of the integrated circuit of FIG. 13 that is coupled together in a stacked arrangement;

15 FIG. 15 is a diagrammatic elevational view of the integrated circuit and remote circuit of FIGS 13 or 14, with each such circuit including a voltage regulator module and decoupling capacitance located in a connector;

20 FIG. 16 is a diagrammatic elevational view of the integrated circuit and remote circuit of FIGS 13 or 14, with each circuit including a voltage regulator module and a decoupling capacitance located on a circuit board;

FIG. 17 is a diagrammatic elevational view of the integrated circuit and remote circuit of FIGS 13 or 14, with each circuit including a voltage regulator module and decoupling capacitance located on a circuit board;

25 FIG. 18 is a diagrammatic elevational view of the integrated circuit and remote circuit of FIGS 13 or 14, with each circuit including a voltage regulator module located on a conductor and a decoupling capacitance located in a connector;

FIG. 19 is a diagrammatic elevational view of the integrated circuit and remote circuit of FIGS 13 or 14, with each circuit including a voltage regulator module located on a circuit board and a decoupling capacitance located in a connector;

30 FIG. 20 is a diagrammatic elevational view of the integrated circuit of FIG. 11 combined with a thermal management and electromagnetic interference (EMI) control system;

WO 03/028095

PCT/US02/30593

FIG. 21 is a cross-sectional view of a Level Two semiconductor package constructed in accordance with the principles of the present invention with an upright semiconductor die and capacitive type signal interface, with power supplied to the side of the IC;

5 FIG. 22 is a cross-sectional view of a Level Two semiconductor package constructed in accordance with the principles of the present invention with a flipped semiconductor die and utilizing a capacitive type signal interface and power supplied to the side of the integrated circuit;

FIG. 23 is a cross-sectional view of the IC package of FIG. 21 with a heat sink member attached thereto;

10 FIG. 24 is a cross-sectional view of a Level Two semiconductor package with an upright semiconductor die, capacitive type of signal interface and with power supplied from the sidewalls of the package;

FIG. 25 is a cross-sectional view of a Level Two semiconductor package of the present invention with a flipped semiconductor die, capacitive type of signal interface and power contacts on the top of the package;

15 FIG. 26 is a cross-sectional view of a Level One semiconductor package with a flipped semiconductor die, capacitive type of signal interface and power contacts on the top of the integrated circuit;

FIG. 27 is a cross-sectional view of the integrated circuit of FIG. 26, carried by a socket connector that supports both a decoupling capacitance and heat sink, similar to that shown in FIGS. 12B and 19;

FIG. 28 is a perspective view of an IC assembly incorporating systems of the present invention, that is formed as a level two semiconductor package carried in a connector that is formed as a cover and a socket that supports a decoupling capacitance and heat sink;

25 FIG. 29 is an exploded view of the system assembly of FIG. 29;

FIG. 30 is a cross-sectional view of the assembly of FIG. 28, taken along lines 30-30 thereof;

FIG. 31 is a cross-sectional view of an alternate system assembly constructed in accordance with the principles of the present invention;

30 FIG. 32 is a perspective assembly view of another embodiment of a power delivery member of the present invention, taken from the underside and illustrating an alternate means of

WO 03/028095

PCT/US02/30593

supplying power to the capacitor structure thereof; where the IC is formed as a level two semiconductor package as shown in FIG. 4C;

FIG. 33 is a perspective view of another system assembly cover used with a level two semiconductor package shown in FIG. 4C, and having an external means for connecting to a power supply;

FIG. 34 is a perspective view of an alternate embodiment of a system assembly utilizing a capacitor power delivery structure of the present invention in place upon a chip package and having a means for communicating with a heat sink;

FIG. 35 is a sectional view taken along lines 34-34 of FIG. 34;

FIG. 36 is a perspective view, taken from the underside, of an alternate embodiment of a capacitor structure used in the power delivery systems of the present invention and useful for supplying different levels of power to an IC;

FIG. 37 is the same view as FIG. 36, but taken from a different angle and with its housing removed for clarity;

FIG. 38 is a sectional view of the capacitor structure of FIG. 37, taken along lines 38-38 thereof;

FIG. 39 is a partial end view of another embodiment of a capacitor structure constructed in accordance with the principles of the present invention and having staggered power leads extending therefrom;

FIG. 40 is an enlarged perspective detail view of a corner of another embodiment of a power delivery structure constructed in accordance with the principles of the present invention and illustrating the use of more than two capacitor plates;

FIG. 41 is a perspective view of a power delivery member of the present invention mounted within a housing mounted to an IC, with the housing shown transparent for clarity;

FIG. 42 is an end view of the section of FIG. 35;

FIG. 43 is a perspective view of a connector structure constructed in accordance with the principles of the present invention;

FIG. 44 is an exploded view of an alternate power delivery system constructed in accordance with the principles of the present invention and which utilize a plurality of discrete power capacitors supported within a housing that supports the IC;

WO 03/028095

PCT/US02/30593

FIG. 45 is the same view as FIG. 44, but with the components assembled together on a circuit board;

FIG. 46 is a sectional view of the assembly of FIG. 45 taken along lines 46-46 thereof;

FIG. 47 is a perspective view of the assembly of FIG. 45 with a heat sink member in place upon the IC and assembly;

FIG. 48 is an enlarged detail view of a portion of the assembly of FIG. 45, illustrating a discrete capacitor used therein;

FIG. 49 is a sectional view of the connector assembly of FIG. 47 taken along lines 49-49 thereof;

FIG. 50 is an enlarged detail view of the corner of the assembly of FIG. 45, illustrating a means for retaining the assembly in place;

FIG. 51 is an enlarged detail view of an alternate construction of a socket connector constructed in accordance with the principles of the present invention illustrating the use of wire contacts that contact both the IC and discrete capacitors;

FIG. 52 is a perspective view of the connector assembly of FIG. 51;

FIG. 53 is an enlarged detail sectional view of interior area "A" the connector assembly of FIG. 52;

FIG. 54 is a detailed exploded view of a portion of the connector assembly of FIG. 52, illustrating the placement of a discrete capacitor therewith;

FIG. 55 is a perspective view of a carrier strip containing leads used in the connector assembly of FIG. 52;

FIGS. 56 and 57 are underside perspective views of the cover member used in the systems illustrated in FIG. 30; and,

FIG. 58 is an enlarged detail view of an alternative manner of mounting a discrete capacitor in a connector for the present invention.

Detailed Description Of The Preferred Embodiments

The present invention is directed to an improved power delivery system 12, a signal transfer system 14, a package design system 16, a thermal management system 18, and an EMI control system 20 for an IC 22. Present and anticipated advancements in semiconductor technology have and will produce ICs, such as microprocessors, that have faster clock rates,

WO 03/028095

PCT/US02/30593

higher power, lower supply voltages, higher DC currents, higher transient currents, narrower voltage margins, high non-uniform heat densities, and increased frequency EMI emissions. Ancillary benefits to these advancements include microprocessors that have increased interconnect densities and improved product manufacturability and reliability. Semiconductor manufacturers anticipate that near future microprocessors typically will require 1.0V or less operating voltage, 100A or greater current, 300 A/ μ sec or faster transient currents, voltage regulator efficiency greater than 90%, voltage regulation within 5% or less, and voltage ripple less than 1%. These requirements present a significant advancement over present microprocessor designs, and microprocessors having these characteristics, as will future packaging will need new support systems for power delivery, signal transfer, packaging, thermal management, and EMI control. The present invention is directed to improvements for these systems and others, all of which will beneficially support advanced semiconductor technology.

FIGS. 1 to 20 generally illustrate and FIGS. 21 to 58 more particularly illustrate, the power delivery system 12, the signal transfer system 14, the package design system 16, the thermal management system 18, and the EMI control system 20 for the IC 22, all in the different embodiments of the present invention which are illustrated therein. FIG.1 illustrates a general block diagram of an electronic device or system 10 that includes a power delivery system 12, a signal transfer system 14, a package design system 16, a thermal management system 18, and an EMI control system 20 for an IC 22. FIG. 2 illustrates a more detailed block diagram 32 of the power delivery, signal transfer and package design systems of FIG. 1, which explains the relationship among and between the power delivery system 12, the signal transfer system 14 and the package design system 16 for the IC 22.

FIG. 3 is a table 56 that lists alternative locations for each of the system blocks illustrated in FIG. 2, as well as alternate connections between and among the system blocks. FIGS. 4-10 illustrate various packaging design systems 16 for the IC 22, as shown in FIGS. 1-3. FIGS. 11 and 12A, 12B and 12C illustrate the integrated circuit, as shown in FIG. 5, being located in a connector 112, formed as a cover, a socket, or a frame, or located on a printed circuit board (PCB) 114 and having signal 26 and/or power 24 connections formed as a conductor 116 and/or as a PCB trace 118. FIGS. 13 and 14 illustrate two arrangements of the IC 22, as shown in FIG. 11, coupled to a remote circuit 52 located in a connector 140 or on a PCB 114. FIGS. 15-19 illustrate the IC 22 and the RC 52, as shown in FIGS. 13 and 14, having a voltage regulator 38

WO 03/028095

PCT/US02/30593

and decoupling capacitance 42, each being located in one of the connector 112, on the conductor 116, or on the PCB 114, or any combination thereof. FIG. 20 illustrates the IC 22, as shown in FIG. 11, having more details of the thermal management system 18 and the EMI emission control system 20, as shown in FIG. 1. FIGS. 21 and 22 illustrate package design systems 16 for the IC 22 having power contacts located on the side of the IC 22. FIG. 23 illustrates an assembly of the system 10 using the IC 22, as shown in FIG. 21. FIGS. 24 to 26 illustrate package design systems 16 for the IC 22 having power contacts located on the top of the IC 22. FIG. 27 illustrates an assembly of the system 10 using the IC 22, as shown in FIG. 26. FIGS. 28 to 31 illustrate various assembly views of the system 10. FIGS. 32 and 33 illustrate the connector 112, formed as a socket or a cover, having the decoupling capacitance 42, formed as an integral capacitor. FIGS. 34 to 44 illustrate various embodiments of the decoupling capacitance 42, formed as an integral capacitor, carried by a separate or integral connector 112, formed as a cover, a socket or a frame. FIGS. 45 to 60 illustrate various embodiments of the decoupling capacitance 42, formed as multiple discrete capacitors, carried by the connector 112, formed as a cover, a socket or a frame.

Referring back to FIG. 1, it presents a block diagram of an electronic device 10 that includes a power delivery system 12, a signal transfer system 14, a package design system 16, a thermal management system 18 and an EMI control system 20 for an IC 22. The present invention finds its greatest utility in use with ICs in the form of microprocessors that are used in the field of computers, but it will be understood that its principles and structure may be applied to other ICs used in other applications. The power delivery system 12 provides power to the IC 22, while the signal transfer system 14 transfers signals to and from the IC 22. The package design system concerns the construction of the package, or housing in which the IC 22 may be held, while the thermal management system 18 cools the IC 22 during operation thereof and the EMI control system 20 blocks EMI from or toward the IC 22.

The power delivery system 12 is coupled to the IC 22 by way of a power connection 24, that preferably includes both power and ground components (not shown). The power connection 24 illustrated in FIGS. 1 & 2 and is preferably a bi-directional connection that represents power being routed from the power delivery system 12 over a power path to the IC 22, and also represents a ground path being routed from the IC 22 to the power delivery system 12.

WO 03/028095

PCT/US02/30593

The signal transfer system 14 is coupled to the IC 22 by way of a signal connection 26, which may include one or more signal path so that single signals may be routed along single paths and multiple signals may be routed over separate paths or multiplexed over one or more paths. The signal connection 26 also is preferably a bi-directional connection that represents signals routed from the IC 22 along the signal transfer system 14, and signals routed from the signal transfer system 14 to the IC 22. The signals typically include data, and/or control information.

The package design system 16 is typically inherent to the IC 22 and includes the construction of the IC 22 in a manner to work with the various aforementioned systems 12, 14, 18 and 20. The thermal management system 18 is preferably coupled, or attached, directly to the IC 22 in opposition to a heat-generating surface thereof and preferably over a heat connection 28, which represents a path for heat flow. The heat connection 28 shows a bi-directional connection to represent heat dissipated away from the IC 22 to the thermal management system 18, and to represent are cooling directed from the thermal management system 18 to the IC 22.

The EMI control system 20 is coupled to the IC 22 over EMI connection 30. The EMI connection 20 represents a path for EMI 30. The EMI connection 20 shows a bi-directional connection to represent EMI 30 generated and radiated by the IC 22, and that radiated towards the IC 22 by other circuits.

The IC 22 includes a semiconductor device having one or more of the characteristics and requirements, described above, to support the advanced semiconductor technology. The IC 22 is preferably a microprocessor, but may also be any other type of signal processor, such as a digital signal processor (DSP) or application specific integrated circuit (ASIC). Alternatively, in appropriate applications, the IC 22 may be another type, such as a memory device, a controller, a transmitter or a receiver.

The electronic device or system 10 of FIG. 1 represents any type of electrical and/or mechanical systems that use integrated circuits, such as computers, telecommunication and medical devices and systems. The computers may typically include workstations, desktop and notebook computers, handheld computers, personal digital assistants and the like. The telecommunication devices and systems may include communications systems, satellite systems, microwave systems, land-based telephone switching systems, internet systems, and wireless telephone systems as well as Internet systems such as servers and routers. The medical devices

WO 03/028095

PCT/US02/30593

and systems include diagnostic, analytic and treatment devices and systems and the like. All of these devices may or may not be portable. "Portable" devices are typically those referred to in the art as having a power delivery system that is temporary and which needs to be periodically replenished. Such portable devices draw direct current (DC) power from the power delivery system 12 by way of a rechargeable or non-rechargeable DC power supply.

Electronic devices that are not portable are those that have a fixed power delivery system that draws power to the power delivery system 12 in the form of alternating current (AC) from an AC power outlet. Usually these devices convert the AC power to DC power because the IC 22 draws DC power. However, in some applications, the IC 22 may draw AC power.

FIG. 2 is detailed block diagram 32 illustrating the power delivery, signal transfer and package design systems 12, 14 & 16 for the IC 22. The power delivery system 12 includes a power supply 34, a connection 36 between the power supply and the voltage regulator module, a voltage regulator module 38, a connection 40 between the voltage regulator module and a decoupling capacitance 42, a connection 44 from the decoupling capacitance to the IC, and, if desired, a connection 54 between the voltage regulator module and the IC. The signal transfer system 14 includes a remote circuit 52 and a connection 50 between it and the IC, while the package design system 16 preferably includes an IC power connection 46 and an IC signal connection 48.

In operation, the power supply 34 may generate a relatively coarse regulated DC power at the power connection 36. The voltage regulator module 38 converts this coarse DC power to a relatively fine regulated DC power downstream at the power connection 40 and transmits it as needed to the decoupling capacitance 42, which 42 stores a predetermined amount of this regulated DC power and provides it to the IC along the power connection 44 to its power connection, or input 46. Alternatively, the voltage regulator module 38 may supply the regulated DC power directly to the IC power connection 46 of the IC without using the decoupling capacitance 42. The IC signal connection 48 transmits and receives signals to and from, respectively, the remote circuit 52 via the signal connection 50.

In the power delivery system 12, each of the power connections 36, 40, 44 and 54 show a bi-directional to represent power and ground extending between adjacent system blocks. The power connection 24 in FIG. 1 is the same as the power connection 44 in FIG. 2. Likewise, the signal connection 50 shows a bi-directional connection to represent signals being routed from the

WO 03/028095

PCT/US02/30593

IC 22 to the remote circuit 52, and to represent signals being routed from the remote circuit 52 to the IC 22, as described above with reference to the signal connection 26. Similarly, the signal connection 26 in FIG. 1 is the same as the signal connection 50 in FIG. 2.

5 The power supply 34 is preferably located at a remote location in the electronic device or system 10, as indicated in Column A, Row 2 of the table 56 in FIG 3. The remote location may be any location that is suitable to deliver power to the electronic device or system 10. Hence, if the electronic device or system 10 has a housing, enclosure or the like, the power supply may be located inside or outside thereof. Preferably, the power supply 34 will be located inside the housing and mounted to a structure such as a chassis or circuit board. If the power supply 34 is
10 located outside the housing, the power supply may typically be mounted to the outside of the housing. The power supply 34 is any type of device that generates power and which preferably converts power in the form of alternating current (AC) to power in the form of direct current (DC) at or along the power connection 36. Such AC to DC power conversion is typical in non-portable electronic devices, as described above. Alternatively, the power supply 34 may generate
15 the DC power directly from a DC power supply, such as a battery, capacitor or the like. The power supply 34 preferably generates the DC power at a relatively coarse regulated level to minimize the cost and complexity of the power supply 34.

The power supply 34 will typically generate the DC power at a relatively high voltage and relatively low current at the power connection 36, as is known in the art of power supplies
20 However, the IC 22 may require DC power of relatively low voltage and relatively high current. Therefore, according to the preferred embodiments of the present invention, special consideration is given to where the DC power conversion from high voltage and low current to low voltage and high current is made, as well as the location and type of the power connections for the high
25 voltage, low current DC power and for the low voltage, high current DC power.

The high voltage, low current DC power advantageously permits power to be routed over power connections, such as a wire or a circuit board trace, that are constructed of a relatively
lightweight amount of conductive material, which minimizes the cost of the power connections. These conductive materials may include metals, conductive inks and the like. The design of the traces on a circuit board that form the power connections will typically determine the most
30 amount of the conductive plating on the circuit board. The thickness of the conductive plating on the circuit board is the same across the entire circuit board because it is not cost effective to

WO 03/028095

PCT/US02/30593

selectively apply different amounts or thicknesses of plating on different areas of the board. The cost associated with circuit board power connections may sometimes drive up the cost of the circuit board. For example, one ounce of copper plating is typically used to carry high voltage, low current DC power from the power supply 34, via the traces on the circuit board to various electrical components mounted on the circuit board. In contrast, if the power supply 34 were to output low voltage, high current power, then four ounces of the same plating would be needed on the circuit board to carry that same amount of power to the components on the board. Such a circuit board having four times the amount of plating is significantly more expensive.

According to the preferred embodiments of the present invention and as described in detail below, the circuit board traces forming the power connections on the circuit board preferably carry high voltage, low current DC power rather than low voltage, high current DC power in order to minimize the cost of circuit board. In such instances, conductors carry the low voltage, high current DC power directly from the voltage regulator module 38 and/or decoupling capacitance 42 to the IC 22, without being routed through circuit board traces.

The voltage regulator module 38 may be any device that converts high voltage, low current DC power at the power connection 36 to low voltage, high current DC power appropriate for the IC 22. Preferably, the voltage regulator module 38 generates the DC power at a relatively fine regulated level to minimize the cost and complexity of the voltage regulator module 38 while maximizing the performance of the voltage regulator module 38. The terms "coarse" and "fine," and "high" and "low," as used herein, are relative terms that distinguish the performance and operation of the power supply 34 and the voltage regulator module 38, and are not intended to be limited to any particular values or levels. It is desirable that the voltage regulator module 38 is constructed as a module of discrete and/or integrated circuit components, and, if necessary, mounted on a separate circuit board. Alternatively, the voltage regulator module 38 may be constructed of only discrete circuit components or only integrated circuit components, as necessary or desired.

The decoupling capacitance 42 may include any type of capacitance that decouples power from the IC 22. The decoupling capacitance 42 advantageously supplies the IC 22 with high transient currents when required, as described above. The decoupling capacitance 42 may be formed of separate discrete capacitors or an integral capacitor. Discrete capacitors include, without limitation, ceramic, tantalum and gel (e.g., pocketed acro gel) capacitors, and the like,

WO 03/028095

PCT/US02/30593

which may have leaded or surface mount end connections. Such capacitors also include chip-type capacitors. Discrete capacitors advantageously provide predetermined specifications and have known sizes. The connection to the discrete capacitors may utilize conductors such as single or multi-strand wire, stamped and formed, blanked leads and the like. The aforementioned
5 discrete capacitors may be integrally formed with a carrier lead frame and may include relatively large parallel plates separated by a suitable dielectric. The integral capacitors may be rigid or flexible, and may be formed of a solid, liquid, paste, gel or gas. Integral capacitors advantageously permit custom specifications, shapes and configurations. The decoupling capacitance 42 is described in further detail below.

10 Each of the power supply 34, the voltage regulator module 38 and the decoupling capacitance 42 may be combined in any appropriate way to form separate or integral, modules, devices, or components, or the like. Preferably, the power supply 34, the voltage regulator module 38 and the decoupling capacitance 42 are constructed separately or in alternative
15 constructions, the power supply 34 and the voltage regulator module 38 may be designed as a single, integrated device generating low voltage, high current, fine regulated DC power. Still further, the voltage regulator module 38 and the decoupling capacitance 42 may be designed as a single, integrated device capable of generating decoupled, low voltage, high current, fine regulated DC power.

The IC 22 may draw its power from the decoupling capacitance 42 via the power
20 connection 44 or from the voltage regulator module 38 via the power connection 54, as desired. Typically, the specifications of the IC 22 will dictate power output needed from the decoupling capacitance 42 and/or voltage regulator module 38. If the IC 22 requires high transient currents that the voltage regulator module 38 alone cannot satisfy, an appropriate amount of the decoupling capacitance 42 is needed. Alternatively, if the voltage regulator module 38 can
25 satisfy the transient currents required by the IC 22, then the decoupling capacitance 42 is not needed on a continuous basis.

The power connection 44 includes any type of connection including for example
30 conductive, capacitive, inductive and similar connections. The signal connection between the IC and the circuit board may include solder, land grid array (LGA), pin grid array (PGA), ball grid array (BGA), spring contact and other similar connections. The capacitive signal interface provides an interface for transmitting signals between two conductive plates having a suitable

WO 03/028095

PCT/US02/30593

size and separated by a suitable dielectric material. The inductive signal interface provides an interface for transmitting signals between two conductors having a particular orientation to one another and separated by a predetermined distance.

The remote circuit 52 designates memory devices, microprocessors, digital signal processor, application specific integrate circuit (ASIC), a hard disk drive, user interface device, transmitter, receiver or the like. In some applications, the remote circuit 52 and the IC 22 may be the same or different electronic circuits or devices.

The signal connection 50 may include signal interfaces such as conductive, capacitive, inductive, optical, transmission line, and wireless signal interface or the like. A conductive signal interface provides a galvanic signal interface that relies upon metal-to-metal contact such as those known in the art which include solder connections, land grid arrays (LGA), pin grid arrays (PGA), ball grid arrays (BGA) and the like. A capacitive signal interface is one that may transmit signals between two spaced-apart conductive plates, preferably of similar size and which are separated by a suitable dielectric material, or air. An inductive signal interface is one that transmits signals between two conductors having a particular orientation to one another and separated by a predetermined distance. The optical signal interface provides an interface for carrying signals modulated by a transmitter and demodulated by a receiver at an optical frequency, such as light, over a channel via an optical wave-guide, such as an optical fiber. The transmission line signal interface provides an interface for carrying signals between or on two parallel conductors, including coax, micro-strip, co-planar, strip-line and the like. The wireless signal interface provides an interface for carrying signals modulated by a transmitter and demodulated by a receiver at a radio frequency over a radio frequency channel via a radio transmission media, such as air or space. Each of the power and signal connections 44, 50 may be delivered to the IC 22 via any type of mating arrangement, such as a circuit board, edge card assembly, pin and socket assembly, plug assembly, solder, conductive adhesive, pins, spring fingers, and the like.

FIG. 3 illustrates a table 56 listing alternative locations listed in Columns A, C, E, H and K thereof for each system block 34, 38, 42, 22 & 52 shown in FIG. 2 and alternative connections listed in Columns B, D, F, G, I and J between the system blocks 36, 40, 44, 46, 48, and 50 of FIG. 2. System block reference numbers 36, 40, 44 and 50 of FIG. 2 that directly correspond to columns in the table 56 are not enclosed in parenthesis in the table 56. For example, the power

WO 03/028095

PCT/US02/30593

connection 36 directly corresponds to the power connection described in Column B, Row 1. System block reference numbers 34, 38, 42, 46, 22, 48 and 52 of FIG. 2 that indirectly correspond to Columns in Table 56 are enclosed in parenthesis, such as the power supply 34 of FIG. 2 indicating the power supply itself, and Column A, Row 1 describes the location of the power supply. In the table 56, the alternative voltage regulator module to IC power connection 54 of FIG. 2, is not shown for sake of clarity. However, alternative power connection 54 includes a conductor and a circuit board trace, which is the same as all of the other connections listed in table 32 of FIG. 3.

In the table 56, the power supply location is described as being remote, as shown in column A, row 2. The term "remote" in this description generally means that the power supply is located in any suitable place away from the remaining circuitry of the electronic device 10. This description is used to reflect present and anticipated future designs of power supplies that are relatively complicated circuits in their own right and are typically formed as modules that interface to the remaining circuitry. The term "remote" does not imply a distance relationship where the power supply is located far from the remaining circuitry because, practically speaking, the power supply 34 is electrically coupled to the remaining circuitry.

The location of the voltage regulator module 38, the decoupling capacitance 42, the IC 22 and the remote circuit 52, as described in Row one, Columns C, E, H and K, respectively, are each described as being located in a connector, on a PCB, and/or on a conductor, as described in Rows 2, 3 and 4, respectively, of the same four Columns.

The connector is a device that electrically couples electrical signals to an electronic device. The electrical signals carried by the connector typically include power and/or information signals. The connector also has mechanical features to facilitate the electrical connection to the electrical device. In the preferred embodiments of the present invention, the connector is formed as a cover, a frame and/or a socket for the IC.

The circuit board is a substrate which includes one or more layers of nonconductive material for carrying conductive paths, otherwise known as traces or contact pads. The conductor is a device that electrically couples electrical signals from one electronic device to another electronic device. The electrical signals carried by the conductor typically include power and/or signals. The conductor may be flexible, or rigid or a combination thereof. Examples of flexible conductors include flexible circuitry, ribbon cable, wire, cable and the like. An example of a

WO 03/028095

PCT/US02/30593

rigid conductor includes a conventional circuit board with conductive traces disposed thereon. The conductor is usually located off of the main circuit board, commonly referred to as a motherboard.

The power connections 36, 40 and 44, and the signal connection 50, as described in Row one, Columns B, D, F and J, respectively, are each described as being a conductor and/or circuit board trace, as described in Rows 2 and 3, respectively, of the same four Columns. The term "conductor" in this description generally means the same as described above with reference to the location of the functional blocks. Therefore, the conductor may serve as both the location of the functional blocks and the power and/or signal connection. The traces provide conductive paths, disposed on one or more layers of a nonconductive material, for carrying electrical signals. The electrical signals carried by the traces typically include power and/or information signals.

The locations of the IC power connection 46 and the IC signal connection 48, as described in Row one, Columns G and I, respectively, are each described as being located on the top, side (lateral) and/or bottom of the IC 22, as described in rows 2, 3 and 4, respectively, of the same two columns. In this description, the terms "top," "side," and "bottom" refer to different sides or surfaces of the IC 22, which typically may be square, circular or rectangular, and these are relative terms used for explanation purposes only, and should not be construed as being limited to what may be conventionally regarded as the top, side, or bottom of the IC 22. Typically, the top and bottom surfaces of the IC 22 have surface areas that are greater than that of each side of the IC, as is typical with present day ICs formed as microprocessors. The locations of the IC power connection 46 and the IC signal connection 48 are described in further detail below.

With this general overview of the table 56 of FIG. 3 Columns A, B, C, D, E, F, G, H, I, J and K describe 1, 2, 3, 2, 3, 2, 3, 3, 2 and 3 individual alternatives, respectively, in rows 2, 3 and 4. Hence, the table 56, alone and without any other description or figure, discloses 11,664 possible combinations (i.e. $1 \times 2 \times 3 \times 2 \times 3 \times 2 \times 3 \times 3 \times 3 \times 2 \times 3 = 11,664$) of the various individual alternatives. The number of possible combinations illustrates the many ways in which the power delivery system 12, the signal transfer system 14 and the packaging design system 16 for the IC 22 may be implemented. The present invention is not meant to be limited to this number of possible combinations because there are many other features and alternatives described in the present specification and illustrated in the present figures that may be used in

WO 03/028095

PCT/US02/30593

combination with the alternatives listed in the table 56. Further, combinations of the various individual alternatives used at the same time would also increase the number of possible combinations.

If the alternative power connection 54 is used, without the decoupling capacitance 42 and the power connection 44, as shown in FIG. 2, then the number of total combinations would be reduced by the 3 individual alternatives for the location of the decoupling capacitance 42 and by the 2 individual alternatives for the type of the power connection 44 (i.e., $11,664/(3 \times 2) = 1,994$ possible combinations).

FIGS. 4A, 4B, 4C, 4D and 4E illustrate the IC 22, as shown in FIGS. 1, 2 and 3, having increasing levels of integration and identified respectively as levels 0, 1, 2, 3 and 4 which represent the package design system 16. FIG. 4A illustrates the IC 22 constructed at integration level 0 and includes a semiconductor die 58, otherwise known as a chip, wafer, and the like. FIG. 4B illustrates the IC 22 constructed at integration level 1 and includes the semiconductor die 58, as shown in FIG. 4A, mounted on a semiconductor substrate 60. FIG. 4C illustrates the IC 22 constructed at integration level 2 and includes the semiconductor die 58 mounted on the semiconductor substrate 60, as shown in FIG. 4B, enclosed within a semiconductor package 62, such as plastic, ceramic and the like. FIG. 4D illustrates the IC 22 constructed at integration level 3 and includes the semiconductor package 62, as shown in FIG. 4C mounted on a circuit board 64, sometimes referred to as an interposer board. FIG. 4E illustrates the IC 22 constructed at integration level 4 and includes the semiconductor package 62 and the PCB 64, as shown in FIG. 4D, mounted on a larger circuit board 66, sometimes referred to as a motherboard. Preferably, the IC 22 is constructed using integration level 2, as shown in FIG. 4C. However, ICs are anticipated to be constructed using integration level 1, as shown in FIG. 4B.

The various levels of integration are illustrated for reference only and should not be interpreted as being critically defined. Various combinations of the levels of integration are possible which are not specifically shown. For example, the semiconductor die 58 mounted on the semiconductor substrate 60, as shown in FIG. 4B, may be mounted directly on the PCB 64, without using the semiconductor package 62. Likewise, the semiconductor package 62, as shown in FIG. 4C, may be mounted directly on the motherboard 66, without using the PCB 64. Hence, individual parts of the illustrated levels of the IC 22 may be mixed and matched to provide numerous combinations of integration not specifically shown in FIGS. 4A, 4B, 4C, 4D and 4E.

WO 03/028095

PCT/US02/30593

In FIGS. 4B to 4E, the packages have multiple surfaces that may be considered generically as "top" or "side" surfaces. These multiple surfaces result from the elements being stacked or mounted on one another to form a stair-step profile. Hence, the terms "top" or "side" may include all surfaces facing in the same direction, and are not limited to the surface farthest out in the one direction.

In FIG. 5 the IC 22, the power delivery system 12, the signal transfer system 14 are shown schematically. The IC 22 in this Figure generally includes the packaging design system 16 having the IC power connection 46 and the IC signal connection 48 formed therewith. Hence, the block diagram shown FIG. 5 is generally the same as the block diagram shown in FIG. 2, except that the IC 22 is illustrated as a schematic elevational view. FIG. 5 shows several illustration conventions that apply to all of the figures. A solid line represents the preferred path for the signal connection 26 and the preferred power connection 24. A short dashed line represents alternative paths for the signal connections 26. A long dashed line represents alternative paths for the power connections 24. These illustration conventions are provided to add clarity and understanding to the Figures and this description, and should not be interpreted as limiting in any way, such as implying that any one connection is more important or better than another.

The signal transfer system 14 is electrically coupled to the IC signal connection 48 of the IC 22, as described with FIG. 2, via the signal connection 26. The signal connection 26 may be electrically coupled to the top 68, the bottom 70 and/or the side 74 of the IC 22. Preferably, the signal connection 26 is electrically coupled to the bottom 70 of the IC 22. Hence, the IC signal connection 48, shown inside the elevation view of the IC 22, represents that the signal connection 26 may be located on any surface of the IC 22.

The power delivery system 12 is electrically coupled to the IC power connection 46 of the IC 22, as described with FIG. 2, via the power connection 24. The power connection 24 may be electrically coupled to the top 68, the bottom 70 and/or the side 74 of the IC 22. Preferably, the power connection 24 is electrically coupled to the side 72 of the IC 22. Hence, the IC power connection 46, shown inside the elevation view of the IC 22, represents that the power connection 24 may be located on any surface of the IC 22.

In the preferred embodiments of the present invention, the signal connection 26 and the power connection 24 are located on different sides (i.e., the bottom 70 and the side 72, respectively) of the IC 22. Locating the signal connection 26 and the power connection 24 on

WO 03/028095

PCT/US02/30593

different sides of the IC 22 provides several advantages related to the package design system 16 of the IC 22. The advantages include reducing the number of ground contacts and power contacts, increasing the number of signal contacts, increasing the number of signal contacts per square area, reducing the signal contact pitch, reducing the number of total contacts, increasing
5 the number of total contacts per square area, reducing the force per contact per square area along the Z-axis, reducing the mated contact height, increasing the signal bandwidth, increasing the semiconductor die size, reducing the IC 22 size, as well as improving other factors related to electronics, mechanics and materials.

Alternatively, the signal connection 26 and the power connection 24 may be located on
10 the same of one or more sides (i.e., top 68, bottom 70 and side(s) 72) of the IC 22. In this case, special consideration would be given to the location of the signal connection 26 and the power connection 24 on the same side of the IC 22 to optimize the connections for various engineering reasons, as described in further detail below.

FIG. 6A illustrates the IC 22, as shown in FIG. 5, having a first (high) frequency signal
15 interface 76 and a second (low) frequency signal interface 78, different from the first (high) frequency signal interface 76, each coupled to different sides of the IC 22 representing the package design system 16 in accordance with the preferred embodiments of the present invention. Hence, the signal connection 26 includes both the first (high) frequency signal interface 76 and the second (low) frequency signal interface 78. The frequencies of the first (high) frequency
20 signal interface 76 and the second (low) frequency signal interface 78 are separated by at least one hertz. However, the benefits of separating the signal interfaces on different side of the IC 22 based on frequency increases as the separation between the frequencies becomes greater.

Each of the first (high) frequency signal interface 76 and the second (low) frequency
25 signal interface 78 may be connected to any side (i.e., top 68, bottom 70 and side(s) 72) of the IC 22. Preferably, the first (high) frequency signal interface 76 is connected to the top 68 of the IC 22 and the second (low) frequency signal interface 78 is connected to the bottom 70 of the IC 22. This location arrangement advantageously permits the power connection 24 to be connected to the side(s) 72 of the IC 22, without considering the location of the signal connection 26 on the side(s) 72 of the IC 22.

30 Further, this location arrangement advantageously corresponds to one type of signal interface (shown in table 84 in FIGS. 7A and 7B) to be used on one side of the IC 22 and another

WO 03/028095

PCT/US02/30593

type of signal interface to be used on another side of the IC 22. For example, the first (high) frequency signal interface 76 may use a capacitive type of signal interface and the second (low) frequency signal interface 78 may use the conductive type of signal interface. In this example, it would be beneficial for the second (low) frequency signal interface 78 to transfer signals to and from a PCB via the conductive type of signal interface, and beneficial for the first (high) frequency signal interface 76 to transfer signals to and from a conductor via the capacitive type of signal interface. In other words, the low frequency signals would be carried via PCB traces on the PCB and the high frequency signals would be carried via the conductor. The conductors carry the high frequency signals to other circuits directly, without entering the PCB, or by entering the PCB next to the other circuits and continuing over a short distance via PCB traces. This particular arrangement permits the cost and size of the PCB to be minimized because complex routing of high frequency transmission lines among multiple PCB layers is minimized or eliminated.

FIG. 6B is an elevational view of the IC 22, as shown in FIG. 5, having the first (high) frequency signal interface 76 and the second (low) frequency signal interface 78, different from the first (high) frequency signal interface 76, each coupled to the same side of the IC 22 representing the package design system 16 in accordance with the preferred embodiments of the present invention. Hence, FIG. 6B is the same as FIG. 6A except for the location of the first (high) frequency signal interface 76 and the second (low) frequency signal interface 78 on the sides (i.e., top 68, bottom 70 and side(s) 72) of the IC 22.

The first (high) frequency signal interface 76 and the second (low) frequency signal interface 78 may be located on any side (i.e., top 68, bottom 70 and side(s) 72) of the IC 22. Preferably, the first (high) frequency signal interface 76 and the second (low) frequency signal interface 78 are located on the bottom 70 of the IC 22. Alternatively, the first (high) frequency signal interface 76 and the second (low) frequency signal interface 78 may be located on the top 68 or the side(s) 74 of the IC 22.

Locating the first (high) frequency signal interface 76 and the second (low) frequency signal interface 78 on the same side of the IC 22 advantageously permits the high and low frequency signals to be electrically coupled to the same PCB, connector, conductor or other IC. This location arrangement is practical where the signal connections 26 have many of one frequency signal interface and few of the other frequency signal interface, wherein allocating

WO 03/028095

PCT/US02/30593

them to different sides of the IC 22 would be more expensive or more complex than allocating them to the same side of the IC 22.

This location arrangement may require a hybrid interface connection between the IC 22 and the PCB, the connector, the conductor or other the IC to accommodate the different frequencies. For example, the first (high) frequency signal interface 76 may use a capacitive type of signal interface and the second (low) frequency signal interface 78 may use the conductive type of signal interface. In this case, the hybrid interface connection accommodates both the capacitive and conductive types of signals. More particularly, the hybrid interface connection would include both dielectric elements for the capacitive type of signals and galvanic contacts for the conductive type of signal.

FIG. 7A is an elevational view of the IC 22, as shown in FIG. 5, having a first type of signal interface 80 and a second type of signal interface 82, different from the type of signal interface 80, each coupled to different sides (i.e., top 68, bottom 70 and side(s) 72) of the IC 22 representing the package design system 16 in accordance with the preferred embodiments of the present invention. Hence, the signal connection 26 includes both the first type of signal interface 80 and the second type of signal interface 82. The first type of signal interface 80 and the second type of signal interface 82 may transfer signals at the same or different frequencies.

Each of the first type of signal interface 80 and the second type of signal interface 82 include, without limitation, conductive, capacitive, inductive, optical, transmission line, and wireless, as shown in a table 84 included with FIG. 7A. Each of these examples of the types of signal interfaces is described in detail above. Note that the types of signal interfaces also include characteristics of the signals carried by the types of signal interfaces. Such signal characteristics include, without limitation, frequency, amplitude, modulation, and the like.

Each of the first type of signal interface 80 and the second type of signal interface 82 may be connected to any side (i.e., top 68, bottom 70 and side(s) 72) of the IC 22. Preferably, the first type of signal interface 80 is connected to the top 68 of the IC 22, and the second type of signal interface 82 is connected to the bottom 70 of the IC 22. Alternatively, the second type of signal interface 82 may be connected to the side(s) 74 of the IC 22.

This type of signal interface arrangement is advantageous when the electrical and/or mechanical characteristics of each type of signal interface are so different that it less expensive or easier to locate them on different sides of the IC 22. For example, the first type of signal

WO 03/028095

PCT/US02/30593

interface 80 may be optical and the second type of signal interface 82 may be capacitive. In this case, the optical interface transfers signals in the form of light and the capacitive interface transfers electrical signals in the form of electrons. Therefore, it would be beneficial to construct the optical signal interface on one side of the IC 22 and the capacitive signal interface on another side of the IC 22.

5 FIG. 7B illustrates the IC 22, as shown in FIG. 5, having the first type of signal interface 80 and the second type of signal interface 82, different from the type of signal interface 80, each coupled to the same side of the IC 22 representing the package design system 16 in accordance with the preferred embodiments of the present invention. Hence, FIG. 7B is the same as FIG. 7A
10 except for the location of the first type of signal interface 80 and the second type of signal interface 82 on the sides (i.e., top 68, bottom 70 and side(s) 74) of the IC 22.

The first type of signal interface 80 and the second type of signal interface 82 may be connected to any side (i.e., top 68, bottom 70 and side(s) 74) of the IC 22. Preferably, both the first type of signal interface 80 and the second type of signal interface 82 is connected to the
15 bottom 70 of the IC 22. Alternatively, both the first type of signal interface 80 and the second type of signal interface 82 may be connected to the top 68 or the side(s) 74 of the IC 22. Advantages of this arrangement are similar to that describe in FIG. 6B with reference to the hybrid interface connection.

Note that there is some overlap of the frequency signal interfaces described in FIGS. 6A and 6B and the types of signal interfaces described in FIGS. 7A and 7B because the frequency
20 signal interfaces described in FIGS. 6A and 6B necessarily have some type of signal interface, such as those described in FIGS. 7A and 7B. For example, in FIG. 6A, the first (high) frequency signal interface 76 is preferably a capacitive type of signal interface, and the second (low) frequency signal interface 78 is preferably a conductive type of signal interface. In this example,
25 each type of signal interface carries signals at different frequencies. Therefore, by this notation and by this example, various combinations of FIGS. 6A, 6B, 7A and 7B are possible and within the scope of the present description.

FIGS. 8A, 8B, 8C and 8D illustrate cross-sectional views of the IC 22, as shown in FIGS. 4C and 5, having signal 48 and/or power 46 connections located outside, flush with, recessed or
30 inside, respectively, the semiconductor package 62 representing the package design system 16 accordance with the preferred embodiments of the present invention. Preferably, the IC 22 is a

WO 03/028095

PCT/US02/30593

semiconductor package 62 formed as a level two design, as shown in FIG. 4C above. Alternatively, the IC 22 may be formed as any level design, as shown in FIGS. 4A, 4B, 4C, 4D and 4E, or any combination thereof. Note that the semiconductor die 58 and the semiconductor substrate 60, as shown in FIG. 4C, are both not shown in each of FIGS. 8A, 8B, 8C and 8D for the sake of clarity in these four figures.

FIGS. 8A, 8B, 8C and 8D each have features in common including the semiconductor package 62 (including the top 68, the bottom 70, the sides 72 and 74), the IC signal connection 48, the IC power connection 46, the signal connection 26 and the power connection 24, as described above. The IC power connection 46 and the signal connection 26 are the same as described above.

The semiconductor package 62 has a predetermined thickness 88. The predetermined thickness 88 may have any value and may be different on one or more sides of the semiconductor package 62. The semiconductor package 62 may be formed of any appropriate material. Preferably, the value of the predetermined thickness 88 is appropriate for microprocessors using plastic or ceramic materials for the semiconductor package 62. Preferably, the value of the predetermined thickness 88 is the same on all sides of the semiconductor package 62.

The IC 22 may have mechanical features (not shown) that permit the IC 22 to be aligned and/or attached to another structure including, without limitation, a PCB, a connector, forming a cover, a socket or a frame, a conductor, another IC, and the like. The mechanical features may be formed as separate parts that are attached to the IC 22 or integrally formed with the IC 22. The mechanical features include, without limitation, pins, ridges, posts, pegs, bumps, and the like extending beyond one or more surfaces of the IC 22, and/or holes, recesses, troughs, and the like extending into one or more surfaces of the IC 22. The mechanical features may form fasteners themselves or may cooperate with separate fasteners to align and/or attach the IC 22.

The IC signal connection 48 includes signal contacts 90. The signal contacts 90 provide any type of path that permits the signals on the signal connection 26 to be received by the IC 22 and/or to be transmitted by the IC 22. Hence, the signal contacts 90 are compatible with the various types of signal interfaces, as shown in the table 84 in FIGS. 7A and 7B, including, without limitation, conductive, capacitive, inductive, optical, transmission line and wireless. Depending on the type of signal interface employed, the signal contacts 90 have a variety of mechanical and electrical features and characteristics. When the signal contacts are compatible

WO 03/028095

PCT/US02/30593

with the conductive type of signal interface, the signal contacts 90 are preferably made of metal to provide galvanic contacts.

When the signal contacts 90 are compatible with the capacitive type of signal interface, the signal contacts 90 are preferably made of metal to provide one side of the conductive plates needed for capacitive signal transfer. Alternatively, the dielectric material may be provided with the IC 22 on the conductive plates. Note that the other side of the conductive plates (not shown) could be provided on a PCB or on a connector, as is described in further detail below.

When the signal contacts 90 are compatible with the inductive type of signal interface, the signal contacts 90 are preferably made of metal to provide one side of the conductive element needed for inductive signal transfer. Note that the other side of the conductive element (not shown) could be provided on a PCB or on a connector, as will be describe in further detail below.

When the signal contacts 90 are compatible with the optical type of signal interface, the signal contacts 90 preferably form one or more optical transmitters and/or optical receivers, as will be describe in further detail below.

When the signal contacts 90 are compatible with the transmission line type of signal interface, the signal contacts 90 preferably forms a transmission line interface to provide for a proper impedance match between the signal connection 26 outside of the IC 22 and the signal connection (not shown) inside the IC 22.

When the signal contacts 90 are compatible with the wireless type of signal interface, the signal contacts 90 preferably forms an antenna interface to provide for a proper impedance match between the signal connection 26 outside of the IC 22 via an antenna (not shown) and the signal connection (not shown) inside the IC 22. Alternatively, the signal contacts 90 may form and provide the antenna itself.

The signal contacts 90 are electrically coupled to the semiconductor die 58 (not shown) located inside the semiconductor package 62. Conventional methods for providing the electrical coupling include, without limitation, wire bonding, tab bonding, flip-chip bonding, and the like, as are well known in the art of semiconductor manufacturing. Preferably, the electrical coupling between the signal contacts 90 and the semiconductor die 58 are made using wires and wire bonds, each being well known in the art of semiconductor manufacturing.

The signal contacts 90 may be located on any side or all sides (i.e., top 68, bottom 70, sides 72 and 74) of the IC 22. Preferably, the signal contacts 90 are located on the bottom 70 of

WO 03/028095

PCT/US02/30593

the IC 22 to match the preferred location of the signal connection 26, as described above. Alternative locations for the signal contacts 90 are shown on the top 68 and the side 74 of the semiconductor package 62. The signal contacts 90 are illustrated in each figure as simple blocks for the sake of clarity. Practically, the signal contacts 90 include multiple individual signal contacts corresponding to each signal path. The signal contacts 90 may have any elevation relative to the semiconductor package 62. Preferably, the signal contacts 90 all have the same elevation relative to the semiconductor package 62. This arrangement permits ease of manufacturing of the semiconductor package 62 and ease of connection to the signal contacts 90. Alternatively, the signal contacts 90 individually may have different elevations relative to the package 62 to accommodate various desired engineering considerations. The signal contacts 90 may have any shape, size, pitch, material, and the like. Shapes include, without limitation, square, rectangular, round, oval, and the like. Preferably, the size is in the 0.5 to 1.0 mm by 0.5 to 1.0 mm square range. Preferably, the material is a galvanic material.

The IC power connection 46 includes conductive power contacts 92 formed of metal. The power contact provides any type of path that permits the power on the power connection 24 to be delivered to the IC 22. The power contacts 92 are coupled to the semiconductor die 58 (not shown) located inside the semiconductor package 62. Preferably, the electrical coupling between the power contacts 92 and the semiconductor die 58 are made using wires and wire bonds, each being well known in the art of IC package design. Preferably, the power contacts 92 are generally larger in size than the signal contacts 90, and the electrical coupling between the power contacts 92 and the semiconductor die 58 is heavier than the electrical coupling between the signal contacts 90 and the semiconductor die 58. This construction advantageously permits more current to be routed through the power contact 92 to the semiconductor die 58 than through the signal contacts 90 to the semiconductor die 58.

The power contacts 92 may be located on any side or all sides (i.e., top 68, bottom 70, sides 72 and 74) of the IC 22. Preferably, the power contacts 92 are located on the side(s) 72 of the IC 22 to match the preferred location of the power connection 24, as described above and to free up more contacts on the IC that may be used for signal and other non-power applications, if desired. Alternate locations for the power contacts 92 are shown on the top 68 and the bottom 70 of the semiconductor package 62. Locating the power contacts on the side(s) 72 of the IC 22 significantly reduces the force per signal contact per square area along the Z-axis on the bottom

WO 03/028095

PCT/US02/30593

70 of the IC 22 because the force per power contact is in the X axis and Y axis. Locating the power contacts on the top 68 of the IC 22 significantly reduces the force per signal contact per square area along the Z-axis on the bottom 70 of the IC 22 because less contact force is needed when the signal contacts 90 and the power contacts 92 are distributed on opposite sides of the IC 22. The power contacts 92 are illustrated in each figure as simple blocks for the sake of clarity. Practically, the power contacts 92 include multiple individual power contacts and ground contacts corresponding to each power path and ground path, as described with reference to FIG. 1.

The power contacts 92 may have any elevation relative to the semiconductor package 62 and preferably, they all have the same elevation relative to the semiconductor package 62. This arrangement permits ease of manufacturing of the semiconductor package 62 and ease of connection to the power contacts 92. Alternatively, the power contacts 92 individually may have different elevations relative to the semiconductor package 62 to accommodate various engineering considerations, if appropriate.

FIG. 8A illustrates that the signal contacts 90 and/or the power contacts 92 are located outside the semiconductor package 62. In this case, the signal contacts 90 and/or the power contacts 92 are raised above the outer surface of the semiconductor package 62 by a predetermined height 94. The predetermined height 94 of the signal contacts 90 and/or the power contacts 92 may have any value and may be different on one or more sides of the semiconductor package 62. Preferably, the value of the predetermined height 94 is appropriate for microprocessors using plastic or ceramic materials for the semiconductor package 62. Preferably, the value of the predetermined height 94 of the signal contacts 90 and/or the power contacts 92 is the same on all sides of the semiconductor package 62.

FIG. 8B illustrates that the signal contacts 90 and/or the power contacts 92 are located flush with the semiconductor package 62. In this case, the signal contacts 90 and/or the power contacts 92 are even with the outer surface of the semiconductor package 62. FIG. 8C illustrates that the signal contacts 90 and/or the power contacts 92 are located partially recessed inside corresponding indentations 98 formed in the semiconductor package 62. In this case, the signal contacts 90 and/or the power contacts 92 are recessed below the outer surface of the semiconductor package 62 by a predetermined height 96. The predetermined height 96 of the signal contacts 90 and/or the power contacts 92 may have any value and may be different on one or more sides of the semiconductor package 62. Preferably, the value of the predetermined

WO 03/028095

PCT/US02/30593

height 96 is appropriate for microprocessors using plastic or ceramic materials for the semiconductor package 62. Preferably, the value of the predetermined height 96 of the signal contacts 90 and/or the power contacts 92 is the same on all sides of the semiconductor package 62. The recesses advantageously reduce contamination and/or damage of the signal contacts 90 and/or the power contacts 92. The recesses may also provide mechanical alignment or attachment features for the power connection 24 and/or signal connection 26.

FIG. 8D illustrates that the signal contacts 90 and/or the power contacts 92 are located inside the semiconductor package 62. In this case, the signal contacts 90 and/or the power contacts 92 are disposed inside an inner surface of the semiconductor package 62. This arrangement advantageously eliminates contamination and/or damage of the signal contacts 90 and/or the power contacts 92.

The IC signal connection 48 includes a signal package interface 100. The signal package interface 100 is any type of interface that permits the signal contacts 90 located inside the semiconductor package 62 to operate with the signal connection 26 located outside the semiconductor package 62. The signal package interface 100 may be formed as a separate part from the semiconductor package 62 and then mechanically joined to the semiconductor package 62 using various methods such as insert molding, over molding, snaps, interference press fit, adhesive, and the like. The separate part may be formed of the same or a different material as the semiconductor package 62. Alternatively, the signal package interface 100 may be formed as an integral part of the semiconductor package 62. The signal package interface 100 is illustrated in each figure as simple blocks for the sake of clarity. Practically, the signal package interface 100 may include one or more individual signal package interface 100 corresponding to each signal path.

The mechanical and electrical features and characteristics of the signal package interface 100 depend on the type of signal interface used, as shown in the table 84 in FIGs. 7A and 7B. For example, a capacitive type of signal interface may require that the signal package interface 100 be formed as a dielectric material. In this case, the signal contacts 90 provide one side of the conductive plates required for capacitive signal transfer. The second side of the conductive plates (not shown) is on the outside of the semiconductor package 62 and may be provided on a PCB or on a connector. The signal package interface 100 forms the dielectric material having an

WO 03/028095

PCT/US02/30593

appropriate dielectric constant to permit capacitive signal transfer between the conductive plates of signals having appropriate frequencies, amplitudes, etc.

For example, an optical type of signal interface may require that the signal package interface 100 be formed as an optical lens. In this case, the signal contacts 90 form an optical transmitter and/or an optical receiver. The signal package interface 100 forms the optical lens to channel modulated signals in the form of light waves through the semiconductor package 62. Alternatively, the signal package interface 100 may form one or more holes extending through the semiconductor package 62 to permit the signal connection 26, formed as optical fibers, to be mechanically aligned with the optical transmitter and/or the optical receiver inside the IC 22. In this alternative, the one or more holes may also secure the optical fibers to the IC 22. By another example, a transmission line or wireless type of signal interface may require that the signal package interface 100 be formed as an impedance matching device.

The IC power connection 46 includes a power package interface 102. The power package interface 102 is any type of interface that permits the power contacts 92 located inside the semiconductor package 62 to operate with the power connection 24 located outside the semiconductor package 62.

The power package interface 102 may be formed as a separate part from the semiconductor package 62 and then mechanically joined to the semiconductor package 62 such as by insert molding, over molding, snaps, interference press fit, adhesive, and the like. The separate part may be formed of the same or a different material as the semiconductor package 62. Alternatively, the power package interface 102 may be formed as an integral part of the semiconductor package 62. The power package interface 102 is illustrated in each figure as simple blocks for the sake of clarity. Practically, the power package interface 102 may include one or more individual power package interface 102 corresponding to each signal path. The mechanical and electrical features and characteristics of the power package interface 102 depend on the type of method used to delivery power from the power connection 24 to the IC 22 via the power contacts 92.

In FIGS. 8A, 8B, 8C and 8D, the features are illustrated therein are for illustration and not for limitation, and any feature from any one of the Figures may be combined with any feature from another of the Figures to provide multiple combinations of features. For example, the signal contacts 90 located inside the semiconductor package 62, as shown in FIG. 8D may be

WO 03/028095

PCT/US02/30593

combined with the power contacts 92 located outside, flush with, or recessed in the semiconductor package 62, as shown in FIGS. 8A, 8B and 8C, respectively.

FIGS. 9A, 9B and 9C illustrate a plan view of the IC 22, as shown in FIGS. 8A, 8B, 8C or 8D and FIG. 5, having signal contacts 90 and/or power contacts 92 located on the top 68, bottom 70 and/or side(s) 72, respectively, of the IC 22 representing the package design system 16 in accordance with the preferred embodiments of the present invention. In each of the three figures, the signal contacts 90 and/or power contacts 92 are represented as equally spaced squares for illustration purposes only. Practically, the signal contacts 90 and/or power contacts 92 may have any appropriate size, shape, thickness, dimension, pitch, etc. Hence, the arrangement of the signal contacts 90 and/or power contacts 92 on one or more of the top 68, bottom 70 and/or side(s) 72 of the IC 22 provides multiple embodiments that are within the scope of the specification.

More particularly, FIG. 9A illustrates the top 68 of the IC 22 being available to carry signal contacts 90 and/or power contacts 92. FIG. 9B illustrates the bottom 70 of the IC 22 being available to carry signal contacts 90 and/or power contacts 92. In the preferred embodiments of the present invention, the signal contacts 90 are located on the bottom 70 of the IC 22, as shown in FIG. 9B. FIG. 9C illustrates the side(s) 72 of the IC 22 being available to carry signal contacts 90 and/or power contacts 92. In the preferred embodiments of the present invention, the power contacts 92 are located on the side(s) 72 of the IC 22, as shown in FIG. 9C.

FIGS. 10A, 10B and 10C illustrate more limited examples of the arrangement and location of the signal contacts 90 and/or power contacts 92 on one or more of the top 68, bottom 70 and/or side(s) 72 of the IC 22. FIG. 10A illustrates an outer portion 104 of the top 68 of the IC 22 being available to carry signal contacts 90 and/or power contacts 92. An inner portion 106 of the IC 22 is available to receive a heat sink, a heat spreader, or the like. Preferably, the heat sink is in mechanical contact with the IC 22 to provide a thermal path for heat to be drawn away from the IC 22.

FIG. 10B illustrates an outer portion 108 and an inner portion 110 of the top 68 of the IC 22 being available to carry signal contacts 90 and/or power contacts 92. Preferably, the outer portion 108 carries the power contacts 92 and the inner portion 110 carries the signal contacts 90. This arrangement is advantageous when the power contacts 92 and the signal contacts 90 have

WO 03/028095

PCT/US02/30593

different types of signals interfaces, as shown in table 84 of FIGS. 7A and 7B, such as, for example, when the power contacts 92 are conductive and the signal contacts 90 are capacitive.

FIG. 10C illustrates an outer portion 112 and an inner portion 114 of the top 68 of the IC 22 each being available to carry signal contacts 90 and/or power contacts 92. Preferably, the outer portion 112 carries the power contacts 92 and the inner portion 114 carries the signal contacts 90.

In FIG. 11, the connector 112 includes appropriate electrical and mechanical features and characteristics to provide an electrical interface between the signal connection 26 and/or power connection 24 and the IC 22. The connector 112 is compatible with the various types of signal interfaces described with table 84 in FIGS. 7A and 7B.

According to the preferred embodiments of the present invention, the connector 112 carries the voltage regulator module 38 and/or the decoupling capacitance 42, as is described in further detail below. Since the connector 112 carries the IC 22, the voltage regulator module 38 and/or the decoupling capacitance 42 are located as close to the IC 22 as possible, thereby minimizing the length of the power connection 24. Minimizing the length of the power connection 24, in turn, minimizes the impedance and inductance of the power connection 24 to permit the voltage regulator module 38 and/or the decoupling capacitance 42 to deliver low voltage, narrow voltage margin and high current to a high performance IC 22.

The connector 112 may have various forms, shapes, and sizes and be made of various materials, depending on various engineering considerations. The various forms, shapes, sizes are represented in FIG. 11 with the dashed lines 120, 122 and 124 on side 74 of the IC 22 and the dashed lines 126, 128 and 130 on the side 72 of the IC 22. Dashed lines 120, 122 and 124 horizontally align with dashed lines 126, 128 and 130, respectively. The dashed lines represent various places where the connector 112 may end to form a particular form, shape or size of a connector 112. Note that the dashed lines are for illustration purposes only and should not be interpreted to limit the scope of the connector 112.

For example, an upper part of the connector 112 that is located above the top 68 of the IC 22 may extend only down to dashed lines 120 and 126 essentially forming a cover, otherwise known as a plate or cap, over the IC 22. In this case, the connector 112, formed as a cover, has a bottom surface that is located coplanar with or above the top 68 of the IC 22. The connector 112, formed as a cover, may further extend down the sides 72 and 74 of the IC 22 to dashed lines 122

WO 03/028095

PCT/US02/30593

and 128. In this case, the connector 112, formed as a cover, has a bottom surface that is located between the top 68 and the bottom 70 of the IC 22. The connector 112, formed as a cover, may further extend down the sides 72 and 74 of the IC 22 to dashed lines 124 and 130. In this case, the connector 112, formed as a cover, has a bottom surface that is located coplanar with or below
5 the bottom 70 of the IC 22, and may extend to a top surface of the PCB 114, if present. Note that the connector 112, formed as a cover, is shown to extend beyond each side 72 and 74 of the IC 22, but should not be interpreted as being limited as such. Alternatively, the connector 112, formed as a cover, may be flush with or inside the sides 72 and 74 of the IC 22. FIG. 12A illustrates a more detailed illustration of the connector 112, formed as a cover.

10 By another example, an lower part of the connector 112 that is located below the bottom 70 of the IC 22 may extend only up to dashed lines 124 and 130 essentially forming a socket, otherwise known as a cup or pocket, under the IC 22. In this case, the connector 112, formed as a socket, has a top surface that is located coplanar with or below the bottom 70 of the IC 22. The connector 112, formed as a socket, may further extend up the sides 72 and 74 of the IC 22 to
15 dashed lines 122 and 128. In this case, the connector 112, formed as a socket, has a top surface that is located between the bottom 70 and the top 68 of the IC 22. The connector 112, formed as a socket, may further extend up the sides 72 and 74 of the IC 22 to dashed lines 120 and 126. In this case, the connector 112, formed as a socket, has a top surface that is located coplanar with or above the top 68 of the IC 22. Note that the connector 112, formed as a socket, is shown to
20 extend beyond each side 72 and 74 of the IC 22, but should not be interpreted as being limited as such. Alternatively, the connector 112, formed as a socket, may be flush with or inside the sides 72 and 74 of the IC 22. FIG. 12B illustrates a more detailed illustration of the connector 112, formed as a socket.

25 By still another example, a middle part of the connector 112 that is located around the sides 72 and 74 of the IC 22 essentially forming a frame, otherwise known as a ring or border, around a perimeter the IC 22. In this case, the connector 112, formed as a frame, may have a top surface that is located above the top 68 of the IC 22, or between the top 68 and bottom 70 of the IC 22, as represented by dashed lines 122 and 128. The connector 112, formed as a frame, may have a bottom surface that is located below the bottom 70 of the IC 22, or between the top 68 and
30 bottom 70 of the IC 22, as represented by dashed lines 124 and 130, and may extend to a top

WO 03/028095

PCT/US02/30593

surface of the PCB 114, if present. FIG. 12C illustrates a more detailed illustration of the connector 112, formed as a frame.

These three examples of the connector 112, formed as a cover, a frame or a socket, illustrate examples of the various forms, shapes and sizes that the connector 112 can have. Note that the descriptions in the examples above blend into each other. For example, the description of the cover blends into the description of the frame, and the description of the frame blends into the description of the socket. Hence, these examples illustrate that the connector 112 may be located on any one or more sides of the IC 22, without being limited to the illustration in FIG. 11.

The connector 112 may have any suitable material including, without limitation, plastic, metal, and may have any suitable characteristics including, without limitation, being conductive or nonconductive. Preferably, the connector is formed of a nonconductive, plastic material and carries appropriate signal contacts (not shown) and power contacts that operate with the corresponding signal contacts 90 and power contacts 92, respectively, carried by the IC 22. Alternatively, the connector 112 may be formed as a circuit board carrying the voltage regulator module 38 and/or the decoupling capacitance 42, as shown in FIG. 2 above. Alternatively, the connector 112 may be formed as the decoupling capacitance 42, itself, having an integral capacitance structure. These two alternatives are described in further detail below. Alternatively, the connector 112 may be formed as an assembly of discrete parts providing the function of the voltage regulator module 38 and/or the decoupling capacitance 42, without having what might be considered a conventional housing.

The connector 112 may have mechanical features (not shown) that permit the connector 112 to be aligned and/or attached to another structure including, without limitation, the circuit board 114, another connector 140 (illustrated in FIGS. 13 and 14), forming a cover, a socket or a frame, the conductor 116, and the like. The mechanical features may be formed as separate parts that are attached to the connector 112 or integrally formed with the connector 112. The mechanical features include, without limitation, pins, ridges, posts, pegs, bumps, and the like extending beyond one or more surfaces of the connector 112, and/or holes, recesses, troughs, and the like extending into one or more surfaces of the connector 112. The mechanical features may form fasteners themselves, such as snaps, clips, and the like, or may cooperate with separate fasteners to align and/or attach the connector 112.

WO 03/028095

PCT/US02/30593

The signal connection 26 and/or the power connection 24 are electrically and mechanically coupled to the connector 112 in such a manner as to align the signal connection 26 and/or the power connection 24 with the preferred and/or alternative locations on the IC 22, as described above. The signal connection 26 and/or the power connection 24 may be formed as a conductor 116 or as a PCB trace 118, as described above.

When the signal connection 26 and the power connection 24 are formed as a conductor 116, the connector 112, a PCB 114 may not be used at all or may be used only to provide mechanical stability for the connector 112. In this case, the connector 112 may be considered as a holder for the IC 22 and for the conductors 116 that carry the signals and the power to the IC 22. If the PCB is present to provide the mechanical stability for the connector 112, then the connector 112 may appear to be somewhat suspended above the circuit board.

The circuit board 114 may be used to route the signal connection 26 and/or the power connection 24 to and/or from the IC 22 using the conductive traces 118. When the circuit board 114 is used, an IC to circuit board signal and/or power interface 132 preferably is used to provide an appropriate connection between the IC 22 and the circuit board 114. Preferably, the interface 132 is located between the bottom 70 of the IC 22 and the top of the circuit board 114. The circuit board 114 may have various types of mechanical features to align and/or secure the IC 22, the connector 112, and/or the conductor 116 including, without limitation, holes, recesses, and the like, that mechanically cooperate with corresponding mechanical features on the mating structure or that use separate fasteners, such as pins, screws, pegs, snaps, clips, and the like to align and/or secure the mating structure.

The interface 132 may be used alone or in combination with the connector 112. When the interface 132 is used in combination with the connector 112, the connector 112 is preferably formed as a socket or a frame to help hold and align the interface 132 against the IC 22. In this case, the interface 132 is located in an inner portion of the connector 112, formed as a socket or frame, with the socket or frame forming an outer portion of the connector 112 at the perimeter of the interface 132. The interface 132 may be formed as a separate part from the IC 22 or integrally formed with the IC 22 as a single unit. When the interface 132 is formed as a separate part from the IC 22, the interface 132 may be separate from the IC 22 or attached to the IC 22. Preferably, the interface 132 is formed as a separate part and is separate from the IC 22. When the interface 132 is integrally formed with the IC 22 as a single unit, the interface 132 may be formed as the

WO 03/028095

PCT/US02/30593

semiconductor substrate 60, as shown in FIG. 4B, as the side of the semiconductor package 62, as shown in FIGs. 4C and 8D, or as the PCB 64 or 114, as shown in FIGS. 4D or 4E, for example. The interface 132 may take a variety of shapes and sizes and be formed from a variety of materials. Various shapes of the interface 132 as a whole or as individual portions may include round, square, multi-sided shapes and the like, and the interface 132 may be flat or may be bent or formed to have a particular shape.

Material properties of the interface 132 may include solids, fluids, pastes, gels or gases. The material of the interface 132 may have any level of hardness including rigid, flexible, and compressible. Interfaces 132 that are flexible advantageously permit better compliance with manufacturing variations in the IC package and/or the circuit board 114, and easier manufacturing. In some applications, it may be desirable to adjust the characteristics of the material, such as the dielectric constant, of the interface 132 using temperature, pressure or the like. The interface 132 may be formed as a single or multiple layers of material using manufacturing techniques including, without limitation, a layered build-up approach, a spray or vacuum deposited approach, an extruded approach, and the like. The interface 132 may be formed of the same material or different materials. In the case of different materials, a first material forms the carrier and a second material forms the signal and/or power path. The second material, forming the signal and/or power path, may be attached to the first material in ways such as press fit, insert molded, over molded, stitched, and the like.

The interface 132, the signal contacts 90 and/or the power contact 92 on the IC 22, and corresponding signal contact and/or power contacts on the PCB 64 or 114, the conductor 116, the connector 112 or the remote circuit 52 may be arranged in a variety of ways. For example, the various arrangements of the contacts and the interface 132 may include, without limitation, contact to interface 132, contact to interface 132 to contact, interface 132 to contact to interface 132, interface 132 to interface 132, contact to interface 132 to interface 132 to contact, and contact to interface 132 to contact to interface 132 to contact, and the like. Hence, the interface 132 may be formed on the outer surface of the IC 22, PCB 64 or 114, the conductor 116, the connector 112 or the remote circuit 52, or be formed as an inner layer thereof. Electrically, the interface 132 may support any type of signaling transfer between the IC 22 and the remote circuit 52 including, without limitation, single-ended serial, single-ended parallel, differential serial and differential parallel signaling. Further, the interface 132 and/or the signal contacts 90 and/or the

WO 03/028095

PCT/US02/30593

power contacts 92 and are designed to optimize electrical engineering considerations including inductance, capacitance, cross-talk, propagation delay, skew and impedance.

The interface 132 may alternatively be used as an interface between the IC 22 and the conductor 116, the connector 112 and another IC in an analogous manner as described with
5 reference to interfacing to the circuit board 114. The interface 132 is compatible with the various types of signal interfaces listed in table 84 as shown in FIGS. 7A and 7B. For example, when the interface 132 is compatible with the conductive type of signal interface, the interface 132 preferably forms a nonconductive material carrying multiple discrete conductive segments that correspond to and align with the location of the signal contacts 90 that are compatible with the
10 conductive type of signal interface. When the interface 132 is compatible with the capacitive type of signal interface, the interface 132 preferably forms a dielectric material having a suitable dielectric constant and a suitable predetermined thickness. In this case, the signal contacts 90 are preferably made of metal to provide one side of the conductive plates needed for capacitive signal transfer. The other side of the conductive plates (not shown) would be provided on the circuit
15 board 114.

When the interface 132 is compatible with the inductive type of signal interface, the interface 132 preferably forms a nonconductive material having a suitable predetermined thickness. In this case, the interface 132 provides an optimal separation between one conductive element (not shown) in the IC 22 and another conductive element (not shown) in or on the circuit
20 board. When the interface 132 is compatible with the optical type of signal interface, the interface 132 preferably forms an optical transmission channel, such as a lens, adapted to carry optical signals in the form of modulated light waves. Alternatively or in combination with the optical transmission channel, the interface 132 may be used to align and/or focus the optical signals between the IC 22 and the circuit board 114. When the interface 132 is compatible with
25 the transmission line type of signal interface, the interface 132 preferably forms a transmission line interface or channel to provide for a proper impedance match between the IC 22 and the circuit board 114. When the interface 132 is compatible with the wireless type of signal interface, the interface 132 preferably forms a radio frequency (RF) channel suitable for carrying the RF signal from the IC 22 to the circuit board 114.

30 The interface 132, in cooperation with the package design system 16, advantageously permits the operating frequency of the microprocessor to increase without degrading the integrity

WO 03/028095

PCT/US02/30593

of the signal. For example, the interface 132, forming a dielectric material, and the package design system 16, forming conductive plates as the signal contacts 90, together provide a capacitive type of signal interface. In this case the resistance due to inductance, associated with the conductive interconnection between the semiconductor die located inside the microprocessor and the motherboard, is minimized using a capacitive type of signal interface. High frequency signal operation may be transferred without increasing the impedance of the signal path that compromises the integrity of the signal. Hence, this construction maximizes the performance and minimize the cost of interconnection technology used to achieve high-speed digital signal designs.

FIG. 12A illustrates the connector 112, formed as a cover, wherein the connector 112 has side parts that extend beyond each side 72 and 74 of the IC 22, has an upper part that is located above the top 68 of the IC 22, and has a lower part that is located flush with or a little below the bottom 70 of the IC 22. Preferably, the connector 112, formed as a cover, surrounds all four sides (72, 74, one side facing out of the page, one side facing into the page) of the IC 22. The connector 112, formed as a cover, is beneficial when the IC 22 is mounted directly on the PCB 114.

FIG. 12B illustrates an elevation view of the IC 22, as shown in FIG. 11, located in a connector 112 formed as a socket in accordance with the preferred embodiments of the present invention. FIG. 12B illustrates the connector 112, formed as a socket, wherein the connector 112 has side parts that extend beyond each side 72 and 74 of the IC 22, has a lower part that is located below the bottom of the IC 22, and has an upper part that is located flush with or a little above the top 68 of the IC 22. Preferably, the connector 112, formed as a socket, surrounds all four sides (72, 74, one side facing out of the page, one side facing into the page) of the IC 22. Preferably, the connector 112, formed as a socket, is mounted on the PCB 114 and carries the IC to PCB signal and/or power interface 132. The connector 112, formed as a socket, is beneficial when the socket is directly mounted on the PCB 114 and the socket carries the IC 22.

FIG. 12C illustrates an elevation view of the IC 22, as shown in FIG. 11, located in a connector 112 formed as a frame in accordance with the preferred embodiments of the present invention. FIG. 12C illustrates the connector 112, formed as a frame, wherein the connector 112 has side parts that extend beyond each side 72 and 74 of the IC 22, has a lower part that is located flush with or a little below the bottom of the IC 22, and has an upper part that is located flush

WO 03/028095

PCT/US02/30593

with or a little above the top 68 of the IC 22. The connector 112, formed as a frame, is beneficial when the IC 22 is directly mounted on the PCB 114.

FIG. 13 illustrates an elevation view of the IC 22, as shown in FIG. 11, coupled to the remote circuit 52 located in a connector 112 or on PCB 114 in accordance with the preferred
5 embodiments of the present invention. The remote circuit 52 includes a remote circuit signal connection 134 and a remote circuit power connection 136, and has a top 144, a bottom 146, and sides 148 and 150. A connector 140 is disposed on one or more sides of the remote circuit 52. The remote circuit 52 may be carried by the connector 140 or may be mounted on a PCB 114. A
10 remote circuit to PCB signal and/or power interface 138 provides paths to route signals and/or power, respectively, between the PCB 114 and the remote circuit 52. The remote circuit 52, the connector 140, the interface 138, the PCB 114, the remote circuit signal connection 134 and the remote circuit power connection 136 have features, characteristics, functions and operation
15 analogous to the IC 22, the connector 112, the interface 132, the PCB 114, the integrated circuit signal connection 48 and the integrated circuit power connection 46, respectively, as described above.

In addition, the signal connection 26, formed as conductor 116 or as a PCB trace 118, may transfer signals between any one or more of the top 68, the bottom 70, and the side(s) 72 and 74 of the IC 22 and any one or more of the top 144, the bottom 146, and the side(s) 148 and 150
20 of the remote circuit 52. Preferably, the signal connection 26 is formed as a PCB trace 118 and transfers signals between the bottom 70 of the IC and the bottom 146 of the remote circuit 52.

The power connection 24, formed as a conductor 116, formed as conductor 116 or as a PCB trace 118, may be coupled to the any one or more of the top 144, the bottom 146, and the side(s) 148 and 150 of the remote circuit 52. Preferably, the power connection 24 is formed as a
25 conductor 116 and couples power to the side(s) 148 and 150 of the remote circuit 52. Note that the power connection 24 being coupled to the remote circuit 52 is an added feature that is not shown in FIGS. 1 and 2 for the sake of clarity of those two figures. Typically, a remote circuit that is active requires power from the power delivery system 12 and a remote circuit that is passive does not require power from the power delivery system 12.

The IC 22 and the remote circuit 52 may carry the same type or different types of circuits,
30 including, without limitation, microprocessors, digital signal processors (DSPs), memory devices,

WO 03/028095

PCT/US02/30593

audio-visual interface devices, user interface devices, and may be active devices and/or passive devices.

5 A break 142 in the PCB 114 illustrates that the PCB 114 for the IC 22 may be the same or different PCB for the remote circuit 52. When the IC 22 and the remote circuit 52 are mounted on the same PCB 114, then the signal connection 26 and/or the power connection 24 may be made via the conductor 116 or the PCB trace 118. When the IC 22 and the remote circuit 52 are mounted different PCBs, then the signal connection 26 and/or the power connection 24 may be made via the conductor 116 or via PCB traces 118 on each PCB with a conductor (not shown) forming a jumper between the PCB traces 118 on the different PCBs.

10 The connector 112 may be integrally formed with the connector 140 as a single connector for both the IC 22 and the remote circuit 52. Alternatively, the connector 112 and the connector 140 may be formed as separate parts and then mechanically attached to each other, or used separately. When the parts are mechanically attached to each other, any side of the connector 112 may be attached to any side of the connector 140.

15 The interface 132 may be integrally formed with the interface 138 as a single interface for both the IC 22 and the remote circuit 52. Alternatively, the interface 132 and the interface 138 may be formed as separate parts and then mechanically attached to each other, or used separately. When the parts are mechanically attached to each other, any side of the interface 132 may be attached to any side of the interface 138.

20 Although FIG. 13 illustrates the IC 22 and the remote circuit 52 next to each other in a side-by-side arrangement, FIG. 13 is not intended to be limited to such an arrangement. Practically, the IC 22 and the remote circuit 52 may have any physical arrangement relative to each other. For example, the IC 22 and the remote circuit 52 may have a stacked arrangement, as shown in further detail in FIG. 14. Further, although FIG. 13 illustrates only two circuits (i.e., the IC 22 and the remote circuit 52), FIG. 13 is not intended to be limited to only two circuits. Practically, any number of ICs and/or remote circuits may operate together using the same features, characteristics, functions and operation as described above between the IC 22 and the remote circuit 52.

30 FIG. 14 illustrates an elevation view of the IC 22 and the remote circuit 52, as shown in FIG. 13, coupled together in a stacked arrangement in accordance with the preferred embodiments of the present invention. FIG. 14 shows connector 140, carrying the remote circuit

WO 03/028095

PCT/US02/30593

52, being located above or on top of the connector 112, carrying the IC 22. The signal connection 26 may be routed to another remote circuit 152 via the conductor 116 or via PCB traces (not shown). FIG. 14 shows various signal connections 26 and/or power connections 24 that may be possible when the IC 22 and the remote circuit 52 are coupled together in the stacked arrangement. The stacked arrangement is advantageous for partner, cluster or master/slave types of ICs that are substantially dedicated to work with each other, but are packaged separately to optimize the cost and/or performance of the individual semiconductor packages. Such partner ICs include, without limitation, microprocessors and memory devices.

FIGS. 15, 16, 17, 18, and 19 each illustrate an elevation view of the IC 22 and the remote circuit 52, as shown in FIGS. 13 or 14, each having a voltage regulator module 38 and decoupling capacitance 42 disposed at various locations in accordance with the preferred embodiments of the present invention. In each of these figures, the IC signal connection 46, the IC power connection 48, the remote circuit signal connection 134, the remote circuit power connection 136, the reference numbers for the top, bottom and sides of the IC 22 and the remote circuit 52, and the reference numbers for the six dashed lines for each connector 112 and 140 are not shown for the sake of clarity in these figures.

The signal connection 26 and the power connection 24 are each illustrated as being coupled to one side of the IC 22 and the remote circuit 52 for the sake of clarity in these five figures. Practically, the signal connection 26 and/or the power connection 24 may be coupled to one or more sides of the IC 22 and/or the remote circuit 52, as described above.

These five figures introduce new system blocks including a voltage regulator module 154 and decoupling capacitance 158 that are not illustrated in FIGS. 1 and 2 above for the reason stated in the description for FIG. 13. The introduction of the voltage regulator module 154 and/or the decoupling capacitance 158 provides synergy with the voltage regulator module 38 and the decoupling capacitance 42 by introducing a variety of alternative paths to route the signals and/or power to the IC 22 and the remote circuit 52. Solid lines represent the preferred path and the dashed lines represent alternate paths. This synergy applies to each of the five figures. The synergy relates to the specifications of the remote circuit 52, the voltage regulator module 154, the decoupling capacitance 158, the IC 22, the voltage regulator module 38, and the decoupling capacitance 42 in an analogous manner as that described above for the IC 22, the voltage regulator module 38, and the decoupling capacitance 42. The specifications of the IC 22 and the

WO 03/028095

PCT/US02/30593

remote circuit 52 typically determine whether one or two voltage regulator modules or whether one or two decoupling capacitances are required. The physical proximity of the IC 22 and the remote circuit 52 to the voltage regulator modules and the decoupling capacitances is also a factor to minimize the impedance and resulting voltage drop, as described above. Hence, the specifications for the remote circuit 52 and the IC 22 may permit the remote circuit 52 to share the voltage regulator module 38 and/or the decoupling capacitance 42 along with the IC 22. Otherwise, the remote circuit 52 must use its own voltage regulator module 154 and/or the decoupling capacitance 158.

The voltage regulator module 38, the decoupling capacitance 42, the voltage regulator module 154 and the decoupling capacitance 158 are shown in a particular part of the connector 112 or 140 for illustration purposes only and for the sake of clarity of the drawings. As described above with reference to FIG. 11, each of these elements may be located in any part of the connector 112 or 140 including, without limitation, the cover, the socket and/or the frame, as shown in FIGS. 12A, 12B and 12C.

FIG. 15 illustrates an elevation view of the IC 22 and the remote circuit 52, as shown in FIGS. 13 or 14, each having the voltage regulator module 38 and 154 and the decoupling capacitance 42 and 158 located in the connector 112 and 140, respectively, in accordance with the preferred embodiments of the present invention. The power delivery system 12 is coupled to the IC 22 to provide power to the IC 22, as described with reference to FIG. 2. As described above with reference to FIG. 2, the preferred path for high voltage, low current power delivery is from the power supply 34 to the voltage regulator module 38 via the power connection 36 using the conductor 116 or the PCB trace 118, then to the decoupling capacitance 42 as low voltage, high current power via the power connection 40 using the conductor 116, then to the IC 22 as low voltage, high current power via the power connection 44 using the conductor 116. Also as described with reference to FIG. 2, the voltage regulator module 38 may be alternatively directly coupled to the IC 22 as low voltage, high current power via the power connection 54 using the conductor 116, without using the decoupling capacitance 42.

In an analogous manner as describe with reference to FIG. 2, the power delivery system 12 is coupled to the remote circuit 52 to provide power to the remote circuit 52. The preferred path for power delivery is from the power supply 34 to the voltage regulator module 154 as high voltage, low current power via the power connection 36 using the conductor 116 or the PCB trace

WO 03/028095

PCT/US02/30593

118, then to the decoupling capacitance 158 as low voltage, high current power via the power connection 156 using the conductor 116, then to the remote circuit 52 as low voltage, high current power via the power connection 166 using the conductor 116. Also in an analogous manner as describe with reference to FIG. 2, the voltage regulator module 154 alternatively may
5 be directly coupled to the remote circuit 52 as low voltage, high current power via a voltage regulator module to remote circuit power connection 160 using the conductor 116, without using the decoupling capacitance 158.

Alternatively, the voltage regulator module 38 may deliver low voltage, high current power to the decoupling capacitance 158 via power connection 162 using the conductor 116 or,
10 alternatively, directly to the remote circuit 52 via the power connections 162 and 160 using the conductor 116, without using the voltage regulator module 154. Alternatively, the decoupling capacitance 42 may deliver low voltage, high current power directly to the remote circuit 52 via power connection 164 using the conductor 116, without using the voltage regulator module 154 or the decoupling capacitance 158.

15 Hence, in FIG. 15, the connector 112 may carry only the voltage regulator module 38, only the decoupling capacitance 42, or both the voltage regulator module 38 and the decoupling capacitance 42. Similarly, the connector 140 may carry neither the voltage regulator module 154 or the decoupling capacitance 158, only one of the voltage regulator module 154 and the decoupling capacitance 158, or both the voltage regulator module 154 and the decoupling
20 capacitance 158. The particular desired combination depends on various engineering considerations including, without limitation, the types of circuits employed in the IC 22 and the remote circuit 52, the type of signal interface used as shown in table 84 of FIGS. 7A and 7B, the desired characteristics of the thermal management system 18, etc., as described herein.

FIG. 16 illustrates an elevation view of the IC 22 and the remote circuit 52, as shown in
25 FIGS. 13 or 14, each having the voltage regulator module 38 and 154 and the decoupling capacitance 42 and 158 located on a conductor 116 and 117, respectively, in accordance with the preferred embodiments of the present invention. The power delivery system 12 is coupled to the IC 22 to provide power to the IC 22, as described with reference to FIG. 2. As described with reference to FIG. 2, the preferred path for high voltage, low current power delivery is from the
30 power supply 34 to the voltage regulator module 38 via the power connection 36 using the conductor 116, then to the decoupling capacitance 42 as low voltage, high current power via the

WO 03/028095

PCT/US02/30593

power connection 40 using the conductor 116, then to the IC 22 as low voltage, high current power via the power connection 44 using the conductor 116. Also as described with reference to FIG. 2, the voltage regulator module 38 may be alternatively directly coupled to the IC 22 as low voltage, high current power via the power connection 54 using the conductor 116, without using the decoupling capacitance 42.

In an analogous manner as describe with reference to FIG. 2, the power delivery system 12 is coupled to the remote circuit 52 to provide power to the remote circuit 52. The preferred path for power delivery is from the power supply 34 to the voltage regulator module 154 as high voltage, low current power via the power connection 36 using the conductor 117, then to the decoupling capacitance 158 as low voltage, high current power via the power connection 156 using the conductor 117, then to the remote circuit 52 as low voltage, high current power via the power connection 166 using the conductor 117. Also in an analogous manner as describe with reference to FIG. 2, the voltage regulator module 154 alternatively may be directly coupled to the remote circuit 52 as low voltage, high current power via a voltage regulator module to remote circuit power connection 160 using the conductor 117, without using the decoupling capacitance 158.

Alternatively, the voltage regulator module 38 may deliver low voltage, high current power to the decoupling capacitance 158 via power connection 162 using the conductor 116 and/or 117 or, alternatively, directly to the remote circuit 52 via the power connections 162 and 160 using the conductor 116 and/or 117, without using the voltage regulator module 154.

Alternatively, the decoupling capacitance 42 may deliver low voltage, high current power directly to the remote circuit 52 via power connection 164 using the conductor 116 and/or 117, without using the voltage regulator module 154 or the decoupling capacitance 158.

Hence, in FIG. 16, the conductor 116 may carry only the voltage regulator module 38, only the decoupling capacitance 42, or both the voltage regulator module 38 and the decoupling capacitance 42. Similarly, the conductor 117 may carry neither the voltage regulator module 154 or the decoupling capacitance 158, only one of the voltage regulator module 154 and the decoupling capacitance 158, or both the voltage regulator module 154 and the decoupling capacitance 158. The particular desired combination depends on various engineering considerations including, without limitation, the types of circuits employed in the IC 22 and the

WO 03/028095

PCT/US02/30593

remote circuit 52, the type of signal interface used as shown in table 84 of FIGs. 7A and 7B, the desired characteristics of the thermal management system 18, etc., as described herein.

FIG. 17 is an elevation of the IC 22 and the remote circuit 52, as shown in FIGS. 13 or 14, each having the voltage regulator module 38 and 154 and the decoupling capacitance 42 and 158, respectively, located on the PCB 114 in accordance with the preferred embodiments of the present invention. The power delivery system 12 is coupled to the IC 22 to provide power to the IC 22, as described with reference to FIG. 2. As described with reference to FIG. 2, the preferred path for high voltage, low current power delivery is from the power supply 34 to the voltage regulator module 38 via the power connection 36 using the PCB trace 118, then to the decoupling capacitance 42 as low voltage, high current power via the power connection 40 using the PCB trace 118, then to the IC 22 as low voltage, high current power via the power connection 44 using the PCB trace 118 and the conductor 116. Also as described with reference to FIG. 2, the voltage regulator module 38 may be alternatively directly coupled to the IC 22 as low voltage, high current power via the power connection 54 using the PCB trace 118 and the conductor 116, without using the decoupling capacitance 42.

In an analogous manner as describe with reference to FIG. 2, the power delivery system 12 is coupled to the remote circuit 52 to provide power to the remote circuit 52. The preferred path for power delivery is from the power supply 34 to the voltage regulator module 154 as high voltage, low current power via the power connection 36 using the PCB trace 118, then to the decoupling capacitance 158 as low voltage, high current power via the power connection 156 using the PCB trace 118, then to the remote circuit 52 as low voltage, high current power via the power connection 166 using the PCB trace 118 and the conductor 116. Also in an analogous manner as describe with reference to FIG. 2, the voltage regulator module 154 alternatively may be directly coupled to the remote circuit 52 as low voltage, high current power via a voltage regulator module to remote circuit power connection 160 using the PCB trace 118 and the conductor 116, without using the decoupling capacitance 158.

Alternatively, the voltage regulator module 38 may deliver low voltage, high current power to the decoupling capacitance 158 via power connection 162 using the using the PCB trace 118 or, alternatively, directly to the remote circuit 52 via the power connections 162 and 160 using the PCB trace 118 and the conductor 116, without using the voltage regulator module 154. Alternatively, the decoupling capacitance 42 may deliver low voltage, high current power directly

WO 03/028095

PCT/US02/30593

to the remote circuit 52 via power connection 164 using the PCB trace 118 and the conductor 116, without using the voltage regulator module 154 or the decoupling capacitance 158.

Hence, in FIG. 17, the PCB 114 may carry only the voltage regulator module 38, only the decoupling capacitance 42, or both the voltage regulator module 38 and the decoupling capacitance 42. Similarly, the conductor 117 may carry neither the voltage regulator module 154 or the decoupling capacitance 158, only one of the voltage regulator module 154 and the decoupling capacitance 158, or both the voltage regulator module 154 and the decoupling capacitance 158. The particular desired combination depends on various engineering considerations including, without limitation, the types of circuits employed in the IC 22 and the remote circuit 52, the type of signal interface used as shown in table 84 of FIGS. 7A and 7B, the desired characteristics of the thermal management system 18, etc., as described herein.

FIG. 18 is an elevational view of the IC 22 and the remote circuit 52, as shown in FIGS. 13 or 14, each having a voltage regulator module 38 and 154 located on a conductor 116 and 117, respectively, and decoupling capacitance 42 and 158 located in a connector 112 and 140, respectively, in accordance with the preferred embodiments of the present invention. The power delivery system 12 is coupled to the IC 22 to provide power to the IC 22, as described with reference to FIG. 2. As described with reference to FIG. 2, the preferred path for high voltage, low current power delivery is from the power supply 34 to the voltage regulator module 38 via the power connection 36 using the conductor 116, then to the decoupling capacitance 42 as low voltage, high current power via the power connection 40 using the conductor 116, then to the IC 22 as low voltage, high current power via the power connection 44 using the conductor 116. Also as described with reference to FIG. 2, the voltage regulator module 38 may be alternatively directly coupled to the IC 22 as low voltage, high current power via the power connection 54 using the conductor 116, without using the decoupling capacitance 42.

In an analogous manner as describe with reference to FIG. 2, the power delivery system 12 is coupled to the remote circuit 52 to provide power to the remote circuit 52. The preferred path for power delivery is from the power supply 34 to the voltage regulator module 154 as high voltage, low current power via the power connection 36 using the conductor 117 and 116, then to the decoupling capacitance 158 as low voltage, high current power via the power connection 156 using the conductor 117, then to the remote circuit 52 as low voltage, high current power via the power connection 166 using the conductor 117. Also in an analogous manner as describe with

WO 03/028095

PCT/US02/30593

reference to FIG. 2, the voltage regulator module 154 alternatively may be directly coupled to the remote circuit 52 as low voltage, high current power via a voltage regulator module to remote circuit power connection 160 using the conductor 117, without using the decoupling capacitance 158.

5 Alternatively, the voltage regulator module 38 may deliver low voltage, high current power to the decoupling capacitance 158 via power connection 162 using the conductor 116 or, alternatively, directly to the remote circuit 52 via the power connections 162 and 160 using the conductor 116, without using the voltage regulator module 154. Alternatively, the decoupling capacitance 42 may deliver low voltage, high current power directly to the remote circuit 52 via
10 power connection 164 using the conductor 116, without using the voltage regulator module 154 or the decoupling capacitance 158.

Hence, in FIG. 18, the conductor 116 carries the voltage regulator module 38 and the connector 112 carries the decoupling capacitance 42. Similarly, the conductor 117 carries the voltage regulator module 154 and the connector 140 carries the decoupling capacitance 158.

15 FIG. 19 is an elevation of the IC 22 and the remote circuit 52, as shown in FIGS. 13 or 14, each having the voltage regulator module 38 and 154 located on the PCB 114 and the decoupling capacitance 42 and 158 located in the connector 112 and 140, respectively, in accordance with the preferred embodiments of the present invention. The power delivery system 12 is coupled to the IC 22 to provide power to the IC 22, as described with reference to FIG. 2. As described with
20 reference to FIG. 2, the preferred path for high voltage, low current power delivery is from the power supply 34 to the voltage regulator module 38 via the power connection 36 preferably using the PCB trace 118 and alternatively using the conductor 116, then to the decoupling capacitance 42 as low voltage, high current power via the power connection 40 preferably using the conductor 116 and alternatively using the PCB trace 118, then to the IC 22 as low voltage, high current
25 power via the power connection 44 preferably using the conductor 116 and alternatively using the PCB trace 118. Also as described with reference to FIG. 2, the voltage regulator module 38 may be alternatively directly coupled to the IC 22 as low voltage, high current power via the power connection 54 preferably using the conductor 116 and via the power connection 162 and 44 alternatively using the PCB trace and the conductor 116, respectively, without using the
30 decoupling capacitance 42.

WO 03/028095

PCT/US02/30593

In an analogous manner as describe with reference to FIG. 2, the power delivery system 12 is coupled to the remote circuit 52 to provide power to the remote circuit 52. The preferred path for power delivery is from the power supply 34 to the voltage regulator module 154 as high voltage, low current power via the power connection 36 preferably using the PCB trace 118 and
5 alternatively using the conductor 116, then to the decoupling capacitance 158 as low voltage, high current power via the power connection 156 preferably using the conductor 116 and alternatively using the PCB trace 118, then to the remote circuit 52 as low voltage, high current power via the power connection 166 preferably using the conductor 116 and alternatively using the PCB trace 118. Also in an analogous manner as describe with reference to FIG. 2, the voltage
10 regulator module 154 alternatively may be directly coupled to the remote circuit 52 as low voltage, high current power via a voltage regulator module to remote circuit power connection 160 preferably using the conductor 116 and alternatively using the PCB trace 118, without using the decoupling capacitance 158.

Alternatively, the voltage regulator module 38 may deliver low voltage, high current
15 power to the decoupling capacitance 158 via power connection 162 preferably using the conductor 116 and alternatively using the PCB trace 118 or, alternatively, directly to the remote circuit 52 via the power connections 162 preferably using the conductor 116 or alternatively using the PCB trace 118, without using the voltage regulator module 154. Alternatively, the decoupling capacitance 42 may deliver low voltage, high current power directly to the remote
20 circuit 52 via power connection 164 preferably using the conductor 116 and alternatively using the PCB trace 118, without using the voltage regulator module 154 or the decoupling capacitance 158.

Hence, in FIG. 19, the PCB 114 carries the voltage regulator module 38 and the connector 112 carries the decoupling capacitance 42. Similarly, the PCB 114 carries the voltage regulator
25 module 154 and the connector 140 carries the decoupling capacitance 158.

In FIGS. 15, 18 and 19 the decoupling capacitance 42, located in the connector, may take the form of an integral capacitor or a plurality of discrete capacitors soldered directly to the power contacts 92 on the top 68 and/or side(s) 72 and 74 of the IC 22. The decoupling capacitance 42 receives power from power connection 24, formed as the conductor 116, via a
30 connector (not shown) mounted on the IC 22 rather than from the IC 22 via the PCB trace 118. In this case, the connector 112 includes the decoupling capacitance 42, the IC power connection

WO 03/028095

PCT/US02/30593

46, formed as power contacts 92, possibly the solder electrically coupling the decoupling capacitance 42 and the power contacts 92, and possibly the connector (not shown) connecting the conductor 116 and the decoupling capacitance 42. In this example, the connector 112 represents a collection of discrete parts assembled in a particular way rather than a conventional single piece structure such as a plastic cover.

FIG. 20 illustrates an elevation view of the IC 22, as shown in FIGS. 11 to 19, having the thermal management system 18 and an electromagnetic interference (EMI) emission control system 20 in accordance with the preferred embodiments of the present invention. In FIG. 20, the power delivery system 12, the signal transfer system 14, the signal connection 26, the power connection 24, the IC signal connection 48, the IC power connection 46 and the dashed lines 120, 122, 124, 126, 128 and 130 are each not shown for the sake of clarity in the figure, but are intended to be included to form a more detailed design.

The thermal management system 18 includes a first heat sink 200 and alternatively includes a first heat spreader 202 and a first fan 204, each being preferably located above the top 68 of the IC 22. Alternatively, the thermal management system 18 includes a second heat sink 206 and alternatively includes a second heat spreader 208 and a second fan 210, each being preferably located below the bottom 70 of the IC 22.

The first heat sink 200 and the second heat sink 206 provide a path for the heat to be drawn away from the IC 22 via the heat connection 28, as shown in FIG. 1. The first heat sink 200 and the second heat sink 206 may be made of any type of material, and are preferably made of metal. The first heat sink 200 and the second heat sink 206 may have one or more points of contact with the IC 22, the heat spreader 202, and/or the PCB 114. The first heat sink 200 and the second heat sink 206 may have any type of design, and preferably have multiple fins that permit air to travel between adjacent fins. Alternatively, the first heat sink 200 and the second heat sink 206 may be formed as a heat pipe containing a material that changes phases (e.g., between a liquid and a gas) responsive to temperature. The first heat sink 200 and the second heat sink 206 may be secured to the connector 112, the PCB 114 or the conductor 116. The first heat sink 200 and the second heat sink 206 are preferably formed as separate parts, but may be formed as one integral part.

The first heat spreader 202 and the second heat spreader 208 provide a thermally conductive path to conduct heat from the IC 22 to the first heat sink 200 and the second heat sink

WO 03/028095

PCT/US02/30593

206, respectively. The first heat spreader 202 and the second heat spreader 208 may be made of any type of material, are preferably made of metal, and are alternatively made of a gel or glue. Typically, the first heat spreader 202 and the second heat spreader 208 are in direct contact with the IC 22. The first heat spreader 202 and the second heat spreader 208 are preferably formed as
5 separate parts, but may be formed as one integral part.

The first fan 204 and the second fan 210 force air across the first heat sink 200 and the second heat sink 206, respectively, to draw heat away from the first heat sink 200 and the second heat sink 206, respectively. The first fan 204 and the second fan 210 may have any type of design suitable for pushing and/or pulling air across the first heat sink 200 and the second heat sink 206,
10 respectively. The first fan 204 and the second fan 210 may receive power via the PCB 114, the connector 112, or the conductor 116. The first fan 204 and the second fan 210 may be aligned and/or secured to the connector 112, the PCB 114 and/or the conductor 116. The first fan 204 and the second fan 210 are preferably formed as separate parts, but may be formed as one integral
part.

The first heat spreader 202, the first heat sink 200 and the first fan 204 are preferably located in a stacked arrangement over the top 68 of the IC 22 to draw heat away from the IC 22. Similarly, the second heat spreader 208, the second heat sink 206 and the second fan 210 are preferably located in a stacked arrangement under the bottom 70 of the IC 22 to draw heat away
15 from the IC 22.

The second heat spreader 208 may also provide the IC to PCB signal and/or power interface 132, as described above. In this case, the IC to PCB signal and/or power interface 132 is constructed, as described above, and further is constructed to have thermally conductive characteristics to provide a heat spreader. Hence, the second heat spreader 208 may also provide the IC to PCB signal and/or power interface 132 advantageously provides each of the signal
20 and/or power interface function and the heat conduit function.

The second heat spreader 208 conducts heat to the PCB 114 or through the PCB 114 using PCB vias, heat pipes, and the like, to the second heat sink 206 located on the bottom of the PCB 114. The second fan 210 cools the second heat sink 206. The connector 112 and/or the PCB 114 may provide suitable alignment and/or attachment mechanisms for one or more of the
30 first heat sink 200, the first heat spreader 202, the first fan 204, the second fan 210, the second heat sink 206 and the second heat spreader 208.

WO 03/028095

PCT/US02/30593

Thermal grease (not shown) may be used between the IC 22 and the first heat spreader 202, between first heat spreader 202 and the first heat sink 200, between the IC 22 and the second heat spreader 208, between the second heat spreader 208 and the PCB 114, and/or between the second heat spreader 208 and the second heat sink 206. The thermal grease improves the thermal conductivity between the adjacent parts.

The EMI emission control system 20 is coupled to the IC 22 over the EMI connection 30, which represents a path for EMI emissions, as describe above. The EMI emission control system 20 may be located on one or more sides of the IC 22, and is preferably located on the four sides 72 and 74 of the IC 22, as shown in FIG. 20. The EMI emission control system 20 may be formed of any type of suitable conductive material including, without limitation, metal, metal coated plastic, flex circuit, conductive ink coated plastic, etc. The EMI emission control system 20 may be rigid or flexible. The EMI emission control system 20 may have any suitable form, shape and size. Preferably, the EMI emission control system 20 is carried by the connector 112, which provides a suitable alignment and/or attachment mechanism. In this case, the EMI emission control system 20 may be located on the inside surface of, embedded within, or on the outside surface of the connector 112. The EMI emission control system 20 and the connector 112 are preferably formed as separate parts that are mechanically aligned and secured together using insert molding, over molding, press fit, snaps, clips, adhesive, and the like, and, alternatively, may be integrally formed as a single part.

The EMI emission control system 20 may be coupled to the first heat spreader 202 and/or the first heat sink 200 via EMI junctions 212 and 214, respectively. Likewise, the EMI emission control system 20 may be coupled to the second heat spreader 208 and/or the second heat sink 206 via EMI junctions 216 and 218, respectively. The EMI junctions 212, 214, 216 and 218 represent conductive paths to electrically connect the respective parts to the EMI emission control system 20. Any EMI emission that is directed towards the first heat spreader 202 and/or the first heat sink 200 will be routed through the first heat spreader 202 and/or the first heat sink 200, then through the EMI junctions 212 and 214, respectively, to the EMI emission control system 20. Hence, the first heat spreader 202 and/or the first heat sink 200 advantageously provide EMI emission control over the top 68 of the IC 22. Likewise, any EMI emission that is directed towards the second heat spreader 208 and/or the PCB 114 will be routed through the second heat spreader 208 and/or the PCB 114, then through the EMI junctions 216 and/or 218, respectively,

WO 03/028095

PCT/US02/30593

to the EMI emission control system 20. Hence, the second heat spreader 208 and/or the PCB 114 advantageously provide EMI emission control under the bottom 70 of the IC 22. The EMI emission control system 20 is electrically coupled to a suitable ground potential via EMI ground path 220 to cause any undesirable EMI emissions radiated by the IC 22 to be properly grounded rather than interfering with other circuits in the area and/or to cause any undesirable EMI emissions radiated towards the IC 22 to be properly grounded rather than interfering with the IC 22.

FIG. 21 illustrates a cross-sectional view of the IC 22, formed as a Level Two semiconductor package 62 with an upright semiconductor die 58, having a capacitive type of signal interface on the bottom 70 of the IC 22 and power contacts 92 on the sides 72 and 74 of the IC 22, as shown in FIGS. 4C, 5, 8A, 8B, 9A, 9B, 9C and 11. This package 62 is preferably formed as a low temperature co-fired ceramic ("LTCC") package, as is well known in the art. With the LTCC package, the semiconductor substrate 60 and the bottom side of the semiconductor package 62, as shown in FIG. 4C, are integrally formed as a single piece.

The semiconductor substrate 60 carries signal lead frames 220, power lead frames 222, and the semiconductor die 58. The signal lead frames 220 and the power lead frames 222 each extend from the inside of the semiconductor package 62 to the outside of the semiconductor package 62. The signal lead frames 220 each have a signal pad 226, located inside the semiconductor package 62 and disposed on the top of semiconductor substrate 60, and a signal contact 90, located outside the semiconductor package 62 and disposed on the bottom of semiconductor package 62, as shown in FIGS. 5, 9B and 11. Note that the signal contacts 90 are flush with the semiconductor package 62, as described with reference to FIG. 8B. Preferably, the signal contacts 90 form one side of the conductive plates adapted for use with the capacitive type of signal connection, as shown in table 84 of FIGS. 7A and 7B.

Similarly, the power lead frames 222 each have a power pad 228, located inside the semiconductor package 62 and disposed on the top of semiconductor substrate 60, and a power contact 92, located outside the semiconductor package 62 and disposed on the side(s) 72 and 74 of semiconductor package 62, as shown in FIGS. 5, 9C and 11. Preferably, the power contacts 92 are located on the side 72 of the IC 22. Alternatively, the power contacts 92 are located on the side 74 of the IC 22. Note that the power contacts 92 are raised and outside the semiconductor package 62, as described with reference to FIG. 8A.

WO 03/028095

PCT/US02/30593

The semiconductor die 58 is mounted on the semiconductor substrate 60 in an upright orientation, wherein the top 232 of the semiconductor die 58, having power and/or signal pads (not shown), faces away from the semiconductor substrate 60.

Signal wire bonds 230 connect appropriate signal pads on the top 232 of the semiconductor die 58 to corresponding signal pads 226 disposed on the top of semiconductor substrate 60. Similarly, power wire bonds 234 connect appropriate power pads on the top 232 of the semiconductor die 58 to corresponding power pads 228 disposed on the top of semiconductor substrate 60.

The IC to PCB signal and/or power interface 132 is disposed on the bottom 70 of the IC 22. Preferably, the interface 132 forms a dielectric material having an appropriate dielectric constant, as described above. Preferably, the interface 132 is formed as a separate part and then attached to the bottom 70 of the IC 22.

FIG. 22 illustrates a cross-sectional view of the IC 22, formed as a Level Two semiconductor package 62 with a flipped semiconductor die 58, having a capacitive type of signal interface on the bottom of the IC 22 and power contacts 92 on the sides 72 and 74 of the IC 22, as shown in FIGS. 4C, 5, 8A, 8B, 9A, 9B, 9C and 11. The IC 22 in FIG. 22 is the same as that described for the IC 22 in FIG. 21 except that the semiconductor die 58 is placed upside down, otherwise known as a "flip chip" orientation, on the semiconductor substrate 60, as is well known in the art of semiconductor design. The flip chip orientation requires that the signals and power be routed to the signal contacts 90 and the power contacts 92, respectively, in different ways than with the upright orientation.

The top 232 of the semiconductor die 58 that was facing away from the semiconductor substrate 60 in FIG. 22 is facing towards the semiconductor substrate 60 in FIG. 22. Hence, in FIG. 22, what may be conventionally referred to as the top 232 of the IC 22 in FIG. 21 may be conventionally referred to as the bottom 232 of the IC 22. With the flip chip orientation in FIG. 22, the power and/or signal pads (not shown) on the bottom 232 of the IC 22 face towards the semiconductor substrate 60. The signal pads (not shown) on the bottom 232 of the IC 22 are electrically coupled to corresponding signal pads 226 disposed on the top of semiconductor substrate 60 using coupling techniques that are well known in the art of semiconductor manufacturing.

WO 03/028095

PCT/US02/30593

A second power lead frame 236 has a first power pad 238 and a second power pad 240 electrically coupled to opposite ends of the second power lead frame 236. The first power pad 238 and the second power pad 240 are each located inside the semiconductor package 62 and disposed on the top of semiconductor substrate 60. The first power pad 238 is located outside of
5 and uncovered by the semiconductor die 58 and the second power pad 240 is located under the semiconductor die 58. Preferably, the power wire bond 234 connects the first power pad 238 to the corresponding power pad 228. Alternatively, the first power pad 238 may be integrally formed with the corresponding power pad 228. Alternatively, the first power pad 238 may be welded to the corresponding power pad 228.

10 FIG. 23 illustrates a cross-sectional view of the IC 22, as shown in FIG. 21, carried by the connector 112, formed as a socket, and supporting a heat sink 200, as shown in FIGS. 4C, 5, 8A, 8B, 10A, 10B, 10C, 11, 12B and 20. The IC 22 in FIG. 23 is the same as that described for the IC 22 in FIG. 21. Additional elements shown in FIG. 23 include the connector 112, formed as a socket, and the heat sink 200.

15 The IC 22 is carried by a connector 112 formed as a socket, as shown in FIG. 12B. The IC to PCB signal and/or power interface 132 is represented by the curved lines extending from the power contacts 90 across the bottom side of the connector 112. In FIG. 23, the interface 132 capacitively couples only the signals between the IC 22 and the PCB 114 because the power is delivered to the sides 72 or 74 of the IC 22. Preferably, the interface 132 is carried with the
20 bottom of the connector 112, either as a separate piece part or as an integral part of the connector 112.

Power is delivered to the IC 22 via the power contacts 92 located on the sides 72 or 74 of the IC 22. Preferably, power is delivered to the power contacts 92 located on the side 72 of the IC 22 via the power connection 24, formed as a conductor 116. Alternatively, power is delivered
25 to the power contacts 92 located on the side 74 of the IC 22 via the power connection 24, formed as a PCB trace 116 on the PCB and formed as a conductor 116 carried by the connector 116. The connector 112 is electrically coupled to the power contacts 92 via corresponding power contacts 242 carried by the connector 112. The power contacts 92 carried by the connector 112 are made of a suitable conductive material, such as metal, and physically touch and make electrical contact
30 with the power contacts 92 on the IC 22.

WO 03/028095

PCT/US02/30593

The heat sink 200 is disposed on top 68 of and makes direct contact with the top 68 of the IC 22. The heat sink 200 draws heat away from the IC 22. The heat sink 200 is aligned and/or secured in its location, as describe with reference to FIG. 20 above.

5 FIG. 24 illustrates a cross-sectional view of the IC 22, formed as a Level Two semiconductor package 62 with an upright semiconductor die 58, having a capacitive type of signal interface on the bottom 70 of the IC 22 and power contacts 92 on the top 68 of the integrated circuit, as shown in FIGS. 4C, 5, 8A, 8B, 9A, 9B, 9C and 11. The IC 22 in FIG. 24 is the same as that described for the IC 22 in FIG. 21, except that the power contacts 92 are located on the top 68 of the IC 22.

10 The power lead frame 222 has the power pad 228 and the power contact 92 electrically connected at each end of the power lead frame 222. The lead frame 222 is routed through the semiconductor substrate 60 and up through the sides 72 and 74 of the semiconductor package 62. The power pad 228 is located inside the semiconductor package 62 and is disposed on the top of semiconductor substrate 60. The power contact 92 is located outside the semiconductor package
15 62 and disposed on the top 68 of semiconductor package 62, as shown in FIGS. 5, 9A or 10A, and 11. Note that the power contacts 92 are flush with the semiconductor package 62, as described with reference to FIG. 8B. The power wire bond 234 connects appropriate the power pad on the top 232 of the semiconductor die 58 to the corresponding power pad 228.

20 FIG. 25 illustrates a cross-sectional view of the IC 22, formed as a Level Two semiconductor package 62 with a flipped semiconductor die 58, having a capacitive type of signal interface on the bottom 70 of the IC 22 and power contacts 92 on the top 68 of the IC 22, as shown in FIGS. 4C, 5, 8A, 8B, 9A, 9B, 9C and 11. The IC 22 in FIG. 25 is a combination of that described for the IC 22 in FIGS. 22 and 24, except for the location of the power pad 228. The IC 22 in FIG. 25 has the semiconductor die 58 in the flip chip orientation, as described with
25 reference to FIG. 22, and has the power contacts 92 located on the top 68 of the IC 22, as described with reference to FIG. 24. The power pads 228 are located under the semiconductor die 58 along with the signal pads 226 and are connected to corresponding power pads (not shown) on the bottom 232 of the semiconductor die 58 in a conventional manner.

30 FIG. 26 illustrates a cross-sectional view of the IC 22, formed as a Level One semiconductor package with a flipped semiconductor die 58, having a capacitive type of signal interface on the bottom 70 of the IC 22 and power contacts 92 on the top 68 of the IC 22, as

WO 03/028095

PCT/US02/30593

shown in FIGS. 4B, 5, 8A, 8B, 10A, 10B, 10C, 11 and 20. The IC 22 in FIG. 26 is similar to that described for the IC 22 in FIGS. 22 and 25, except for the type of semiconductor package 62 employed. In FIG. 26, the semiconductor die 58 is mounted on the semiconductor substrate 60 in the flip chip orientation, as described with reference to FIGS. 22 and 25.

5 FIGS. 22 and 25 each illustrates an LTCC type semiconductor package 62 that encapsulates the semiconductor die 58, as first described with reference to FIG. 21. However, FIG. 26 illustrates a semiconductor package formed as a combination of an encapsulating material 242 and the heat spreader 202.

10 The encapsulating material 242, otherwise known as a "glob top", is a compliant material having a liquid, paste or gel consistency and is applied directly over the semiconductor die 58, as is well known in the art of semiconductor manufacturing. Preferably, the encapsulating material 242 is applied to the perimeter of the semiconductor die 58 and is permitted to run down the sides of the semiconductor die 58 and make contact with the semiconductor substrate 60.

15 Alternatively, the encapsulating material 242 may also be applied to the top and sides of the semiconductor die 58. In this alternative case, the application of the encapsulating material 242 completely encapsulates the semiconductor die 58 against the semiconductor substrate 60.

The heat spreader 202 is placed in direct contact with the top surface of the semiconductor die 58. The heat spreader is preferably formed as a thermally conductive material, such as metal. Preferably, the heat spreader 202 is held in place by the encapsulating material 20 242 disposed at the perimeter of the semiconductor die 58 by the encapsulating material 242 drying and solidifying or by an adhesive or sticky characteristic of the encapsulating material 242. In this case, the combination of the heat spreader 202 and the application of the encapsulating material 242 at the perimeter of the semiconductor die 58 completely encapsulates the semiconductor die 58 against the semiconductor substrate 60. Alternatively, the heat spreader 25 202 may be aligned and/or attached to the semiconductor substrate 60. Alternatively, the heat spreader 202 may be secured in place by the encapsulating material 242 disposed on the top of the semiconductor die 58.

30 In FIG. 26 the top of the semiconductor substrate 60 carries the power contact 92. In this case, the top of the semiconductor package is represented by reference number 68 and includes the top of the heat spreader 202 and the top of the semiconductor substrate 60.

FIG. 27 illustrates a cross-sectional view of the IC 22, as shown in FIG. 26, carried by a

WO 03/028095

PCT/US02/30593

connector 112, formed as a socket, and supporting decoupling capacitance 42 and a heat sink 200, as further shown in FIGS. 12B and 19. The IC 22 and semiconductor package 62 in FIG. 27 is the same as that described for the IC 22 and semiconductor package 62 in FIG. 26. Additional elements shown in FIG. 27 include the connector 112, formed as a socket, and the heat sink 200,
5 and the decoupling capacitance 42.

The decoupling capacitance 42 includes a first conductive plate 244 and a second conductive plate 246 separated by a dielectric material (not shown), forming the decoupling capacitance 42, as is well known in the art of capacitor design. The decoupling capacitance 42 is disposed on the top 68 of the IC 22, and, more particularly, on the top 68 of the heat spreader
10 202.

A first power connector 256 and an alternate second power connector 258, located on opposite sides of the decoupling capacitance 42, permit power from the power connection 24 to be electrically coupled to the decoupling capacitance 42. The power supply 34 delivers power to the first power connector 256 via the voltage regulator module 38. The second power connector 258 may also receive power from the power supply 34 via the voltage regulator module 38 or
15 provide power to a remote circuit 52.

The first power connector 256 includes a first power terminal 255 and a second power terminal 257. The second power connector 258 includes a first power terminal 251 and a second power terminal 253. Preferably, the first power terminal 255 of the first power connector 256 and the first power terminal 251 of the second power connection 258 are integrally formed with the second conductive plate 246 as a single unit, such as by metal stamping, blanking or forming,
20 but may be formed as separate piece parts that are electrically coupled to the second conductive plate 246, such as by soldering, welding, and the like. Likewise, the second power terminal 257 of the first power connector 256 and the second power terminal 253 of the second power
25 connection 258 are integrally formed with the first conductive plate 244 as a single unit, such as by metal stamping, blanking or forming, but may be formed as separate piece parts that are electrically coupled to the first conductive plate 244, such as by soldering, welding, and the like.

The power connection 24 includes a power line 254 and a ground line 252, as are well known in the art and as are referred to above with reference to FIG. 1. The power line 254 carries
30 a predetermined voltage potential and the ground line 252 carries a ground potential. The power line 254 routes power to the decoupling capacitance 42 and the ground line 252 provides a return

WO 03/028095

PCT/US02/30593

path for the ground potential from the decoupling capacitance 42. The power line 254 is electrically coupled to the first power terminal 255 of the first power connector 256 and is electrically coupled to the first power terminal 251 of the second power connection 258. The ground line 252 is electrically coupled to the second power terminal 257 of the first power connector 256 and is electrically coupled to the second power terminal 253 of the second power connection 258. With these connections, the first conductive plate 244 carries the predetermined voltage potential and the second conductive plate 246 carries the ground potential.

The first conductive plate 244 of the decoupling capacitance 42 includes one or more power members 250 that is preferably formed with the first conductive plate 244, such as by metal stamping, blanking or forming, but may also be formed as a separate piece part and then electrically coupled to the first conductive plate 244, such as by solder, welding, and the like. The power members 250 electrically contact the power contacts 92, corresponding to the voltage potential, on the IC 22 preferably on the top of the semiconductor substrate 60 for the level two semiconductor package 62, as shown in FIG. 27.

The second conductive plate 246 of the decoupling capacitance 42 includes one or more ground members 248 that is preferably formed with the second conductive plate 246, such as by metal stamping, blanking or forming, but may also be formed as a separate piece part and then electrically coupled to the second conductive plate 246, such as by solder, welding, and the like. The ground members 248 electrically contact the ground contacts 92, corresponding to the ground potential, on the IC 22 preferably on the top of the semiconductor substrate 60 for the level two semiconductor package 62, as shown in FIG. 27.

Preferably, the power members 250 and the ground members 248 are each formed as compliant spring members, but may be formed as rigid members, such as pins, posts, and the like. Preferably, the power members 250 and the ground members 248, formed as compliant spring members, have legs that are angled away from the semiconductor die 58 and feet that are turned upwards away from the semiconductor substrate 60. Alternatively, the power members 250 and the ground members 248, formed as compliant spring members, may have arms that are curled inward in a semi-circular or semi-elliptical fashion with hands curled inward towards the center of the circle or ellipse. The upturned feet or the inward curled hands permit a solder-less connection for easy and convenient assembly. The compliant spring members advantageously reduce the compression forces on the IC 22 along the Z-axis.

WO 03/028095

PCT/US02/30593

The heat sink 200 is disposed on top 68 of the IC 22. More particularly, the heat sink 200 is disposed on top 68 of the decoupling capacitance 42. The heat spreader 202 dissipates the non-uniform heat density on the semiconductor die 58. The heat sink 200 conducts heat away from the semiconductor die 58 via the heat spreader 202 and/or the decoupling capacitance 42.

5 Preferably, the decoupling capacitance 42 has a hole extending through the center portion of the first conductive plate 244, the second conductive plate 246, and the dielectric material to permit the heat sink 200 to directly contact the heat spreader 202. In this case, although most of the heat generated by the IC 22 conducts to the heat sink 200 via the heat spreader 202, some heat also conducts to the heat sink 200 via the decoupling capacitance 42. Alternatively, the hole in
10 the decoupling capacitance 42 may be eliminated to permit the heat sink 200 to conduct all of the heat through the decoupling capacitance 42. Still alternatively, the heat sink 200 may have one or more regions that directly contact the heat spreader 202 around at least a portion of the perimeter of the decoupling capacitance 42.

FIG. 28 illustrates a side perspective assembly view of the system 10 for the IC 22,
15 formed as a Level Two semiconductor package 62, carried in a connector 112, formed as a two piece cover and as a socket, and supporting decoupling capacitance 42 and a heat sink 200, as shown in FIGS. 4C, 5, 8A, 8B, 9A, 9B, 9C, 11, 12A, 12B, 19 and 20. The connector 112 carries the IC 22 (not shown in FIG. 28), formed as the level-two semiconductor package 62, the decoupling capacitance 42, and the IC to PCB signal and/or power interface 132 (not shown in
20 FIG. 28). The connector 112 is disposed on the PCB 114. The heat sink 200 is disposed on the connector 112. A fan is not shown directly in FIG. 23, but is typically attached to the top of the heat sink 200 at B.

The connector 112 includes the first power connector 256 and the second power
25 connector 258, analogous to those shown in FIG. 27. The first power connector 256 is preferably shown as an edge card connector. The second power connector 258 is preferably shown as a pin connector. The system 10 includes one or more holes 260, preferably located at the four corners of the system 10. The holes 260 preferably extend through the connector 112 and the decoupling capacitance 42 to mechanically align and secure the system 10.

FIG. 29 is an exploded view of the assembly view of the system 10, as shown in FIG. 27
30 and it includes, as shown from top to bottom, the heat sink 200, the first power connector 256, the second power connector 258, a top portion 262 of the connector 112, the first conductive

WO 03/028095

PCT/US02/30593

plate 244, the second conductive plate 246, a center portion 264 of the connector 112, a signal contact plate 268, the IC 22, the PCB 64, a bottom portion 266 of the connector 112 and the PCB 114.

5 The heat sink 200 is disposed on the top portion 262 of the connector 112. The top portion 262 of the connector 112 has integrally molded features adapted to receive the first power connector 256 and the second power connector 258. The top portion 262 of the connector 112 has a hole extending through the center area thereof, which is adapted to receive a center portion of the bottom of the heat sink 200. The top portion 262 of the connector 112 also has four holes 260 at the four corners thereof.

10 The first conductive plate 244, carrying the voltage potential, includes the second power terminal 253 of the second power connection 258, the second power terminal 257 of the first power connector 256, and a plurality of power contacts 250. The power members 250 extend from each of the four sides of the first conductive plate 244. The second power terminal 253 of the second power connection 258 and the second power terminal 257 of the first power connector 256 are bent upwards. The power members 250 are bent downwards. The first conductive plate 244 also has four holes 260 at the four corners thereof.

15 The second conductive plate 246, carrying the ground potential, includes the first power terminal 255 of the first power connector 256, the first power terminal 251 of the second power connection 258, and the ground members 248. The ground contacts 248 extend from each of the four sides of the second conductive plate 246. The first power terminal 255 of the first power connector 256 and the first power terminal 251 of the second power connection 258 are bent upwards. The ground members 248 are bent downwards. The second conductive plate 246 also has four holes 260 at the four corners thereof.

20 Preferably, the first power terminals 255, carried with the second conductive plate 246, of the first power connector 256 and the second power terminals 257, carried with the first conductive plate 244, of the first power connector 256 are alternately arranged adjacent to each other at a predetermined pitch in the first power connector 256, but, alternatively, may have any arrangement. Preferably, the first power terminals 251, carried with the second conductive plate 246, of the second power connection 258 and the second power terminals 253, carried with the first conductive plate 244, of the second power connector 258 are alternately arranged adjacent to each other in the second power connector 258, but, alternatively, may have any arrangement.

30

WO 03/028095

PCT/US02/30593

Preferably, the power contacts 250, carried with the second conductive plate 246, and the ground contacts 248, carried with the second conductive plate 246, are alternately arranged adjacent to each other, but, alternatively, may have any arrangement.

5 The center portion 264 of the connector 112 has integrally molded features adapted to receive the first power connector 256 and the second power connector 258. The integrally molded features on the top portion 262 of the connector 112 and the center portion 264 of the connector 112 mechanically align and mate with each other to provide connector housings for their respective terminals. The connector housings are adapted to receive the first power connector 256 and the second power connector 258. The center portion 264 of the connector 112 and the top portion 262 of the connector 112 mechanically align and mate with each other to provide a housing, otherwise described as a cover as shown in FIG. 12A, for the decoupling capacitance 42. The center portion 264 of the connector 112 also has four holes 260 at the four corners thereof.

15 The signal contact plate 268 aligns and secures the first power terminals 251, carried with the second conductive plate 246, of the second power connection 258 and the second power terminals 253, carried with the first conductive plate 244, of the second power connector 258. The IC 22 is mounted to the circuit board 64, otherwise known as an interposer board, forming a Level Three IC 22 as shown in FIG. 4D, as is well known in the art of IC manufacturing.

20 The bottom portion 266 of the connector 112, forming a socket as shown in FIG. 12B or forming a frame as shown in FIG. 12C, carries the IC to PCB signal and/or power interface 132. The bottom portion 266 of the connector 112 is adapted to mechanically align and secure the PCB 64 to the interface 132 to permit the signal contacts 90 (not shown) on the bottom of the PCB 64 to align with corresponding signal contacts preferably on the interface 132 and alternatively on the PCB 114. The bottom portion 266 of the connector 112 also has four holes 25 260 at the four corners thereof.

The holes 260 in the four corners in each of the top portion 262 of the connector 112, the first conductive plate 244, the second conductive plate 246, the center portion 264 of the connector 112, and the bottom portion 266 of the connector 112 are aligned with each other along four common axes at each corner.

30 A fastener extends through the five holes aligned on a common axis at each of the four corners to mechanically secure the connector 112 together as an assembly of the system 10 as

WO 03/028095

PCT/US02/30593

shown in FIG. 28. Alternatively, four holes, aligned with the four holes in the assembly of the system 10, may extend through the PCB 114 to attach the system 10 to the PCB 114. The fasteners may be of any type including, without limitation, screws, heat stakes, pins, pegs, clips, and the like. The fasteners may be separate piece parts or integrally formed with a part of the connector 112. Preferably, the fasteners are formed as four separate screws. Alternatively, the fasteners form snaps or clips that are integrally formed with at least one portion of the connector 112 that mechanically engage mating features on at least one other portion of the connector 112. In this alternative, the fasteners, formed as snaps or clips, preferably create an assembly of the system that can be easily assembled and disassembled to permit repair or reuse, but, alternatively, may create an assembly of the system 10 that is permanently assembled in the sense that it cannot be disassembled without damaging the assembly of the system 10.

The circuit board 114 carries the connector 112 and the heat sink 200. The circuit board 114 is typically referred to as the motherboard because it also carries many of the circuits that the IC 22 interfaces with. The board 114 includes multiple conductive contacts (not shown) that correspond to the conductive contacts 90 on the IC 22 or on the interface 132. The PCB also includes multiple PCB traces 118 (not shown in FIG. 29) that electrically couple the conductive contacts (not shown) on the PCB to the various other circuits interfacing with the IC 22.

Note that FIG. 29 does not show a hole in the center region of the first conductive plate 244 and the second conductive plate 246 of the decoupling capacitance 42, as shown in FIG. 27. Further, note that FIG. 29 does not show a heat spreader 202, as shown in FIG. 27. The absence of these two elements in FIG. 29 illustrates the alternative described with reference to FIG. 27, wherein the decoupling capacitance 42 in FIG. 29 performs the function of the heat spreader 202 in FIG. 27 and the heat sink 200 directly contacts the top of the decoupling capacitance 42. This alternative is further described with reference to FIGS. 30 and 31.

FIG. 30 illustrates a cross-sectional view of the assembly of the system 10, as shown in FIGS. 28 and 29. The PCB 114 carries the connector 112. The interface 132 provides a signal interface between the PCB 64 and the PCB 144, as described above. The PCB 64 carries the IC 22. The decoupling capacitance 42 is disposed over the IC 22. The decoupling capacitance 42 has characteristics of a heat spreader and directly contacts the top of the IC 22 to spread the heat of the IC 22 throughout the structure of the decoupling capacitance 42. The power members 248 and the ground members 250, forming extended legs and upturned feet as described with

WO 03/028095

PCT/US02/30593

reference to FIG. 27, contact corresponding power contacts 92 (not shown) and ground contacts 92 (not shown) on the top of the PCB 64. The heat sink 200 is carried on the top of the connector 112. A center region of the heat sink 200 extends through the hole in the top portion 262 of the connector 112 to directly contact the top of the decoupling capacitance 42.

5 FIG. 31 illustrates an alternative cross-sectional view of the assembly of the system 10, as shown in FIG. 28. The assembly of the system 10 in FIG 30 is the same as the assembly of the system 10 in FIG. 31, except that the power contacts 92 are disposed on the sides (72 and 74) of the IC 22, that the power members 248 and the ground members 250 are shown as inwardly curled arms and hands, and that the signal interface 132 forms a dielectric material to capacitively
10 couple signals between the IC 22 and the PCB 114.

The PCB 114 carries the connector 112. The interface 132 provides a capacitive signal interface between the IC 22 and the PCB 144. Note that the PCB 64 is not present in FIG. 31. In this case, the IC 22 has one set of the signal contacts 90 (not shown), forming one side of the individual capacitors, and the PCB 114 has the other set of the corresponding signal contacts (not
15 shown), forming the other side of the individual capacitors. The interface 132 provides the dielectric material, having the appropriate dielectric constant, between the corresponding signal contacts on the IC 22 and the PCB 114 to permit capacitive signal coupling between the IC 22 and the PCB 114.

The decoupling capacitance 42 is disposed over the IC 22. The power members 248 and
20 the ground members 250, forming inwardly curled arms and hands, contact corresponding power contacts 92 and ground contacts 92 on the sides 72 and 74 of the IC 22, as well as the back side (shown) and the front side (not shown). The heat sink 200 is carried on the top of the connector 112 and makes direct contact with the decoupling capacitance 42.

FIG. 32 illustrates a connector 112 of the present invention that is hermaphroditic in the
25 sense that it may serve as either a socket with a recess to receive the IC therein, or as a cover that may fit over the IC. This type of construction is suitable for use with a Level Two type of semiconductor package of the type illustrated in FIGS. 4C, 5, 8A, 8B, 9A, 9B, 9C, 11, 12A and 12B. In this construction, the connector includes an external means for connecting to a source of power, illustrated as a pair of edge circuit cards, or boards 256, 258 which may serve as
30 respective first and second power connectors. This construction is suitable for use where power may be supplied to the IC package from the sides of the package. The connector 112 carries the

WO 03/028095

PCT/US02/30593

decoupling capacitance 42, preferably in the form of plate capacitors that include distinct power contacts 248 and ground contacts 250. The connector 112 has a recess, or cavity, that is formed as part of the connector 112, with the power contacts 248 and ground contacts 250 are disposed inside the recess at the perimeter of the connector 112. The recess has an appropriate shape and depth adapted to receive the IC 22 to permit the power contacts 248 and ground contacts 250 to align with and contact corresponding power and or ground contacts 92 on the IC 22 in the manner generally shown in FIG. 34.

The connector 112 may also be considered a cover, as shown schematically in FIG. 12A, that fits over the top of the IC 22 as shown in FIG. 31. In this instance, the decoupling capacitance 42 is disposed over the top 68 of the IC 22 and the power and contacts members 248, 250 contact corresponding contacts 92 disposed on each side of the IC 22. Alternatively, the connector 112 may also be considered a socket, as shown in FIG. 12B. In this case, the connector 112 is shown upright to reveal the features on the inside of the socket. As a socket, IC 22 fits into the connector 112 as shown in FIG. 23. The decoupling capacitance 42 is disposed under the bottom 70 of the IC 22 and the power and ground contacts 248, 250 make contact corresponding power contacts 92 disposed on each side of the IC 22. In this case, the signals would be transferred through the top 68 of the IC 22 via a signal conductor because the decoupling capacitance 42 blocks signals from being transferred through the bottom of the connector 112. The first power connector 256 and the second power connector 258, shown as edge card connectors, connect the voltage potential and ground potential to the decoupling capacitance 42.

FIG. 33 illustrates an alternate connector 112 that is formed as a cover suitable for use with a Level Two semiconductor package 62, as shown in FIGS. 4C, 5, 8A, 8B, 9A, 9B, 9C, 11, 12A and 12B, and the connector 112 may be considered as similar to that shown in FIG. 32, with the connector body portion inverted have having power supply mating members of a different style. In this embodiment, an external means for connecting to a source of power is provided in the form of two pin headers 256, 258, each of which include conductive pins 255, 257 that extend outwardly from the cover, or upwardly in FIG. 33. This type of construction permits the power to be conveyed to the package from the top. Multiple conductive capacitor plates are formed in the connector.

FIG. 34 illustrates another embodiment of the present invention wherein the power delivery system is incorporated within a cover member (not shown) that fits over the IC 22. In

WO 03/028095

PCT/US02/30593

this embodiment, the power delivery system includes at least a pair of conductive plates 244, 246 that are similarly sized and which are aligned with each other in the vertical (Z-axis) direction. The two plates are separated by an intervening dielectric layer 300, the dielectric constant and or thickness of which may be chosen to provide a certain capacitance to store sufficient power to supply normal operating, or surge, current to the IC. A second insulative layer 302 is provided on the bottom surface of the bottom capacitor plate 246 so as to insulate it from the IC. As mentioned above, the power delivery system includes a plurality of contacts, 248, 250 which may include interlaced power and ground (power return) contacts that extend outwardly from the plates 244, 246 and down along the sides of the IC package, preferably in the cantilevered or bellows fashion illustrated, where they engage contacts 303 formed in the IC. The two plates 264, 266 and portions of the contacts 248, 250 are typically encapsulated or otherwise molded within an exterior insulative material, such as a plastic.

These contacts 248, 250 are formed in each of the two plates 244, 246 and they contact the IC package. This embodiment is suitable for use in combination with a heat sink (not shown) and as such, it may be provided with an opening 305 that extends through both plates 244, 246 and the intervening dielectric layer 300 and the lower insulation layer 302. A portion of the heat sink may extend through this opening 305 into contact with a heat generating surface of the IC 22. In some constructions, a thermal conducting member may be used to fit in the opening and extend between the IC heat generating surface and the heat sink.

FIG. 35 is a sectional view of FIG. 34, but with the lower insulating layer 302 not shown for clarity, and illustrates the relationship between the IC 22, its package 114 and the power delivery system. As shown in FIG. 35, the lower insulating layer 302 abuts against the top surface 22a of the IC, and additional, but smaller, openings 306, may be provided for purposes of additional cooling. FIG. 42 presents the end of this section for better clarity. The contacts 248, 250 are positioned around the perimeter as illustrated and this arrangement reduces the amount of force required for insertion and removal in that the contacts engage the IC along a horizontal line of action, rather than a vertical line of action.

FIGS. 36 and 37 illustrate another embodiment of the present invention that incorporates a power delivery supply that is capable of supplying multiple and distinct voltages to the IC at various locations on the IC body. This is accomplished by incorporating multiple, distinct capacitors in the cover member which are formed as individual lower conductive plates 310-313.

WO 03/028095

PCT/US02/30593

Each of these plates is spaced apart from each other as illustrated best in FIG. 37 by intervening spaces 315, and each such plate includes, as illustrated, individual contact members 316 extending therefrom outwardly and downwardly therefrom into position for contact with contacts of the IC or the IC package. As with the previous embodiments discussed, the individual plates 5 310-313 are separated from the top, single, or multiple sectioned capacitor plate 244 by an intervening dielectric layer 300 so that the lower plates 310-313 of the system are separated from the upper plate 244 in the vertical direction by the intervening dielectric layer 300 and are separated from each other in the X and Y directions by either air or an intervening dielectric in the spaces 315. It is also contemplated that each such lower plate 310-313 may have a 10 corresponding, separate top palte associated therewith so that the connector will support four sets of pairs of capacitive plates in the embodiment of FIG. 32.

FIG. 36 illustrates the set of multiple plates (and the upper plate 244 and intervening dielectric 300) embedded or encapsulated within a housing or cover portion 112 that is also preferably formed from either a dielectric or electrically insulative material. In this type of 15 structure, the material that forms the cover portion 112 will fill the intervening spaces 315 between the lower capacitor plates 310-313. The plate contacts 316 that extend therefrom may also be partially embedded with in the cover portion 112 or may be disposed within a series of slots 316 formed therein so as to not unduly limit the spring action of the contacts. FIG. 38 is a sectional view of the power delivery structure of FIG.37 (as well as a portion of FIG. 34) prior to 20 its embedding within a cover portion 112. With this structure it is possible to deliver different voltages to different parts of the IC, such as 0.5V, 1.0V, -2.0V and so on.

FIG. 39 illustrates a staggered contact arrangement that may be used with the power delivery systems of the present invention. In FIG. 39, two conductive plates 244, 246 are 25 illustrated as separated by an intervening dielectric layer 300 and the contacts 248, 250 of each plates extend downwardly therefrom at approximate right angles thereto, but the contacts 248, 250 have different contact locations in the vertical directions. As illustrated, the contacts 248 of the lower plate 246 have a first length and the contacts 250 of the upper plate 244 have a second length, with both lengths being equal as shown, however, the contact arms of the contacts 248, 250 are arranged at different elevations. This staggered arrangement assist in the reduction of 30 forces required for insertion and removal of the cover portion 112 upon the IC or its package in that the number of contacts that engage the IC/package are halved at the first contact. This

WO 03/028095

PCT/US02/30593

arrangement further permits the implementation of a first mate, last break aspect to the power delivery structure to reduce the likelihood of shorting and arcing occurring during connection.

FIG. 40 illustrates still another embodiment of a power delivery system constructed in accordance with the principles of the present invention, wherein the power delivery system 375 includes three capacitor plates 318, 319 and 321 which are separated by intervening dielectric material layers 300, 323. The top and bottom capacitor plates 318, 319 are interconnected together, preferably at their sides as illustrated, by interconnecting members 320. These points of interconnection are isolated and separated from the middle, or interior capacitor plate 321 by a spacing, or clearance 322. Sets of three contacts 248, 250, 325 are arranged around the perimeter of the power delivery system for contacting corresponding contacts on the IC or its package. The power delivery system in this form and the previous forms may be considered in one aspect as a module due to its structure which may be inserted into cover and socket members alike. This Figure illustrates the exemplary construction of the contacts 248, 250 and 325 which have elongated, cantilevered or bellows arm portions 360 that are bent downwardly and slightly inwardly and which terminate in free end portions 361 that define inner contact arm portions 362 of the contacts. Each such contact arm portion preferably has an inwardly angled contact surface 363 that is used to effect the contact with the side of the IC/package.

The use of two outer capacitor plates in this embodiment flanking the inner capacitor plate has the effect of increasing the total capacitance of the decoupling capacitance because of the increased surface area of the top and bottom plates. In other words, with this embodiment, it is possible to increase the capacitance (and current supplied to the IC) in the same horizontal surface area provided by the connector body portion. Thus, such a construction may be used where the designer has a limited amount of space available on the circuit board, or in instances where the IC is small. In this construction, the capacitor plates are preferably vertically arranged in either a Power-Ground-Power or a Ground-Power-Ground order.

FIG. 41 illustrates a power delivery system incorporated within a cover portion 112 that fits over an IC 22 and the cover portion 112 has been rendered transparent for clarity to show how it engages the IC/package around its perimeter.

FIG. 43 illustrates the exterior of an assembled IC package with the power delivery structure incorporated therein, wherein the decoupling capacitance 42 is held over the IC by means of a cover member 262. The assembly has a plurality of mounting holes formed in the

WO 03/028095

PCT/US02/30593

body portion thereof for mounting the assembly to a circuit board and further has means 256, 258 for mating with external power leads to supply power to the decoupling capacitance 42.

FIGS. 44-50 illustrate another embodiment of the present invention in which an IC 132 is held within a socket-style connector 112 which has the decoupling capacitance 42 incorporated therein. As illustrated, the socket connector 112 is rectangular or square in shape and has a body portion 400 that is formed from a plurality of sidewalls 401 that cooperatively define a central opening 402 disposed therein that receives the IC 132. The opening 402 may be a through hole, wherein the IC sits on the circuit board in contact with contacts or terminals 890. (FIG. 46.) The decoupling capacitance 42 includes a plurality of discrete capacitors 403 each of which may deliver the same voltage or different voltages to appropriate contacts disposed on the IC 132 (not shown). A cover plate 404 encloses and seals the IC within the socket connector 112. the capacitors 403 receive their power from a power supply 405 mounted to the circuit board 406 by way of traces. (FIG. 45.) The incorporation of these discrete capacitors into the socket connector frees up space surrounding the IC 132 on the circuit board 406.

The capacitors 403 are received within openings 410, such as slots, or openings, that are disposed in the body portions on the socket connector sidewalls 401. The capacitors may include conventional capacitors as shown in FIGS. 44-48, which utilize conductive wire leads 411 for connection purposes or chip-type capacitors 505. In order to accommodate these leads 411, the body portion sidewalls 401 may further include passages 412 formed therein which receive the leads so as to maintain a low profile and low space aspect of the socket connector. (FIG. 48.) The body portion sidewalls 401 may have a height so as to form a slight recess that will accommodate a heat transfer member, such as a heat sink 200. This type of connector may be fastened to the circuit board with fasteners 415. (FIG. 50.) The capacitor-receiving openings 410 are preferably spaced apart from each other around the perimeter of the receptacle as illustrated, or they may be spaced in different spacings that correspond to location(s) of different power contacts or terminals on the IC.

FIGS. 51-54 illustrate another embodiment of a power delivery system 500 constructed in accordance with the principles of the present invention wherein the connector 112 is in the form of a socket 501 which has a plurality of discrete openings 502 formed in the sidewalls 504 thereof, each of which receives a decoupling capacitance 42 in the form of a chip capacitor 505. A different terminal, or lead, structure may be used with this embodiment and the leads 506 of

WO 03/028095

PCT/US02/30593

which are shown as wire-formed leads having a general U-shaped configuration which terminate at one end in a loop end 507 and at the opposite end 508 in free tails 509 that may be soldered to the circuit board. The wire loop leads 506 pass through the sidewalls 504 of the socket connector 112 and may be easily molded in place therein during manufacture of the socket connector and the loop ends 507 thereof are bent slightly upwardly so that they will make effective electrical contact with the bottom of an IC inserted into the socket connector. The "looped" nature of this portion of the terminal 506 provides for a redundant circuit path to the IC and also lowers the inductance of the terminals and the overall connector. The leads serve as a set of first, or "power" terminals" which are arranged in a pattern, or array that encompasses a plurality of second, preferably non-power terminals 550 arranged within the interior of the connector receptacle and which serve to connect aspects of the IC to an underlying circuit board. These non-power terminals 550 may include LGA, PGA, BGA, spring contacts and the like.

An inner carrier frame 510 may be provided as part of the package and this inner frame 510 sits within the socket connector sidewalls to form a support for the IC. In order to accommodate the top ends of the wire leads 506, the frame 510 may be provided as illustrated with recesses 515 that enclose the loop ends 507 and which permit them to deflect under the insertion force of the IC when inserted into the socket connector opening. The wire leads 506 may be easily stamped and formed at low cost as part of an overall carrier strip 520 and may be formed in alternate directions from that shown in order to accommodate the position of the IC. The inner frame 510 and the sidewalls 504 may be formed together as a single piece by way of insert or overmolding, so that, in effect, the inner frame 510 serves as a base, or floor portion of the socket connector housing.

FIG. 58 illustrates another manner in which the discrete capacitors 403 have their terminals, or leads 44 extend through slots 430 that are formed in the connector body portion sidewalls 401. In this instance, the leads are connected to terminals and the sidewalls 401 surrounding the capacitor-receiving openings 410 may have excess material added to them or may be configured in such a manner so as to facilitate the heat-staking of the capacitors 403 and their leads in order to hold them in place within the connector body portion. Alternatively, the discrete capacitors 403 may be completely encapsulated within the sidewalls 401 by sealing the openings 410 with additional materials, as at 440, or by molding the capacitors and leads in place within the connector body portion.

WO 03/028095

PCT/US02/30593

Lastly, FIGS. 56 and 57 are underside perspective views of the cover member used in the systems illustrated in FIG. 30, which illustrate the placement, in an assembled state, of the capacitor plates 244, 246 within their outer support members 262, 264.

5 The specification describes and the figures illustrate many features and characteristics of the preferred embodiments of the present invention. Any feature or characteristic described in any one part of the specification or shown in any one figure may be combined with any feature or characteristic described in any other part of the specification or shown in any other part of the same or different figure. For example, although the above description has been written in terms of power delivery systems, it will be appreciated that the present invention, may be used for
10 signal transfer with the various capacitor plates being sized for optimum performance .

While the preferred embodiment of the invention have been shown and described, it will be apparent to those skilled in the art that changes and modifications may be made therein without departing from the spirit of the invention, the scope of which is defined by the appended claims.

WO 03/028095

PCT/US02/30593

Claims:

1. An electronic package comprising:
 - an integrated circuit having top side having a first surface area, a bottom side having a second surface area and disposed opposite to the top side, a lateral side having a third surface area and disposed between the top side and the bottom side, wherein the third surface area is smaller than each of the first surface area and the second surface area;
 - a signal connection disposed at the bottom side of the integrated circuit for electrically coupling a semiconductor die carried with the integrated circuit to a signal transfer system; and,
 - a power connection disposed on at least one of the top or lateral sides of said integrated circuit for electrically coupling the semiconductor die to a power delivery system.
2. An electronic package according to claim 1, wherein the signal connection further includes a first signal interface for carrying first signals of a first frequency and a second signal interface for carrying second signals of a second frequency that are different from the first frequency.
3. An electronic package according to claim 1, wherein the signal connection further includes a bi-directional signal path including a first signal path for electrically coupling first signal from the signal transfer system to said semiconductor die, and a second signal path for electrically coupling a second signal from the semiconductor die to the signal transfer system.
4. An electronic package according to claim 1, wherein the power connection further comprises a bi-directional power path including a power path for electrically coupling power from the power delivery system to said semiconductor die, and a ground path for electrically coupling ground from said semiconductor die to the power delivery system.
5. An electronic package according to claim 4, wherein the power delivery system is decoupled from said semiconductor die.

WO 03/028095

PCT/US02/30593

6. An electronic package according to claim 1, wherein electronic package top side further includes an inner portion located proximate to a center of said top side and an outer portion located proximate to a perimeter of said top side, said power connection is located being disposed at the outer portion of said top side.
7. An electronic package according to claim 1, wherein said power connection has a current carrying capacity that is greater than a current carrying capacity of said signal connection.
8. An electronic package according to claim 1, wherein at least one of said signal and power connections is selected from the group consisting of: a conductive connection; a capacitive connection; an inductive connection; an optical connection; a transmission line connection; and a wireless connection.
9. An electronic package according to claim 8, wherein the conductive connection further includes one of the following: a solder connection; a spring connection; a land grid array (LGA); a pin grid array (PGA); and a ball grid array (BGA).
10. An electronic package according to claim 8, wherein the capacitive connection further includes a signal contact forming a first capacitor plate, the first capacitor plate being disposed opposite to a second capacitor plate.
11. An electronic package according to claim 10, wherein said capacitive connection further includes a dielectric material disposed between said first and second capacitor plates.
12. An electronic package according to claim 1, further including a semiconductor die electrically coupled to said signal and power connections.
13. An electronic package according to claim 12, wherein the semiconductor die includes an electronic element chosen from the group consisting of: a microprocessor, a controller, a memory device, a transmitter, a receiver, and a signal processor.

WO 03/028095

PCT/US02/30593

14. An electronic package according to claim 12, further including a lead frame carrier; and,
said signal connection includes a signal lead frame carried by the lead frame
carrier, the signal lead frame including signal contacts at one end on the bottom side
thereof for electrically coupling to said signal transfer system, and a second end, opposite
5 the first end, having a signal pad for electrically coupling to said semiconductor die; and
wherein said power connection further includes a power lead frame carried by said
lead frame carrier, the power lead frame having power contacts at a first end thereof and,
located proximate to said lateral side for electrically coupling to said power delivery
system, and a second end, opposite to the first end, having a power pad for electrically
10 coupling to said semiconductor die.
15. An electronic package according to claim 14, wherein said lead frame carrier includes at
least one element chosen from the group consisting of: a semiconductor substrate, a
semiconductor package, and a printed circuit board.
16. An electronic package according to claim 12, further including a semiconductor package
adapted to encapsulate the semiconductor die.
17. An electronic package according to claim 17, wherein the semiconductor package is
chosen from the group consisting of: a plastic package, a ceramic package and a glob top
package.
18. An electronic package according to claim 12, wherein said semiconductor die is part of an
integration chosen from the group consisting of: a level zero integration, a level one
integration, a level two integration, a level three integration and a level four integration.
19. An electronic package, comprising:
a top side having a first surface area, a bottom side having a second surface area
and disposed opposite to the top side, and a lateral side having a third surface area and
disposed between said top and bottom sides, the first and second surface areas being
5 greater than said third surface area;
a semiconductor substrate;

WO 03/028095

PCT/US02/30593

- a semiconductor die mounted on the semiconductor substrate;
a semiconductor package encapsulating the semiconductor die; and,
a lead frame carrier including a signal connection located at said package bottom
10 side, and electrically coupled between said semiconductor die and a signal transfer
system, and said signal connection includes a signal lead frame;
the signal lead frame including first end having a signal contact located at said
package bottom side for electrically coupling to said signal transfer system, said signal
lead frame including a second end opposite said the first end and having a signal pad for
15 electrically coupling to said semiconductor die;
a bi-directional signal path including a first signal path for electrically coupling a
first signal from said signal transfer system to said semiconductor die and a second signal
path for electrically coupling a second signal from said semiconductor die to said signal
transfer system;
20 a power connection proximate to one of said package top and lateral sides and
electrically coupled between said semiconductor die and a power delivery system, the
power connection further including a power lead frame with power contacts disposed at a
first end thereof located proximate to one of said package top and lateral sides for
electrically coupling to said power delivery system and a second end opposite to said first
25 end, having a power pad for electrically coupling to said semiconductor die; and,
a bi-directional power path including a power path for electrically coupling power
from said power delivery system to said semiconductor die, wherein said power includes a
decoupled, regulated direct current (DC) voltage that is lower than a DC voltage
generated by said power delivery system and a decoupled, regulated DC current that is
30 higher than a DC current generated by said power delivery system and a ground path for
electrically coupling ground from said semiconductor die to said power delivery system,
wherein a current carrying capacity of said power connection is greater than a current
carrying capacity of said signal connection.
20. The electronic package of claim 19, wherein said signal connection further includes a first
signal interface for carrying first signals of a first frequency and a second signal interface
for carrying second signals having a second frequency different from the first frequency.

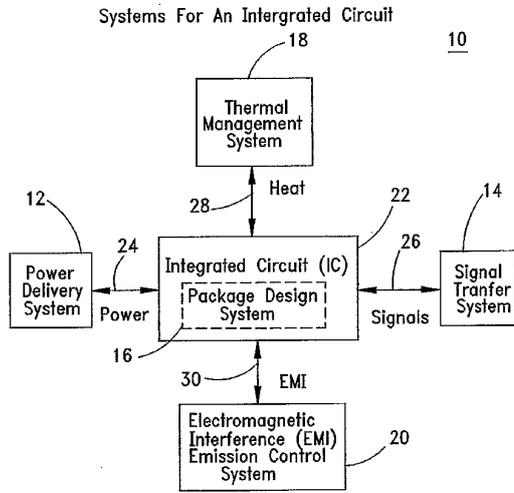
WO 03/028095

PCT/US02/30593

21. The electronic package of claim 19, wherein said signal contact is located at a location chosen from the group of locations consisting of: (1) outside said package bottom side, (2) flush with said package bottom side, (3) recessed below said package bottom side, and (4) inside said package bottom side; and,

5 said power contact is located on said electronic package at a location chosen from the group of locations consisting of: (5) outside said at least one of said package top and lateral sides, (6) flush with at least one of said package top and lateral sides, (7) recessed below at least one of said package top and lateral sides, and (8) inside at least one of said package top and lateral sides.

FIG. 1



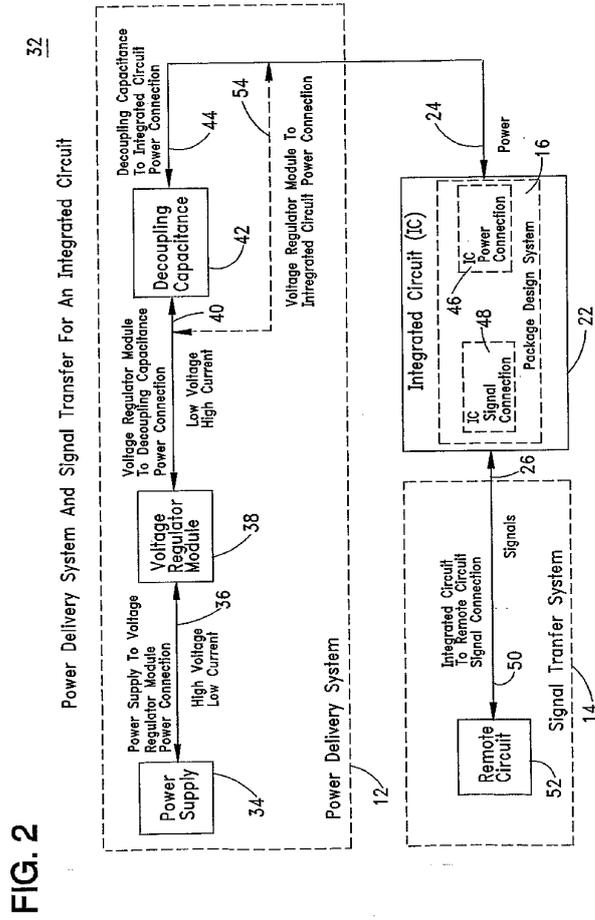


FIG. 3

Table Listing Alternative Locations For Each Block Shown In FIG. 2
And Alternative Connections Between The Blocks Shown In FIG. 2

56

	(34)	36	(38)	40	(42)	44	(46)	(22)	(48)	50	(52)	3/48
	A	B	C	D	E	F	G	H	I	J	K	
		Power Supply To Voltage Regulator Module	Voltage Regulator Module Location	Voltage Regulator Module To Decoupling Capacitance Power Connection	Decoupling Capacitance Location	Decoupling Capacitance to IC Power Connection	IC Power Connection Location	Integrated Circuit(IC) Location	IC Signal Connection Location	IC to Remote Circuit Signal Connection	Remote Circuit Location	Connector
1	Power Supply Location	Power Connection	Location	Power Connection	Location	Connection	Location	Location	Location	Connection	Location	Connector
2	Remote	Conductor	Connector	Conductor	Connector	Conductor	Top of IC	Connector	Top of IC	Conductor	Connector	Conductor
3		PCB Trace	PCB	PCB Trace	PCB	PCB Trace	Side of IC	PCB	Side of IC	PCB Trace	PCB	PCB
4			Conductor	Conductor	Conductor		Bottom of IC	Conductor	Bottom of IC		Conductor	Conductor

FIGS. 4A-4E Integrated Circuit, As Shown in Figs. 1, 2, 3A and 3B, Having Various Levels Of Integration (0-4)

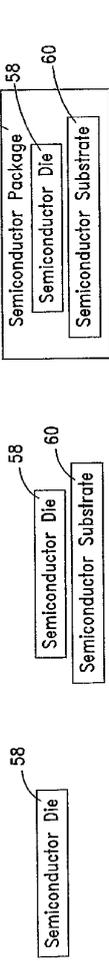


FIG. 4B (Level 1)

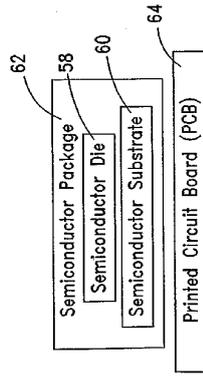


FIG. 4D (Level 3)

4/48

FIG. 4C (Level 2)

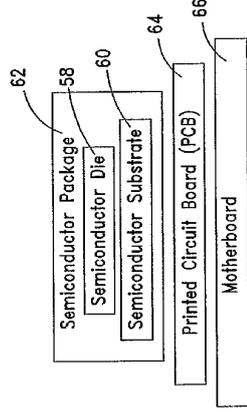


FIG. 4E (Level 4)

22

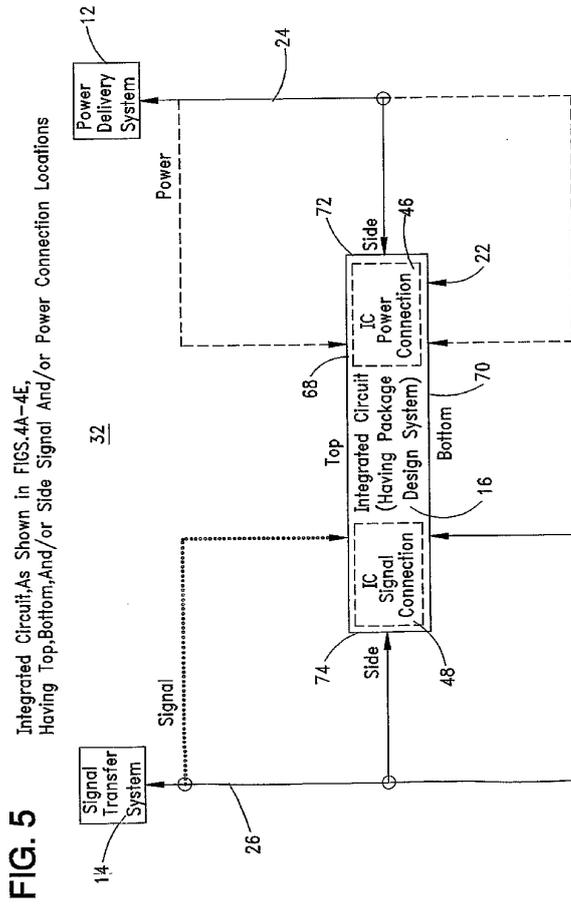


FIG. 6A Integrated Circuit, As Shown in FIG. 5, Having A First (High) Frequency Signal Interface And A Second (Low) Frequency Signal Interface, Different From The First Frequency Signal Interface, Each Coupled To Different Sides Of The Integrated Circuit

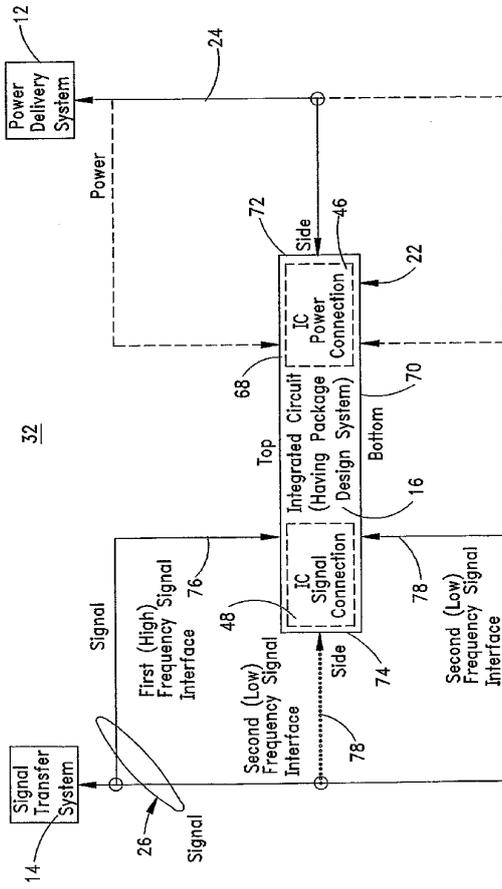


FIG. 6B Integrated Circuit, As Shown in FIG. 5, Having A First (High) Frequency Signal Interface And A Second (Low) Frequency Signal Interface, Different From The First Frequency Signal Interface, Each Coupled To The Same Side Of The Integrated Circuit

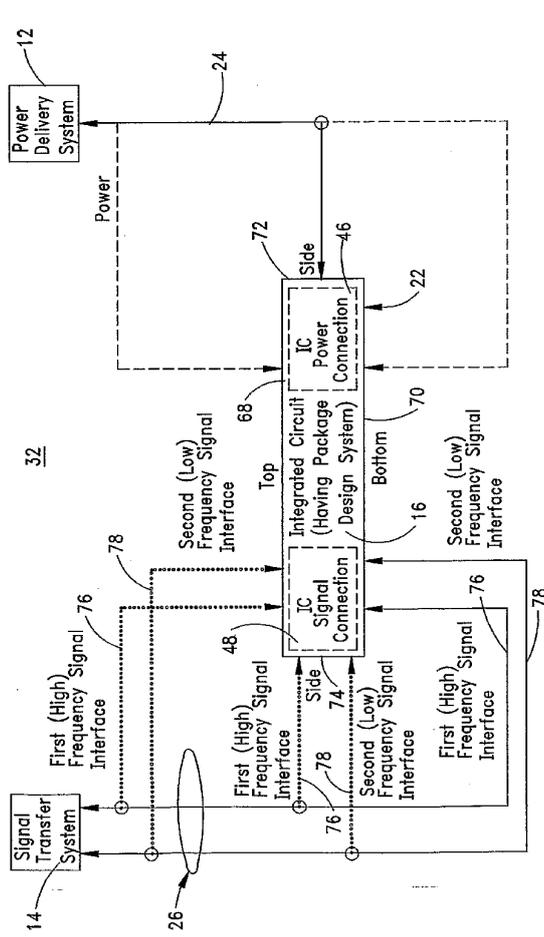
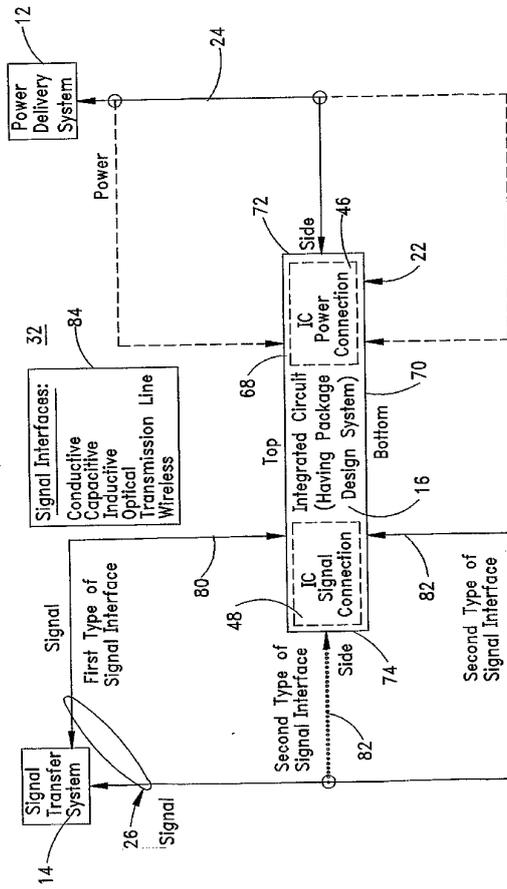
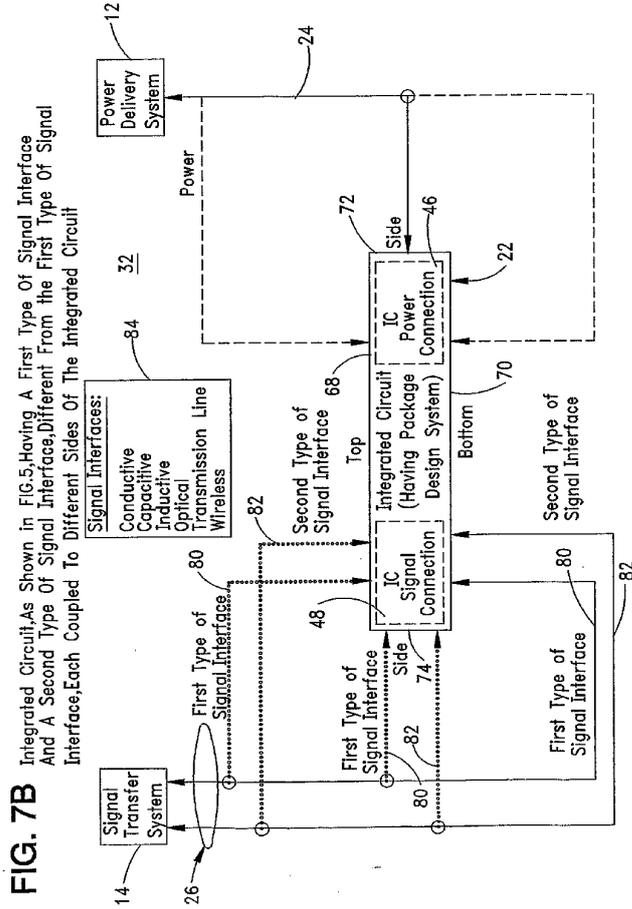


FIG. 7A

Integrated Circuit, As Shown in FIG. 5, Having A First Type Of Signal Interface And A Second Type Of Signal Interface, Different From The First Type Of Signal Interface, Each Coupled To Different Sides Of The Integrated Circuit





FIGS.8A and 8B Integrated Circuit, As Shown in FIGS.4C and 5, Having Signal And/Or Power Connections Located Outside and Flush With, Respectively, the Semiconductor Package

FIG.8A
(Outside)
22

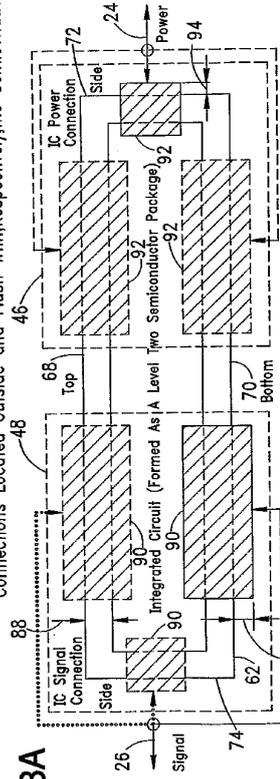
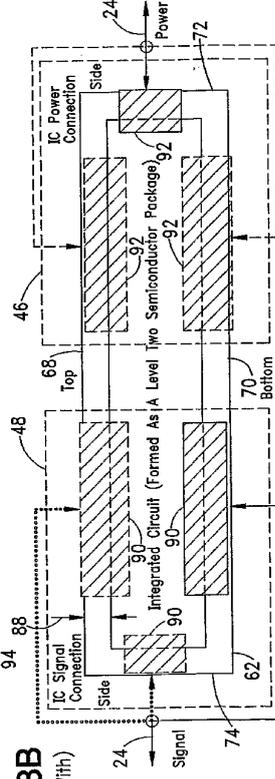


FIG.8B
(Flush With)
22



FIGS.8C and 8D Integrated Circuit,As Shown in FIGS.4C and 5, Having Signal And/Or Power Connections Located Recessed and Inside, Respectively,the Semiconductor Package

FIG.8C
(Recessed)
22

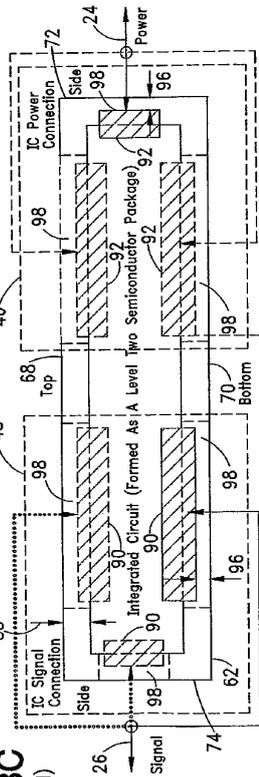
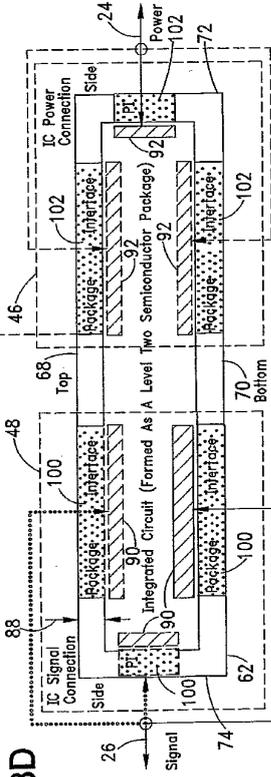


FIG.8D
(Inside)
22



WO 03/028095

PCT/US02/30593

FIGS.9A,9B,9C
 Integrated Circuit, As Shown in FIGS.4A,4B,4C,4D or 4E and Fig.5, Having Signal And/or Power Connections Located on the Top, Side And/or Bottom of the Integrated Circuit

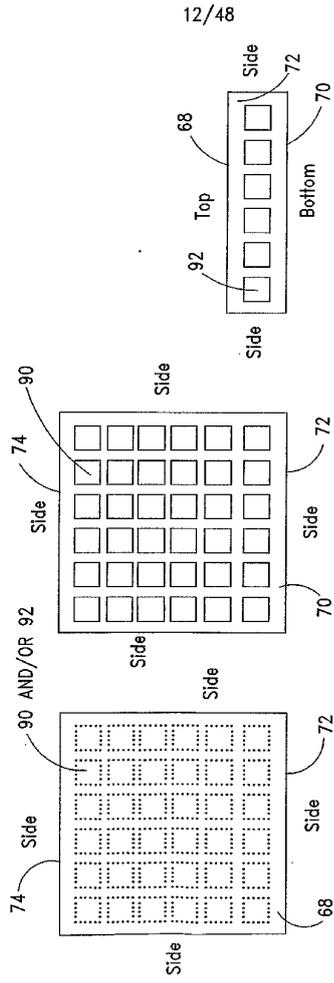


FIG.9A 22
 Top of IC
 Alternate Power And/or Signal Connections

FIG.9B 22
 Bottom of IC
 Preferred Signal Connections With or Without Power Connections

FIG.9C 22
 Side of IC
 Preferred Signal Connections With or Without Power Connections

WO 03/028095

PCT/US02/30593

FIGS. 10A, 10B, 10C

Integrated Circuit, As Shown In FIGS. 4A, 4B, 4C, 4D or 4E and Fig. 5, Having Signal And/or Power Connections Located on the Top, Side And/or Bottom of the Integrated Circuit

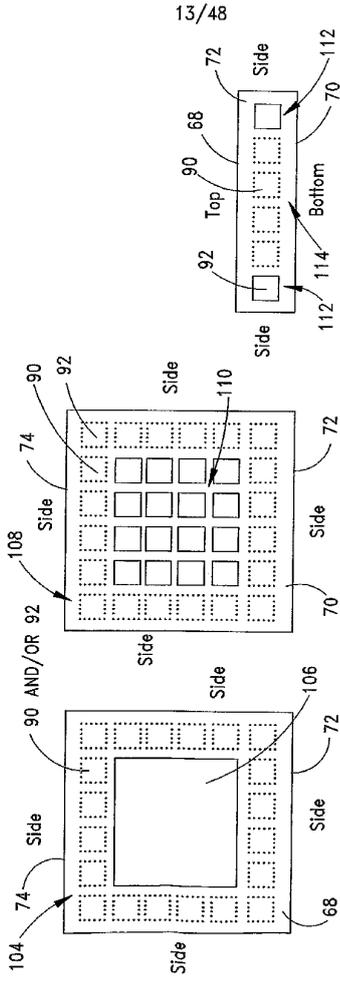


FIG. 10A 22

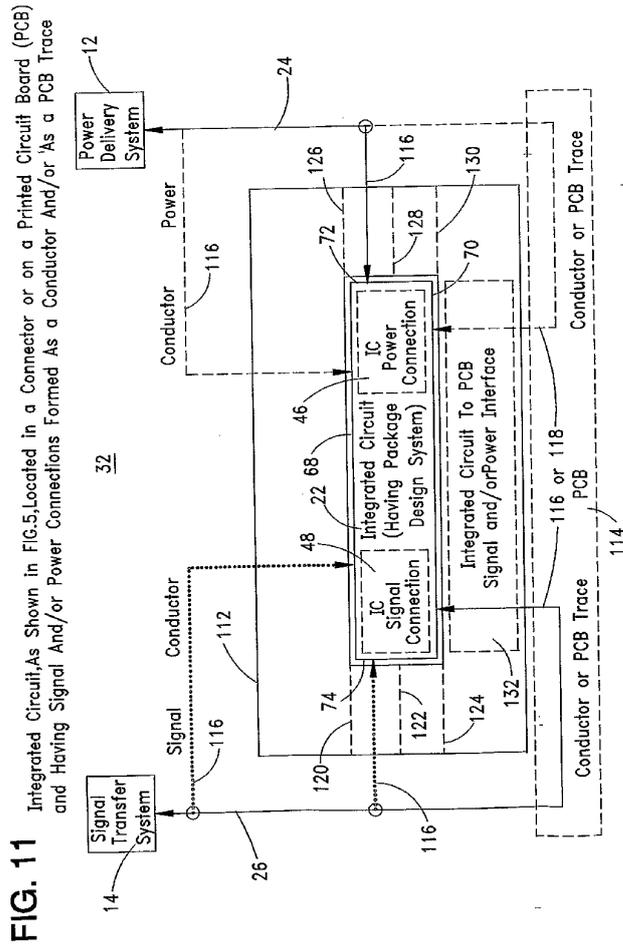
Top of IC
Alternate Power And/or
Signal Connections

FIG. 10B 22

Bottom of IC
Preferred Signal Connections
With or Without Power Connections

FIG. 10C 22

Side of IC
Preferred Power Connections with or
Without Alternate Signal Connections



32

FIG. 12A Integrated Circuit, As Shown In FIG. 11, Located In a Connector Formed As A Cover

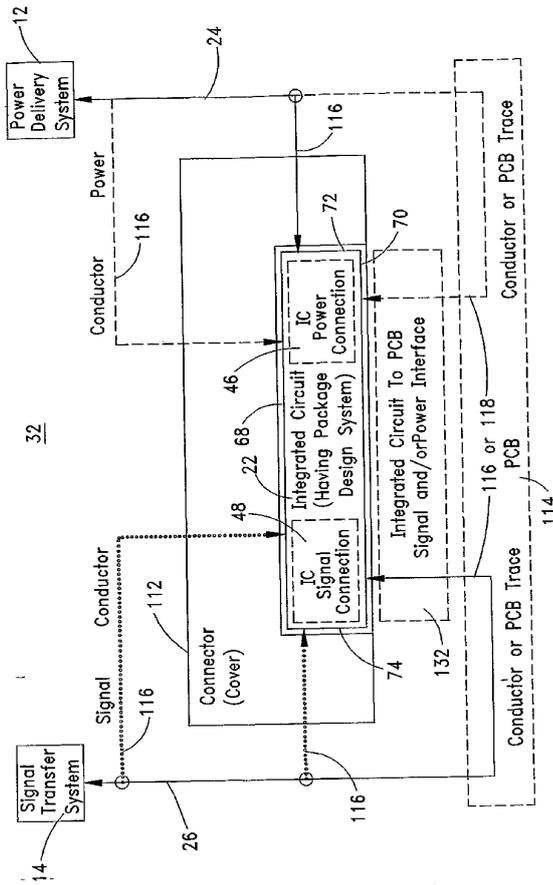
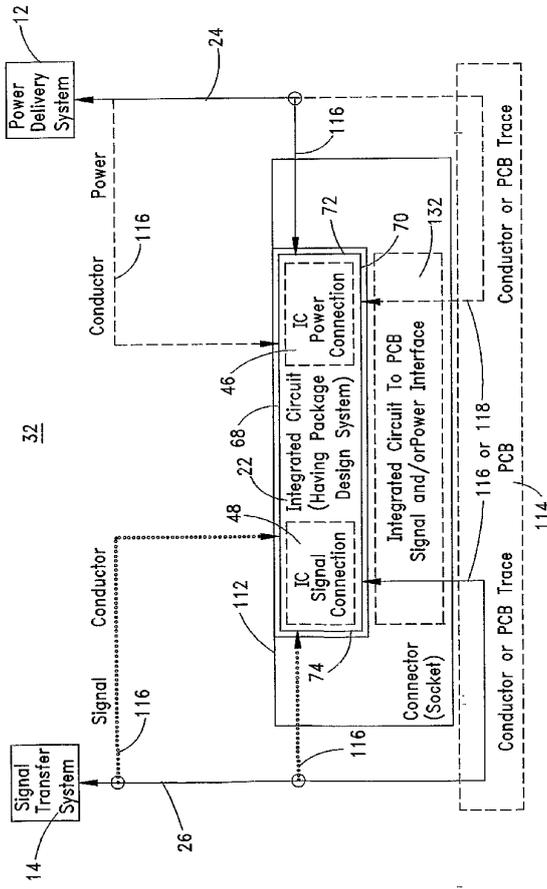


FIG. 12B Integrated Circuit, As Shown In FIG. 11, Located In a Connector Formed As A Socket



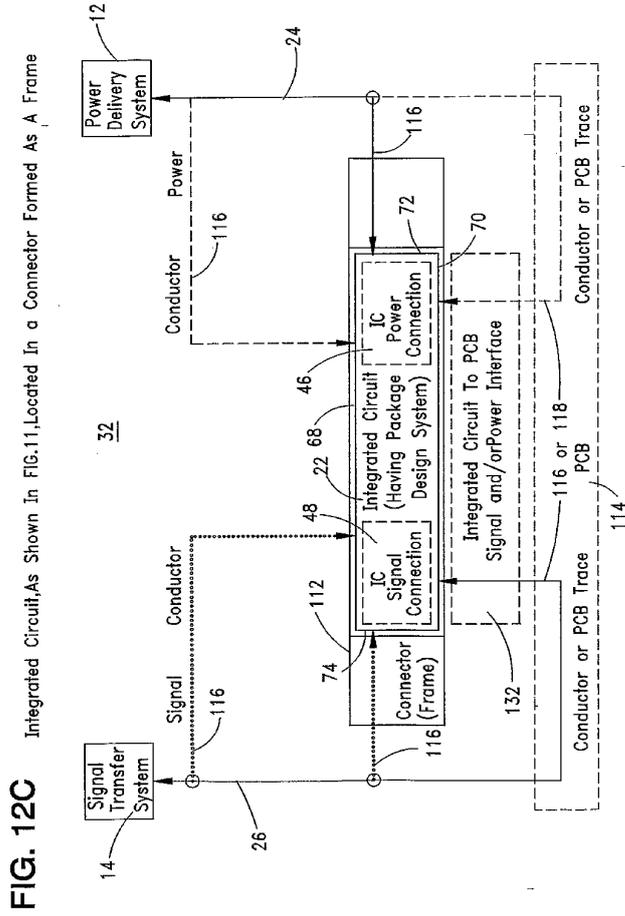


FIG. 13 Integrated Circuit, As shown in FIG. 11, Coupled To A Remote Circuit Located In A Connector Or On A Printed Circuit Board

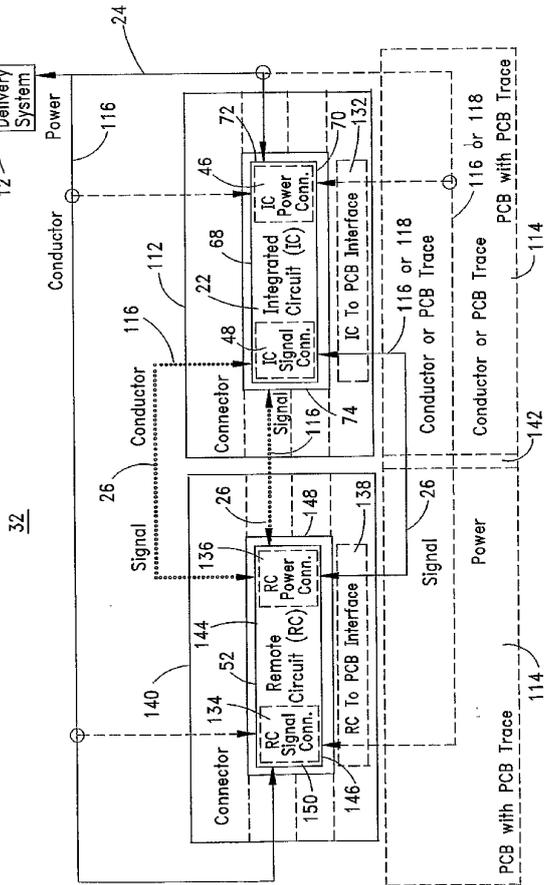
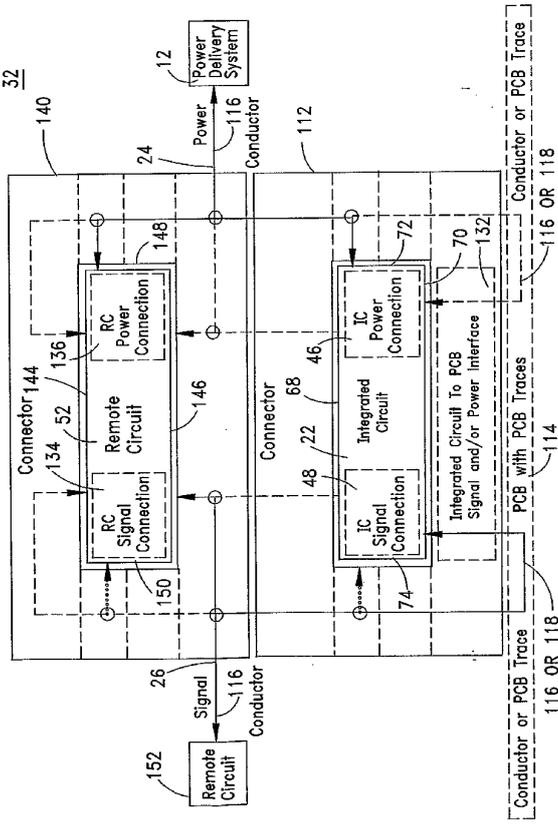
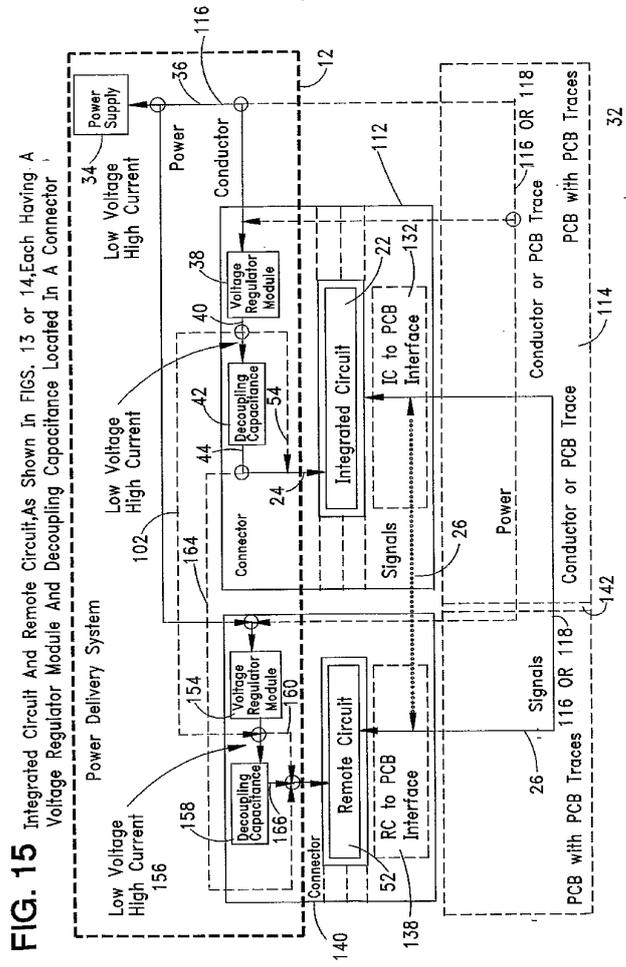
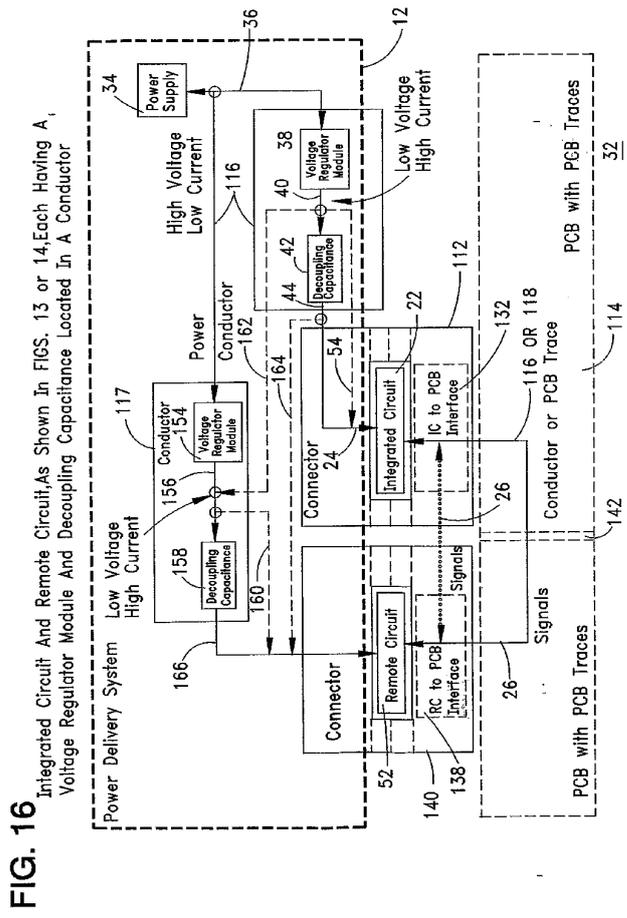


FIG. 14 Integrated Circuit and Remote Circuit, As Shown in FIG. 13, Coupled Together in a Stacked Arrangement







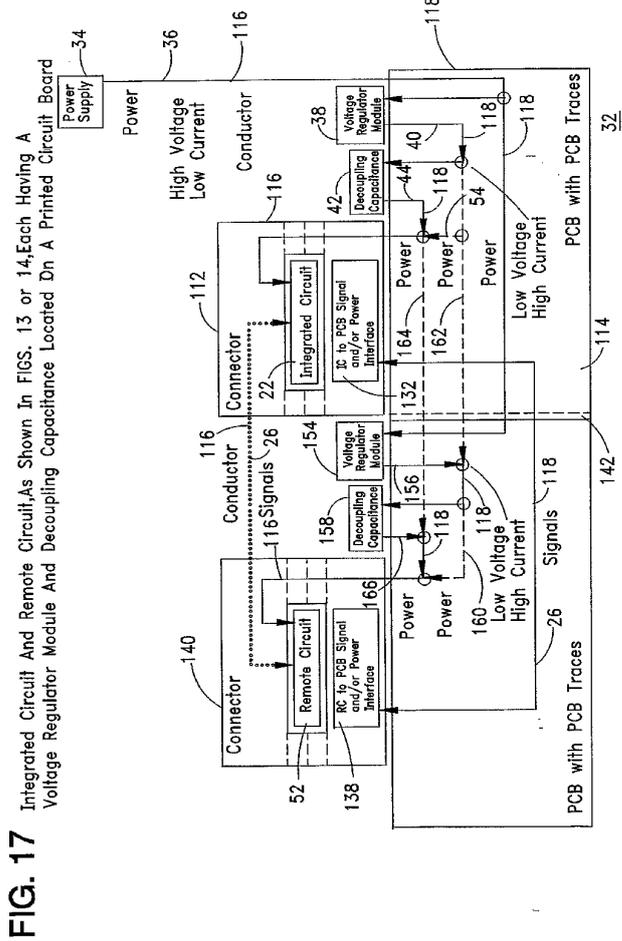


FIG. 17

Integrated Circuit And Remote Circuit, As Shown In FIGS. 13 or 14, Each Having A Voltage Regulator Module And Decoupling Capacitance Located On A Printed Circuit Board

FIG. 18 Integrated Circuit And Remote Circuit, As Shown In FIGS. 13 or 14, Each Having A Voltage Regulator Module Located on A Conductor And Having Decoupling Capacitance Located in A Connector

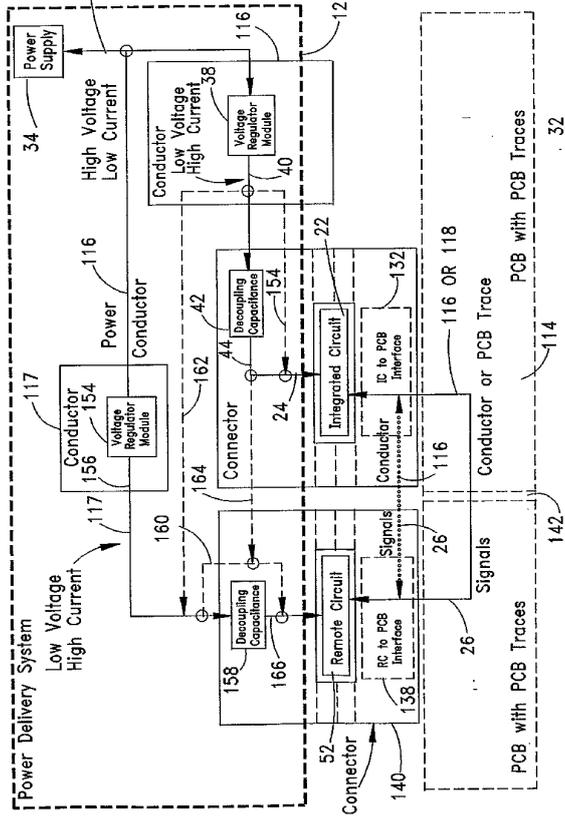


FIG. 19 Integrated Circuit And Remote Circuit, As Shown In FIGS. 13 or 14, Each Having A Voltage Regulator Module Located In A Connector

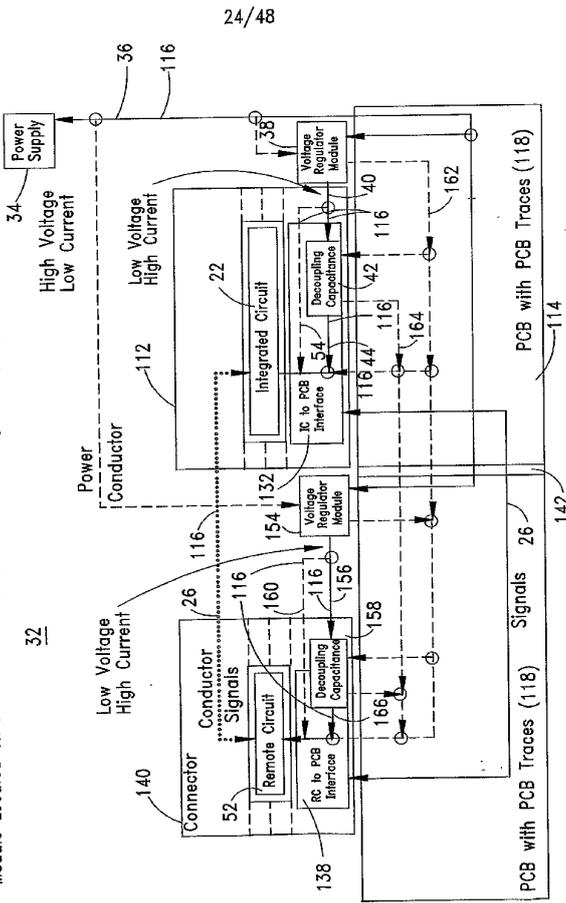
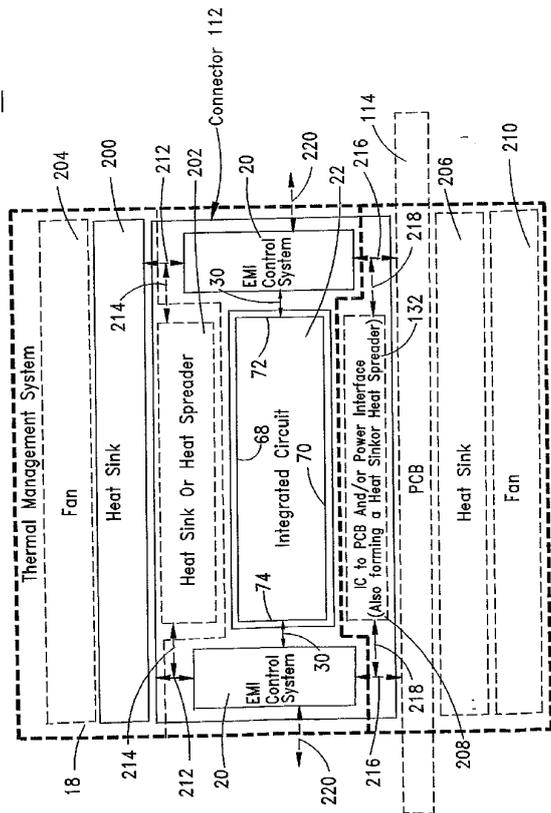


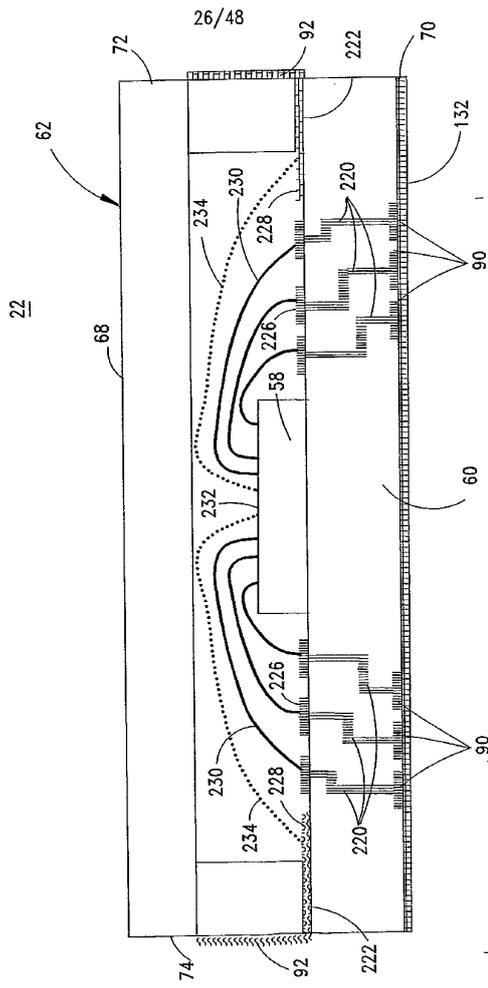
FIG. 20 Integrated Circuit, AS Shown In FIG. 11, And Having A Thermal Management System And An Electromagnetic Interference (EMI) Control System



WO 03/028095

PCT/US02/30593

FIG. 21

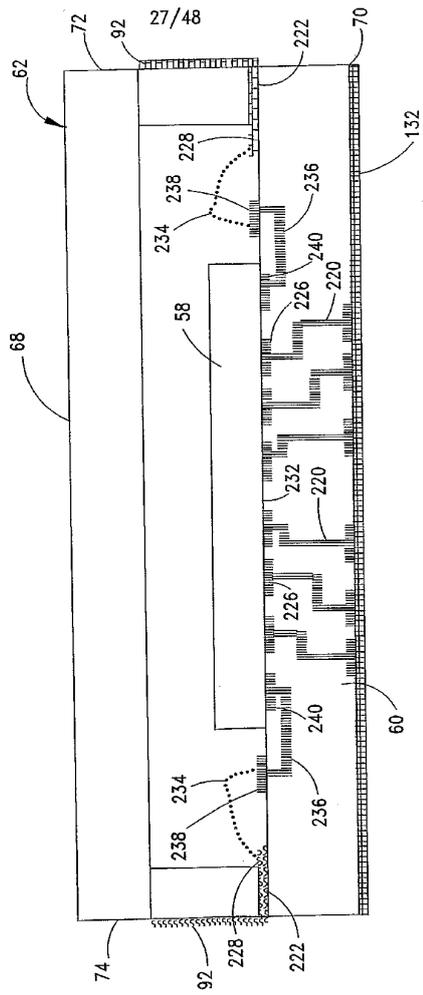


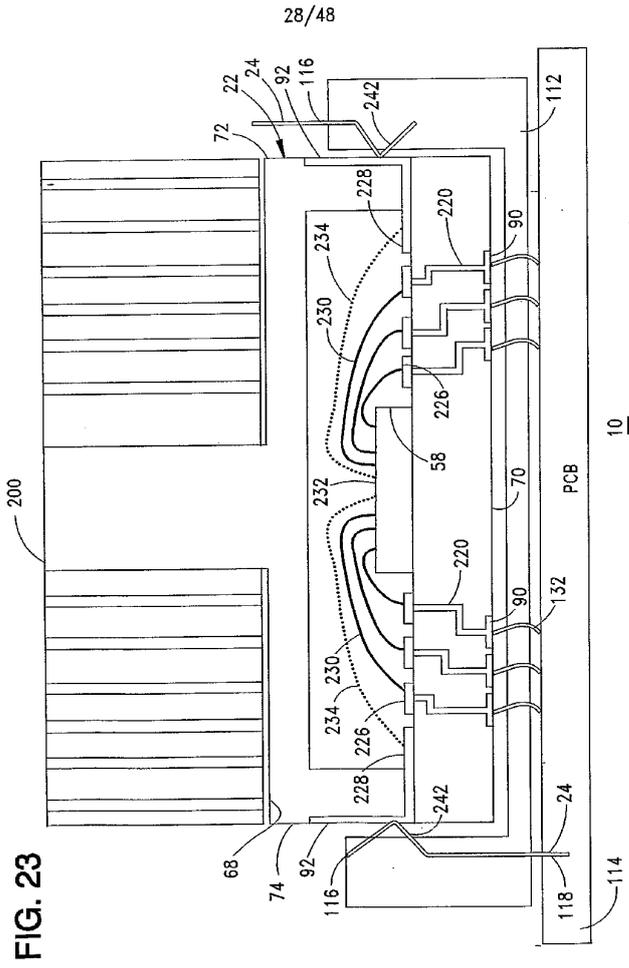
WO 03/028095

PCT/US02/30593

FIG. 22

22

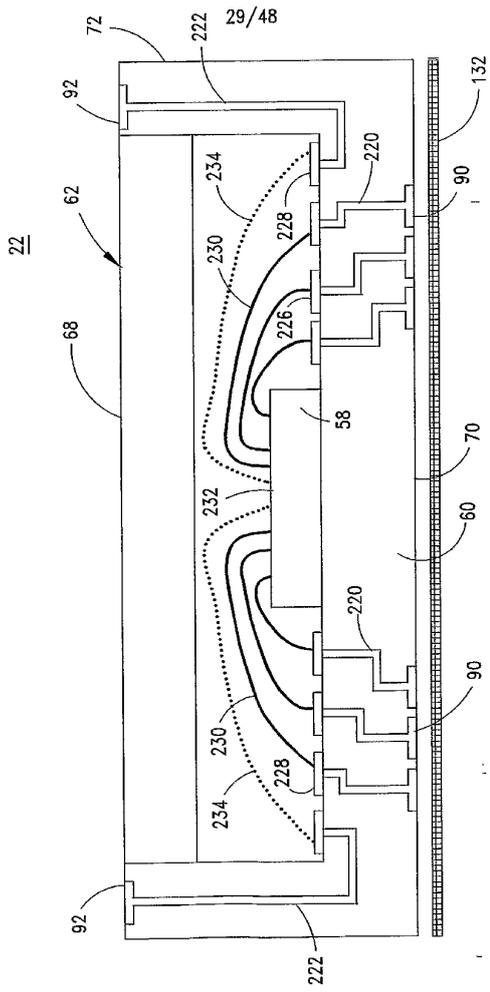




WO 03/028095

PCT/US02/30593

FIG. 24



WO 03/028095

PCT/US02/30593

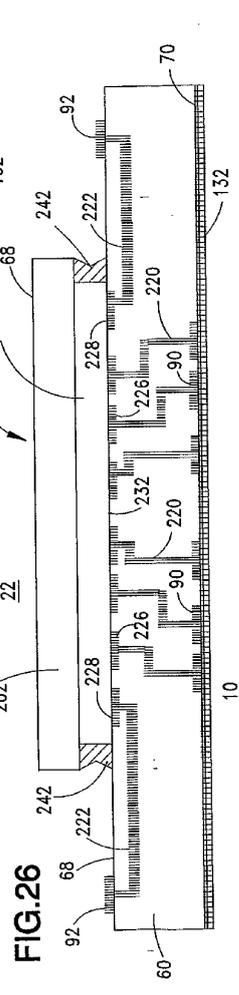
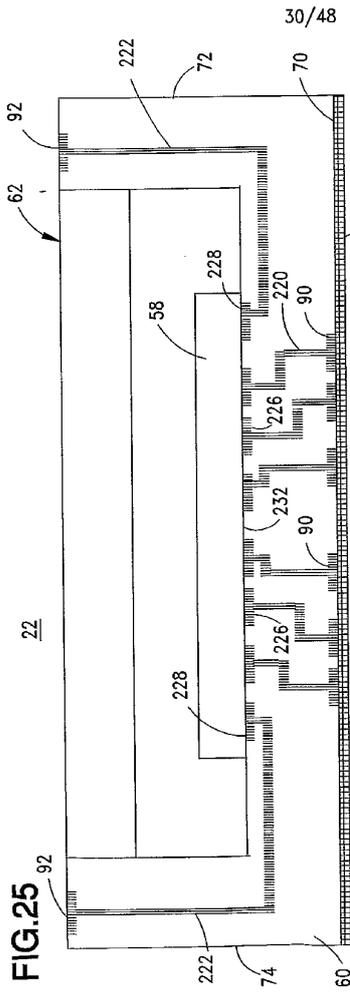
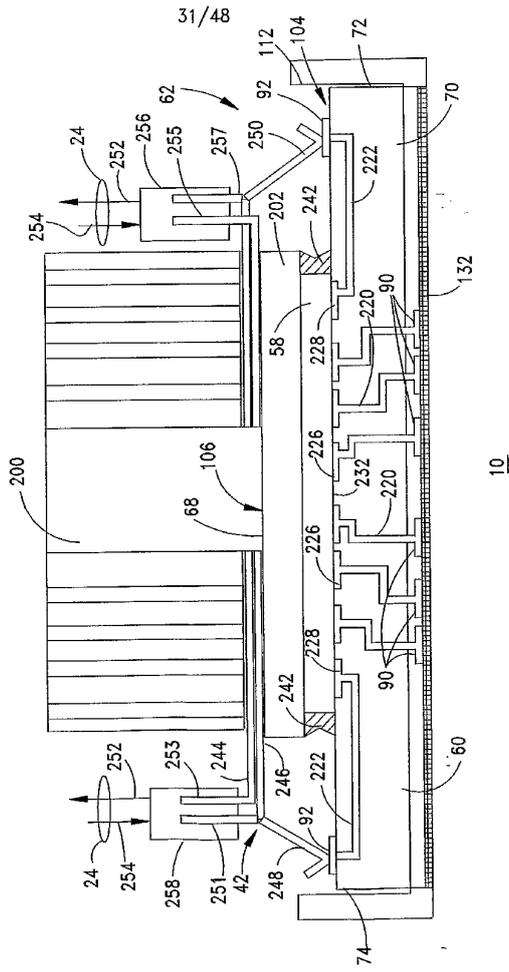


FIG. 25

FIG. 26

FIG. 27

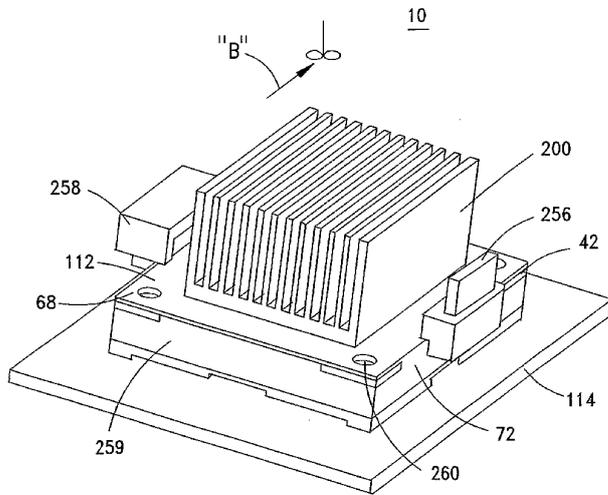


WO 03/028095

PCT/US02/30593

FIG. 28

32/48

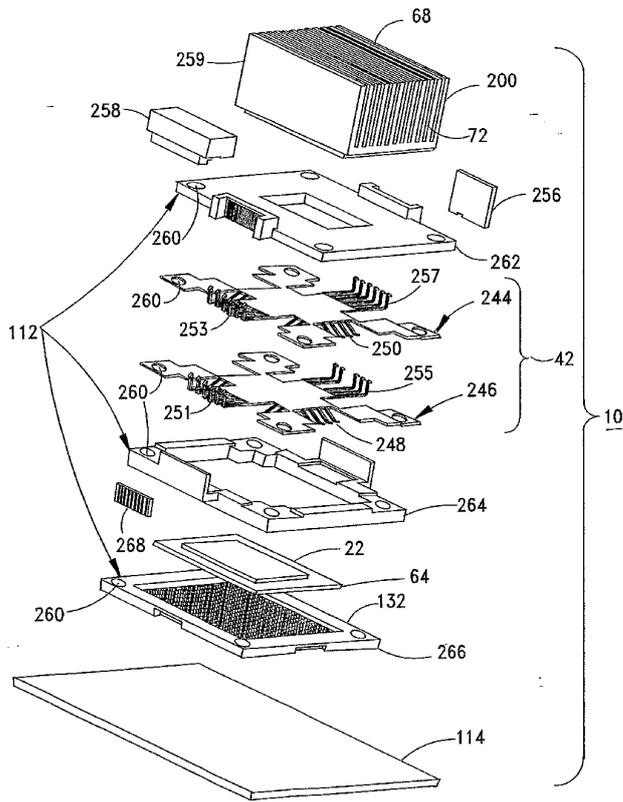


WO 03/028095

PCT/US02/30593

FIG. 29

33/48



WO 03/028095

PCT/US02/30593

FIG. 30

34/48

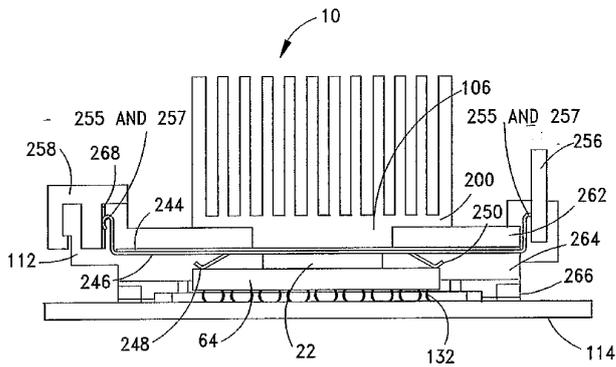
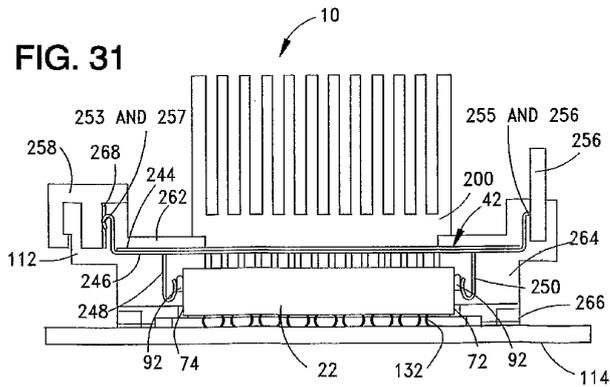


FIG. 31



WO 03/028095

PCT/US02/30593

FIG. 32

35/48

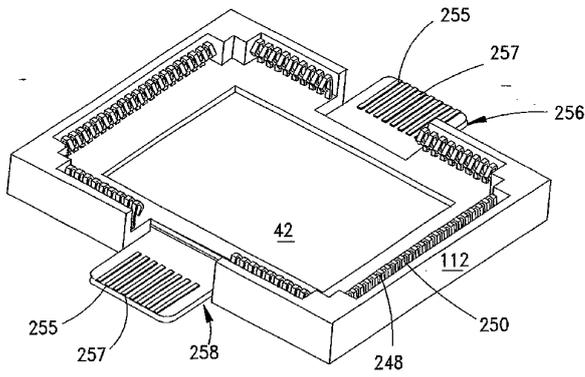
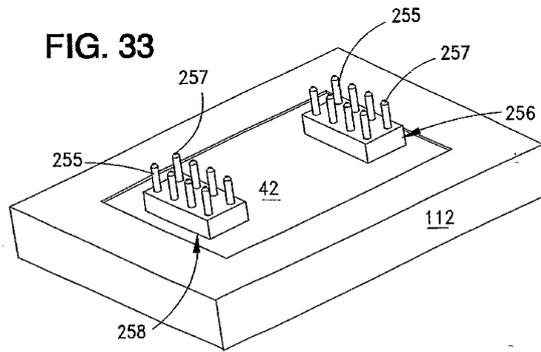


FIG. 33



WO 03/028095

PCT/US02/30593

36/48

FIG. 34

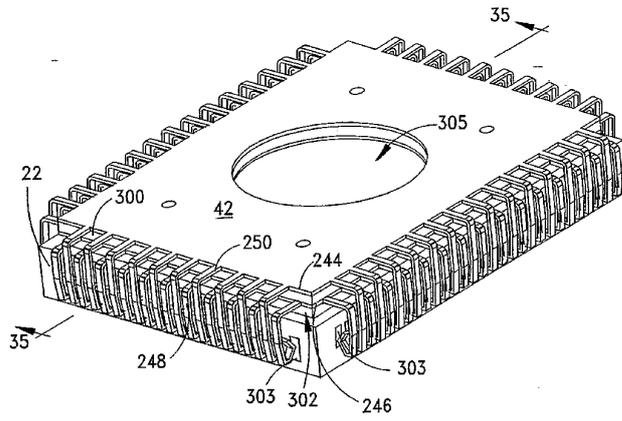
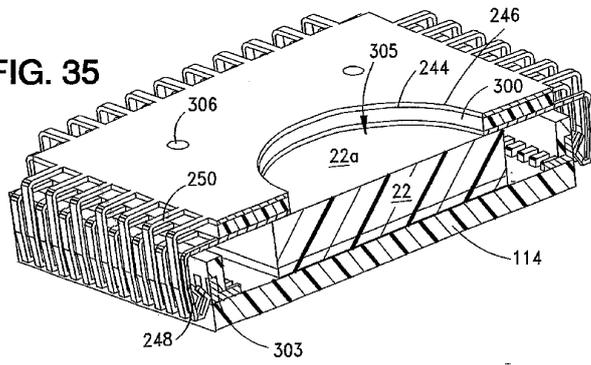


FIG. 35



WO 03/028095

PCT/US02/30593

FIG.37

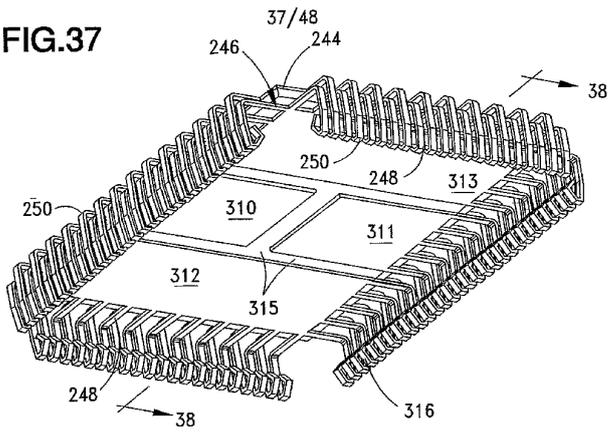


FIG.36

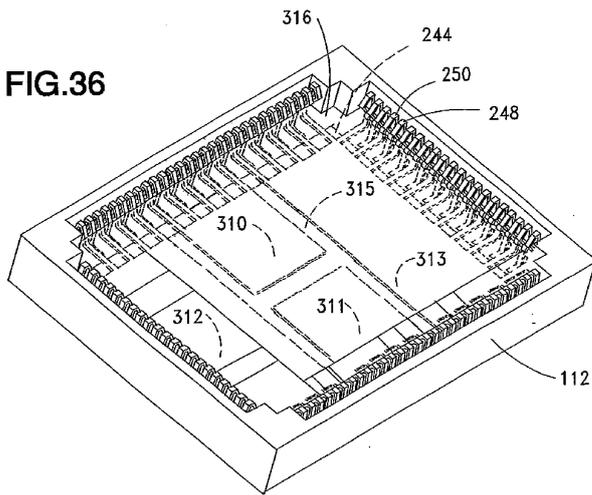


FIG. 38

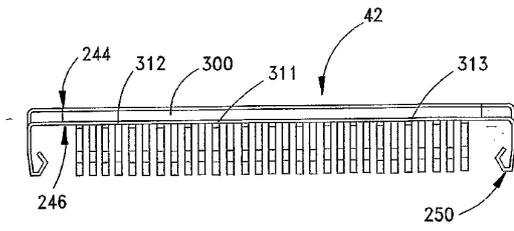


FIG. 39

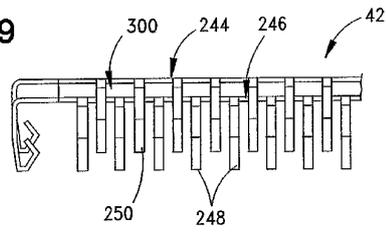
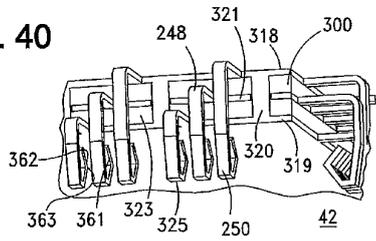
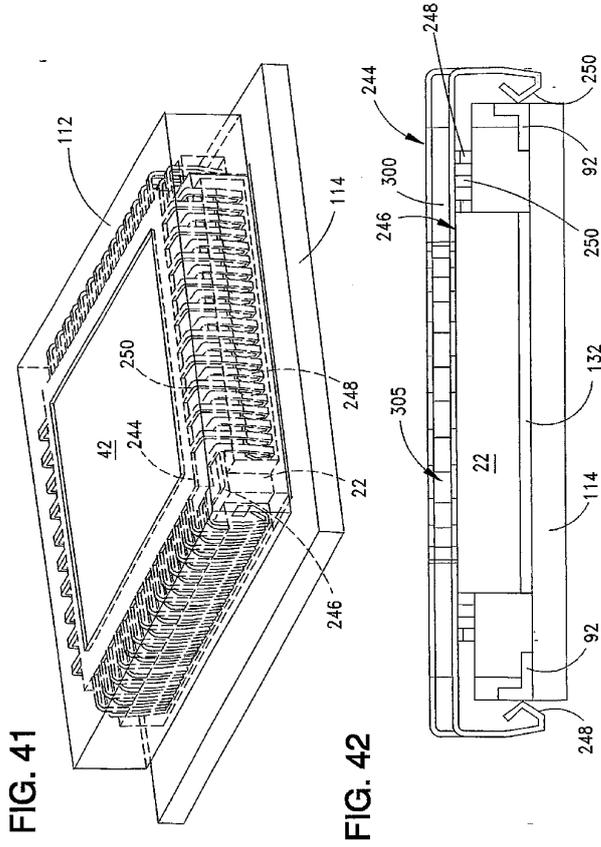


FIG. 40





WO 03/028095

PCT/US02/30593

FIG.43

40/48

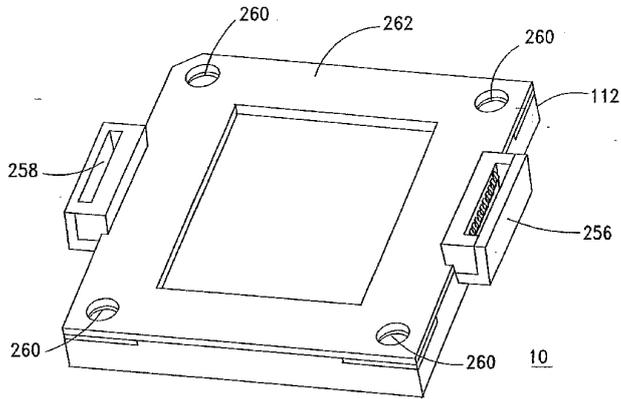


FIG.44

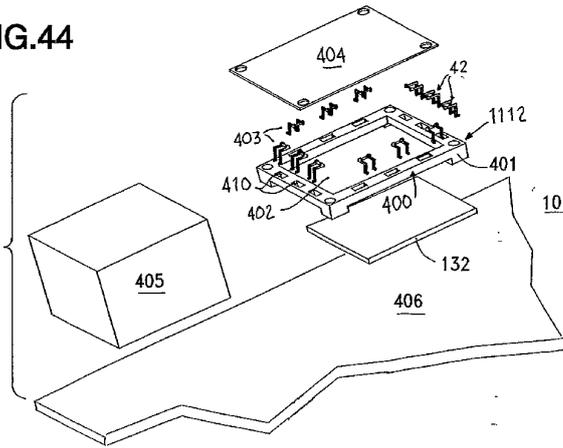


FIG. 45

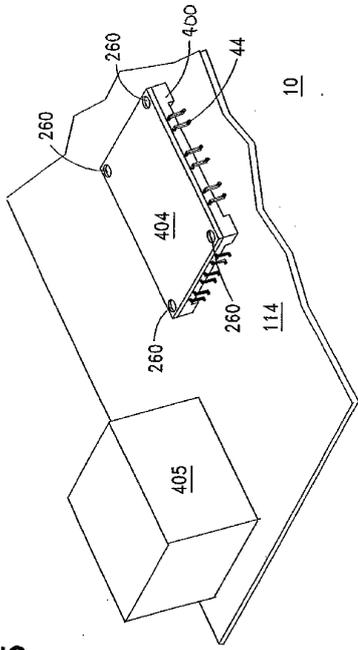
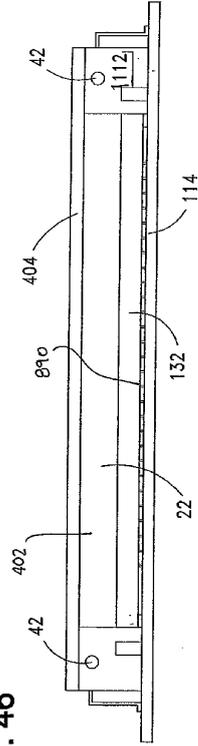


FIG. 46



WO 03/028095

PCT/US02/30593

FIG.47

42/48

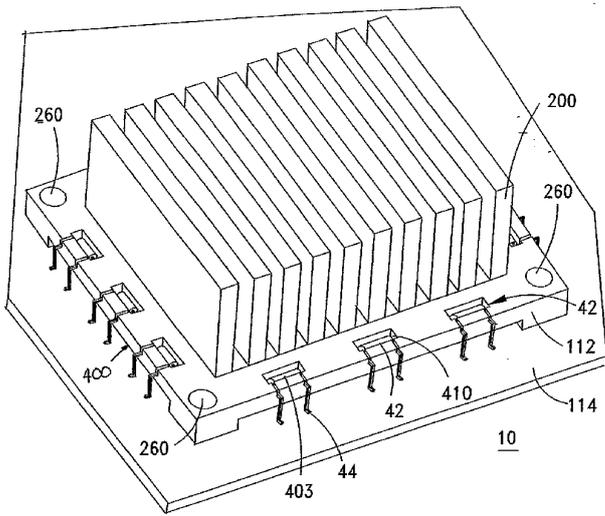
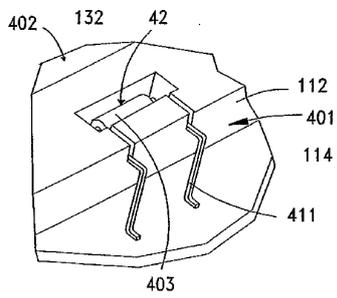


FIG.48



WO 03/028095

PCT/US02/30593

43/48

FIG.49

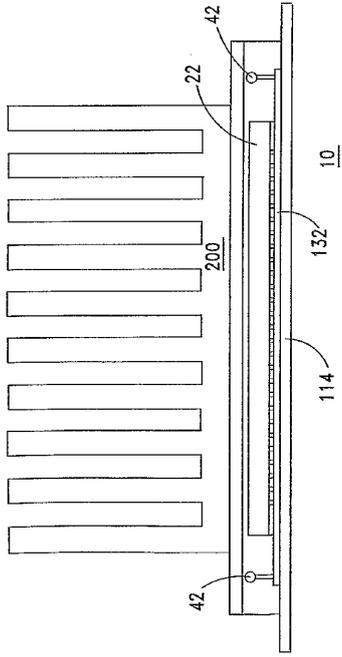
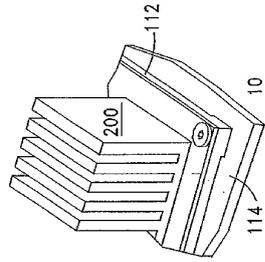


FIG.50



WO 03/028095

PCT/US02/30593

FIG. 51

44/48

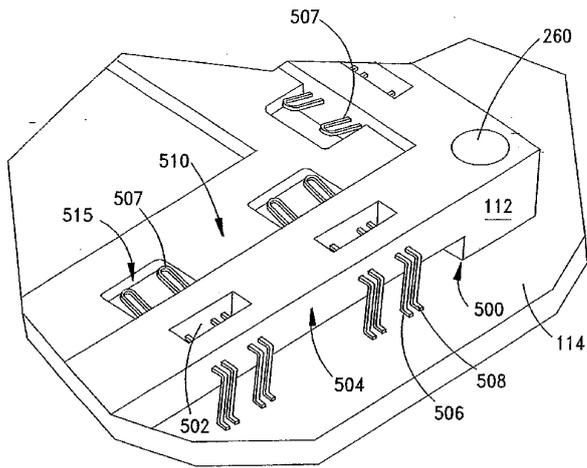
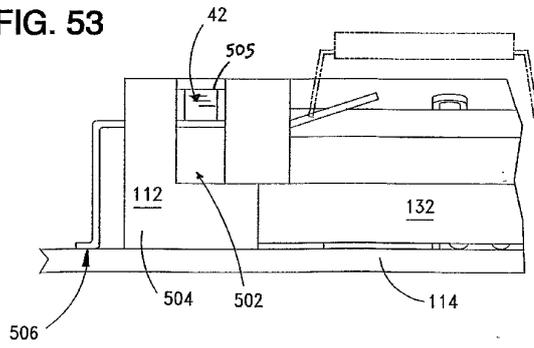


FIG. 53



WO 03/028095

PCT/US02/30593

45/48

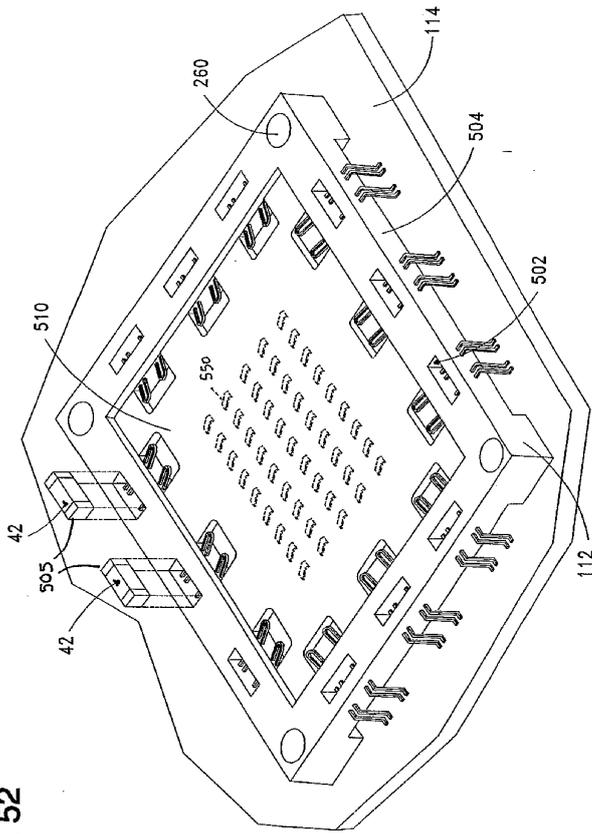


FIG. 52

WO 03/028095

PCT/US02/30593

FIG. 54

46/48

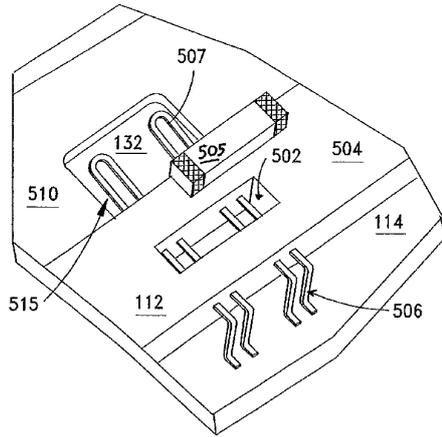
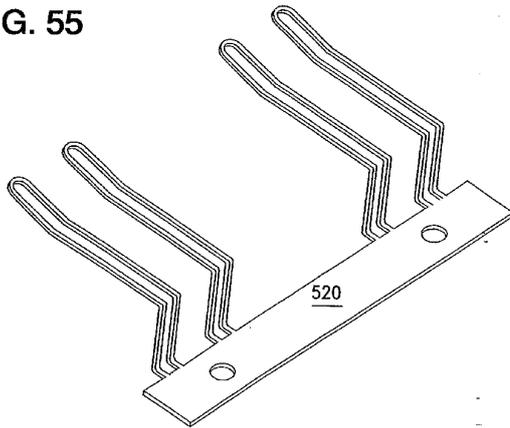


FIG. 55



WO 03/028095

PCT/US02/30593

47/48

FIG. 56

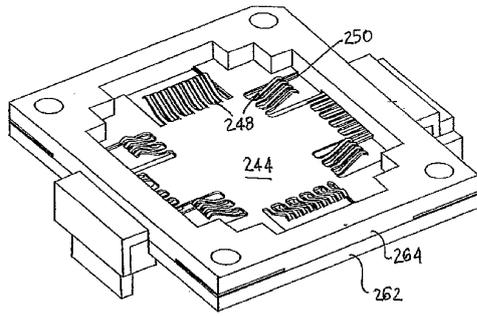
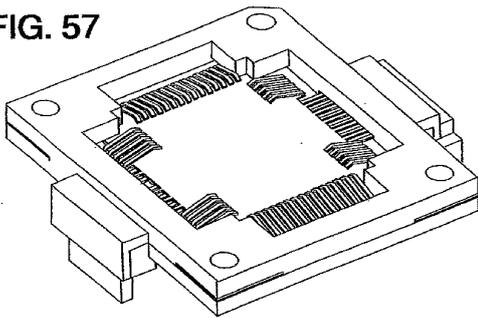


FIG. 57

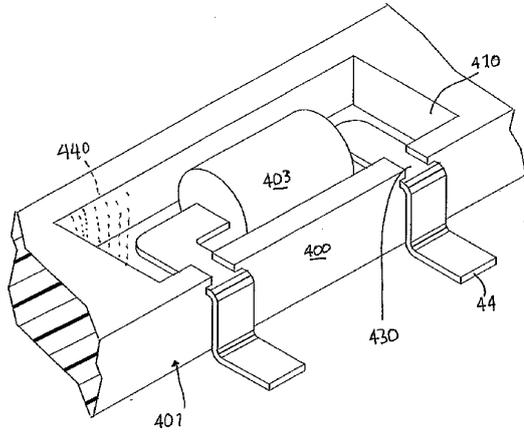


WO 03/028095

PCT/US02/30593

48/48

FIG. 58



【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization International Bureau



(43) International Publication Date 3 April 2003 (03.04.2003)

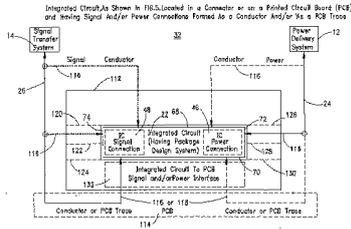
PCT

(10) International Publication Number WO 2003/028095 A3

- (51) International Patent Classification: H01L 23/055, 23/50, 23/498
- (52) International Application Number: PCT/US2002/030593
- (53) International Filing Date: 26 September 2002 (26.09.2002)
- (54) Filing Language: English
- (55) Publication Language: English
- (56) Priority Data: 60/325,107 26 September 2001 (26.09.2001) US
- (57) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.
- (58) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (71) Applicant: MOLEX INCORPORATED [US/US]; 2222 Wellington Court, Lisle, IL 60532 (US).
- (72) Inventors: PANELLA, Augusto, P.; 2569 Midland Drive, Naperville, IL 60564 (US); McGRATH, James, L.; 248 Wren Drive, Bloomington, IL 60108 (US).
- (74) Agent: PAULUS, Thomas, D.; Molex Incorporated, 2222 Wellington Court, Lisle, IL 60532 (US).
- (84) Date of publication of the international search report: 12 February 2004

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: POWER DELIVERY AND OTHER SYSTEMS FOR INTEGRATED CIRCUITS



(57) Abstract: Systems for power delivery, signal transfer, package design, thermal management, and electromagnetic interference ("EMI") control are provided to support an integrated circuit ("IC"). The power delivery system includes a power supply, a voltage regulator module and a decoupling capacitance in the form of discrete and/or integral capacitors. The voltage regulator module and decoupling capacitance are located in a connector that may be formed as a cover, socket or a frame for the IC. The power delivery system delivers power to the IC along top, bottom or sides of the IC. The signal transfer system couples signals from the IC to one or more circuits on a circuit board. The package design system for the IC permits signals and/or power to be coupled to selected sides of the IC at connections outside, flush with, recessed or inside the IC package. The package design system also permits the transferred signals to have different frequencies, such as high and low frequencies, and to utilize different types of signal interfaces, such as galvanic, capacitive or the like. The thermal management system utilizes a heat sink, a fan and/or a heat spreader to dissipate heat generated by the IC and/or voltage regulator module. The EMI control system blocks EMI generated by the IC.

WO 2003/028095 A3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/30593
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L23/055 H01L23/50 H01L23/498		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 306 948 A (ISOMURA SATORU ET AL) 26 April 1994 (1994-04-26) column 12, line 62 -column 13, line 2; figure 7	1-5,7-21
X	US 5 892 275 A (MCMAHON JOHN FRANCIS) 6 April 1999 (1999-04-06) column 2, line 31-33 column 2, line 42-48; figure 1	1-5,7-21
A	US 5 717 249 A (KANAZAWA KUNIHICO ET AL) 10 February 1998 (1998-02-10) figures 1,3	1,19
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		** Inter document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone **Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *** document member of the same patent family
Date of the actual completion of the international search	Date of mailing of the international search report	
17 July 2003	29/07/2003	
Name and mailing address of the ISA European Patent Office, P. B. 5016 Patentlaan 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Jobst, B	

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
Information on patent family members

Intel. Patent Application No.
PCT/US 02/30593

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5306948	A 26-04-1994	JP 5102262 A	23-04-1993
US 5892275	A 06-04-1999	NONE	
US 5717249	A 10-02-1998	JP 8335836 A KR 197187 B1	17-12-1996 15-06-1999

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW

(72) 発明者 ジェームス エル マグラス
アメリカ合衆国、イリノイ州 60108、ブルーミングデール、レン ドライブ 248

【要約の続き】

ールによって発生した熱を消散させるためにヒートシンク、ファン及びノ又は熱拡散部を利用する。EMI制御システムは、ICによって発生されるEMIを防ぐ。

【選択図】図11