

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/40

(45) 공고일자 1991년05월28일
(11) 공고번호 특1991-0003388

(21) 출원번호	특1988-0008144	(65) 공개번호	특1989-0001097
(22) 출원일자	1988년06월30일	(43) 공개일자	1989년03월18일
(30) 우선권주장	164459 1987년06월30일 일본(JP)		
(71) 출원인	니뽀 덴끼 가부시끼가이샤 세끼모토 다다히로 일본국 도오쿄도 미나또꾸 시바 5쵸메 33반 1고		
(72) 발명자	고바따께 히로유키 일본국 도오쿄도 미나또꾸 시바 5쵸메 33반 1고 니뽀 덴끼 가부시끼가이샤 나이		
(74) 대리인	이병호, 최달용		

심사관 : 김영길 (책자공보 제2307호)

(54) 반도체 메모리

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 메모리

[도면의 간단한 설명]

제 1 도는 본 발명의 일시시에에 따른 반도체 메모리의 회로다이어그램.

제 2 도는 제 1 도에 도시된 로우 프로그래밍 전압공급회로의 일예에 대한 회로다이어그램.

제 3 도는 제 1 도에 도시된 칼럼 프로그래밍 전압공급회로의 회로다이어그램.

제 4 도는 제 1 도에 도시된 반도체 메모리의 작동을 실증하는 프로그램 및 데이터 프로그래밍 작동에 대한 타이밍 차트도.

제 5 도는 제 1 도에 도시된 로우 프로그래밍 전압회로의 또 다른 예에 대한 회로다이어그램.

* 도면의 주요부분에 대한 부호의 설명

10 : 데이터 독출회로

16 : 전압공급회로

100 : 감지증폭기

1601 : 지연회로

[발명의 상세한 설명]

본 발명은 각 메모리 소자가 부동게이트를 갖는 절연된 게이트 전계효과 트랜지스터를 포함하고, 특히 메모리 소자가 실제로 프로그램된 프로그래밍 전압으로 공급되어진 천공검사를 하는 기능을 가지는 반도체 메모리에 관한 것이다.

반도체 메모리는 프로그램 가능한 판독전용 메모리(PROM)처럼 넓게 사용되는 메모리 트랜지스터와 같이 부동게이트를 가지는 절연된 게이트 전계효과 트랜지스터를 사용한다. 더욱이 상기 메모리 트랜지스터는 워드라인에 접속된 제어게이트 및 비트라인에 접속된 드레인-소스 통로를 가진다. 데이터 프로그래밍(기록) 동작에서, 프로그래밍 하이전압은 제어전극 및 부동게이트내에서 캐리어를 주입하기 위한 드레인-소스 통로에 인가되고, 따라서 메모리 트랜지스터의 임계전압은 제 1 로우값에서, 제 2 하이값으로 이동된다. 캐리어 부동게이트내로 주입되거나 캐리어가 부동게이트로부터 방출되면, 상기 메모리 트랜지스터는 제 1 로우임계전압을 갖는다.

캐리어 주입이 프로그래밍 전압 및 메모리 트랜지스터의 전기적 특성상에서 인가하기 위한 프로그래밍 전압 및/시간주기의 값에 좌우되기 때문에, 그것은 실제로 프로그램된 프로그래밍 전압으로 인가되어진 메모리 트랜지스터를 천공검사하도록 요구된다. 이 목적을 위해, 상기 PROM은 프로그래밍 전압으로 인가되어진 메모리 트랜지스터의 독출데이터에서 어드레스 데이터를 바꿈없이 데이터 프로그

래밍 동작후 즉시 데이터 판독동작으로 되게한다. 이 동작모드는 소위 "프로그램 천공동작"이라고 한다. 프로그램 천공동작에 있어서, 메모리 트랜지스터의 제어게이트는 독출전압이 제 1 임계전압보다 크지만 제 2 임계전압 보다는 작게 제공되어진다. 그러므로, 메모리 트랜지스터가 실제로 프로그램 되어졌을때, 그것은 독출전압에 의해 턴온되지 않으므로, 메모리 트랜지스터의 드레인-소스 통로를 통해 전류는 흐르지 않는다. 비트라인은 그것들로 인해 하이레벨로 유지되고 그리고 데이터 독출회로는 예를 들면, 출력데이터 "1"을 산출하는 비트라인에서 결합된다. 다른 한편으로는, 프로그램 된 것이 실패된 메모리 트랜지스터의 경우에 있어서, 그것은 독출전압에 의해 턴온되어진다. 이 경우에 있어서, 만일 메모리 트랜지스터의 임계전압이 판독전압보다 미소하게 작은 제 3 값에서 이동되어진다면, 메모리 트랜지스터의 전도 저항은 꽤 크고, 단지 그러므로 소전류는 그것의 드레인-소스 통로를 통해 흐른다. 비트라인의 전위레벨은 큰 시정수에 의해 더 낮아진다. 이 이유로 데이터 독출회로는 프로그램 천공동작 주기동안 출력데이터 "1"를 틀리게 산출한다. 따라서, 그것들은 판단에서 에러를 발생한다.

그러므로, 본 발명의 목적은 천공동작을 위해 개량된 회로배열을 포함하는 반도체 메모리를 제공하기 위한 것이다.

본 발명의 다른 목적은 실제로 프로그램되어진 프로그래밍 전압으로 제공되어진 메모리 트랜지스터를 확실하게 천공가능하도록 만드는 반도체 메모리를 제공하기 위한 것이다.

본 발명에 따른 반도체 메모리는 대다수의 워드라인, 각각의 워드라인을 가로지르는 대다수의 비트라인, 워드 및 비트라인 교차점의 하나와 다르게 장착된 대다수의 각 메모리 트랜지스터, 워드라인의 하나 및 비트라인의 하나를 선택하기 위한 어드레스 신호의 세트에 대한 응답수단, 선택된 워드라인 및 선택된 비트라인에서 프로그래밍 전압을 제공하기 위한 프로그램 제어신호에 대한 응답수단, 선택된 비트라인을 방전하기 위한 프로그램 제어신호의 소멸에 대한 응답수단, 선택된 비트라인이 방전된후 선택된 워드라인에서 독출전압을 제공하기 위한 수단 및 출력데이터를 산출하기 위한 선택된 비트라인에서 결합된 데이터 독출회로를 구비한다.

본 발명은 프로그램 천공동작 스타트전에 선택된 비트라인을 방전하기 위한 수단의 준비에 의해 특성지어진다. 상기 선택된 비트라인은 그것에 의해 로우레벨에서 변화된다. 따라서, 프로그램된 메모리 트랜지스터가 불충분한 프로그래밍을 통해 꽤 큰 전도저항을 가진다 할지라도, 데이터 독출회로는 예컨대 출력데이터 "0"을 산출한다. 그 경우에 있어서, 트랜지스터는 부가데이터 프로그래밍 동작에 의해 다시 프로그램 되어진다. 또 다른 한편으로, 메모리 트랜지스터가 잘 프로그램 되었을 때, 그것의 드레인-소스 통로를 통해 전류는 전혀 흐르지 않는다. 상기 선택된 비트라인은 출력데이터 "1"을 산출하는 데이터 독출회로에 의해 충전된다.

본 발명의 제시된 실시예에 있어서, 메모리 트랜지스터는 프로그램 천공동작 시작전에 선택된 비트라인을 방전한다. 이 목적을 위해, 선택된 워드라인은 프로그램 제어신호의 소멸로부터 예정된 시간 주기동안 프로그래밍 전압에서 유지되어진다.

상기 및 다른 목적들, 본 발명의 특징과 장점은 동봉한 도면을 관련시킨 다음의 설명으로부터 더욱 명백해진다.

제 1 도를 참조하면, 본 발명의 실시예에 따른 반도체 메모리(1)는 다수의 메모리 트랜지스터(QM)를 포함한다. 16메모리 트랜지스터(QM₀)에서 (QM₃₃)는 매트릭스형으로 배열된 이 실시예에서 보았다. 각 메모리 트랜지스터(QM)은 제어게이트, 부동게이트 및 드레인-소스통로를 가진다. 메모리 트랜지스터의 제어게이트는 동일열로 배열되고, QM₀에서 QM₃, QM₁₀에서 QM₁₃, QM₂₀에서 QM₂₃ 및 QM₃₀에서 QM₃₃은 각기 공핍타입의 부하 트랜지스터(QRL₀에서 QRL₃)를 통해 열 프로그래밍 전압공급회로(16)에 접속된 각각의 비트라인(B₀에서 B₃)에 공통으로 접속된다. 모든 메모리 트랜지스터(QM₀에서 QM₃₃)의 소스는 접지단자(8)에 접속된다. 스위칭 트랜지스터(QS₀에서 QS₃)의 게이트는 각기 행어드레스 디코더(13) 및 공핍타입의 부하 트랜지스터(QCL₀에서 QCL₃)를 거쳐 행프로그래밍 전압공급회로(15)에 접속된다. 상기 열프로그래밍 전압공급회로(16)는 단자(7)를 거쳐 파워전압, 단자(6)를 거쳐 프로그래밍 전압(V_{PP}) 및 단자(4)를 거쳐 프로그램 제어신호(PC)로 인가된다. 상기 회로(15)는 파워전압(V_{CC}), 프로그래밍 전압(V_{PP}) 및 프로그램 제어신호(PC)의 반전된 신호(\overline{PC})로 인가된다.

열어드레스 신호(RA₀에서 RA₁)는 각기 열어드레스 단자(2-0에서 2-i)에 제공되어지고 그리고 열어드레스 버퍼(13)내에 삽입되어진다. 행어드레스 신호(CA₀에서 CA₁)는 행어드레스 단자(3-0에서 3-j)에 제공되어지고 그리고 행어드레스 버퍼(11)내에 삽입되어진다. 열어드레스 디코더(14)는 버퍼(13)의 출력에 응답하고 워드라인(W₀에서 W₃)의 하나를 선택한다. 행어드레스 디코더(12)는 버퍼(11)의 출력에 응답하고 비트라인(B₀에서 B₃)의 하나를 선택하는 스위칭 트랜지스터(QS₀에서 QS₃)의 하나를 턴온한다. 따라서, 메모리 트랜지스터(QM₀에서 QM₃₃)의 하나는 어드레스신호(RA₀에서 RA₁ 및 CA₀에서 CA₁)의 세트에 응답하도록 표시되어진다.

데이터 프로그래밍(또는 기록) 동작에 있어서, 하이레벨 프로그램 제어신호(PC)는 단자(9)에 제공되어지고 프로그래밍 전압(V_{PP})은 단자(5)에 제공되는 약 12.5V의 설정된 높은값을 가진다. 이때에, 단자(6)는 입력데이터(DIN)로 공급되는 데이터 입력단자처럼 사용된다. 입력데이터가 "1"일 때, 프로그램 제어회로(9)는 노드(N)에서 프로그래밍 전압(V_{PP})을 전송하도록 프로그래밍 트랜지스터(QP)를 턴온한다. 다른 한편으로는, "0"의 입력데이터(DIN)는 트랜지스터(QP)를 턴오프하도록 회로(9)를 야기시킨다.

프로그램 천공동작에 있어서, 프로그램 제어신호(PC)는 로우레벨에서 변화되고 그리고 프로그래밍 전압(V_{PP})은 설정된 하이레벨로 유지된다. 프로그램 제어회로(9)는 단자(6)에서 데이터의 비전도상태

를 불문하고 트랜지스터(QP)를 유지한다. 데이터 독출회로(10)는 감지증폭기(100)가 단자(6)에서 출력데이터(Dout) 산출하도록 노드의 레벨을 검파하므로 활성화된다.

데이터 독출동작에 있어, 로우레벨 프로그램 제어신호(PC)는 단자(4)에서 제공되어지고 그리고 5V의 파워전압은 프로그래밍 전압(V_{pp}) 대신에 단자(5)에 제공되어진다. 프로그래밍 제어회로(9)는 그것에 의해 비활성화 되어지고 그리고 데이터 독출회로는 활성화된다.

제 2 도를 참고하면, 열, 프로그래밍 전압회로(16)는 세가지 공핍타입 트랜지스터(Q_{160} , Q_{161} 및 Q_{162}) 하나의 인헨스머타입 트랜지스터(Q_{163}), NOR 게이트(160) 및 보여진 것 처럼 접속된 지연회로(161)를 포함한다. 제 3 도를 참고하면, 행프로그래밍 전압공급회로(15)는 세 개의 공핍타입 트랜지스터(Q_{150} 에서 Q_{152}) 및(보여진 것 처럼 접속된) 하나의 인헨스머타입 트랜지스터를 포함한다. 제 1에서 3 도의, 모든 트랜지스터는 N-채널 타입이다.

상기 데이터 프로그래밍 동작 및 프로그램 천공동작은 제 1에서 4 도를 참조해 이하에서 설명되어진다. 하이레벨 프로그램 제어신호(PC)가 단자(4)에 제공되어진후, NOR 게이트(160)는 제 4 도에서 보인 것 같이, 로우레벨 출력을 산출한다. 상기 트랜지스터(Q_{160} 및 Q_{163})은 그것에 의해 턴오프되고 그리고 트랜지스터(Q_{161} 및 Q_{162})는 턴온된다. 그 결과, 회로(16)는 부하트랜지스터(Q_{RL0} 에서 Q_{RL3})의 각

각의 한 단부에서 프로그래밍 전압(V_{pp})에 공급된다. 반전된 프로그램 제어신호(\overline{PC})가 로우레벨을 유지하기 때문에, 트랜지스터(Q_{150} 및 Q_{153})은 턴오프되고 그리고 트랜지스터(Q_{151} 및 Q_{152})는 턴온된다. 따라서, 회로(15)는 부하트랜지스터(Q_{CL0} 에서 Q_{CL3})의 각각의 한 단부에서 프로그래밍 전압을 제공한다. 워드라인(W_0)이 유효한 열어드레스 신호(RA_0 에서 RA_1)에 응답하도록 선택되어지고 그리고 비트라인(B_0)이 유효한 행어드레스 신호(CA_0 에서 CA_1)에 응답하도록 선택되어진다고 가정하면, 열어드레스 디코더(14)는 접지점으로부터 워드라인(W_0)에 접속되지 않고 접지점에서 존속하는 비선택된 워드라인(W_1 에서 W_3)에 접속된다.

마찬가지로, 행어드레스 디코더(12)는 접지점으로부터 스위칭 트랜지스터(QS_0)의 게이트에 접속되지 않고 접지점에서 존속하는 스위칭 트랜지스터(QS_1 에서 QS_3)의 게이트에 접속된다. 그 결과, 선택된 워드라인(W_0)은 프로그래밍 전압(V_{pp})에서 끌어올려지고 그리고 트랜지스터(QS_0)는 그것의 게이트에 인가된 프로그래밍 전압(V_{pp})에 의해 턴온된다. 입력데이터의 "1"이 단자(6)에서 제공되어지므로, 프로그램 제어회로(9)는 선택된 비트라인(B_0)에서 프로그래밍 전압(V_{pp})에 제공하도록 트랜지스터(QP)를 턴온한다. 따라서, 메모리 트랜지스터(QM_0)는 표시되어지고 그리고 선택된 워드 및 비트라인(W_0 및 B_0)은 제 4 도에서 보인것처럼, 프로그래밍 전압(V_{pp})으로 제공되어진다. 프로그래밍 전압(V_p)이 제어게이트 및 표시된 메모리 트랜지스터(QM_0)의 드레인-소스 통로에 인가되므로, 캐리어같은 전자는 주입되고 그리고 그것의 부동게이트내에서 걸리게 된다. 만일 표시된 메모리 트랜지스터(QM_0)가 잘 프로그램 되었다면, 그것의 임계전압은 통상 제 1 값에서 2V, 제 2 값에서 10V로 이동되어진다.

천공화에 따른 표시된 메모리 트랜지스터(QM_0)는 잘 프로그램 되어지고, 프로그램 천공동작은 계속해 수행된다. 이 프로그램 천공동작에 있어서, 열 및 행어드레스 신호(RA_0 - RA_1 및 CA_0 - CA_1)는 변화되지 않고 그리고 프로그래밍 전압(V_{pp})는 설정된 고전압 12.5V에서 유지된다. 그러나, 프로그램 제어신호는 제4도에서 보인 것 같이 로우레벨로 변화된다. 상기 프로그램 제어회로(9)는 트랜지스터(QP)를 턴오프한다. 반전된 프로그램 제어신호(\overline{PC})가 하이레벨로 유지되므로, 트랜지스터(Q_{150} 및 Q_{153})은 턴온되고 트랜지스터(151)은 턴오프된다. 상기 5V의 파워전압(V_{cc})은 부하트랜지스터(Q_{CL1} 에서 Q_{CL3})에서 제공되어진다. 다른 한편으로, 지연회로(161)가 NOR 게이트(160)를 제공하도록 로우레벨 프로그램 제어신호(PC)를 지연하므로, NOR 게이트(160)의 출력은 제 4 도에서 보인 것 같이, 지연회로(161)의 지연시간에 의해 결정되어지는 설정된 시간 주기동안 로우레벨에서 유지되어진다. 따라서, 상기 회로(16)의 출력, 즉 선택된 워드라인(W_0)은 제 4 도에서 보인 것 같이 이 주기동안 프로그래밍 전압(V_{pp})에서 유지되어진다. 프로그래밍 전압(V_{pp})이 잘 프로그램된 메모리 트랜지스터(QM)의 제2임계레벨(10V)보다 크므로, 메모리 트랜지스터(QM_0)는 비트라인(B_0)을 방전하도록 전도상태에서 유지되어진다. 따라서, 비트라인(B_0)은 메모리 트랜지스터(QM_0)의 데이터를 독출하기전의 로우레벨에서 방전되어진다.

지연회로(161)가 NOR 게이트(160)에서 로우레벨 제공되므로, NOR 게이트(160)의 출력은 로우레벨로 바뀌고 상기 회로(16)은 제 4 도에서 보여지는 것같이, 파워전압(V_{cc})을 산출한다. 선택된 워드라인(W_0)은 독출전압과 같이 파워전압(V_{cc})로 제공되어진다. 표시된 메모리 트랜지스터(QM_0)가 잘 프로그램되어 실패되었다고 가정하면, 그것의 임계전압은 제 2값(10V)에서 이동되지 않고, 제 3값 예를 들면 4에서 이동되고, 그것은 독출전압(파워전압 V_{cc})보다 미소하게 작다. 메모리 트랜지스터(QM_0)는 그것에 의해 턴온되고, 그러나 그것의 전도저항은 꽤 크다. 소전류는 트랜지스터(QM_0)의 드레인-소스 통로를 통해서만 흐른다. 그러나, 상기 비트라인(B_0)은 데이터 판독전에 방전되었고, 그래서 비트라인(B_0)은 제 4 도에서 보여진 것 같이, 접지전압에 가까운 레벨을 유지한다. 반전된 프로그램 제어신호 \overline{PC} 에 의해 활성화된 감지증폭기(100)는 스위칭 트랜지스터 QS_0 를 통해 선택된 비트라인 B_0 의 전위레벨을 검출하며 제 4 도에 도시된 바와 같이, 출력데이터 Dout "0"를 발생한다. 출력데이

타 Dout를 체크하므로, 메모리 트랜지스터 QM_0 가 양호하게 프로그램되지 않음이 판단된다. 이것에 응답해서, 데이터 프로그래밍은 메모리 트랜지스터 QM_0 로 반복되며, 따라서 임계전압은 제고값으로 변화된다.

비트라인 B_0 가 작동을 확인하기전에 방전되면, 즉, 회로(16)가 프로그램 제어신호 PC의 충전점과 동기 전력전압 V_{CC} 를 발생하면, 비트라인 B_0 는, 메모리 트랜지스터 QM_0 의 드레인-소스 통로를 통해 흐르는 작은 전류에 의해 프로그램이 가능한 전압 V_{pp} 의 레벨로부터 방전된다. 결국, 비트라인 B_0 의 레벨은 매우 낮은 속도로 감소되며 감지증폭기(100)는 제 4 도에서 점선으로 표시된 바와 같이, 데이터 Dout"1"을 예러로 발생한다. 그러므로, 메모리 트랜지스터 QM_0 가 양호하게 프로그램되었다는 오 판단이 생긴다.

상술된 확인작동에서, 메모리 트랜지스터 QM_0 의 임계전압이 제고값으로 변화될 때, 트랜지스터 QM_0 는 독출전압에 의해 턴온되지 않는다. 비트라인 B_0 에 의해서 메모리 트랜지스터 QM_0 를 통해 전류가 흐르지 않는다. 따라서 비트라인 B_0 는 감지증폭기(100)에 의해 충전되며 출력데이터 Dout"1"이 발생된다.

데이터 프로그래밍 및 프로그램 확인작동이 메모리 트랜지스터 QM_0 에 대해 완수될 때, 새로운 로우 및 칼럼어드레스 신호 RA_0-RA_1 및 CA_0-CA_1 가 또다른 메모리 트랜지스터를 지정하기 위해 공급되며, 데이터 프로그래밍 및 확인작동이 새롭게 지정된 메모리 트랜지스터에 대해 수행된다.

제 5 도에 있어서, 로우 프로그래밍 전압공급회로(16)의 또다른 예에는 하나의 디플리션형 트랜지스터 Q_{200} , 네 개의 인헨스머트형 트랜지스터 Q_{201} 내지 Q_{204} 캐패시터 C_{200} , NOR 게이트(165) 및 도시된 바와 같이 접속되는 지연회로(166)이 포함된다. 프로그램 제어신호 PC가 하이레벨인 데이터 프로그래밍 작동에서, 트랜지스터 Q_{201} 및 Q_{204} 는 턴오프되며 트랜지스터 Q_{202} 및 Q_{203} 은 턴온된다. 지연회로(166)에 의해, 트랜지스터 Q_{204} 는 선정된 시간동안 비전도 상태로 유지되며, 따라서 프로그래밍 전압 V_{pp} 의 부스트된 레벨은 회로(16)의 출력으로부터 유도된다. 부스트된 레벨이 메모리 트랜지스터 QM 의 전도저항을 작게하므로, 선택된 비트라인 B는 레벨로 급히 방전된다. 그후에 트랜지스터 Q_{202} 및 Q_{203} 과 캐패시터 C_{200} 으로 구성된 전하평핑회로는 클럭신호 ϕ 에 응답하여 작동하며, 따라서 회로(16)는 프로그래밍 전압 V_{pp} 의 부스트된 레벨을 발생한다. 프로그램 제어신호 PC가 프로그램 확인작동을 수행하기 위해 낮은 레벨로 변화될 때, 트랜지스터 Q_{201} 는 전하평핑회로를 비활성화시키기 위해 턴온된다. 지연회로(166)는 낮은 레벨을 NOR 게이트(165)에 공급하며, NOR 게이트(165)의 출력은 트랜지스터 Q_{204} 를 턴온시키기 위해 높은 레벨로 병화한다. 결국, 회로(16)는 독출전압으로서 전력전압 V_{CC} 를 발생한다.

본 발명은 상기 실시예에 제한되지 않지만 본 발명의 범위 및 정신에서 벗어나지 않는한 변화 및 수정이 가능하다. 예를 들어, 프로그래밍 전압 V_{pp} 이 전력전압 V_{CC} 를 부스트하므로 초기에 획득될 수 있다. 칼럼 프로그래밍 전압공급회로(15)로부터의 출력전압이 로우 프로그래밍 공급회로(16)로부터의 출력전압과 같은 타이밍으로 변화될 수 있다. 이 경우에, 회로(16)는 회로(15)에 대해 공통으로 사용될 수 있다.

(57) 청구의 범위

청구항 1

반도체 메모리에 있어서, 복수의 워드라인과, 상기 각 워드라인과 각각 교차하는 복수의 비트라인과, 상기 워드 및 비트라인의 다른 교차에 배치된 복수의 메모리셀과, 상기 워드라인중 하나와 상기 메모리셀중 하나를 지정하기 위해 상기 비트라인중 하나를 선택하기 위해 한 세트의 어드레스 신호에 응답하는 수단과, 프로그래밍 전압을 선택된 워드라인 및 선택된 비트라인에 공급하기 위해 프로그램 제어신호에 응답하는 수단과, 선택된 비트라인을 방전시키기 위해 상기 프로그램 제어신호가 사라지는 것에 응답하는 수단과, 선택된 비트라인이 방전된후에 독출전압을 선택된 워드라인에 공급하기 위한 수단과, 선택된 비트라인의 전위레벨에 응답하는 데이터 신호를 발생하기 위해 선택된 비트라인에 결합된 수단을 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 2

제 1 항에 있어서, 상기 각 메모리셀을 상기 워드라인중 하나에 접속된 제어게이트를 갖는 전계효과 트랜지스터와, 상기 비트라인중 하나와 기준전위점 사이에 접속된 드레인-소스 통로와 부동게이트를 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 3

제 1 항에 있어서, 상기 방전수단이 상기 프로그램 제어신호가 사라지는 것을 응답하여 선정된 시간 동안 상기 제어전압을 선택된 워드에 인가하기 위한 수단을 구비하며, 상기 선택된 비트라인이 지정된 메모리셀에 의해 방전되는 것을 특징으로 하는 반도체 메모리.

청구항 4

상기 반도체 메모리는 프로그래밍 작동모드와 상기 프로그래밍 작동모드후에 연속적으로 수행되는 프로그램 확인 작동모드를 갖는 반도체 메모리에 있어서, 복수의 워드라인과, 복수의 비트라인과, 각각 상기 워드라인중 하나에 접속된 제어게이트를 갖는 복수의 메모리 트랜지스터와, 상기 비트라

인증 하나와 기준점 사이에 접속된 드레인-소스 통로와 부비동게이트와, 상기 워드라인중 하나와 상기 비트라인중 하나를 선택하기 위해 한 셋트의 어드레스 신호에 응답하는 어드레스 수단과, 프로그래밍 전압을 선택된 워드라인 및 선택된 비트라인에 공급하기 위해 상기 데이터 프로그래밍 작동에 응답하는 프로그래밍 수단과, 상기 프로그램 확인 작동모드 상태전에 선택된 비트라인을 방전하기 위한 수단과, 상기 프로그래밍 전압보다 작은 독출전압을 선택된 워드라인에 공급하기 위해 상기 프로그램 확인작동에 응답하는 수단을 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 5

제 4 항에 있어서, 상기 프로그래밍 수단은 상기 프로그래밍 전압이 공급되는 단자와, 상기 단자와 선택적 비트라인 사이에 결합된 프로그래밍 트랜지스터와 상기 데이터 프로그래밍 작동모드에 응답하여 상기 프로그래밍 트랜지스터를 턴온시키며 상기 데이터 프로그래밍 작동모드가 끝날 때 상기 프로그래밍 트랜지스터를 턴오프시키기 위한 수단을 구비하며, 상기 방전수단은 상기 프로그래밍 트랜지스터가 턴오프될 때 상기 선택된 비트라인을 방전시키는 것을 특징으로 하는 반도체 메모리.

청구항 6

반도체 메모리에 있어서, 복수의 워드라인과, 복수의 비트라인과, 상기 워드라인중 하나에 접속된 제어게이트를 갖는 복수의 메모리 트랜지스터와, 상기 비트라인중 하나와 기준점 사이에 접속된 부동게이트 및 드레인-소스 통로와 상기 워드라인중 하나를 선택하기 위해서 한 셋트의 로우 어드레스 신호에 응답하는 수단과, 선택된 워드라인에 프로그래밍 전압을 공급하기 위한 수단과, 회로노드와, 상기 비트라인중 하나를 선택하고 상기 회로노드에 선택된 비트라인을 결합시키기 위해 한 셋트의 칼럼 어드레스신호에 응답하는 수단과, 제 1시간동안에 상기 회로노드에 상기 프로그래밍 전압을 공급하기 위한 수단과, 상기 제 1시간이 경과한후에 제 2시간동안 상기 프로그래밍 전압으로 선택된 워드라인을 유지하기 위한 수단과, 상기 제 2시간이 경과한후에 선택된 워드라인을 독출전압으로 변화시키기 위한 수단과, 상기 독출전압보다 큰 상기 프로그래밍 전압을 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 7

반도체 메모리에 있어서, 제어게이트와, 부비동게이트 및 드레인-소스 통로, 제 1 전압이 공동되는 제 1 단자와, 상기 제 1 단자보다 큰 제 2 전압이 공급되는 제 2 단자와 제 1 및 제 2 논리레벨 사이에서 변하는 제어워드가 공급된 제 3 단자와, 상기 제 1 전압을 상기 제어게이트로 전달하기 위해 상기 메모리 트랜지스터의 상기 제어게이트와 상기 제 1 단자 사이에 결합된 제 1 수단과, 상기 제 2 전압을 상기 제어게이트에 전달하기 위해 상기 메모리 트랜지스터의 상기 제어게이트와 상기 제 2 단자 사이에 결합된 제 2 수단과, 상기 제 2 전압을 상기 제어게이트에 전달하기 위한 상기 제 2 수단을 지시하도록 상기 제어신호의 상기 제 1 논리레벨에 응답하여 상기 제 3 단자에 결합된 제 3 수단과, 선정된 시간이 상기 변화로부터 경과된후에 상기 제 1 전압을 상기 제어게이트에 전달하기 위한 상기 제 1 수단을 지시하도록 상기 제 1 논리레벨로부터 상기 제 2 논리레벨로 상기 제어신호가 변화하는 것에 응답하여 상기 제 3 단자에 결합된 제 4 수단을 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 8

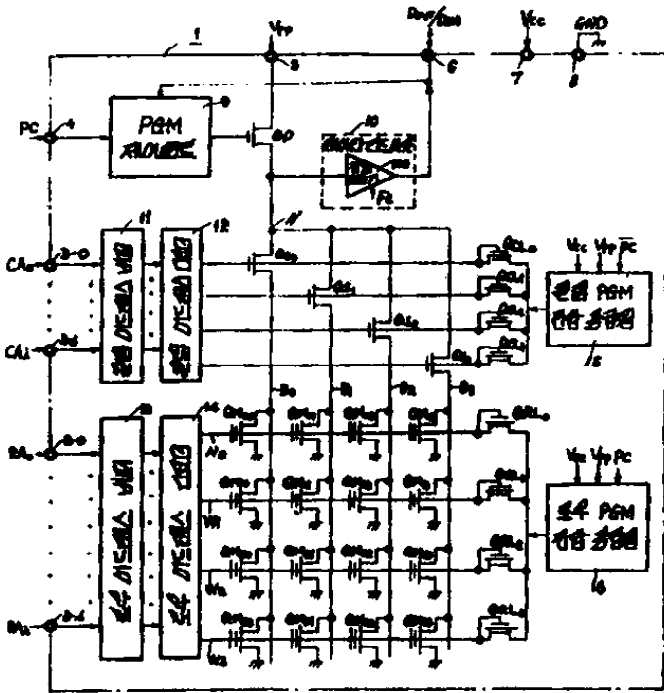
제 7 항에 있어서, 상기 제 4 수단이 상기 변화를 지연시키기 위한 지연회로수단을 구비하며, 상기 선정된 시간은 상기 지연회로수단의 지연시간에 의해 결정되는 것을 특징으로 하는 반도체 메모리.

청구항 9

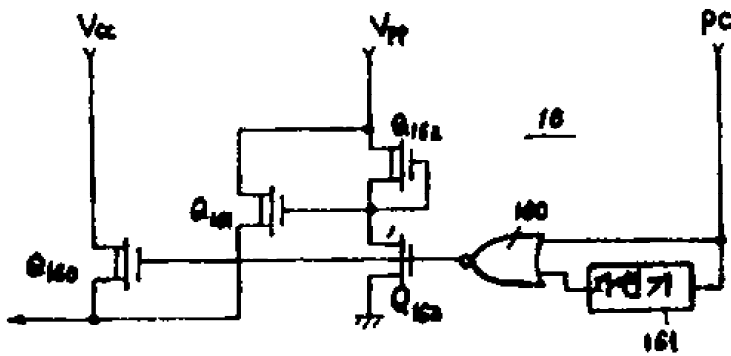
반도체 메모리에 있어서, 제어게이트와 부비동게이트 및 드레인-소스 통로를 갖는 복수의 메모리 트랜지스터와, 상기 메모리 트랜지스터중 하나를 선택하기 위한 수단과, 선택된 메모리 트랜지스터의 제어게이트와 드레인-소스 통로에 프로그래밍 전압을 인가하기 위한 수단, 상기 프로그래밍 전압이 선택된 메모리 트랜지스터의 제어게이트에 인가될 때 상기 프로그래밍 전압이 선택된 메모리 트랜지스터의 드레인-소스 통로에 인가되지 않도록 하기 위한 수단과, 독출전압을 상기 프로그래밍 전압에서 선택된 메모리 트랜지스터의 제어게이트에 인가하기 위한 수단을 구비하며, 상기 독출전압은 프로그래밍 전압보다 작은 것을 특징으로 하는 반도체 메모리.

도면

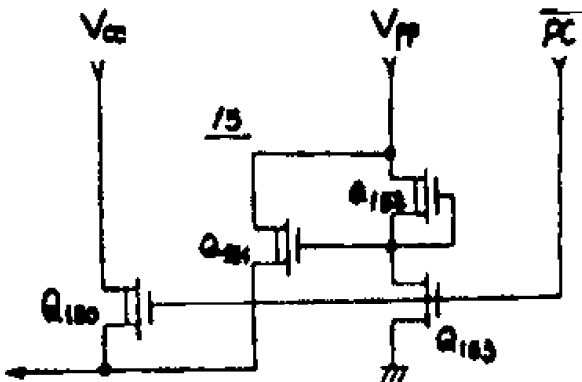
도면1



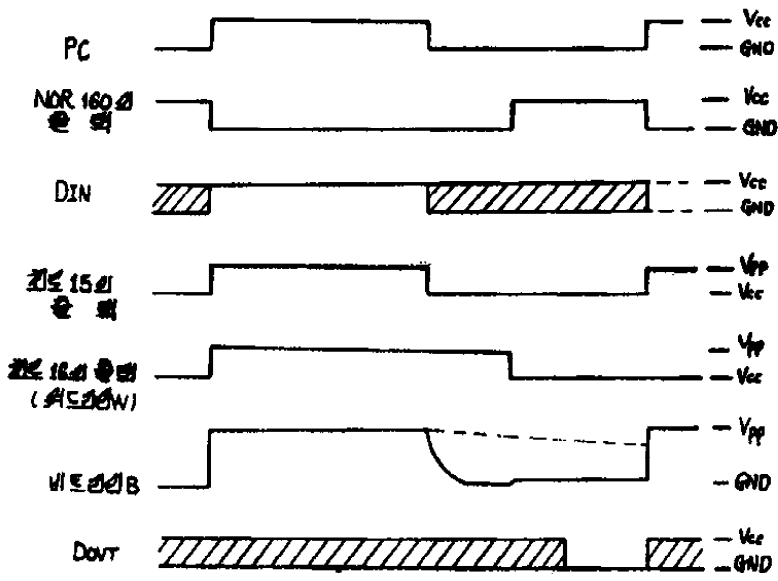
도면2



도면3



도면4



도면5

