

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/762

(45) 공고일자 2005년08월03일
(11) 등록번호 10-0505713
(24) 등록일자 2005년07월26일

(21) 출원번호 10-2003-0073836
(22) 출원일자 2003년10월22일

(65) 공개번호 10-2005-0038478
(43) 공개일자 2005년04월27일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박종철
경기도수원시팔달구매탄동그린빌506-703

(74) 대리인 리엔특허법인

심사관 : 김수미

(54) 셀로우 트렌치 소자 분리막 및 셀로우 트렌치 소자분리막의 형성 방법

요약

셀로우 트렌치 소자 분리막 및 셀로우 트렌치 소자 분리막의 형성 방법을 개시한다. 본 발명에 따른 셀로우 트렌치 소자 분리막은, 리세스 채널 트랜지스터가 형성되는 활성 영역을 한정하기 위한 소자 분리막이며, 반도체 소자의 활성 영역에 형성되는 리세스 채널 트렌치의 저면 높이에서 측방향으로 등글게 돌출된 라운드부를 갖는다. 이러한 라운드부를 갖는 셀로우 트렌치 소자 분리막을 형성하기 위하여, 본 발명에 따른 셀로우 트렌치 소자 분리막의 형성 방법은, 반도체 기판을 선택적으로 이방성 건식 식각하여 트렌치를 형성하는 단계, 리세스 채널 트렌치의 저면 높이 근방에서 상기 반도체 기판을 등방성 식각하여 라운드부가 형성되도록 하는 단계, 상기 반도체 기판을 더 이방성 건식 식각하여 STI 트렌치를 형성하는 단계, 상기 STI 트렌치가 형성된 결과물 상에 상기 STI 트렌치를 완전히 매립하는 절연막을 형성하는 단계, 및 상기 반도체 기판의 표면을 노출시키도록 상기 절연막이 형성된 결과물의 상면을 평탄화하는 단계를 포함한다.

대표도

도 3

색인어

셀로우 트렌치 소자 분리막, STI

명세서

도면의 간단한 설명

도 1a은 리세스 채널 트랜지스터를 형성하기 위한 레이아웃도이다.

도 1b, 도 1c 및 도 1d는 각각 도 1a의 A-A'선, B-B'선 및 C-C'선을 따라 자른 단면도로서, 종래의 웰로우 트렌치 소자 분리막 및 리세스 채널 트랜지스터를 구비하는 반도체 소자를 나타내는 도면들이다.

도 2a 및 도 2b는 종래의 웰로우 트렌치 소자 분리막에 의해 한정되는 활성 영역에 리세스 채널 트렌치를 형성하는 방법을 나타내는 단면도들이다.

도 3은 본 발명의 일 실시예에 따른 웰로우 트렌치 소자 분리막 및 이에 의해 한정된 활성 영역에 형성된 리세스 채널 트렌치를 나타내는 단면도이다.

도 4 내지 도 11은 본 발명의 일 실시예에 따른 웰로우 트렌치 소자 분리막 및 그 형성 방법을 설명하기 위한 단면도들이다.

도 12a 내지 도 15b는 본 발명의 일 실시예에 따른 웰로우 트렌치 소자 분리막이 형성된 반도체 기판에 리세스 채널 트랜지스터를 제조하는 공정을 설명하기 위한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 소자 및 그 제조 방법에 관한 것으로, 특히 리세스 채널 트랜지스터(recess channel transistor)의 제조를 위한 웰로우 트렌치 소자 분리막(Shallow Trench Isolation; STI) 및 그 형성 방법에 관한 것이다.

반도체 소자의 집적도가 증가함에 따라, 서로 인접한 소자들을 전기적으로 분리하기 위한 소자 분리 기술의 중요성이 더욱 증대되고 있다. 반도체 공정의 소자 분리 기술 중 하나인 웰로우 트렌치 소자 분리 방법은 반도체 기판에 활성 영역을 한정하는 트렌치를 형성하고, 이 트렌치(STI 트렌치) 내부를 절연 물질로 매립하여 소자 분리막을 형성하는 기술이다. 이러한 웰로우 트렌치 소자 분리 방법에서는, STI 트렌치 내에 절연 물질이 양호하게 매립될 수 있도록 하기 위해, STI 트렌치의 측벽이 포지티브 기울기(positive slope)를 갖도록 STI 트렌치를 형성한다. 다시 말해서, STI 트렌치 상부의 폭이 하부의 폭보다 더 크도록 트렌치 측벽에 기울기가 형성된다. 한국 공개특허공보 제 10-2001-0019290 호에는 STI 구조의 반도체 소자 분리 영역을 형성하는 방법이 개시되어 있다.

한편, DRAM 등 반도체 장치가 고집적화됨에 따라, 활성 영역에 형성된 트랜지스터의 단채널화로 인해 평면형 트랜지스터에서 펀치쓰루가 발생하여 고집적 소자 오동작의 원인이 된다. 이에 채널 길이를 증가시키기 위한 트랜지스터로 리세스 채널 트랜지스터(recess channel transistor; RCT)가 제안되었다. 리세스 채널 트랜지스터는, 활성 영역에 형성된 리세스 채널 트렌치(recess channel trench)의 외주면을 따라 채널을 형성시킴으로써 충분한 채널 길이를 확보하는 구조를 갖는 반도체 소자이다.

그런데, 종래의 웰로우 트렌치 소자 분리막에 의해 한정되는 활성 영역(active region)에 리세스 채널 트랜지스터를 제조하는 경우에, 리세스 채널 트렌치의 저면 양쪽에 실리콘 펜스(Si fence), 즉 잔류 기판 영역이 생기게 되는 문제점이 있다. 이러한 잔류 기판 영역은 리세스 채널 트랜지스터의 채널 길이를 크게 줄여주어 트랜지스터의 특성을 악화시키게 된다. 즉, 리세스 채널 트렌치의 저면 양쪽에 발생된 잔류 기판 영역은 리세스 채널 트랜지스터의 문턱 전압을 감소시키고 그 결과 누설 전류를 증가시키는 등 문제를 일으킨다.

도 1a는 리세스 채널 트랜지스터를 형성하기 위한 레이아웃도이다. 도 1a를 참조하면, STI에 의한 필드 영역(140)에 의해 활성 영역(10)이 한정되고, 이 활성 영역(10)과 필드 영역(140)을 가로 질러 게이트 라인의 패턴(20)이 형성되어 있다.

도 1b, 도 1c 및 도 1d는 각각 도 1a의 A-A'선, B-B'선 및 C-C'선을 따라 자른 단면도로서, 종래의 웰로우 트렌치 소자 분리막 및 리세스 채널 트랜지스터를 구비하는 반도체 소자를 나타내는 도면들이다.

먼저 도 1b를 참조하면, STI(140)에 의해 한정된 활성 영역에 내에 리세스 채널 트렌치(160)가 형성되어 있다. 리세스 채널 트렌치(160)에는 리세스 게이트(190)이 매립되어 있고, 리세스 게이트(190) 양측에는 소스/드레인 영역(150)이 형

성되어 있어 이 게이트(190)와 소스/드레인 영역(150)이 리세스 채널 트랜지스터를 구성하게 된다. 리세스 채널 트랜지스터의 채널은 화살표로 표시된 바와 같이 트렌치의 외주면을 따라 형성된다. 이에 따라 실리콘 기판(100)에 형성된 리세스 채널 트랜지스터의 채널 길이는 평면형 트랜지스터보다 더 길어진다.

그런데, 종래 구조의 STI에 의해 한정된 활성 영역에 리세스 채널 트랜지스터를 형성하는 경우, 도 1d에 도시된 바와 같이, 리세스 채널 트렌치(160)의 저면 양쪽에 실리콘 펜스, 또는 잔류 기판 영역(11)이 형성된다. 즉, 점선 원으로 표시된 영역과 같이 STI(140) 측벽과 리세스 게이트(190)의 측벽 사이에 실리콘 기판(100)의 일부가 잔류하게 되어 잔류 기판 영역(11)을 형성한다.

이와 같이 잔류 기판 영역(11)이 형성되는 경우에는, 도 1c에 도시된 바와 같이, 활성 영역 가장 자리의 채널 길이(도 1c의 화살표 참조)가 짧아지는 문제가 발생한다. 즉, 활성 영역 중심부의 채널 길이(도 1b 참조)에 비하여 활성 영역 가장 자리의 채널 길이(도 1c 참조)가 더 짧아지게 된다. 이와 같이 채널 길이가 감소되면, 트랜지스터의 문턱 전압이 감소하게 되고, 그 결과 누설 전류의 증가를 초래하게 된다.

도 2a 및 도 2b는 종래의 STI에 의해 한정되는 활성 영역에 리세스 채널 트렌치를 형성하는 방법을 나타내는 단면도들이다. 여기서, 도 2a 및 도 2b는 도 1a의 C-C'선을 따라 자른 단면도이다.

도 2a를 참조하면, 반도체 기판(100)에 포지티브 기울기의 측벽을 갖는 STI(140)를 형성한다. STI의 측벽이 포지티브 기울기를 갖는 이유는, 갭 필 마진(gap fill margin)을 확보하기 위하여 STI 트렌치의 측벽이 포지티브 기울기를 갖도록 STI 트렌치를 형성하였기 때문이다. 그 다음, STI(140)가 형성되어 있는 결과물의 전면 상에 리세스 트렌치를 정의하기 위한 마스크층 패턴을 형성한다. 이 때, 도 1a의 게이트 라인(도 1a의 참조 부호 20 참조)을 따라 라인 형태로 마스크층이 개방되도록 마스크층이 패터닝되기 때문에, 도 1a의 C-C'선을 따라 자른 단면도인 도 2a 및 도 2b에서는 패터닝된 마스크층이 나타나지 않는다.

그 후, 도 2b에 도시된 바와 같이, 상기 마스크층 패턴을 식각 마스크로 하여 이방성 건식 식각을 실시함으로써 리세스 채널 트렌치(160)를 형성한다. 이 때, 소자 분리막(140)에 대한 실리콘 기판(100)의 식각 선택비를 크게 하기 때문에, 소자 분리막(140)이 일정 깊이(H1)만큼 식각되는 동안 활성 영역에서의 실리콘 기판은 더 깊은 깊이(H2)로 식각된다.

그런데, 종래의 STI(140) 구조를 갖는 반도체 기판에서 리세스 채널 트렌치를 형성할 경우 포지티브 기울기를 갖는 STI를 경계로 식각이 진행되기 때문에, 도 2b에 도시된 바와 같이 리세스 채널 트렌치(160)의 저면 코너쪽에 잔류 기판 영역(11)이 형성되게 된다. 이는, 전술한 바와 같이, 활성 영역 가장 자리의 채널 길이를 크게 줄여주어 트랜지스터의 특성을 악화시키게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 문제점을 해결하기 위한 것으로서, STI에 의해 한정된 활성 영역에 리세스 채널 트랜지스터를 제조할 때 리세스 채널 트렌치의 저면 양쪽 코너에 잔류 기판 영역이 형성되는 것을 방지함으로써 트랜지스터 채널 길이를 충분히 확보하여 트랜지스터 특성을 개선할 수 있게 하는 웰로우 트렌치 소자 분리막을 제공하는 것이다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는 STI에 의해 한정된 활성 영역에 리세스 채널 트랜지스터를 제조할 때 리세스 채널 트렌치의 저면 양쪽 코너에 잔류 기판 영역이 형성되는 것을 방지함으로써 트랜지스터 채널 길이를 충분히 확보하여 트랜지스터 특성을 개선할 수 있게 하는 웰로우 트렌치 소자 분리막의 형성 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 본 발명에 따른 웰로우 트렌치 소자 분리막은, 리세스 채널 트랜지스터가 형성되는 활성 영역을 한정하기 위한 소자 분리막으로서, 반도체 소자의 활성 영역을 한정하는 STI 트렌치의 내벽상에 형성된 STI 라이너, 및 상기 STI 트렌치를 매립하도록 상기 STI 라이너 상에 형성된 절연막을 포함하고, 상기 STI 트렌치의 측벽은 전체적으로 포지티브 기울기를 갖되, 상기 반도체 소자의 활성 영역에 형성되는 리세스 채널 트렌치의 저면 높이 근방에서 측방향으로 둥글게 돌출된 라운딩부를 갖는다.

본 발명에 따른 상기 웰로우 트렌치 소자 분리막에 있어서, 상기 STI 라이너는, 상기 STI 트렌치의 내벽의 형상을 따라 상기 STI 트렌치의 내벽 상에 형성된 산화막, 및 상기 STI 트렌치의 내벽의 형상을 따라 상기 산화막 상에 형성된 질화막을 포함할 수 있다.

또한, 상기 웰로우 트렌치 소자 분리막에 있어서, 상기 STI 라이너는, 상기 산화막 및 그 위에 형성된 상기 질화막 이외에 상기 질화막 상에 형성된 산화막을 더 포함할 수 있다. 이 경우, 상기 질화막 상에 형성된 산화막은 HTO(High Temperature Oxide)막을 사용할 수 있다.

또한, 본 발명에 따르면, 상기 STI 트렌치 측벽은, 상기 라운딩부를 제외하고 75° 내지 85°의 포지티브 기울기를 가질 수 있다.

본 발명에 따른 웰로우 트렌치 소자 분리막에 의하면, 상기 웰로우 트렌치 소자 분리막에 의해 한정되는 활성 영역에 리세스 채널 트렌치를 형성하는 경우 상기 리세스 채널 트렌치의 저면은 실질적으로 평행한 평면이 되어 상기 소자 분리막과 인접한 상기 활성 영역의 가장자리의 채널 길이는 상기 활성 영역 중심부의 채널 길이와 동일하게 된다.

상기 다른 기술적 과제를 달성하기 위하여 본 발명에 따른 웰로우 트렌치 소자 분리막의 형성 방법은, 리세스 채널 트렌치스터가 형성되는 활성 영역을 한정하기 위한 소자 분리막을 형성하는 방법으로서, (a) 반도체 기판 상에 활성 영역을 정의하는 마스크층 패턴을 형성하는 단계; (b) 상기 마스크층 패턴을 식각 마스크로 하여, 상기 반도체 기판에 트렌치를 형성하도록 상기 반도체 기판을 이방성 건식 식각하는 단계; (c) 상기 이방성 건식 식각 후, 상기 마스크층 패턴을 식각 마스크로 하여 상기 반도체 기판을 습식 또는 등방성 건식 식각하여 측방향으로 돌출된 라운딩부가 형성되도록 하는 단계; (d) 상기 라운딩부 형성 후, 상기 마스크층 패턴을 식각 마스크로 하여 상기 반도체 기판을 이방성 건식 식각하여 STI 트렌치를 형성하는 단계; (e) 상기 STI 트렌치가 형성된 결과물 상에 상기 STI 트렌치를 완전히 매립하는 절연막을 형성하는 단계; 및 (f) 상기 반도체 기판의 표면을 노출시키도록 상기 절연막이 형성된 결과물의 상면을 평탄화하여 활성 영역을 한정하는 웰로우 트렌치 소자 분리막을 형성하는 단계를 포함한다.

본 발명에 따른 웰로우 트렌치 소자 분리막의 형성 방법에 있어서, 상기 (b) 단계에서의 이방성 건식 식각은 산화에 의한 패시베이션막(passivation layer)이 형성되면서 수행되는 것이 바람직하다.

또한, 상기 (b) 단계 및 상기 (d) 단계에서의 상기 이방성 건식 식각은, HBr 및 O₂를 포함하는 혼합 가스를 사용하는 반응성 이온 에칭(Reactive Ion Etching)일 수 있다. 이 경우, 25 mTorr의 압력에서 HBr 및 O₂ 가스를 각각 95 sccm 및 5 sccm의 유량으로 공급하여 상기 (b) 단계 및 (d) 단계에서의 반응성 이온 에칭을 수행할 수 있다. 이 때, 상기 (b) 단계 및 (d) 단계에서 반응성 이온 에칭 장비의 RF 전력은 150 내지 300 Watt로 유지하는 것이 바람직하다.

또한, 본 발명에 따른 웰로우 트렌치 소자 분리막의 형성 방법에 의하면, 상기 (c) 단계에서의 등방성 식각은 습식 식각이거나 등방성 건식 식각일 수 있다.

상기 (c) 단계에서의 등방성 식각이 등방성 건식 식각일 경우, 상기 (c) 단계에서의 등방성 건식 식각은 SF₆, HBr 및 O₂를 포함하는 혼합 가스를 사용하는 반응성 이온 에칭일 수 있다. 이 경우, 7 mTorr의 압력에서 SF₆, HBr 및 O₂ 가스를 각각 45 sccm, 75 sccm 및 8 sccm의 유량으로 공급하여 상기 (c) 단계에서의 반응성 이온 에칭을 수행할 수 있다. 이 때, 상기 (c) 단계에서 반응성 이온 에칭 장비의 RF 전력은 100 내지 500 Watt로 유지하는 것이 바람직하다. 또한, 상기 (c) 단계에서의 반응성 이온 에칭시 사용되는 상기 혼합 가스는 NF₃를 더 포함할 수도 있다.

본 발명에 따른 웰로우 트렌치 소자 분리막의 형성 방법에 의하면, 상기 (d) 단계와 상기 (e) 단계 사이에, 상기 STI 트렌치의 내벽 상에 STI 라이너를 형성하는 단계를 더 포함할 수 있다. 이 경우, 상기 STI 트렌치의 내벽 상에 STI 라이너를 형성하는 단계는, 상기 STI 트렌치의 내벽의 형상을 따라 상기 STI 트렌치의 내벽 상에 산화막을 형성하는 단계; 상기 STI 트렌치의 내벽의 형상을 따라 상기 산화막 상에 질화막을 형성하는 단계; 및 상기 STI 트렌치의 내벽의 형상을 따라 상기 질화막 상에 산화막을 형성하는 단계를 포함할 수 있다.

본 발명에 따른 웰로우 트렌치 소자 분리막의 형성 방법에 따르면, 상기 (f) 단계 후에 상기 활성 영역에 리세스 채널 트렌치를 형성하는 경우 상기 리세스 채널 트렌치의 저면은 실질적으로 평행한 평면이 되어 상기 활성 영역의 가장자리의 채널 길이는 상기 활성 영역 중심부의 채널 길이와 동일하게 된다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 다음에 예시되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 보호 범위가 다음에 설명되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 도면에서, 층 및 영역들의 크기는 설명의 명료성을 위하여 과장된 것일 수 있다.

도 3은 본 발명의 일 실시예에 따른 웰로우 트렌치 소자 분리막 및 이에 의해 한정된 활성 영역에 형성된 리세스 채널 트렌치를 나타내는 단면도이다. 도 3은 도 1a의 레이아웃도 상에서 C-C'선을 따라 자른 단면도이다.

도 3을 참조하면, 반도체 기판(200) 내에 STI 라이너(220) 및 이에 의해 둘러싸인 절연막(240)이 웰로우 트렌치 소자 분리막을 이루어 활성 영역을 한정하고 있다. 이 웰로우 트렌치 소자 분리막이 한정하는 활성 영역의 반도체 기판에는 웰로우 트렌치 소자 분리막의 측벽(또는 STI 라이너(220))를 경계로 리세스 채널 트렌치(260)가 형성되어 있다. 이 리세스 채널 트렌치(260)는 리세스 채널 트랜지스터를 제조하기 위해 형성된 것이다. 즉, 추후 이 리세스 채널 트렌치(260)에 리세스 게이트(도시 안됨)를 형성함으로써 리세스 채널 트랜지스터가 제조된다.

도 3에 도시된 바와 같이, 웰로우 트렌치 소자 분리막의 측벽은 전체적으로 포지티브 기울기를 갖되, 상기 반도체 소자의 활성 영역에 형성된 리세스 채널 트렌치(260)의 저면 높이가 근방에서 측방향으로 둥글게 돌출된 라운드부를 갖는다. 이와 같이 리세스 채널 트렌치 저면 높이가 근방에 형성된 라운드부로 인해, 종래의 구조(도 1d 또는 도 2b 참조)와 달리, 리세스 채널 트렌치의 저면 양쪽 코너에 잔류 기판 영역은 존재하지 않게 된다. 이에 따라 리세스 채널 트렌치의 저면 양쪽 코너에서 잔류 기판 영역으로 인한 채널 길이의 감소를 방지할 수 있게 된다.

다음으로, 본 발명의 일 실시예에 의한 웰로우 트렌치 소자 분리막의 형성 방법을 설명한다. 도 4 내지 도 11은 본 발명의 일 실시예에 따른 웰로우 트렌치 소자 분리막 및 그 형성 방법을 설명하기 위한 단면도들이다. 상기 도면들은 도 1a의 레이아웃도 상에서 C-C'선을 따라 자른 단면도들이다.

먼저, 도 4를 참조하면, 반도체 기판(200) 상에 패드 산화막(205) 및 질화막(210)을 순차적으로 형성한 후 질화막(210) 위에 패터닝을 위한 포토레지스트막(212)을 도포한다.

다음으로, 도 5에 도시된 바와 같이, 사진 공정을 통해 활성 영역을 한정하는 STI 트렌치를 정의하는 포토레지스트 패턴(212a)을 형성한 후, 이 포토레지스트 패턴(212a)을 마스크로 하여 건식 식각 방법으로 질화막(210) 및 패드 산화막(205)을 패터닝하여 질화막 패턴(210a) 및 패드 산화막 패턴(205a)을 형성한다.

다음으로, 도 6에 도시된 바와 같이, 포토레지스트 패턴(212a)을 제거한 후, 질화막 패턴(210a) 및 패드 산화막 패턴(205a)을 식각 마스크로 하여 이방성 건식 식각 함으로써 트렌치를 형성한다. 이 트렌치는 추후 형성될 STI 트렌치의 상부 부분에 해당한다. 이 때, 트렌치의 측벽은 후에 이루어질 절연막의 매립 공정을 양호하게 수행할 수 있도록 포지티브 기울기를 갖는다. 즉, 트렌치 상부의 폭이 하부의 폭보다 더 크도록 트렌치의 측벽의 기울기가 형성된다. 이 기울기는 통상 75° 내지 85°의 포지티브 기울기가 되도록 형성되는 것이 바람직하다.

도 6에 도시된 바와 같은 트렌치를 형성하기 위한 이방성 건식 식각으로는, HBr 및 O₂ 가스의 혼합 가스를 사용하는 반응성 이온 에칭(Reactive Ion Etching)이 바람직하다. 이 경우, HBr 및 O₂의 유량은 각각 95 sccm 및 5 sccm이 되도록 하고, 25 mTorr의 압력에서 150 내지 300 Watt의 RF 전력으로 반응성 이온 에칭을 수행한다. 또한, 이 반응성 이온 에칭 시 사용되는 혼합 가스는 Cl₂를 더 포함할 수도 있다.

이와 같은 이방성 건식 조건에서는 식각과 동시에 산화(oxidation)에 의한 패시베이션막(passivation layer), 즉 보호막이 형성되어, 이 패시베이션 막이 추후 진행될 습식 또는 건식 식각 공정(도 7 및 도 8 참조)으로부터 트렌치의 측벽을 보호할 수 있게 한다. 이 최초 단계의 이방성 건식 식각은, 트렌치의 저면이 나중에 반도체 기판(200)에 형성될 리세스 채널 트렌치(도 14a의 참조 부호 260 참조)의 저면 높이가 근방에 이를 때까지 수행한다.

그 후, 도 7에 도시된 바와 같이, 패드 산화막 패턴(205a) 및 질화막 패턴(210a) 패턴을 식각 마스크로 하여 등방성 식각을 수행한다. 이 등방성 식각은 추후 반도체 기판(200)에 형성될 리세스 채널 트렌치의 저면 높이가 근방에서 수행한다. 이러한 등방성 식각으로는 화학 약액을 사용한 습식 식각을 이용하거나 또는 등방성 건식 식각을 이용할 수 있다.

등방성 건식 식각을 이용할 경우, SF₆, HBr 및 O₂의 혼합 가스를 사용하는 반응성 이온 에칭이 바람직하다. 이 경우, SF₆, HBr 및 O₂의 유량은 각각 45 sccm, 75 sccm 및 8 sccm이 되도록 하고, 7 mTorr의 압력에서 100 내지 500 Watt의 RF 전력으로 반응성 이온 에칭을 수행한다. 또한, 이 반응성 이온 에칭시 사용되는 혼합 가스는 NF₃를 더 포함할 수 있다.

이와 같은 등방성 식각에 의하여, 도 7에 도시된 바와 같이, 트렌치의 측벽에는 측방향으로 둥글게 돌출된 라운딩부(rounding portion)가 형성된다. 즉, 등방성 식각을 통해 트렌치 측벽에 라운딩 처리를 하게 되는 것이다. 이 라운딩부는 추후 리세스 채널 트렌치 형성시 리세스 채널 트렌치의 저면 양쪽에 잔류 기판 영역이 발생하는 것을 차단하는 역할을 한다.

다음으로, 도 8에 도시된 바와 같이, 패드 산화막 패턴(205a) 및 질화막 패턴(210a)을 식각 마스크로 하여 다시 이방성 건식 식각을 수행하여 STI 트렌치를 완성한다. 이 때의 이방성 건식 식각은 최초 단계의 이방성 건식 식각(도 6 참조)과 동일한 조건으로 수행할 수 있다. 즉, 95 sccm의 유량을 갖는 HBr와 5 sccm의 유량을 갖는 O₂의 혼합 가스를 사용하여 25 mTorr의 압력에서 150 내지 300 Watt의 RF 전력으로 반응성 이온 에칭을 수행하여 상기 이방성 건식 식각 공정을 진행할 수 있다.

이와 같은 공정을 통해 형성된 STI 트렌치는 전체적으로 포지티브 기울기를 갖는 트렌치 측벽을 가지므로, 추후 수행될 절연막의 매립 공정(도 9 참조)이 양호하게 수행될 수 있다. 또한, 이상 설명한 다단계의 식각(multi step etching) 공정을 통해 형성된 STI 트렌치는, 추후 형성될 리세스 채널 트렌치의 저면 높이 근방에서 측방향으로 둥글게 돌출된 라운딩부를 구비한다.

다음으로, 도 9에 도시된 바와 같이, STI 내벽 상에 STI 라이너(220)를 형성한 후 STI 트렌치를 완전히 매립하는 절연막(240)을 형성한다. 이 때, STI 측벽은 전체적으로 포지티브 기울기를 갖기 때문에, 절연막(240) 매립시 갭 필 마진(gap fill margin)의 악화를 최소화할 수 있다. STI 트렌치를 매립하는 절연막(240)으로는 USG 막, HDP 산화막, 또는 PECVD 법을 이용하여 형성한 TEOS 막 등이 사용될 수 있다. 이 중, HDP 산화막이 STI 트렌치 매립에 적합하다.

다음으로, 도 10에 도시된 바와 같이, 절연막(240)을 평탄화하여 절연막(240)이 질화막 패턴(210a)의 상부 표면과 실질적으로 동일한 레벨이 되도록 한다. 이 때 절연막(240)의 평탄화 공정으로는 CMP(Chemical Mechanical polishing) 공정 또는 에치백 공정을 이용할 수 있다. 이 때, 질화막 패턴(210a)는 평탄화의 정지막으로 사용될 수 있다.

다음으로, 도 11에 도시된 바와 같이, 질화막 패턴(210a) 및 패드 산화막 패턴(205a)를 제거한 후 다시 평탄화하여 활성 영역의 반도체 기판(200)과 단차가 없는 웰로우 트렌치 소자 분리막을 형성한다. 이 웰로우 트렌치 소자 분리막에 의해 리세스 채널 트렌치스터가 형성될 활성 영역을 한정하게 된다. 질화막 패턴(210a), 패드 산화막 패턴(205a) 및 절연막(240)을 한꺼번에 CMP로 평탄화함으로써 도 10 및 도 11에서 설명한 평탄화 공정을 한번에 수행할 수도 있다. 그 후, 리세스 채널 트렌치스터가 형성될 활성 영역의 반도체 기판(200)에 기판(200)의 도전형과 다른 도전형의 불순물을 주입하여 소스/드레인 영역이 될 불순물 영역(250)을 형성한다.

이상 설명한 웰로우 트렌치 소자 분리막의 형성 방법에 의하면, STI 트렌치의 측벽은 전체적으로 포지티브 기울기를 갖기 때문에 STI 트렌치에 절연막을 매립할 때 갭 필 마진이 악화되는 것을 최소화할 수 있다. 또한, 본 실시예에 의한 웰로우 트렌치 소자 분리막은 추후 형성될 리세스 채널 트렌치의 저면 높이 근방에서 측방향으로 둥글게 돌출된 라운딩부를 갖기 때문에, 후술하는 바와 같이 리세스 채널 트렌치의 저면 양쪽 코너에서 잔류 기판 영역이 형성되지 않는다. 따라서, 충분한 채널 길이를 확보할 수 있으므로 트렌치스터의 특성 악화를 방지할 수 있게 된다.

도 12a 내지 도 15b는 본 발명의 일 실시예에 따른 웰로우 트렌치 소자 분리막이 형성된 반도체 기판에 리세스 채널 트렌치스터를 제조하는 공정을 설명하기 위한 단면도들이다. 각 도면의 아래 부분에 표시된 "A-A" 또는 "C-C"는 각 도면이 도 1a의 레이아웃도 상에서 A-A'선 또는 C-C'선을 따라 자른 단면도임을 나타낸다.

도 12a 및 도 12b를 참조하면, 본 발명에 의해 형성된 웰로우 트렌치 소자 분리막을 구비한 반도체 기판 전면 상에 산화막(270) 및 포토레지스트막(280)을 형성한다. 이 산화막(270)은 추후 패터닝되어 리세스 채널 트렌치 형성을 위한 식각 마스크층으로 사용된다.

다음으로, 도 13a 및 도 13b를 참조하면, 포토레지스트막(280)을 패터닝하여 리세스 채널 트렌치를 형성할 부위를 오픈하는 포토레지스트막 패턴(280a)을 형성하고, 이를 식각 마스크로 하여 산화막을 선택적으로 식각함으로써 산화막 패턴(270a)을 형성한다.

다음으로, 도 14a 및 도 14b에 도시된 바와 같이, 포토레지스트막 패턴(280a)을 제거한 다음, 산화막 패턴(270a)을 식각 마스크로 하여 노출된 반도체 기판을 선택적으로 이방성 건식 식각함으로써 리세스 채널 트렌치(260)를 형성한다. 이 때, 도 14a의 점선으로 표시된 바와 같이, 반도체 기판(200) 물질만이 식각될 뿐만 아니라 소자 분리막(220, 240) 부분도 약간 식각된다. 즉, 소자 분리막(220, 240) 물질에 대한 반도체 기판(200) 물질의 식각 선택비를 매우 크게 함으로써 반도체 기판이 깊게 식각되고 소자 분리막 부분은 얇은 깊이로 소량 식각된다.

도 14a에 도시된 바와 같이, 본 발명에 따른 셀로우 트렌치 소자 분리막(220, 240)에 의해 한정된 활성 영역에 리세스 채널 트렌치(260)를 형성하는 경우, 셀로우 트렌치 소자 분리막(220, 240)의 측벽은 리세스 채널 트렌치(260)의 저면 높이 근방에서 측방향으로 둥글게 돌출된 라운딩부를 갖고 있기 때문에, 리세스 채널 트렌치(260)의 저면은 실질적으로 평행한 평면을 이룬다. 즉, 도 2b를 참조하여 설명한 바와 같은 잔류 기판 영역(도 2b의 참조 부호 11 참조)이 존재하지 않게 된다. 따라서, 나중에 리세스 채널 트렌치스터를 제조한 경우, 상기 잔류 기판 영역으로 인한 트렌치스터 채널 길이의 감소 현상은 발생되지 않는다.

다음으로, 도 15a 및 도 15b에 도시된 바와 같이, 리세스 채널 트렌치(260)의 내벽 상에 게이트 산화막(292)을 형성한 후 게이트 산화막(292) 상에 리세스 채널 트렌치(260)를 매립하는 게이트 폴리실리콘층(294), WSi 등의 게이트 금속층(296) 및 질화막 등의 캡핑막(298)의 패턴을 형성한다. 이에 따라 게이트 산화막(292)과 게이트 스택(290)으로 이루어진 리세스 게이트가 형성된다. 그 후, 게이트 스택(290)을 구성하는 게이트 폴리실리콘층(294), 게이트 금속층(296) 및 캡핑막(298)의 측벽에 측벽 스페이서(295)를 형성한다. 이에 따라, 리세스 게이트(290, 292) 및 리세스 게이트 양측에 형성된 소스/드레인 영역(250)으로 구성된 리세스 채널 트렌치스터가 제조된다.

도 15a에 도시된 바와 같이, 본 발명에 따른 셀로우 소자 분리막에 의해 한정된 활성 영역에 리세스 채널 트렌치스터를 제조하는 경우, 리세스 게이트 저면이 실질적으로 평행한 평면을 이룬다. 따라서, 활성 영역 중심부의 채널 길이와 활성 영역 가장자리의 채널 길이는 거의 동일하게 되어, 활성 영역 가장자리에서의 채널 길이의 감소 현상을 억제할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 의한 셀로우 트렌치 소자 분리막에 의해 한정된 활성 영역에 리세스 채널 트렌치를 형성하는 경우, 셀로우 트렌치 소자 분리막의 라운딩부는 리세스 채널 트렌치의 저면 양쪽에서 잔류 기판 영역이 형성되는 것을 억제하여 준다. 이에 따라, 리세스 채널 트렌치의 저면은 실질적으로 평행한 평면이 되어, 활성 영역 가장자리에서의 채널 길이의 감소 현상이 방지된다. 따라서, 채널 길이 감소에 의한 문턱 전압의 감소 및 누설 전류의 증가 현상을 억제하고, 리세스 채널 트렌치스터의 소자 특성을 개선할 수 있게 된다. 또한, 본 발명에 의하면, STI 트렌치의 측벽은 라운딩부이외에는 전체적으로 포지티브 기울기를 갖기 때문에, 절연막 매립시 갭 필 마진의 악화를 최소화할 수 있다.

(57) 청구의 범위

청구항 1.

리세스 채널 트렌치스터가 형성되는 활성 영역을 한정하기 위한 셀로우 트렌치 소자 분리막에 있어서,

반도체 소자의 활성 영역을 한정하는 STI 트렌치의 내벽상에 형성된 STI 라이너; 및

상기 STI 트렌치를 매립하도록 상기 STI 라이너 상에 형성된 절연막을 포함하고,

상기 STI 트렌치의 측벽은 전체적으로 포지티브 기울기를 갖되, 상기 반도체 소자의 활성 영역에 형성되는 리세스 채널 트렌치의 저면 높이 근방에서 측방향으로 둥글게 돌출된 라운딩부를 갖는 것을 특징으로 하는 셀로우 트렌치 소자 분리막.

청구항 2.

제1항에 있어서, 상기 STI 라이너는,

상기 STI 트렌치의 내벽의 형상을 따라 상기 STI 트렌치의 내벽 상에 형성된 산화막; 및

상기 STI 트렌치의 내벽의 형상을 따라 상기 산화막 상에 형성된 질화막을 포함하는 것을 특징으로 하는 셀로우 트렌치 소자 분리막.

청구항 3.

제2항에 있어서, 상기 STI 라이너는,

상기 STI 트렌치의 내벽의 형상을 따라 상기 질화막 상에 형성된 산화막을 더 포함하는 것을 특징으로 하는 셀로우 트렌치 소자 분리막.

청구항 4.

제1항에 있어서, 상기 STI 트렌치 측벽은, 상기 라운딩부를 제외하고 75°내지 85°의 포지티브 기울기를 갖는 것을 특징으로 하는 셀로우 트렌치 소자 분리막.

청구항 5.

제1항에 있어서, 상기 셀로우 트렌치 소자 분리막에 의해 한정되는 활성 영역에 리세스 채널 트렌치를 형성하는 경우 상기 리세스 채널 트렌치의 저면은 실질적으로 평행한 평면이 되어 상기 소자 분리막과 인접한 상기 활성 영역의 가장자리의 채널 길이는 상기 활성 영역 중심부의 채널 길이와 동일하게 되는 것을 특징으로 하는 셀로우 트렌치 소자 분리막.

청구항 6.

리세스 채널 트랜지스터가 형성되는 활성 영역을 한정하기 위한 셀로우 트렌치 소자 분리막을 형성하는 방법에 있어서,

(a) 반도체 기판 상에 활성 영역을 정의하는 마스크층 패턴을 형성하는 단계;

(b) 상기 마스크층 패턴을 식각 마스크로 하여, 상기 반도체 기판에 트렌치를 형성하도록 상기 반도체 기판을 이방성 건식 식각하는 단계;

(c) 상기 이방성 건식 식각 후, 상기 마스크층 패턴을 식각 마스크로 하여 리세스 채널 트렌치의 저면 높이 근방에서 상기 반도체 기판을 등방성 식각하여 측방향으로 돌출된 라운딩부를 형성하는 단계;

(d) 상기 라운딩부 형성 후, 상기 마스크층 패턴을 식각 마스크로 하여 상기 반도체 기판을 이방성 건식 식각하여 STI 트렌치를 형성하는 단계;

(e) 상기 STI 트렌치가 형성된 결과물 상에 상기 STI 트렌치를 완전히 매립하는 절연막을 형성하는 단계; 및

(f) 상기 반도체 기판의 표면을 노출시키도록 상기 절연막이 형성된 결과물의 상면을 평탄화하여 활성 영역을 한정하는 셀로우 트렌치 소자 분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 셀로우 트렌치 소자 분리막의 형성 방법.

청구항 7.

제6항에 있어서, 상기 (b) 단계에서의 이방성 건식 식각은 산화에 의한 패시베이션막이 형성되면서 수행되는 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 8.

제6항에 있어서, 상기 (b) 단계 및 상기 (d) 단계에서의 상기 이방성 건식 식각은, HBr 및 O₂를 포함하는 혼합 가스를 사용하는 반응성 이온 에칭인 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 9.

제8항에 있어서, 상기 (b) 단계 및 상기 (d) 단계에서의 상기 반응성 이온 에칭은, 25 mTorr의 압력에서 HBr 및 O₂ 가스를 각각 95 sccm 및 5 sccm의 유량으로 공급하여 수행되는 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 10.

제9항에 있어서, 상기 (b) 단계 및 상기 (d) 단계에서의 상기 반응성 이온 에칭은 150 내지 300 Watt의 RF 전력으로 수행되는 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 11.

제6항에 있어서, 상기 (c) 단계에서의 등방성 식각은 습식 식각인 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 12.

제6항에 있어서, 상기 (c) 단계에서의 등방성 식각은 등방성 건식 식각인 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 13.

제12항에 있어서, 상기 (c) 단계에서의 상기 등방성 건식 식각은, SF₆, HBr 및 O₂ 를 포함하는 혼합 가스를 사용하는 반응성 이온 에칭인 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 14.

제13항에 있어서, 상기 (c) 단계에서의 상기 반응성 이온 에칭은, 7 mTorr의 압력에서 SF₆, HBr 및 O₂ 가스를 각각 45 sccm, 75 sccm 및 8 sccm의 유량으로 공급하여 수행되는 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 15.

제14항에 있어서, 상기 (c) 단계에서의 상기 상기 반응성 이온 에칭은 100 내지 500 Watt의 RF 전력으로 수행되는 것을 특징으로 하는 웰로우 트렌치 소자 분리막의 형성 방법.

청구항 16.

제13항에 있어서, 상기 (c) 단계에서의 반응성 이온 에칭시 사용되는 상기 혼합 가스는 NF_3 를 더 포함하는 것을 특징으로 하는 셀로우 트렌치 소자 분리막의 형성 방법.

청구항 17.

제6항에 있어서, 상기 (d) 단계와 상기 (e) 단계 사이에, 상기 STI 트렌치의 내벽 상에 STI 라이너를 형성하는 단계를 더 포함하는 것을 특징으로 하는 셀로우 트렌치 소자 분리막의 형성 방법.

청구항 18.

제17항에 있어서, 상기 STI 트렌치의 내벽 상에 STI 라이너를 형성하는 단계는,

상기 STI 트렌치의 내벽의 형상을 따라 상기 STI 트렌치의 내벽 상에 산화막을 형성하는 단계;

상기 STI 트렌치의 내벽의 형상을 따라 상기 산화막 상에 질화막을 형성하는 단계; 및

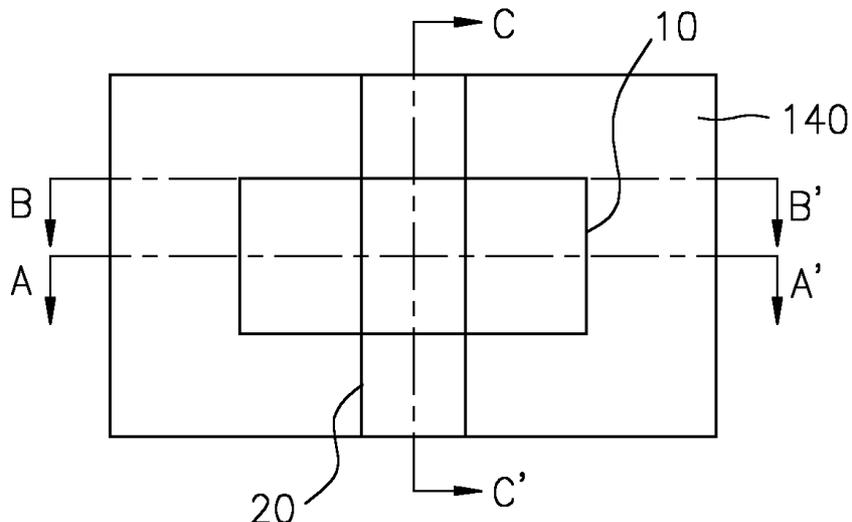
상기 STI 트렌치의 내벽의 형상을 따라 상기 질화막 상에 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 셀로우 트렌치 소자 분리막의 형성 방법.

청구항 19.

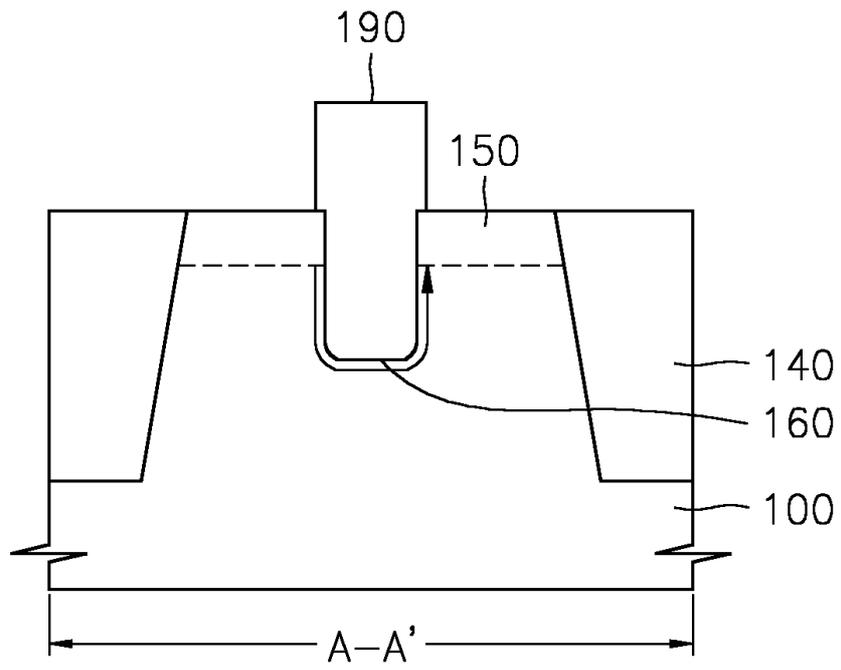
제6항에 있어서, 상기 (f) 단계 후에 상기 활성 영역에 리세스 채널 트렌치를 형성하는 경우 상기 리세스 채널 트렌치의 저면은 실질적으로 평행한 평면이 되어 상기 활성 영역의 가장자리의 채널 길이는 상기 활성 영역 중심부의 채널 길이와 동일하게 되는 것을 특징으로 하는 셀로우 트렌치 소자 분리막의 형성 방법.

도면

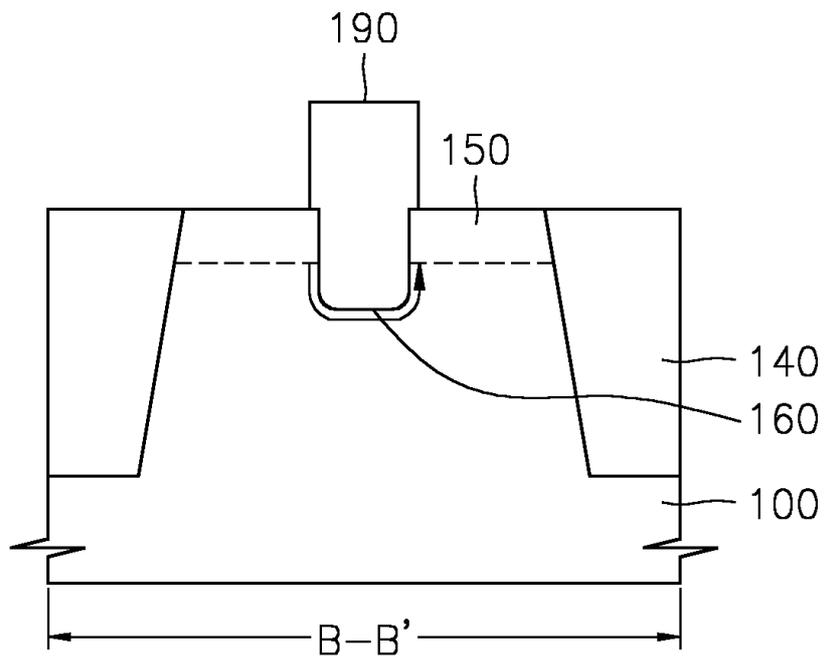
도면1a



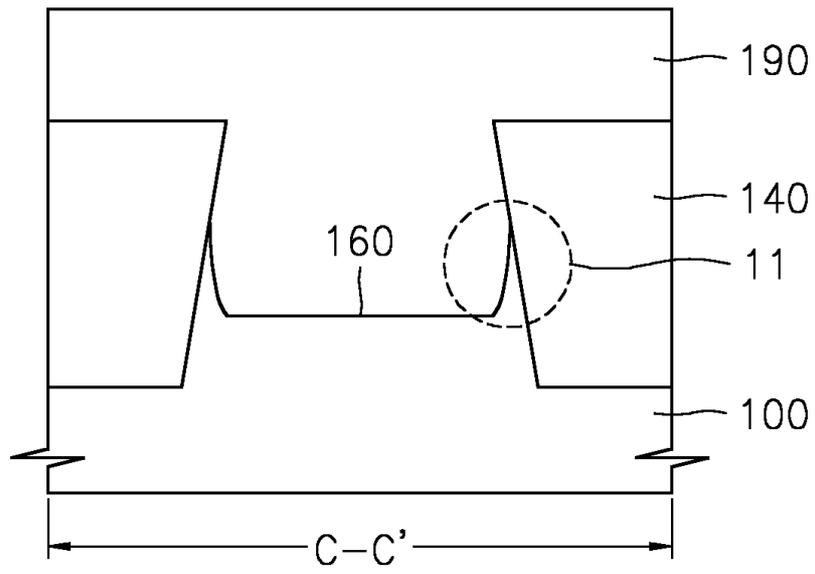
도면1b



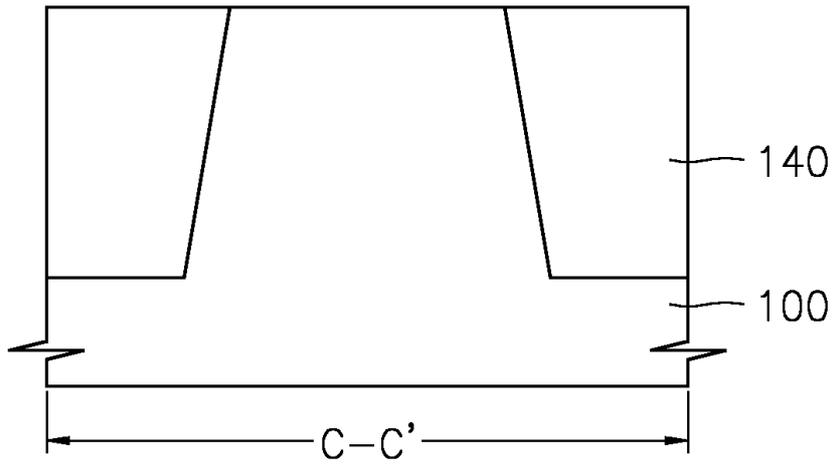
도면1c



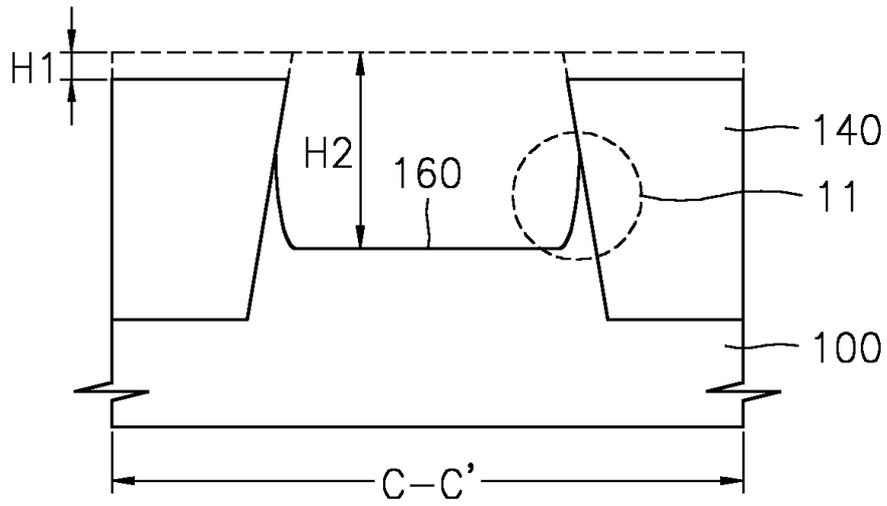
도면1d



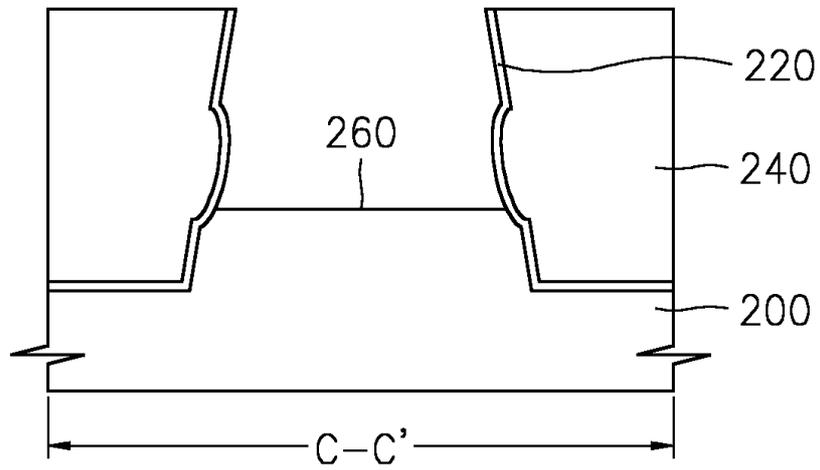
도면2a



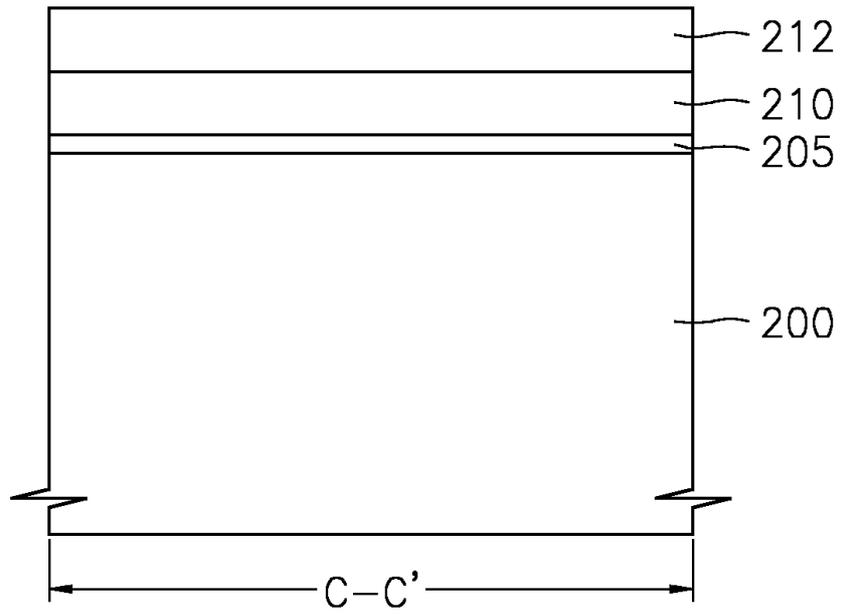
도면2b



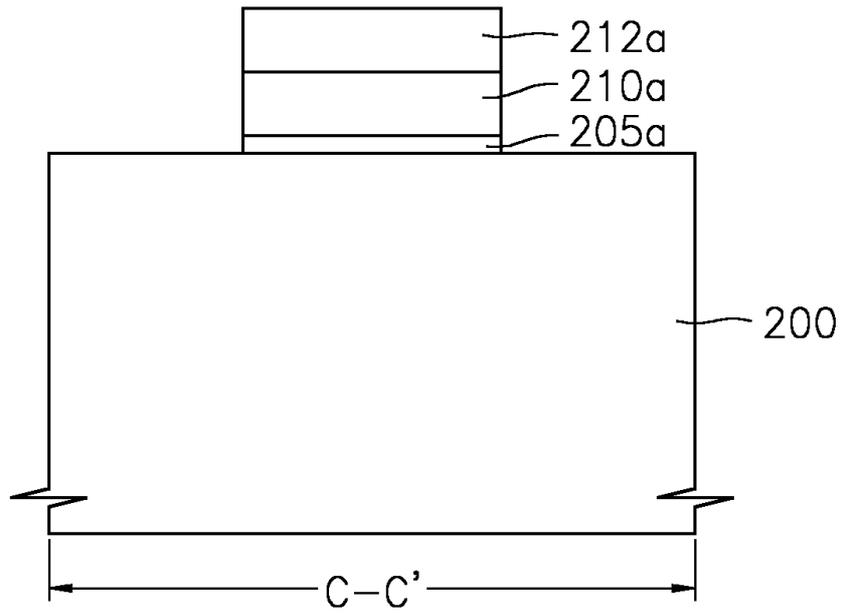
도면3



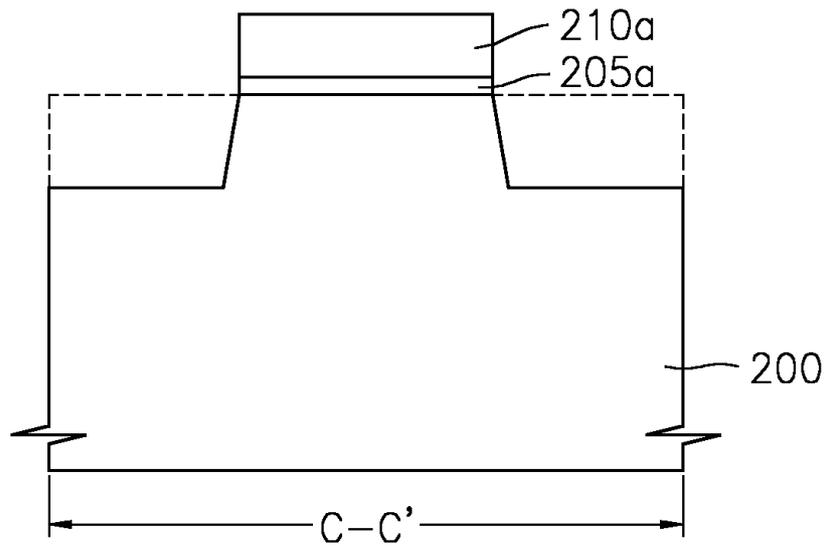
도면4



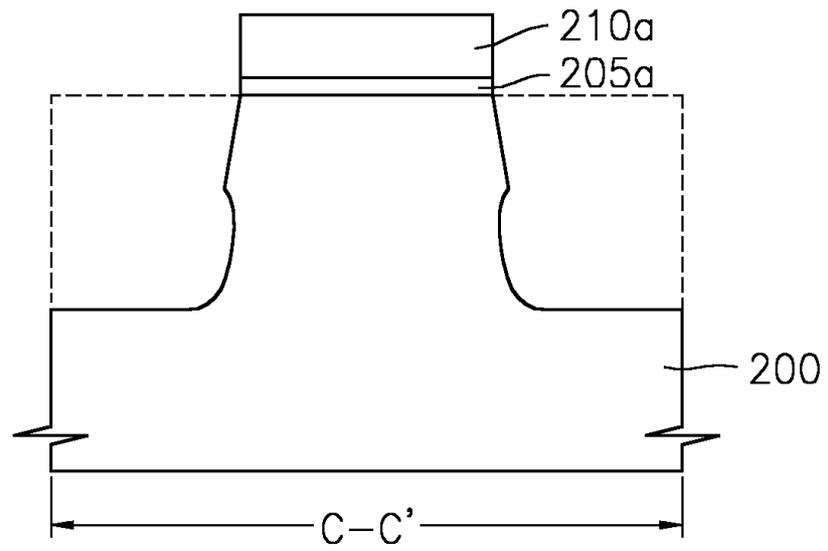
도면5



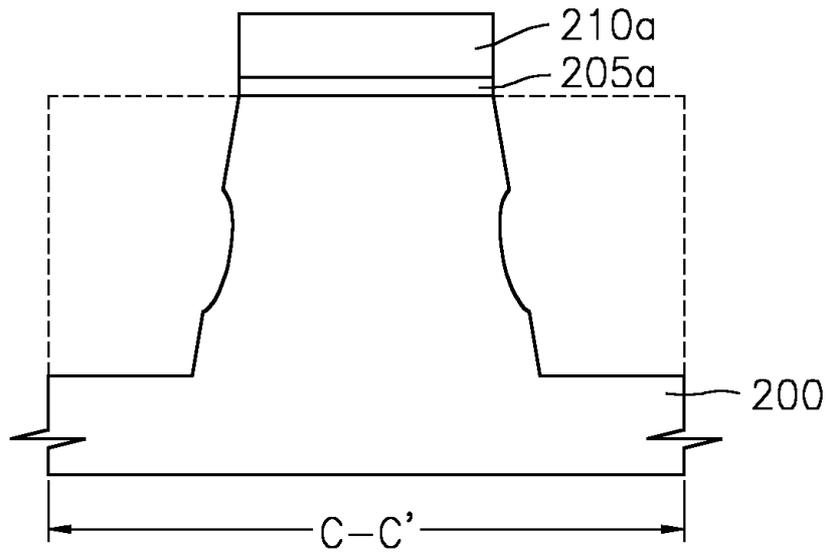
도면6



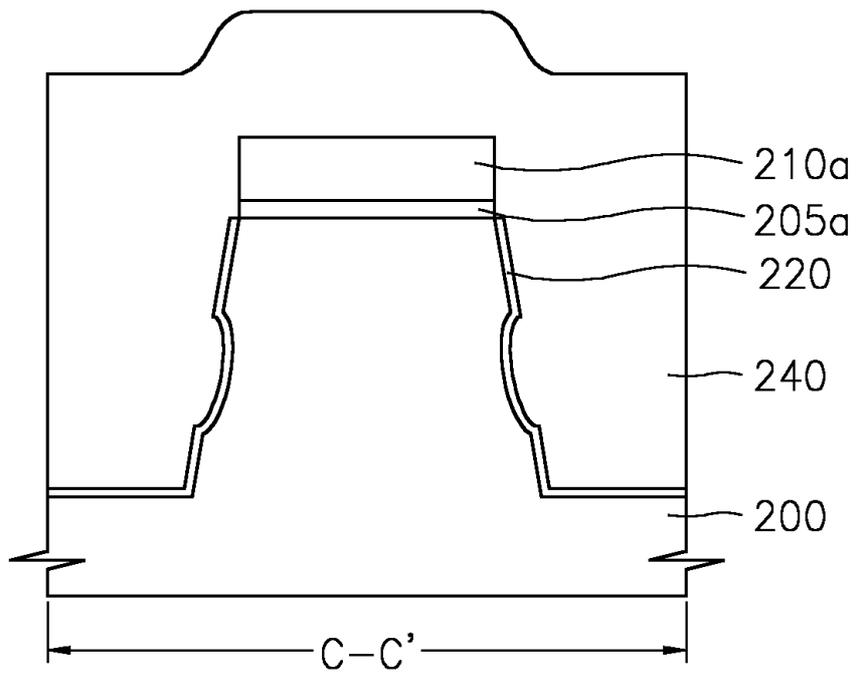
도면7



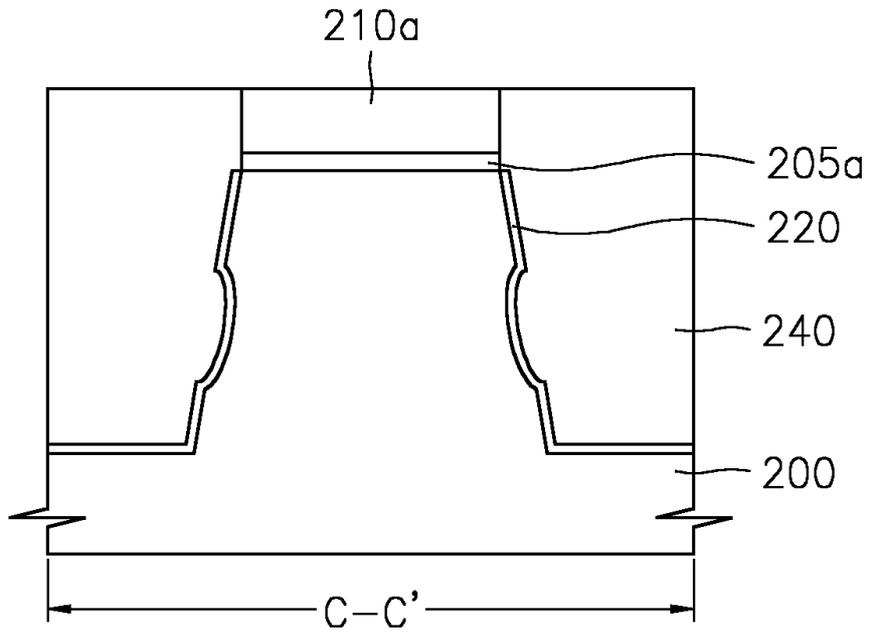
도면8



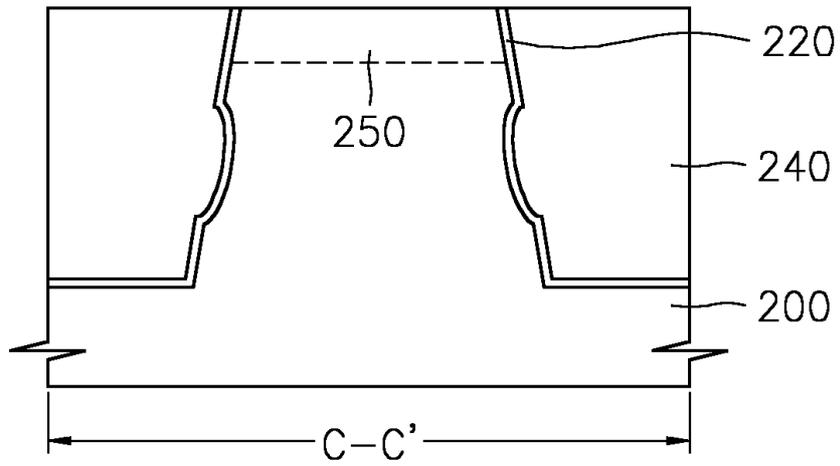
도면9



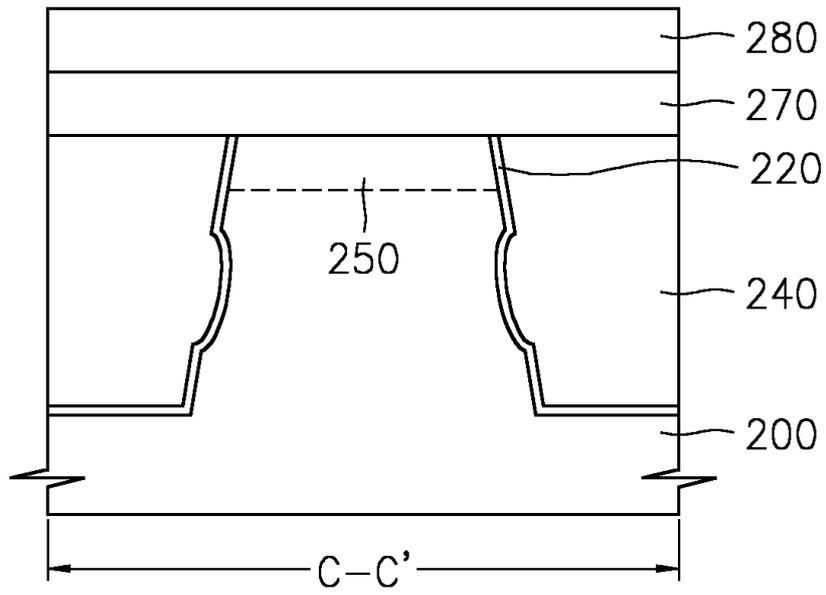
도면10



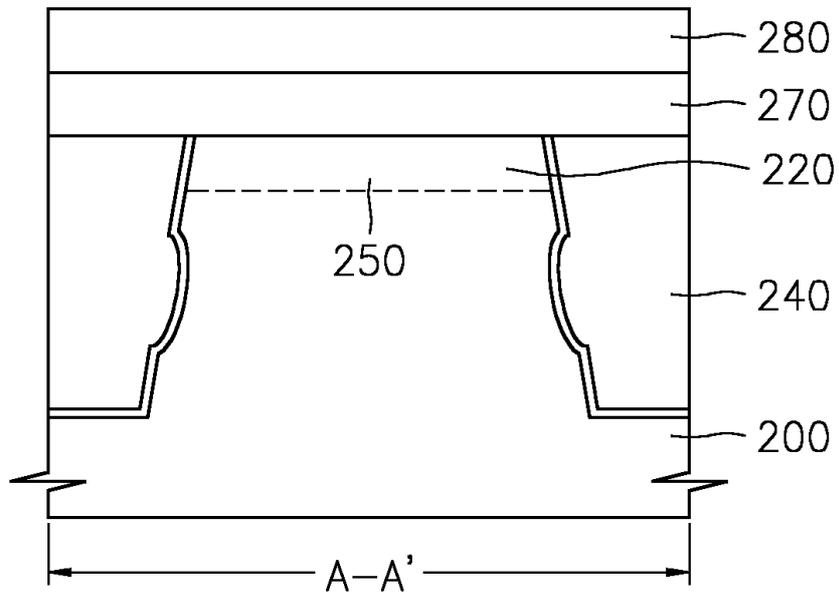
도면11



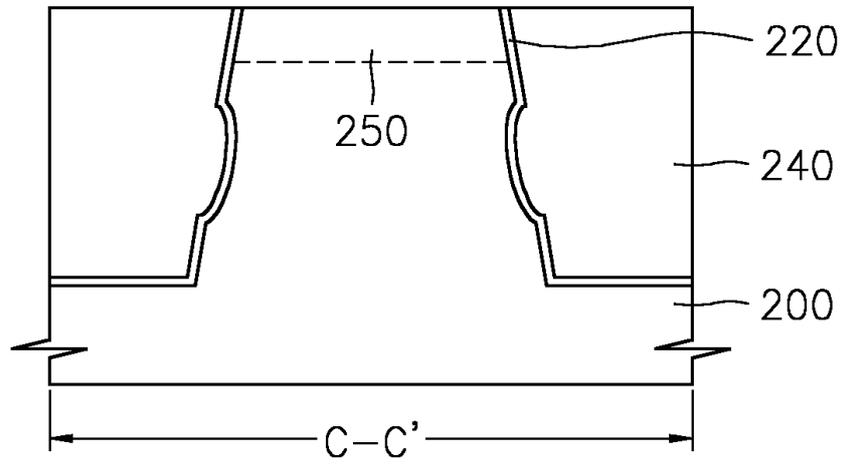
도면12a



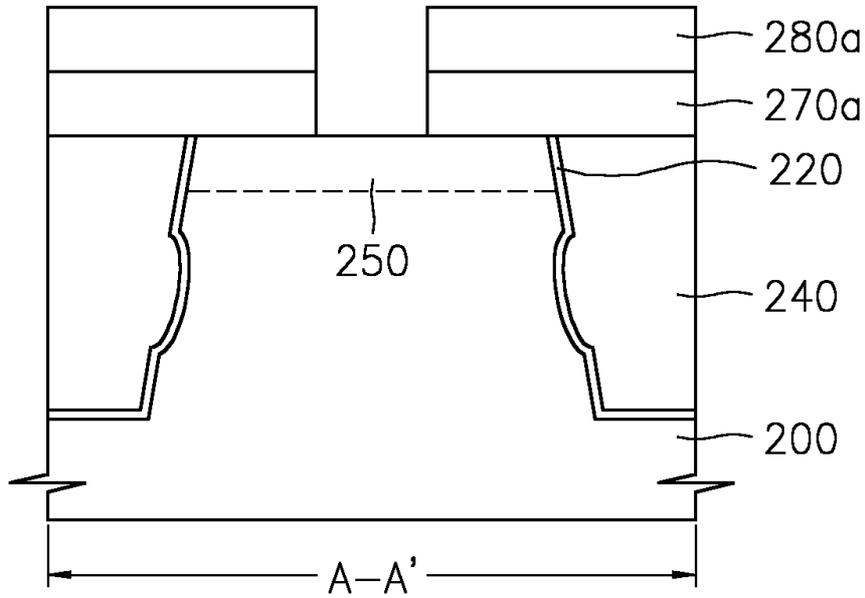
도면12b



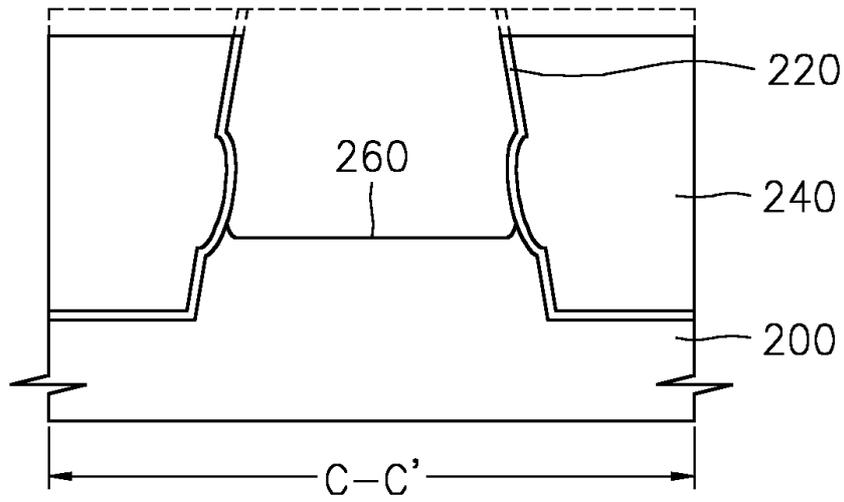
도면13a



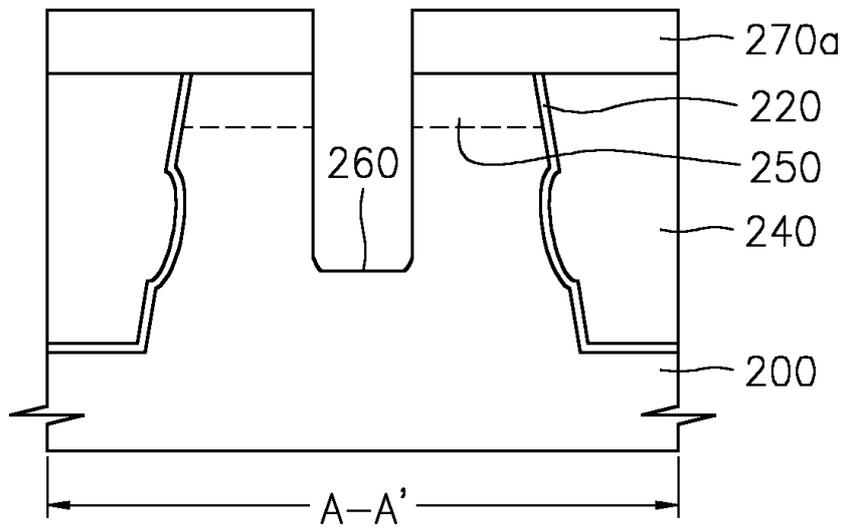
도면13b



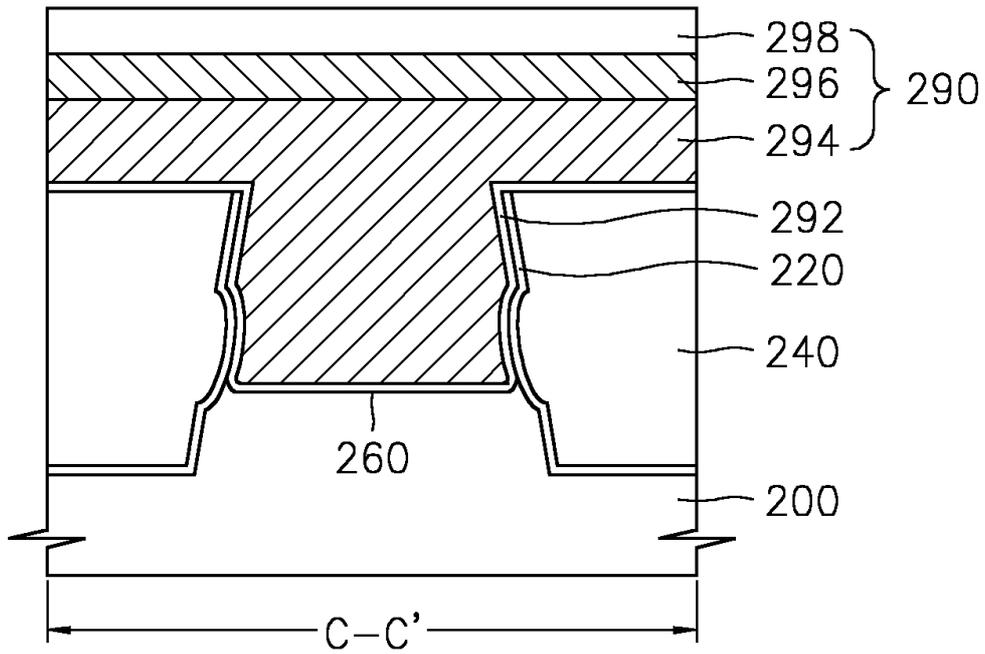
도면14a



도면14b



도면15a



도면15b

