



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I569025 B

(45)公告日：中華民國 106 (2017) 年 02 月 01 日

(21)申請案號：105110158

(22)申請日：中華民國 100 (2011) 年 06 月 30 日

(51)Int. Cl. : G01R31/26 (2014.01)

G01R31/28 (2006.01)

G01N27/414 (2006.01)

(30)優先權：2010/06/30 美國

61/360,493

2010/07/01 美國

61/360,495

(71)申請人：生命技術公司(美國) LIFE TECHNOLOGIES CORPORATION (US)

美國

(72)發明人：寶藍得 賈瑞 BOLANDER, JARIE (US)；費佛 基斯 FIFE, KEITH (US)；米格洛

馬克 詹母司 MILGREW, MARK JAMES (GB)

(74)代理人：陳長文

(56)參考文獻：

TW 489231

TW 567326

TW 200530610A

TW 200914857A

TW 201017189A

CN 1294421C

審查人員：机亮燁

申請專利範圍項數：11 項 圖式數：8 共 29 頁

(54)名稱

用於測試離子感測場效電晶體 ( I S F E T ) 陣列之裝置及方法

METHODS AND APPARATUS FOR TESTING ISFET ARRAYS

(57)摘要

本發明提供一種化學感測電晶體裝置(如離子感測場效電晶體裝置)之測試，其不需要將裝置暴露於液體中；在一實施例中，本發明係執行一第一測試以計算電晶體之電阻，依據此電阻，本發明接著執行一第二測試，以便將被測試之電晶體轉換於複數個模式之間，依據對應的測量結果，可以利用微小，甚至是不需要增加電路便可以計算一浮動閘極電壓；在另一實施例中，可以利用源極或汲極之寄生電容來偏壓離子感測場效電晶體裝置之浮動閘極，接著輸入一驅動電壓及一偏壓電流，以利用此寄生電容來測試電晶體之功能性。

The invention provides testing of a chemically-sensitive transistor device, such as an ISFET device, without exposing the device to liquids. In one embodiment, the invention performs a first test to calculate a resistance of the transistor. Based on the resistance, the invention performs a second test to transition the testing transistor among a plurality of modes. Based on corresponding measurements, a floating gate voltage is then calculated with little or no circuitry overhead. In another embodiment, the parasitic capacitance of at least either the source or drain is used to bias the floating gate of an ISFET. A driving voltage and biasing current are applied to exploit the parasitic capacitance to test the functionality of the transistor.

指定代表圖：

符號簡單說明：

300 . . . 方法

310 . . . 步驟

320 . . . 步驟

330 . . . 步驟

340 . . . 步驟

350 . . . 步驟

360 . . . 步驟

370 . . . 步驟

300  
↙

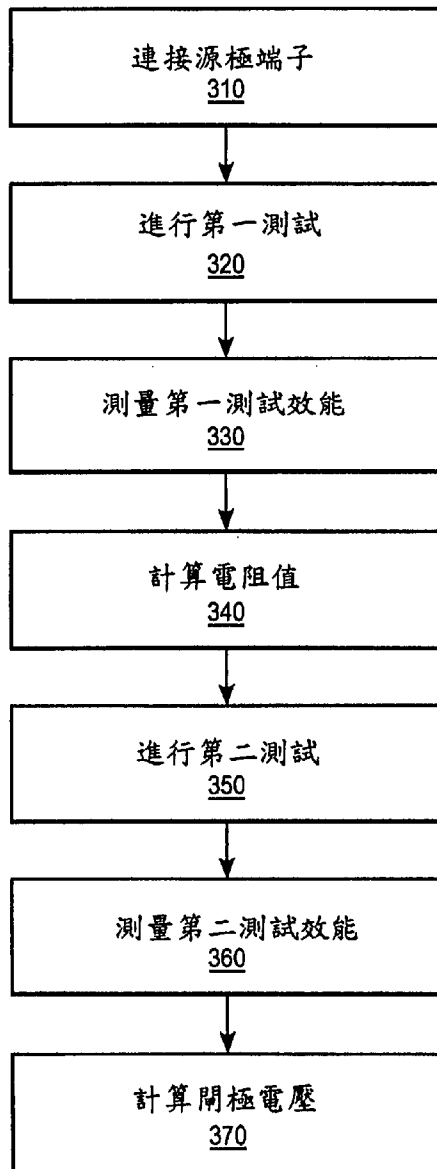


圖3

## 發明摘要

公告本

※ 申請案號：

105110158 (由 100173229 分割)

※ 申請日：

100.6.30

※IPC 分類：H01L

G01R 31/26	(2014.01)
G01R 31/28	(2006.01)
G01N 27/44	(2006.01)

## 【發明名稱】

用於測試離子感測場效電晶體(ISFET)陣列之裝置及方法

METHODS AND APPARATUS FOR TESTING ISFET ARRAYS

## 【中文】

本發明提供一種化學感測電晶體裝置(如離子感測場效電晶體裝置)之測試，其不需要將裝置暴露於液體中；在一實施例中，本發明係執行一第一測試以計算電晶體之電阻，依據此電阻，本發明接著執行一第二測試，以便將被測試之電晶體轉換於複數個模式之間，依據對應的測量結果，可以利用微小，甚至是不需要增加電路便可以計算一浮動閘極電壓；在另一實施例中，可以利用源極或汲極之寄生電容來偏壓離子感測場效電晶體裝置之浮動閘極，接著輸入一驅動電壓及一偏壓電流，以利用此寄生電容來測試電晶體之功能性。

## 【英文】

The invention provides testing of a chemically-sensitive transistor device, such as an ISFET device, without exposing the device to liquids. In one embodiment, the invention performs a first test to calculate a resistance of the transistor. Based on the resistance, the invention performs a second test to transition the testing transistor among a plurality of modes. Based on corresponding measurements, a floating gate voltage is then calculated with little or no circuitry overhead. In another embodiment, the parasitic capacitance of at least either the source or drain is used to bias the floating gate of an ISFET. A driving voltage and biasing current are applied to exploit the parasitic capacitance to test the functionality of the transistor.

**【代表圖】**

**【本案指定代表圖】：**第（ 3 ）圖。

**【本代表圖之符號簡單說明】：**

300            方法

310            步驟

320            步驟

330            步驟

340            步驟

350            步驟

360            步驟

370            步驟

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

（無）

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

用於測試離子感測場效電晶體(ISFET)陣列之裝置及方法

METHODS AND APPARATUS FOR TESTING ISFET ARRAYS

## 【技術領域】

本申請案主張2010年6月30日申請之美國臨時申請案第61/360,493號及2010年7月1日申請之美國臨時申請案第61/360,495號的優先權，其內容係以全文引用方式併入本文中。

## 【先前技術】

依據目前的研究發現，電子裝置及元件在化學及生物學(通常稱為生命科學)上可以有許多種應用，特別是應用於偵測及測量各種生化反應及檢驗，以及偵測及測量各種化合物，其中之一是熟知的離子感測場效電晶體(ion-sensitive field effect transistor, ISFET，或稱pHFET)，其通常被大專院校及研究單位使用於測量溶液中的氫離子濃度(即pH值)。

一般而言，離子感測場效電晶體是一種阻抗轉換裝置，其操作方式與金氧半場效電晶體(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)相似，且其通常係用以選擇性測量溶液中的離子活性，例如可以將溶液中的氫離子視為分析物，有關於離子感測場效電晶體之操作的詳細理論可以參照博夫德發表的論文(「Thirty years of ISFETOLOGY: what happened in the past 30 years and what may happen in the next 30 years,」P. Bergveld, Sens. Actuators, 88 (2003), pp. 1-20)，其係以全文納入本說明書之範圍。

另外，羅斯伯格等人在美國專利公開第2010/0301398號、第<sup>5</sup>

2010/0282617號及第2009/0026082號，亦揭露關於利用習知的互補式金氧半導體(Complementary Metal Oxide Semiconductor, CMOS)之製程來製造離子感測場效電晶體，其係以全文納入本說明書之範圍。除上述互補式金氧半導體之製程外，還可以使用雙載子金氧半導體(bipolar and CMOS, biCMOS)之製程，此製程會在一P型金氧半場效電晶體陣列的周圍形成雙載子結構。此外，當然可以應用其他科技，只要可以形成具有三端子裝置之感測元件即可，例如為鎵砷及奈米碳管技術，其中，被感測之離子可以導致一信號，以便控制三個端子其中之一。

以互補式金氧半導體為例，一種p型離子感測場效電晶體的製程可以於一p型矽基板上進行，其中，一n型井係形成於p型矽基板，以形成電晶體之基體，並且在n型井中形成高度p型(p+)摻雜區域S及D，以分別構成離子感測場效電晶體之源極與汲極，另外，在n型井中形成一高度n型(n+)摻雜區域B，以形成與n型井連接之導電基體(或基極)。然後，在源極、汲極與基極連接區域分別形成一氧化層，藉以形成一開口以便提供電性連接(經由電導體)至該些區域。另外，在氧化層上相對於n型井的位置係形成有一多晶矽閘極，其係介於源極與汲極之間，由於此氧化層係設置於多晶矽閘極與電晶體基體(如n型井)之間，所以其通常可以作為一閘極氧化層。

與金氧半場效電晶體的操作相似，離子感測場效電晶體的操作是基於由一金氧半導體電容所形成之電荷濃度調變(及通道傳導性)，此電容是由一多晶矽閘極、一閘極氧化層及介於源極與汲極之間的一井區域(如n型井)所構成；當施加一負電壓於閘極區域與源極區域之間時，可以消耗此區域中的電子以便在此區域與閘極氧化層之介面形成通道，以一n型井為例，所形成之通道為一p型通道，反之亦然。另外，在n型井中，所形成之p型通道係延伸於源極與汲極之間，因此當

施加於閘極與源極之間的負電位差夠大時，可以吸引源極的電洞進入通道，藉以形成電流，此時，使得通道開始產生電流時的閘極與源極電位差係為電晶體之臨限電壓 $V_{TH}$ (當閘極與源極電位差 $V_{GS}$ 的絕對值大於臨限電壓 $V_{TH}$ 時，電晶體會導電)，由於源極係作為通過通道之電荷載體(p型通道之電洞)的來源，所以被稱為源極，相同地，汲極係為電荷載體離開通道處。

依據羅斯伯格所述，離子感測場效電晶體可以具有一浮動閘極結構，其係利用連接多晶矽閘極與複數個金屬層而得，其中該等金屬層係設置於一個以上之設置在閘極氧化層之上的氧化層中；由於浮動閘極結構係與離子感測場效電晶體中的其他導體電性隔離，所以被稱為浮動閘極結構，另外，其係夾設於閘極氧化層與一鈍化保護層之間，其中，鈍化保護層係設置於浮動閘極之一金屬層(如上金屬層)上方。

另外，如羅斯伯格所揭露，離子感測場效電晶體之鈍化保護層可形成一離子感測膜，其係能夠提高裝置的離子靈敏度；若分析物與鈍化保護層接觸時，位於浮動閘極結構上方之一感測區域通常能夠改變離子感測場效電晶體之電性特性，因此可以調變通過離子感測場效電晶體之源極與汲極間之通道的電流，其中，分析物例如為分析物溶液中的離子，如一溶液中含有相關之分析物(含離子)，或一待測試溶液以測試是否存在相關之分析物。其中，鈍化保護層可包括任一種能夠對特定離子提高靈敏度之不同物質，例如鈍化保護層可包括氮化矽或氮氧化矽，或金屬氧化物如矽、鋁、或鉍氧化物，其通常能夠提高對分析物溶液中氫離子濃度(pH值)的靈敏度；相同地，若鈍化保護層中包括聚氯乙烯，其含有顯氮黴素，能夠提高對分析物溶液中鉀離子濃度的靈敏度。目前已知可以利用其他適當之物質來形成鈍化保護層，藉以提高對其他離子的靈敏度，如鈉離子、銀離子、鐵離子、溴



離子、碘離子、鈣離子、及硝酸鹽離子等，當然，鈍化保護層以可以包含其他物質，如金屬氧化物、金屬氮化物、金屬氮氧化物等。針對分析物溶液與鈍化保護層之介面所產生的化學反應而言，在離子感測場效電晶體之鈍化保護層中所加入之物質的表面可以具有化學基團，其可以用來提供質子給分析物溶液或接受分析物溶液所提供之質子，其可以在與分析物溶液相鄰之鈍化保護層的表面上，於任意時間提供負電荷、正電荷、或中性位置。

以離子靈敏度而言，在鈍化保護層與分析物溶液之間的固體/液體介面上會產生一電位差(通常稱為表面電位)，其係能夠利用其化學反應提供感測離子濃度之功能，其通常包含氧化物表面基團受到在感測區域附近之分析物溶液中的離子所影響而產生解離。此表面電位可依序影響離子感測場效電晶體之臨限電壓，因此，離子感測場效電晶體之臨限電壓會依據位在感測區域附近之分析物溶液中的離子變化而變動；如羅斯伯格所述，由於離子感測場效電晶體之臨限電壓 $V_{TH}$ 對離子濃度敏感，所以其源極電壓 $V_s$ 可以提供一信號，其係直接反應位在離子感測場效電晶體之感測區域附近之分析物溶液中的離子濃度。

化學感測場效電晶體(chemFET)陣列，或特別是離子感測場效電晶體陣列，可以用來監控反應，例如為核酸(如DNA)定序反應，其係利用監控在反應過程中分析物的出現、生成或消耗而達成；一般而言，此陣列(包括大陣列之化學感測場效電晶體)可以在各種化學及/或生物學製程(如生化反應、細胞或組織培養或監控、神經活性、核酸定序等)中，偵測並測量各種分析物之靜態及/或動態數量或濃度(如氫離子、其他離子、非離子分子或化合物等)，其可以依據分析物的各種測量結果而得到有價值的資訊。上述之化學感測場效電晶體陣列可以藉由化學感測場效電晶體表面之電荷變化而應用於各種分析物之偵測方法及/或生化製程之監控方法，其中，化學感測場效電晶體(或離

子感測場效電晶體)陣列之應用可包括偵測溶液中之分析物，及/或偵測附著於化學感測場效電晶體表面(如離子感測場效電晶體之鈍化保護層)之電荷變化。

有關於製造離子感測場效電晶體陣列之研究係如米爾古羅與庫敏所揭露之內容(「A large transistor-based sensor array chip for direct extracellular imaging,」M. J. Milgrew, M. O. Riehle, and D. R. S. Cumming, *Sensors and Actuators, B: Chemical*, 111-112, (2005), pp. 347-353)及米爾古羅、哈蒙德與庫敏所揭露之內容(「The development of scalable sensor arrays using standard CMOS technology,」M. J. Milgrew, P. A. Hammond, and D. R. S. Cumming, *Sensors and Actuators, B: Chemical*, 103, (2004), pp. 37-42)，其係以全文納入本說明書之範圍，其中，化學感測場效電晶體陣列或離子感測場效電晶體陣列之製造與在化學偵測之應用(包含DNA定序相關之離子監測)的敘述係如羅斯伯格所述，詳言之，羅斯伯格係揭露利用化學感測場效電晶體陣列(特別是離子感測場效電晶體陣列)來定序一核酸，其包括在一反應腔室中將已知的核苷酸與複數核酸混合後接觸或連接至化學感測場效電晶體，其中，核酸係在反應腔室中連成一串；然後測量化學感測場效電晶體之一信號，其中，測量此信號表示將已知的三磷核苷酸形成合成核酸時，所釋出之一個以上之氫離子。

在習知技術中，測試化學感測場效電晶體陣列(如離子感測場效電晶體陣列)的方法包括一濕測試方法，其中，離子感測場效電晶體陣列對一流體中的化學成分變化較敏感，因此，離子感測場效電晶體陣列通常藉由將一種以上之液體流經此陣列以進行測試，其中，各流體分別具有不同之酸鹼值，進一步可以讀出陣列中各離子感測場效電晶體元件之反應，並判斷各元件是否正常運作。雖然，濕測試方法具有能夠在較佳之操作條件下測試離子感測場效電晶體之優點，但是濕

測試方法在許多環境條件下並不適用。

舉例而言，濕測試方法在大量生產時是麻煩且不實用的，而且，濕測試方法必須將裝置暴露在流體中，此舉可能導致裝置的腐蝕，且可能在正常操作之前仍無法完全乾燥；再者，將裝置暴露於液體中可能導致裝置產生缺陷或污染，因此，一旦裝置暴露於流體中，製造者通常無法接受此裝置。

因此，提供一種化學感測場效電晶體之裝置的乾測試方式，正是當前的重點課題之一。

### 【圖式簡單說明】

圖1為一離子感測場效電晶體之剖面圖；

圖2為一單元陣列之方塊圖；

圖3為測試一單元陣列之簡化流程圖；

圖4顯示一2-T畫素陣列之範例；

圖5顯示一3-T畫素陣列之範例；

圖6為一浮動閘極端子電晶體之一剖面圖；

圖7為一浮動閘極端子電晶體之一等效電路圖；以及

圖8為在測試狀態時浮動閘極端子電晶體之一等效電路圖。

### 【實施方式】

本發明之實施例揭露一種測試一化學偵測裝置之方法，其中化學偵測裝置包括一畫素元件陣列，各畫素元件包括一化學感測場效電晶體，其具有一源極端子、一汲極端子、及一浮動閘極端子，本方法包括下列步驟：共同連接一群組之化學感測場效電晶體之源極端子；施加第一測試電壓於該群組之源極端子；測量依據該等第一測試電壓而在該等汲極端子對應產生之第一電流；以及依據該等第一測試電壓及第一電流計算電阻值。此外，本發明可以更包括施加第二測試電壓於該群組之源極端子，以操作該群組於不同操作模式，其中，第二測

試電壓係至少部分依據該等電阻值而定；以及測量依據該等第二測試電壓而在該等汲極端子對應產生之第二電流。依據上述之第二測試電壓及第二電流，以及化學感測場效電晶體之操作特性，計算該群組中各化學感測場效電晶體之浮動閘極電壓。

本發明之實施例係揭露一種乾測試方法，其係用以測試一化學感測電晶體陣列，各化學感測電晶體分別具有一源極、一汲極以及一浮動閘極；本方法包括下列步驟：施加第一測試電壓於一共同源極，其係連接於一群組之化學感測電晶體；依據該等第一測試電壓及藉由該等第一測試電壓所產生之電流，計算一電阻值；施加第二測試電壓，其中，該等第二測試電壓驅動該等化學感測電晶體而轉變於複數個操作模式之間，且第二測試電壓係至少部分依據該等計算得到之電阻值而定；計算被驅動之各化學感測電晶體之浮動閘極電壓；以及判斷各浮動閘極電壓是否皆在一預設臨限值之內。

本發明之實施例係揭露一種裝置，包括一化學偵測元件陣列及一測試電路，各化學偵測元件分別包括一化學感測場效電晶體，其具有一半導體基極端子、一源極端子、一汲極端子、及一浮動閘極端子，測試電路可包括複數個驅動電壓端子及一電流源，該等驅動電壓端子係分別設置於該陣列之周邊，且係耦接於複數個源極端子及複數個基極端子，電流源係耦接於陣列中至少一化學偵測元件之汲極端子，藉以測量一汲極電流，並將汲極電流轉變為對應之測量電壓。

本發明之實施例係揭露一種測試方法，其係用以測試一電晶體，其具有一浮動閘極以及介於此浮動閘極與至少一第一端子與一第二端子其中之一之間的一重疊電容，本方法包括下列步驟：施加一測試電壓於電晶體之第一端子；偏壓電晶體之第二端子；測量第二端子之一輸出電壓；以及判斷輸出電壓是否在一預設範圍之內；其中，通過重疊電容之測試電壓可以使得電晶體進入一主動模式。

本發明之實施例係揭露一種裝置，包括一偵測元件陣列及一測試電路，各偵測元件分別包括一場效電晶體，其具有一浮動閘極、一第一端子、一第二端子以及一重疊電容，其中重疊電容係介於浮動閘極與至少第一端子與第二端子其中之一之間，測試電路包括一驅動電壓端子、一偏壓電路端子以及一輸出電壓測量端子，其中驅動電壓端子係耦接於至少一第一端子，偏壓電路端子係耦接於至少一第二端子，輸出電壓測量端子係耦接於至少一第二端子。

本發明之實施例係揭露一種系統與方法，其係用以測試離子感測裝置，如離子感測場效電晶體裝置，一般而言，離子感測場效電晶體可以感測形成於其上之微型孔洞中的化學成分之變化，此化學變化可以由設置於微型孔洞之流體中的化學反應而形成。圖1顯示一種離子感測場效電晶體100之示意圖，其中，離子感測場效電晶體100係為一NMOS裝置，然而，本發明亦可以應用於一PMOS裝置。在本實施例中，離子感測場效電晶體100係為一具有四個端子之半導體裝置，其係為一閘極端子110、一汲極端子120、一源極端子130以及一基極端子140，其中，閘極端子110可為一浮動閘極。

離子感測場效電晶體100可包括一浮動閘極，其上係設有一微型孔洞，此微型孔洞可以包含一氧化物(或其他物質)，其表面位置可以誘發與某一特定離子之結合，包含使得電荷分佈改變，以及使得表面之電位產生變化，接著，離子感測場效電晶體可以偵測到表面之電位變化，並以一讀取電路進行測量，藉以顯示微型孔洞中所含有之離子的量；藉由上述方式，可以利用陣列中的各離子感測場效電晶體(如圖2所示之離子感測場效電晶體元件陣列210)，偵測設置於陣列上之樣品液體中的離子濃度之局部變化量。

離子感測場效電晶體100之操作方式與標準之金氧半場效電晶體相似，且其可以變換於複數個操作狀態之間；當偏壓離子感測場效電

晶體100時，例如 $V_{GS}-V_{th}$ 為正、且大於 $V_{DS}$ 時，電晶體係處於一三極體狀態，此狀態亦可稱為一線性狀態，在此三極體狀態中，通過汲極端子120之電流 $I_D$ 可以定義為：

$$I_D = \mu_n C_{ox} \frac{W}{L} \left( (V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad \text{三極體狀態方程式}$$

其中， $\mu_n$ 係為一電荷載體有效遷移率係數， $C_{ox}$ 係為每單位面積之閘極氧化電容係數， $W$ 係為閘極寬度， $L$ 係為閘極長度， $V_{GS}$ 係為閘極端子與源極端子之間的電壓， $V_{th}$ 係為臨限電壓， $V_{DS}$ 係為汲極端子與源極端子之間的電壓；在此三極體狀態中，電晶體之汲極與源極之間符合歐姆定律，且汲極電流係未飽和。

當 $V_{GS}-V_{th}$ 為正、且小於 $V_{DS}$ 時，離子感測場效電晶體100係操作於一飽和狀態，此狀態通常稱為一主動狀態，在此主動狀態中，通過汲極端子120之電流 $I_D$ 可以定義為：

$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad \text{飽和狀態方程式}$$

其中， $\mu_n$ 係為一電荷載體有效遷移率係數， $C_{ox}$ 係為每單位面積之閘極氧化電容係數， $W$ 係為閘極寬度， $L$ 係為閘極長度， $V_{GS}$ 係為閘極端子與源極端子之間的電壓， $V_{th}$ 係為臨限電壓， $V_{DS}$ 係為汲極端子與源極端子之間的電壓，且 $\lambda$ 係為通道長度調變因子。

另外，離子感測場效電晶體100亦具有一臨限電壓，其係依據基極電位而定，此基極電位係為基極端子140之電壓，且其可以作為一第二閘極此基極效應可以定義為：

$$V_{TN} = V_{TO} + \gamma (\sqrt{V_{SB} + 2\phi} - \sqrt{2\phi}) \quad \text{基極效應方程式}$$

其中， $V_{TN}$ 係為具有基板偏壓時的臨限電壓， $V_{TO}$ 係為零偏壓臨限電壓， $V_{SB}$ 係為介於源極端子與基極端子之間的電壓， $\gamma$ 係為一基極效應參數，且 $2\phi$ 係為一表面電位參數。

承上所述，離子感測場效電晶體100可以設置在一畫素元件上，

且畫素元件可以是一陣列之一部分；圖2顯示一種裝置200，其具有一離子感測場效電晶體元件陣列210，陣列210中的各元件可包括一離子感測場效電晶體(如圖1所示)，當然亦可包括其他電晶體及電子元件。陣列210可以具有複數列以及複數欄，且其四邊可以分別具有離子感測場效電晶體端子連接，其中，其基極連接可以設有一偏壓電壓，例如陣列210之各邊可分別具有離子感測場效電晶體之源極連接，詳述如下。

陣列210通常很大，所以沿著陣列之源極電阻通常依據電晶體之井電阻與源極之連接而變化，在本發明一實施例中，離子感測場效電晶體陣列210可以藉由取代設置在陣列周圍之不同位置的基極連接與源極連接通道而測試，其中，源極連接之電阻可以被校正，藉以判斷所需之浮動閘極電壓之實際值。

圖3顯示一種本發明較佳實施例之方法300之流程圖，其係用以測試一離子感測場效電晶體陣列，且不需要將陣列與流體接觸或鄰設。首先，使裝置進入一測試模式，此時，裝置電路係同時與所有離子感測場效電晶體之源極連接(步驟310)，例如，所有離子感測場效電晶體之源極皆互相連接；在另一實施例中，陣列電路可以跳列或跳欄方式連接源極，例如所有奇數列之源極係互相連接，且所有偶數列之源極係互相連接，在此，利用跳列或跳欄連接之設置可以是一結構陣列測試技術，其係用以測試陣列之所有列與欄之整體性，例如，若具有欄缺陷(例如，因製程缺陷而導致二欄之間互相短路)，其測試方式可以利用驅動奇數欄(非偶數欄)至高位準(可施加一電壓)，然後測量偶數欄，以觀察偶數欄是否維持在低位準，若偶數欄為高位準，則判斷具有缺陷欄存在；另外，在測試列時，可以先驅動某一系列，且測量此列之另一端，藉以確保信號是否通過此陣列，因此，此結構陣列測試方法可以測試陣列中各列與各欄之連接性。除上述之陣列中的離

子感測場效電晶體之源極的連接方式之外，離子感測場效電晶體之汲極亦可以利用其他或相似方式建立其連接。

在建立源極連接之後，接著進行一第一測試(步驟320)，其中，一第一測試電壓係施加於此陣列，第一測試電壓可以從裝置之複數個不同側邊輸入，例如為陣列之欄之一端或陣列之列之一側；舉例而言，第一測試電壓可以依序輸入各邊。此外，第一測試電壓亦可以輸入互相連接之離子感測場效電晶體之基極端子與源極端子，其中，第一測試電壓可以包括一起始電壓，其係用以判斷測試畫素陣列之適當的操作電壓(或偏壓)。

接著，測量得到對應第一測試之第一測量結果(步驟330)，其中，第一測試電壓可以透過連接之各離子感測場效電晶體而產生對應之電流，然後測量此電流，本發明之實施例係提供不同電壓及電流測量結果之範圍，例如：當設定基極至一偏壓電壓(類比式供應電壓或類比式接地電壓，其係依據離子感測場效電晶體是PMOS裝置或NMOS裝置而定)時，施加源極與汲極電壓，所得到之汲極電流可以利用測量電流源而得，其係將所測量之電流轉換為對應電壓值。在另一實施例中，理論上離子感測場效電晶體之所有基極可以設定至介於類比式供應電壓或類比式接地電壓之間，而且，陣列中的所有離子感測場效電晶體之基極端子可以設定至具有相同電壓，因此，陣列中的所有離子感測場效電晶體可以具有相同偏壓。在另一種測試方法中，整個陣列中的臨限電壓可以不互相匹配。

依據第一測試電壓值與對應之測量電流，可以計算出源極連接之電阻值(步驟340)，例如，可以計算出源極連接之電阻梯度，其可以顯示出各種測試電壓、所測量之電流與電阻之間的關係。

在計算出源極連接之電阻值後，接著可以建立相對於裝置某一邊(如各欄之一端)之基極與源極連接，然後進行一第二測試(步驟



350)，在第二測試中，第二測試電壓與電流係提供或施加於陣列，其中第二測試電壓可以是一電壓，其係掃過不同之操作(或偏壓)電壓點，因此，可以設定基極連接(偏壓電壓)。在本實施例中，第二測試電壓與電流係掃過一定範圍之電壓，以便操作離子感測場效電晶體於上述之不同操作模式，如三極體模式及飽和模式。再者，離子感測場效電晶體亦可以操作於基極效果模式，其係利用基極端子作為第二閘極。

接著，測量得到對應第二測試之第二測量結果(步驟360)，其中，當重複提供或輸入不同之第二測試電壓與電流時，可以在陣列上測量得到不同之電流與電壓；舉例而言，當基極電壓位在類比式供應電壓與類比式接地電壓之間時，施加源極與汲極電壓，所得到之汲極電流可以利用測量電流源而得，其係將所測量之電流轉換為對應電壓值；依據輸入與測量得到之電壓與電流，可以計算得到離子感測場效電晶體之閘極電壓(步驟370)，詳言之，可以依據輸入與測量得到之電壓與電流，並利用上述之各種模式之操作方程式來計算閘極電壓，因此，各離子感測場效電晶體元件之閘極電壓可以被計算出，並判斷離子感測場效電晶體是否正常作動。

在本實施例中，步驟350至370可以針對裝置之不同側邊重複進行，例如在各欄之另一端。在另一實施例中，可以先增加或減少輸入之電壓與電流後，如增加為兩倍或減為一半，再重複進行步驟350至370，然後依據調整後之電壓(偏壓點)計算出閘極電壓，當然，亦可以針對裝置之不同側邊重複進行此增加或減少之輸入電壓及電流；另外，亦可以重複進行多次此增加或減少之輸入電壓及電流，且每次重複步驟中，所輸入之電壓及電流係以一定微小比例變動，然後，在所有重複步驟完成後，可以將所計算得到之閘極電壓進行平均，以便得到更接近實際值之離子感測場效電晶體之閘極電壓；接著，將此平均

之閘極電壓與一預期之臨限範圍進行比較，藉以判斷各離子感測場效電晶體是否正常作動。另外，將位置(如陣列中的X欄、Y列)、各離子感測場效電晶體之閘極電壓、及/或各離子感測場效電晶體之操作條件分別記錄於一暫存器。此外，還可以提供另一電流，以便編程及/或抹除各畫素元件，其係將各離子感測場效電晶體之浮動閘極電壓進行編程及/或抹除；在部分實施例中，編程及/或抹除之能力可以提供較優良之錯誤偵測範圍，然而，編程及/或抹除電路通常需要在較高電壓下進行，因此需要應用較高電壓電路之分離設計技術以便確保電路元件不受到破壞。

在另一實施例中，除了電壓與電流之外，裝置之溫度亦可以變化以調變離子感測場效電晶體元件之臨限電壓，藉由改變溫度的方式，可以得到交替之資料點、並可以用來計算離子感測場效電晶體元件之閘極電壓。

另外，個別畫素元件之電路可以具有不同之形式，圖4顯示本發明之實施態樣之一種雙電晶體(2-T)之畫素陣列400，圖中顯示4個畫素元件，其中，畫素陣列400可包括複數個畫素元件401.1至401.n，各畫素元件401可包括一離子感測場效電晶體410及另一電晶體420，在本實施例之2-T畫素中，可以藉由控制及/或測量離子感測場效電晶體之浮動閘極端子以外的所有節點之方式，以測試陣列。

圖5顯示本發明之實施態樣之一種三電晶體(3-T)之畫素元件500，其中，畫素元件500可包括一離子感測場效電晶體510及另二個電晶體520及530，在本實施例之3-T畫素中，可以藉由控制及/或測量離子感測場效電晶體之浮動閘極端子以外的所有節點之方式，以測試陣列。其中，I-Sink表示一可控制之電流源，其係提供固定電流至離子感測場效電晶體。在本實施例中，I-Sink能夠配合其他測量點，以便更精確地計算閘極電壓，當然，本發明之實施例亦可以應用其他變

化之畫素電路。

本發明較佳實施例之乾測試方法係利用上述之浮動閘極電晶體之特徵，來測試浮動閘極電晶體之功能性，因此，可以利用微小，甚至是不需要電路便可以測試裝置之操作，且由於在陣列區域中不需要額外設置測試電路，所以陣列之尺寸可以被最佳化。另外，本發明較佳實施例不需要使用液體以進行陣列之完整測試，所以可以避免污染。

雖然，在本發明之實施態樣中，揭露不需要使用液體便能夠測試離子感測場效電晶體陣列，然而本發明亦可以配合使用液體以進行測試，舉例而言，可以將已知酸鹼度之液體應用於上述之乾測試技術之前、過程中及之後，因此，若有需要，本發明所述之乾測試技術可以配合濕測試技術應用。

另外，本發明其他實施例係使用離子感測場效電晶體，然而，本發明並不限於離子感測場效電晶體，其亦可以應用其他適當之浮動閘極電晶體裝置或其他適當之化學感測電晶體。

在本發明另一實施例中，耦接於浮動閘極之寄生電容亦可以用來測試浮動閘極電晶體之功能性，圖6顯示一浮動閘極電晶體600(如離子感測場效電晶體)之示意圖，其中，浮動閘極電晶體600可包括一浮動閘極612、一汲極614以及一源極616。在本實施例中，汲極614與源極616係為n型基板中的p型摻雜，藉以形成一p型通道場效電晶體裝置。然而，熟悉該項技術者皆應瞭解，浮動閘極電晶體600亦可以由n型通道場效電晶體裝置所形成，其汲極與源極係為p型半導體中的n型摻雜。

一般而言，可以利用一自對準製程以形成一離子感測場效電晶體，其中，先形成一多晶矽閘極，其係在一閘極氧化層615或其他適當之閘極絕緣層上形成浮動閘極612，然後利用數個步驟以形成源極

與汲極摻雜，在形成一輕度摻雜汲極(LDD)離子植入之後，形成一氮化物間隔層，其中，輕度摻雜汲極離子植入係在閘極下方擴散小距離，藉以減少電場、並減少電晶體效能之負面影響，如熱載子。另外，輕度摻雜汲極離子植入通常伴隨著變質之摻雜離子植入，以形成汲極614與源極616，其係具有部分重疊區域607及608，設置於閘極氧化層615之相對下方位置，此重疊區域607及608係形成於其相對之離子植入中，因此一部份之離子植入會位在浮動閘極電極之下方，以便形成一寄生電容。另外，可以利用調整與重疊區域大小相關之製程參數，來控制重疊區域之大小及其電容。

圖7為一浮動閘極端子電晶體600之一等效電路圖，其顯示位於閘極與源極之間的寄生電容( $C_{GS}$ )以及位於閘極與汲極之間的寄生電容( $C_{GD}$ )。除此之外，寄生電容亦可以僅存在於閘極與汲極之間，或是僅存在於閘極與源極之間。

在本發明之一實施例中，可以利用上述之寄生電容進行浮動閘極端子電晶體之測試，而不需要利用射流偏壓來操作浮動閘極；圖8為浮動閘極電晶體中，針對一陣列之一畫素元件之測試結構，其中，如圖8所示之浮動閘極電晶體(例如為離子感測場效電晶體)係具有一源極隨耦器配置，然而，熟悉該項技術者應該瞭解，在此亦可以採用其他配置，如共同源極；另外，浮動閘極電晶體之汲極可以耦接於一電壓電源供應器 $V_{DD}$ ，其係用以驅動此電晶體，其中，電壓電源供應器 $V_{DD}$ 例如為3伏特；浮動閘極電晶體之源極可以偏壓至一電流源，其中，電流源係例如為 $1\mu A$ 之電流源。

接著，可以測量源極之電壓(如圖8所示之 $V_{OUT}$ )，其中，源極電壓 $V_{OUT}$ 可以表示浮動閘極之電壓，當電晶體之寄生電容使得浮動閘極進入一飽和狀態時，電晶體可以產生此源極電壓 $V_{OUT}$ ，其係使得閘極電位達到預期另外，電晶體之臨限電壓及寄生電容值可以使得浮動閘

極達到適當之耦接，藉以使得電晶體達到其操作範圍。

若源極電壓 $V_{OUT}$ 在陣列中的正常分佈之預期範圍內，此測試結果係判斷浮動閘極電晶體可以產生有效且可測量之信號，所以畫素可以視為操作中；然而，若所測量之信號與正常分佈相比為過高或過低時，則表示在浮動閘極中可能存在有過多的電荷；另外，若針對所測試之陣列得到之測量數值之分佈過廣，則表示各畫素元素具有極大的不均勻性，此不均勻性會被視為不可靠，甚至導致陣列為不可使用。

在另一實施例中，浮動閘極電晶體之測試可以擴展至測量畫素之增益及/或判斷其他畫素之性質，同樣地，此測試亦可以在不需要射流偏壓來操作浮動閘極的情況下進行，因此可以維持陣列的整體性。

在一實施例中，在測量相對之源極電壓時，汲極電壓可以變化，其中，當汲極電壓變化時，源極偏壓電流可以維持恆定；在一第一步驟中，將一第一電壓(例如為3伏特)輸入至汲極，而源極則被偏壓；在一第二步驟中，當偏壓電流從第一步驟開始維持恆定時，汲極電壓係被調整至一第二電壓(例如為2.8伏特)，接著可以測量對應之源極電壓，由於重疊電容 $C_{GD}$ 的作用，汲極電壓之電壓差(例如為200 mV)可以耦接至浮動閘極，因此，最終之源極電壓可以是汲極電壓差之一部份；所測量之數值與輸入電壓之比值表示畫素增益，且其可以用來求得其他畫素性質。

以上說明係揭露本發明之數種實施例，然而，所揭露之內容應可涵蓋本發明之修飾及變化，另外，雖然部分操作、元件及電路並未詳細說明，但並非用以限制本實施例之範圍，而且雖然本說明書詳細說明特定結構及功能，但其並非用以限制本實施例之範圍。

熟悉該項技術者可以藉由上述之說明，對本發明進行各種變化，請可以單獨或合併實施上述之所有實施例，因此，雖然上述之說

明僅列舉部分特定之實施例，但是本發明之實施例及/或方法並非限制於此，熟悉該項技術者可以藉由本說明書之內容、圖示及申請專利範圍而進行任意的修飾及改變。

上述之各種實施例可以藉由硬體元件、軟體元件或其組合加以實現，其中，硬體元件係例如為處理器、微處理器、電路、電路元件(如電晶體、電阻器、電容器、電感器等)、積體電路、特定應用積體電路(ASIC)、可程式邏輯裝置(PLD)、數位訊號處理器(DSP)、現場可編程閘陣列(FPGA)、邏輯閘、暫存器、半導體裝置、晶片、微晶片、晶片組等等；軟體元件係例如為程式、應用程式、電腦程式、系統程式、機械程式、作業系統程式、中介軟體、韌體、軟體模組、例行程序、子程式、功能、方法、程序、軟體介面、應用程式介面(API)、指令集、計算碼、計算機碼、程式碼片段、計算機程式碼片段、文字、數值、符號、或其組合；可以藉由數種分析因子判斷執行一實施例係採用不同之硬體元件及/或軟體元件，例如為預期之計算機速度、功率等級、熱耐受度、程序循環預算、資料輸入速度、資料輸出速度、記憶體來源、資料匯流排速度、及其他設計或效能限制。

例如，部分實施例可以藉由電腦可讀取媒體而實現，其係儲存有一指令或一組指令，以便在一機器上執行時，可以使得此機器實現本實施例之方法及/或操作，此機器可例如包括任一種適用之處理平台、計算平台、計算裝置、處理裝置、計算系統、處理系統、計算機、處理器等等，且其亦可以藉由硬體及/或軟體之任一種適用之組合而實現，其中，電腦可讀取媒體包括任一種適當形式之記憶單元、記憶裝置、記憶物品、記憶媒體、儲存裝置、儲存物品、儲存媒體及/或儲存單元例如為記憶體、可移動式或不可移動式媒體、可抹除式或不可抹除式媒體、可寫入式或可複寫式媒體、數位或類比式媒體、硬碟、軟碟、唯讀記憶光碟、寫入式光碟、可複寫式光碟、光碟、磁

式媒體、磁光媒體、卸除式記憶卡或記憶碟、各種數位多功能光碟 (DVD)、磁帶、卡帶等等，另外，指令可包括任一種適用之程式碼，如原始碼、編譯碼、直譯碼、可執行碼、靜態程式碼、動態程式碼、加密程式碼等等，其可以利用任一種適用之高階、低階、物件導向、虛擬、編譯及/或直譯之程式語言而實現。

### 【符號說明】

100	離子感測場效電晶體
110	閘極端子
120	汲極端子
130	源極端子
140	基極端子
200	裝置
210	陣列
300	方法
310~370	步驟
400	畫素陣列
401	畫素元件
410	離子感測場效電晶體
420	電晶體
500	畫素元件
510	離子感測場效電晶體
520	電晶體
530	電晶體
600	電晶體
607	重疊區域
608	重疊區域

- 612 浮動閘極
- 614 汲極
- 615 閘極氧化層
- 616 源極



# 申請專利範圍

1. 一種裝置，其包含：

複數個接線對(pair of lines)；

耦接至該複數個接線對之一畫素陣列；在該陣列中之一給定畫素，其耦接至一給定接線對之一第一接線及一第二接線，該給定畫素包含：

一化學感測場效電晶體(chemFET)，其包含直接連接至該第一接線及直接連接至不在該給定畫素中之另一化學感測場效電晶體的一第一端子、一第二端子、及耦接至一保護層之一浮動閘極；及

在該chemFET之該第二端子與該第二接線之間連接之一切換器(switch)。

2. 如請求項1之裝置，其進一步包含用於讀取該給定畫素之一讀出電路(readout circuit)，該讀出電路包含：一偏壓電路，其施加一偏壓電壓至該給定接線對之該第一接線及該第二接線中之一者，及施加選擇信號以開啟該切換器；及一感測電路(sense circuit)，其基於該給定接線對之該第一接線及該第二接線中之另一者上的一電壓以讀取該給定畫素。
3. 如請求項2之裝置，其中該電壓指示耦接至該給定畫素中該chemFET之一分析物溶液的一離子濃度。
4. 如請求項2之裝置，其中該感測電路包含一預充電電路(pre-charge circuit)，其在該給定畫素之一讀取時間間隔(read interval)之前，預充電該給定接線對之該第一接線及該第二接線中之該另一者至一預充電電壓。
5. 如請求項2之裝置，其中該感測電路包含取樣該第二接線上之電

壓的一取樣電路(sample circuit)。

6. 如請求項5之裝置，其中該取樣電路包含保持該第二線路上之電壓之一類比值的一取樣及保持電路，及轉換該類比值至一數位值之一類比至數位轉換器。
7. 如請求項5之裝置，其中該取樣電路包含一類比至數位轉換器，其直接轉換該第二接線上之電壓至一數位值。
8. 如請求項2之裝置，該偏壓電路包含一電流源，其耦接至該給定接線對之該第一接線及該第二接線中之該另一者以在該給定畫素之一讀取時間間隔期間提供一偏壓電流至該給定畫素。
9. 如請求項2之裝置，其中該第一接線及該第二接線中之該另一者上之電壓係基於該給定畫素之該chemFET之一臨限電壓而建立。
10. 如請求項1之裝置，其中該chemFET之該第一端子係一汲極端子，及該chemFET之該第二端子係一源極端子。
11. 如請求項1之裝置，其中該chemFET之該第一端子係一源極端子，及該chemFET之該第二端子係一汲極端子。

# 圖式

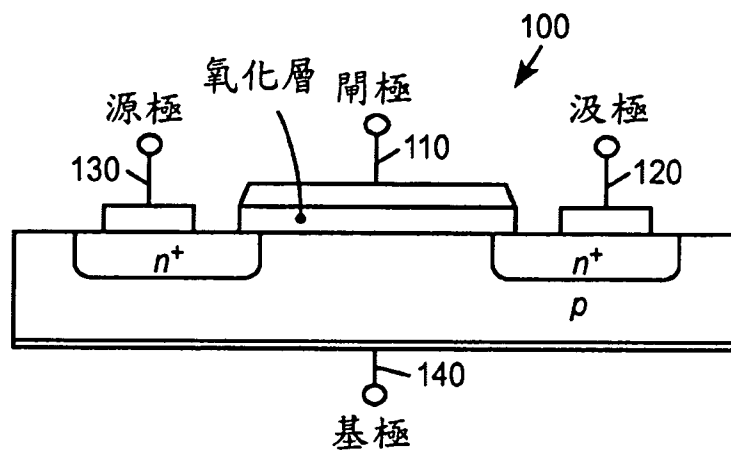


圖1

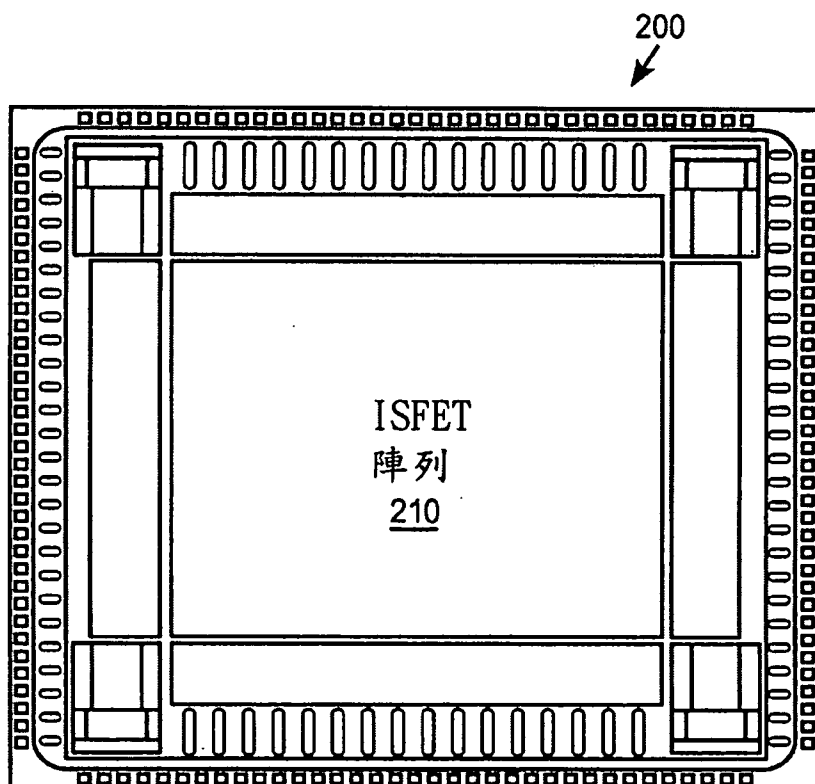


圖2

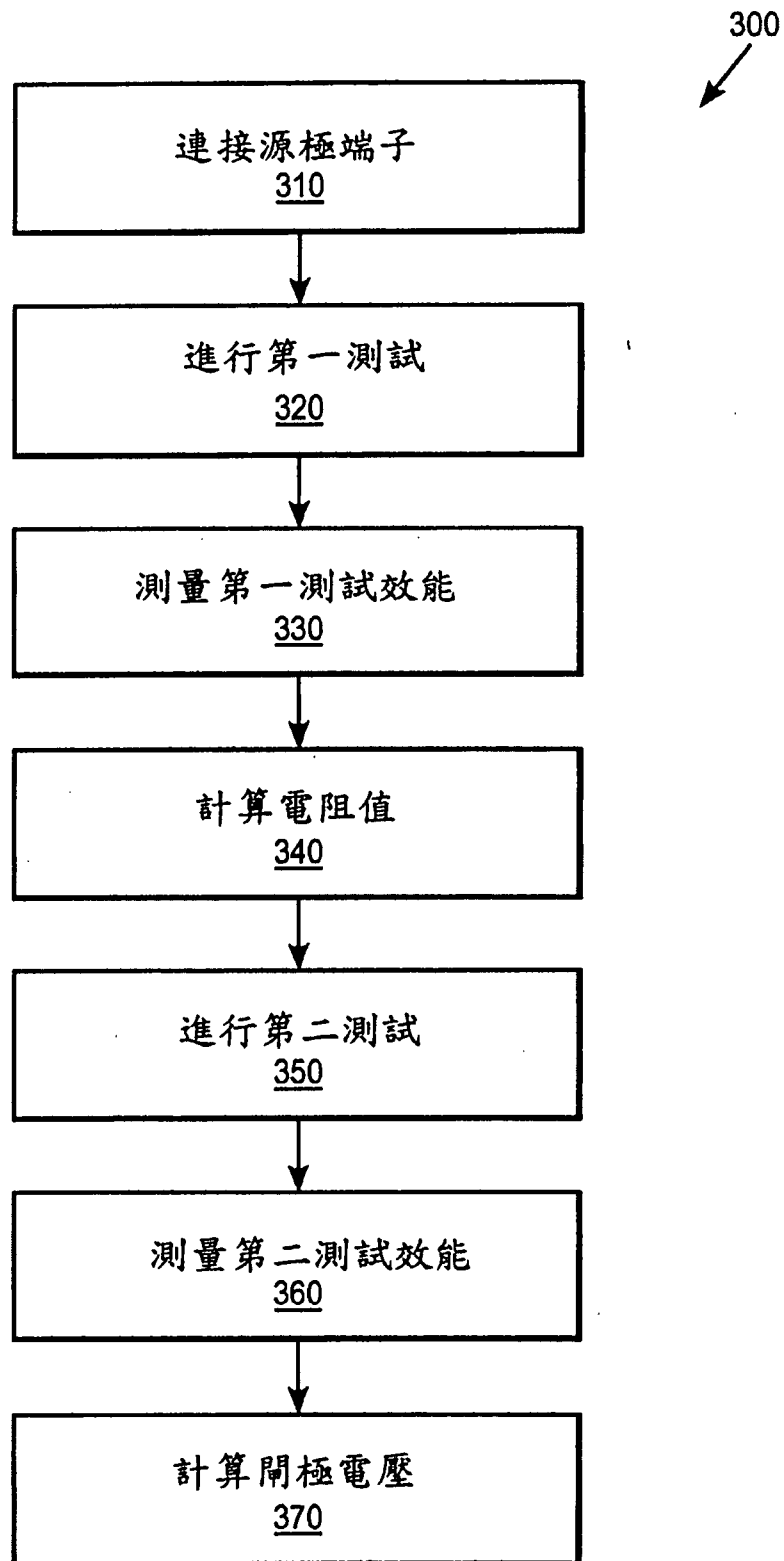


圖3

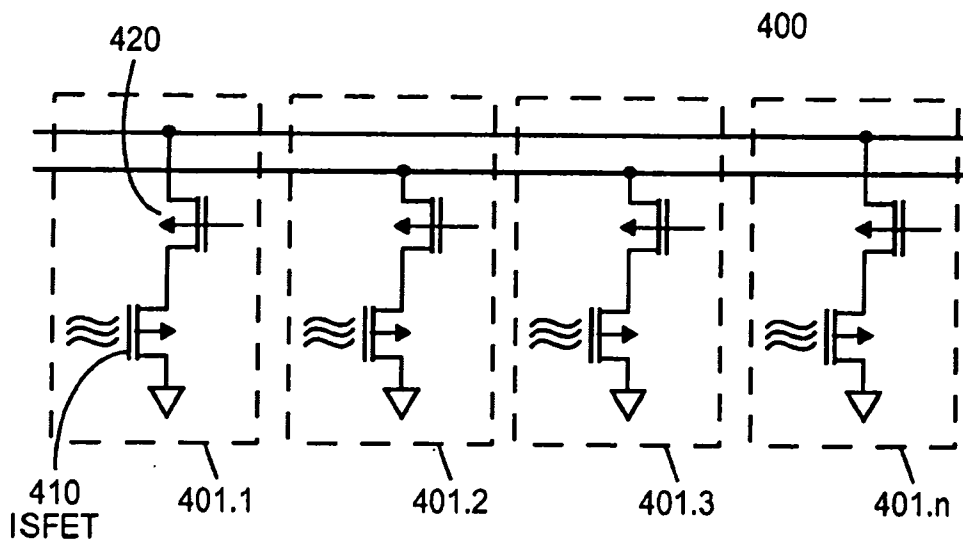


圖4

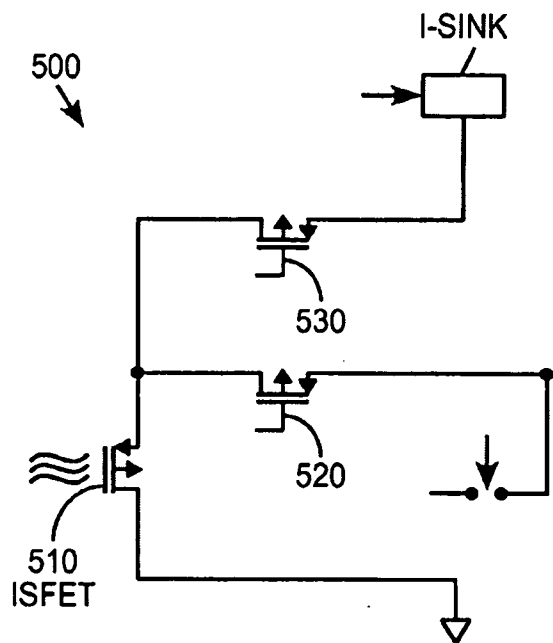


圖5

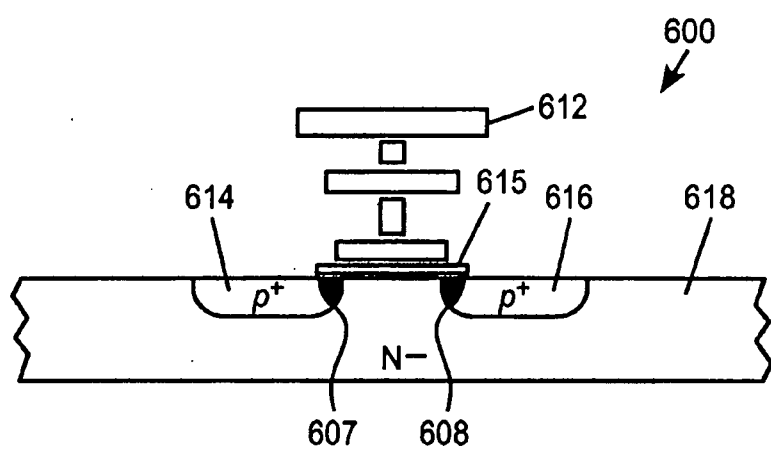


圖6

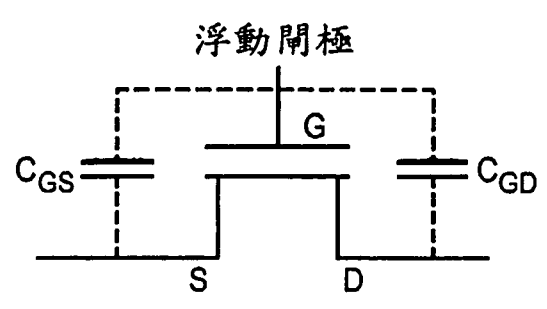


圖7

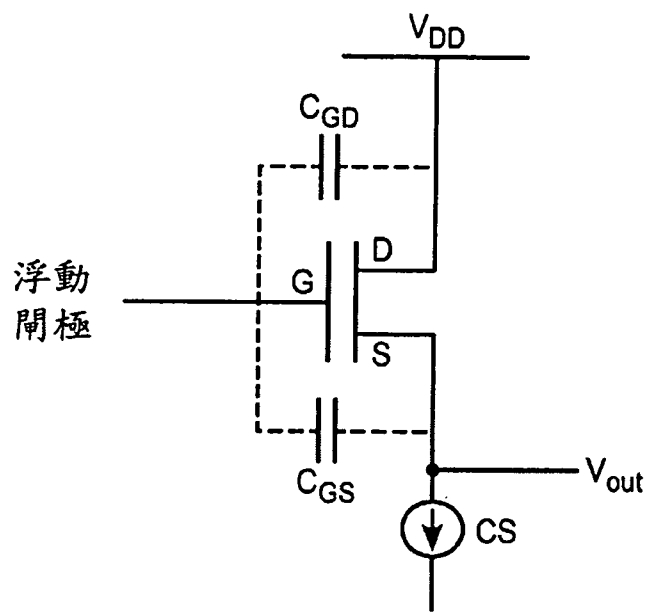


圖8