



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0110613
(43) 공개일자 2010년10월13일

(51) Int. Cl.

H01L 23/12 (2006.01)

(21) 출원번호 10-2009-0029043

(22) 출원일자 2009년04월03일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

장동현

경기 수원시 영통구 영통동 살구골7단지아파트 706동 904호

이인영

경기도 용인시 수지구 신봉동 효성아파트 402동 1801호

김남석

경기 용인시 기흥구 서천동 SK아파트 106동 1605호

(74) 대리인

송윤호, 오세준, 권혁수

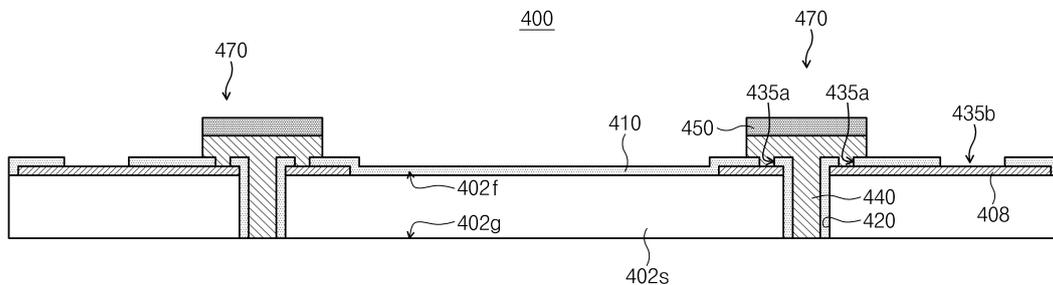
전체 청구항 수 : 총 20 항

(54) 반도체 장치 및 그 제조방법

(57) 요약

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 패드가 포함된 기판의 일부를 제거하여 비아홀을 형성하고, 상기 기판 상에 절연막을 형성하고, 상기 절연막의 일부를 제거하여 상기 패드의 일부들을 노출시키는 복수개의 개구를 포함하는 개구부를 형성하고, 상기 비아홀을 채우며 상기 복수개의 개구 중 어느 하나를 통해 상기 패드와 전기적으로 연결되는 관통전극을 형성하고, 그리고 상기 복수개의 개구 중 다른 하나를 통해 상기 패드의 일부를 개방하는 것을 포함할 수 있다.

대표도 - 도9i



특허청구의 범위

청구항 1

패드가 포함된 기관의 일부를 제거하여 비아홀을 형성하고;

상기 기관 상에 절연막을 형성하고;

상기 절연막의 일부를 제거하여 상기 패드의 일부들을 노출시키는 복수개의 개구를 포함하는 개구부를 형성하고;

상기 비아홀을 채우며 상기 복수개의 개구 중 어느 하나를 통해 상기 패드와 전기적으로 연결되는 관통전극을 형성하고; 그리고

상기 복수개의 개구 중 다른 하나를 통해 상기 패드의 일부를 개방하는 것을;

포함하는 반도체 장치의 제조방법.

청구항 2

제1항에 있어서,

상기 절연막을 형성하는 것은:

상기 비아홀을 형성한 이후에, 상기 기관 상에 상기 비아홀의 내벽 및 상기 패드를 덮는 패시베이션막을 형성하는 것을;

포함하는 반도체 장치의 제조방법.

청구항 3

제1항에 있어서,

상기 절연막을 형성하는 것은:

상기 비아홀을 형성하기 이전에, 상기 기관 상에 상기 패드를 덮는 패시베이션막을 형성하고; 그리고

상기 기관 상에 상기 비아홀의 내벽 및 상기 패시베이션막을 덮는 비아홀 절연막을 형성하는 것을;

포함하는 반도체 장치의 제조방법.

청구항 4

제1항에 있어서,

상기 개구부를 형성하는 것은:

상기 패드의 제1 일부를 노출시켜 상기 관통전극을 상기 제1 일부와 접속시키는 제1 개구를 형성하고; 그리고

상기 패드의 제2 일부를 노출시키는 제2 개구를 형성하는 것을;

포함하는 반도체 장치의 제조방법.

청구항 5

제4항에 있어서,

상기 제2 개구를 통해 노출된 상기 제2 일부에 탐침을 접속시켜 전기적 테스트를 수행하는 것을 더 포함하는 반도체 장치의 제조방법.

청구항 6

제4항에 있어서,

상기 제2 개구를 통해 노출된 상기 제2 일부에 접속단자를 접속시키는 것을 더 포함하는 반도체 장치의 제조방법.

청구항 7

제4항에 있어서,

상기 관통전극을 형성하는 것은:

상기 기판 상에 상기 비아홀 및 상기 제1 개구를 오픈시키는 마스크를 형성하고; 그리고

상기 마스크를 이용한 전기도금으로 상기 비아홀을 채우며 상기 제1 개구를 통해 노출된 상기 제1 일부와 접속되는 전도성 물질을 도금하는 것을;

포함하는 반도체 장치의 제조방법.

청구항 8

제7항에 있어서,

상기 마스크를 이용하여 상기 관통전극 상에 솔더를 자기정렬적으로 형성하는 것을 더 포함하는 반도체 장치의 제조방법.

청구항 9

제1항에 있어서,

상기 비아홀을 형성하는 것은:

상기 패드가 형성되지 않은 제1 영역과, 상기 패드가 형성된 제2 영역을 포함하는 기판을 제공하고; 그리고

상기 기판의 제1 영역을 일부 제거하는 것을;

포함하는 반도체 장치의 제조방법.

청구항 10

제1항에 있어서,

상기 비아홀을 형성하는 것은:

상기 패드가 형성되지 않은 제1 영역과, 상기 패드가 형성된 제2 영역을 포함하는 기판을 제공하고; 그리고

상기 패드의 일부 및 상기 기판의 제2 영역을 일부 제거하는 것을;

포함하는 반도체 장치의 제조방법.

청구항 11

패드가 배치된 전면과 그 반대면인 배면을 포함하는 기판과;

상기 기판을 수직 관통하는 비아홀과;

상기 비아홀을 채우며, 상단부는 상기 전면 위로 돌출되고 하단부는 상기 배면을 통해 노출된 관통전극과; 그리고

상기 관통전극을 상기 기판으로부터 절연시키며, 상기 패드의 일부를 상기 관통전극에 접속시키고 상기 패드의 다른 일부를 노출시키는 개구부를 포함하는 절연막을;

포함하는 반도체 장치.

청구항 12

제11항에 있어서,

상기 개구부는:

상기 패드 중에서 상기 관통전극과 인접된 제1 일부를 노출시키고, 상기 노출된 제1 일부에 상기 관통전극의 일부가 확장되어 접속되는 경로를 제공하는 제1 개구와; 그리고

상기 패드 중에서 상기 관통전극과 이격된 제2 일부를 노출시키고, 상기 노출된 제2 일부에 외부 단자가 접속되는 경로를 제공하는 제2 개구를;

포함하는 반도체 장치.

청구항 13

제12항에 있어서,

상기 패드는:

상기 관통전극과 접속되는 제1 일부를 포함하는 관통전극 패드와; 그리고

상기 관통전극 패드로부터 연장되고, 상기 외부 단자가 접속되는 제2 일부를 포함하는 본딩 패드;

포함하는 반도체 장치.

청구항 14

제11항에 있어서,

상기 절연막은:

상기 패드를 덮는 패시베이션막과; 그리고

상기 패시베이션막 및 상기 비아홀 내벽을 덮는 비아홀 절연막을;

포함하는 반도체 장치.

청구항 15

제11항에 있어서,

상기 절연막은:

상기 패드 및 상기 비아홀 내벽을 덮는 패시베이션막을;

포함하는 반도체 장치.

청구항 16

제11항에 있어서,

상기 관통전극의 상단부에 배치되어 상기 관통전극과 자기정렬적인 솔더를 더 포함하는 반도체 장치.

청구항 17

제1 관통전극과 상기 제1 관통전극과 접속되고 일부가 노출된 제1 패드를 포함하는 제1 반도체 칩과; 그리고

상기 제1 반도체 칩 상에 적층되고, 제2 관통전극과 상기 제2 관통전극과 접속되고 일부가 노출된 제2 패드를 포함하는 제2 반도체 칩을 포함하고,

상기 제1 및 제2 관통전극이 접속되어 상기 제1 및 제2 반도체 칩이 전기적으로 연결된 반도체 장치.

청구항 18

제17항에 있어서,

상기 제1 및 제2 패드를 전기적으로 연결시키는 접속 단자를 더 포함하는 반도체 장치.

청구항 19

제17항에 있어서,

상기 제2 반도체 칩 상에 적층된 제3 반도체 칩을 더 포함하고,

상기 제2 및 제3 반도체 칩은 상기 제2 패드에 접속된 접속 단자와 상기 제2 관통전극 중 적어도 어느 하나로써

전기적으로 연결된 반도체 장치.

청구항 20

제17항에 있어서,

상기 제1 반도체 칩이 실장되는 인쇄회로기판을 더 포함하고,

상기 제1 반도체 칩과 상기 인쇄회로기판은, 상기 제1 관통전극과 상기 제1 패드에 접속된 접속 단자 중 적어도 어느 하나를 통해 서로 전기적으로 연결된 반도체 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체에 관한 것으로, 보다 구체적으로는 관통전극을 구비한 반도체 장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 전자 제품의 소형, 경량화, 고속화 및 고용량화 추세가 진전됨에 따라 전자 제품에 사용되는 반도체 패키지의 발전 방향도 변화되고 있다. 이러한 변화의 기본 방향은 전자 제품의 발전 방향에 부응하기 위한 것이다. 최근 개발이 활발하게 이루어지는 반도체 패키지는 반도체 칩들을 적층하여 다수의 반도체 칩을 하나의 반도체 장치 내에 포함하는 기술이다.

[0003] 반도체 패키징 기술은 반도체 패키지가 차지하는 면적을 현저하게 축소시키고, 메모리의 고용량화에 적합하고, 시스템 인 패키지(SIP: System In Package)와 같이 여러 반도체 패키지의 기능을 하나로 통합시키는데 적합하다.

[0004] 반도체 칩을 적층하는 방법으로는 반도체 칩 위에 별도로 재배선 공정을 실행하여 반도체 칩의 상부 구조를 변경하거나, 혹은 반도체 칩에 관통전극을 형성하는 방법이 있다. 후자의 관통전극을 이용한 반도체 패키징은 반도체 제품의 향상된 성능(high performance), 높은 밀도(high density), 낮은 프로파일(low profile) 등의 장점이 있다.

발명의 내용

해결하고자하는 과제

[0005] 본 발명의 목적은 관통전극을 포함하는 반도체 장치 및 그 제조방법을 제공함에 있다. 본 발명의 다른 목적은 관통전극 형성에 따른 공정 원가 상승을 방지할 수 있는 반도체 장치 및 그 제조방법을 제공함에 있다.

과제 해결수단

[0006] 상기 목적을 달성하기 위한 본 발명에 따른 반도체 장치 및 그 제조방법은 패드를 개방시키는 개구부를 형성함으로써 개구부를 통해 테스트 장비의 탐침을 접속시킬 수 있을 뿐만 아니라 솔더볼이나 본딩 와이어를 접속시킬 수 있도록 하여 패드를 다목적으로 활용할 수 있는 것을 특징으로 한다.

[0007] 상기 목적을 달성하기 위한 본 발명에 따른 반도체 장치 및 그 제조방법은 별도의 포토 공정없이 솔더를 관통전극과 자기정렬적으로 형성함으로써 공정을 단순화시킬 수 있는 것을 다른 특징으로 한다.

[0008] 상기 목적을 달성하기 위한 본 발명에 따른 반도체 장치 및 그 제조방법은 관통전극 비아홀 공정 이후에 패시베이션 공정을 진행하여 비아홀 절연막 공정을 생략할 수 있는 것을 또 다른 특징으로 한다.

[0009] 상기 특징을 구현할 수 있는 본 발명의 실시예에 따른 반도체 장치의 제조방법은, 패드가 포함된 기판의 일부를 제거하여 비아홀을 형성하고; 상기 기판 상에 절연막을 형성하고; 상기 절연막의 일부를 제거하여 상기 패드의 일부를 노출시키는 복수개의 개구를 포함하는 개구부를 형성하고; 상기 비아홀을 채우며 상기 복수개의 개구 중 어느 하나를 통해 상기 패드와 전기적으로 연결되는 관통전극을 형성하고; 그리고 상기 복수개의 개구 중 다른

하나를 통해 상기 패드의 일부를 개방하는 것을 포함할 수 있다.

- [0010] 본 실시예의 방법에 있어서, 상기 절연막을 형성하는 것은 상기 비아홀을 형성한 이후에 상기 기판 상에 상기 비아홀의 내벽 및 상기 패드를 덮는 패시베이션막을 형성하는 것을 포함할 수 있다.
- [0011] 본 실시예의 방법에 있어서, 상기 절연막을 형성하는 것은, 상기 비아홀을 형성하기 이전에 상기 기판 상에 상기 패드를 덮는 패시베이션막을 형성하고; 그리고 상기 기판 상에 상기 비아홀의 내벽 및 상기 패시베이션막을 덮는 비아홀 절연막을 형성하는 것을 포함할 수 있다.
- [0012] 본 실시예의 방법에 있어서, 상기 개구부를 형성하는 것은, 상기 패드의 제1 일부를 노출시켜 상기 관통전극을 상기 제1 일부와 접속시키는 제1 개구를 형성하고; 그리고 상기 패드의 제2 일부를 노출시키는 제2 개구를 형성하는 것을 포함할 수 있다.
- [0013] 본 실시예의 방법에 있어서, 상기 제2 개구를 통해 노출된 상기 제2 일부에 탐침을 접속시켜 전기적 테스트를 수행하는 것을 더 포함할 수 있다. 상기 제2 개구를 통해 노출된 상기 제2 일부에 접속단자를 접속시키는 것을 더 포함할 수 있다.
- [0014] 본 실시예의 방법에 있어서, 상기 관통전극을 형성하는 것은, 상기 기판 상에 상기 비아홀 및 상기 제1 개구를 오픈시키는 마스크를 형성하고; 그리고 상기 마스크를 이용한 전기도금으로 상기 비아홀을 채우며 상기 제1 개구를 통해 노출된 상기 제1 일부와 접속되는 전도성 물질을 도금하는 것을 포함할 수 있다.
- [0015] 본 실시예의 방법에 있어서, 상기 마스크를 이용하여 상기 관통전극 상에 솔더를 자기정렬적으로 형성하는 것을 더 포함할 수 있다.
- [0016] 본 실시예의 방법에 있어서, 상기 비아홀을 형성하는 것은, 상기 패드가 형성되지 않은 제1 영역과, 상기 패드가 형성된 제2 영역을 포함하는 기판을 제공하고; 그리고 상기 기판의 제1 영역을 일부 제거하는 것을 포함할 수 있다.
- [0017] 본 실시예의 방법에 있어서, 상기 비아홀을 형성하는 것은, 상기 패드가 형성되지 않은 제1 영역과 상기 패드가 형성된 제2 영역을 포함하는 기판을 제공하고; 그리고 상기 패드의 일부 및 상기 기판의 제2 영역을 일부 제거하는 것을 포함할 수 있다.
- [0018] 상기 특징을 구현할 수 있는 본 발명의 실시예에 따른 반도체 장치는, 패드가 배치된 전면과 그 반대면인 배면을 포함하는 기판과; 상기 기판을 수직 관통하는 비아홀과; 상기 비아홀을 채우며, 상단부는 상기 전면 위로 돌출되고 하단부는 상기 배면을 통해 노출된 관통전극과; 그리고 상기 관통전극을 상기 기판으로부터 절연시키며, 상기 패드의 일부를 상기 관통전극과 접속시키며 상기 패드의 다른 일부를 노출시키는 개구부를 포함하는 절연막을 포함할 수 있다.
- [0019] 본 실시예의 장치에 있어서, 상기 개구부는, 상기 패드 중에서 상기 관통전극과 인접된 제1 일부를 노출시키고 상기 노출된 제1 일부에 상기 관통전극이 접속되는 경로를 제공하는 제1 개구와; 그리고 상기 패드 중에서 상기 관통전극과 이격된 제2 일부를 노출시키고 상기 노출된 제2 일부에 외부 단자가 접속되는 경로를 제공하는 제2 개구를 포함할 수 있다.
- [0020] 본 실시예의 장치에 있어서, 상기 패드는, 상기 관통전극과 접속되는 제1 일부를 포함하는 관통전극 패드와; 그리고 상기 관통전극 패드로부터 연장되고 상기 외부 단자가 접속되는 제2 일부를 포함하는 본딩 패드를 포함할 수 있다.
- [0021] 본 실시예의 장치에 있어서, 상기 절연막은, 상기 패드를 덮는 패시베이션막과; 그리고 상기 패시베이션막 및 상기 비아홀 내벽을 덮는 비아홀 절연막을 포함할 수 있다. 또는 상기 절연막은 상기 패드 및 상기 비아홀 내벽을 덮는 패시베이션막을 포함할 수 있다.
- [0022] 본 실시예의 장치에 있어서, 상기 관통전극의 상단부에 배치되어 상기 관통전극과 자기정렬적인 솔더를 더 포함할 수 있다.
- [0023] 상기 특징을 구현할 수 있는 본 발명의 변형 실시예에 따른 반도체 장치는, 제1 관통전극과 상기 제1 관통전극과 접속되고 일부가 노출된 제1 패드를 포함하는 제1 반도체 칩과; 그리고 상기 제1 반도체 칩 상에 적층되고, 제2 관통전극과 상기 제2 관통전극과 접속되고 일부가 노출된 제2 패드를 포함하는 제2 반도체 칩을 포함하고, 상기 제1 및 제2 관통전극이 접속되어 상기 제1 및 제2 반도체 칩이 전기적으로 연결된 것일 수 있다.

[0024] 본 변형 실시예의 장치에 있어서, 상기 제1 및 제2 패드를 전기적으로 연결시키는 접속 단자를 더 포함할 수 있다.

[0025] 본 변형 실시예의 장치에 있어서, 상기 제2 반도체 칩 상에 적층된 제3 반도체 칩을 더 포함하고, 상기 제2 및 제3 반도체 칩은 상기 제2 패드에 접속된 접속 단자와 상기 제2 관통전극 중 적어도 어느 하나로써 전기적으로 연결된 것일 수 있다.

[0026] 본 변형 실시예의 장치에 있어서, 상기 제1 반도체 칩이 실장되는 인쇄회로기판을 더 포함하고, 상기 제1 반도체 칩과 상기 인쇄회로기판은, 상기 제1 관통전극과 상기 제1 패드에 접속된 접속 단자 중 적어도 어느 하나를 통해 서로 전기적으로 연결된 것일 수 있다.

효과

[0027] 본 발명에 의하면, 패드를 공정 중에서는 테스트 패드로 활용하고 반도체 칩을 제조한 이후에는 본딩 패드 및/또는 재배선 패드로 사용할 수 있다. 아울러 패드를 다목적으로 활용할 수 있기 때문에 특히 패키징시 전기적 연결의 용이성을 구현할 수 있다. 또한 관통전극과 동일한 크기의 솔더를 별도의 포토 공정없이 자기정렬적으로 형성할 수 있어서 솔더 공정을 생략할 수 있고, 관통전극 비아홀 공정 이후에 패시베이션 공정을 진행함으로써 비아홀 절연막을 별도로 형성할 필요가 없어 공정 단순화를 이루고 공정 원가를 줄일 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0028] 이하, 본 발명에 따른 반도체 장치 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명한다.

[0029] 본 발명과 종래 기술과 비교한 이점은 첨부된 도면을 참조한 상세한 설명과 특허청구범위를 통하여 명백하게 될 것이다. 특히, 본 발명은 특허청구범위에서 잘 지적되고 명백하게 청구된다. 그러나, 본 발명은 첨부된 도면과 관련해서 다음의 상세한 설명을 참조함으로써 가장 잘 이해될 수 있다. 도면에 있어서 동일한 참조부호는 다양한 도면을 통해서 동일한 구성요소를 나타낸다.

[0030] (공정 흐름의 일례)

[0031] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 나타내는 공정 순서도이다.

[0032] 도 1을 참조하면, 기판을 제공할 수 있다(S100). 기판에는 집적회로가 포함될 수 있다. 기판은 웨이퍼 단위의 반도체 기판을 포함할 수 있다. 기판의 전면에는 집적회로와 전기적으로 연결된 패드가 포함될 수 있다.

[0033] 기판에 패시베이션막을 형성하고(S110), 그 이후에 관통전극 비아홀을 형성할 수 있다(S120). 패시베이션막은 기판의 전면을 보호하는 막으로서 절연 물질로 형성할 수 있다. 관통전극 비아홀은 패드가 형성된 영역 혹은 패드가 형성되지 않은 영역의 기판을 제거하여 형성할 수 있다.

[0034] 기판의 전면 상에 비아홀 절연막을 형성할 수 있다(S130). 비아홀 절연막은 기판의 전면 및 비아홀의 내벽을 덮도록 절연 물질을 증착하여 형성할 수 있다. 비아홀 절연막 공정(S130)은 비아홀 절연막과 패시베이션막을 일부 제거하여 패드 일부를 개방시키는 개구부를 형성하는 것을 포함할 수 있다. 개구부는 관통전극이 패드와 전기적으로 연결될 수 있도록 패드의 일부를 개방시키는 제1 개구와, 패드에 탐침이 접촉될 수 있도록 패드의 다른 일부를 개방시키는 제2 개구를 포함할 수 있다. 일례로 개구부는 비아홀 절연막 형성한 이후에 패시베이션막과 비아홀 절연막을 연속적으로 패터닝하여 형성할 수 있다. 다른 예로 개구부는 패시베이션막을 형성한 이후에 패시베이션막을 패터닝하고, 비아홀 절연막을 형성한 이후에 비아홀 절연막을 패터닝하여 형성할 수 있다.

[0035] 비아홀을 전도성 물질로 매립하여 관통전극을 형성할 수 있다(S140). 관통전극을 형성하는 비아 필링 공정(S140)은 포토 공정으로 비아홀 내벽에 씨드를 형성하고 이 씨드를 이용한 전기도금 공정을 이용하거나 혹은 금속 증착 공정을 이용할 수 있다. 관통전극은 제1 개구를 통해 패드와 전기적으로 연결될 수 있다.

[0036] 선택적으로 관통전극 중에서 기판의 전면 바깥으로 노출된 상단부 상에 솔더를 형성하는 것을 더 포함할 수 있다(S150). 솔더는 관통전극과 자기정렬적으로 형성할 수 있다.

[0037] 관통전극이 형성된 웨이퍼 단위의 반도체 장치에 대한 전기적 검사, 가령 EDS(Electric Die Sorting) 테스트로써 반도체 장치의 불량 여부를 검사할 수 있다(S160). EDS 테스트는 프로브 카드를 포함하는 테스트 장비를 이용할 수 있다. 일례로, 테스트 장비의 탐침을 제2 개구를 통해 노출된 패드에 접촉시켜 전기적 검사를 수행할

수 있다.

- [0038] 기판의 배면을 연마하고(S170), 그 이후에 웨이퍼 단위의 반도체 장치를 칩 단위의 날개로 분리하는 소잉 공정을 진행할 수 있다(S180). 배면 연마 공정(S170)에 의해 관통전극의 하단부가 노출될 수 있다. 소잉 공정(S180)에 의해 날개로 분리된 칩 단위의 반도체 장치, 즉 반도체 칩이 구현될 수 있다. 상기 일련의 공정을 통해 구현된 반도체 칩을 복수개 적층하여 멀티칩 패키지를 구현할 수 있다.
- [0039] 이하에선 도 1에 도시된 공정 흐름의 일례를 구현할 수 있는 반도체 장치의 제조방법을 설명한다.
- [0040] (제1 실시예)
- [0041] 도 2a 내지 2j는 본 발명의 제1 실시예에 따른 반도체 장치의 제조방법을 나타내는 단면도이다.
- [0042] 도 2a를 참조하면, 기판(102)을 제공할 수 있다. 기판(102)은 웨이퍼 단위의 반도체 기판일 수 있다. 본 발명의 실시예에 의하면 기판(102)은 실리콘 웨이퍼일 수 있다. 본 실시예에서는 편의상 웨이퍼 단위의 기판(102) 중 일부를 도시하였다. 기판(102) 내에는 집적회로(103)가 형성되어 있을 수 있다. 집적회로(103)는 메모리 회로 혹은 비메모리 회로 혹은 이들이 조합된 것 등을 포함할 수 있다.
- [0043] 기판(102)은 활성면인 전면(102f)과 비활성면인 배면(102b)을 포함할 수 있다. 기판(102)의 전면(102f)에는 집적회로(103)와 전기적으로 연결된 입출력 패드(108)가 형성되어 있을 수 있다. 패드(108)는 전도성 물질, 가령 구리(Cu)나 알루미늄(Al) 혹은 이들의 합금과 같은 금속을 증착하여 형성할 수 있다.
- [0044] 기판(102)은 관통전극이 형성될 제1 영역(104)과, 패드(108)가 형성된 제2 영역(106)으로 구분될 수 있다. 이들 영역(104, 106)은 기판(102)의 전영역에 걸쳐 규칙적 혹은 불규칙적으로 분포되어 있을 수 있다. 제1 영역(104)은 스크라이브 레인(scribe lane)에 상당하는 위치에 있거나 혹은 이에 인접할 수 있다.
- [0045] 도 2b를 참조하면, 기판(102) 상에 패시베이션막(110)을 형성할 수 있다. 패시베이션막(110)은 제1 영역(104) 및 제2 영역(106)에 걸쳐 기판(102)의 전면(102f) 상에 절연성 물질, 예를 들어 실리콘옥사이드와 같은 산화물, 실리콘나이트라이드와 같은 질화물, 파릴렌(parylene)과 같은 폴리머, 혹은 이들의 조합막 등을 패드(108)를 덮도록 증착하여 형성할 수 있다. 일례로 화학기상증착 공정 혹은 원자층증착 공정으로 실리콘옥사이드 혹은 실리콘나이트라이드를 대체로 균일한 두께로 증착하여 패시베이션막(110)을 형성할 수 있다.
- [0046] 도 2c를 참조하면, 기판(102)에 관통전극 비아홀(120)을 형성할 수 있다. 비아홀(120)은 건식 식각, 습식 식각, 레이저 드릴링, 혹은 기계적 드릴링을 이용하여 기판(102)의 제1 영역(104) 일부를 제거하여 형성할 수 있다. 비아홀(120)의 바닥은 기판(102)의 배면(102b)에 미치지 못하거나 혹은 배면(102b)까지 확장될 수 있다. 본 발명의 실시예에 의하면 비아홀(120)은 레이저 드릴링으로 형성할 수 있다. 레이저 드릴링은 식각 공정에서와 같은 마스크 제작이나 포토 공정 등이 필요없고, 레이저의 펄스 내지는 강도를 적절히 조절함으로써 비아홀(120)의 깊이나 폭(직경)을 비교적 용이하게 설정할 수 있다. 비아홀(120)은 그 측벽이 수직할 수 있고 혹은 경사질 수 있다. 이에 따라 비아홀(120)은 상하부 개구 면적이 대체로 동일한 원기둥 형태일 수 있고, 이와 다르게 상부에서 하부로 내려갈수록 그 개구 면적이 점진적으로 작아지는 이른바 테이퍼(taper) 형태일 수 있다. 비아홀(120)이 배면(102b)까지 확장된 경우 도 2h에서 설명할 관통전극(140)의 하단부를 노출시키는 연마 내지는 식각 공정을 생략할 수 있다.
- [0047] 도 2d를 참조하면, 기판(102) 상에 비아홀 절연막(130)을 형성할 수 있다. 비아홀 절연막(130)은 제1 영역(104) 및 제2 영역(106)에 걸쳐 기판(102)의 전면(102f) 상에 형성할 수 있다. 비아홀 절연막(130)은 패시베이션막(110)의 재질과 동일하거나 유사한 것을 증착 공정으로 형성할 수 있다. 예를 들어 비아홀 절연막(130)은 실리콘옥사이드, 실리콘나이트라이드, 혹은 이들의 조합막을 화학기상증착 공정 혹은 원자층증착 공정으로 대체로 균일한 두께로 증착하여 형성할 수 있다.
- [0048] 비아홀 절연막(120)은 기판(102)의 전면(102f)은 물론 비아홀(120)의 내벽을 덮을 수 있다. 비아홀 절연막(120)은 관통전극(도 2f의 140)을 기판(102)으로부터 전기적으로 절연시키거나 혹은 누설전류를 방지할 수 있다. 아울러 비아홀 절연막(120)은 관통전극(도 2f의 140)과 집적회로(도 2a의 103)와의 전기적 절연을 위한 것일 수 있다.
- [0049] 도 2e를 참조하면, 패드(108)의 일부를 노출시키는 개구부(135)를 형성할 수 있다. 일례로 비아홀 절연막(130)과 패시베이션막(110)을 연속적으로 패터닝하여 패드(108)의 일부를 노출시키는 제1 개구(135a)와, 패드(108)의

다른 일부를 노출시키는 제2 개구(135b)를 포함하는 개구부(135)를 형성할 수 있다. 제1 개구(135a)는 도 2f에서 후술한 관통전극(140)과 인접할 수 있다. 가령 제1 개구(135a)는 관통전극(140)의 아래에 상당하는 위치에 형성될 수 있다. 이와 달리, 제2 개구(135b)는 관통전극(140)과 이격될 수 있다.

- [0050] 패드(108)는 제2 개구(135b)를 통해 반도체 전기적 테스트 장비의 탐침(도 2g의 160)이 접촉되는 테스트 단자 역할을 할 수 있다. 또한 패드(108)는 제1 개구(135a)를 통해 후술한 관통전극(도 2f의 140)과 전기적으로 접촉될 수 있다. 아울러 패드(108)는 본딩 패드 및/또는 재배선 패드 역할을 겸할 수 있다. 이에 대해선 도 3a 내지 3c를 참조하여 후술한다.
- [0051] 개구부(135)는 상술한 바와 같이 1 단계 패터닝 공정을 통해 형성할 수 있고, 이와 다르게 2 단계 패터닝 공정을 통해 형성할 수 있다. 2 단계 패터닝 공정의 일례로서 패시베이션막(110)을 형성한 후 이를 패터닝하고, 비아홀 절연막(130)을 형성한 후 이를 패터닝하여 개구부(135)를 형성할 수 있다.
- [0052] 도 2f를 참조하면, 비아홀(120)을 채우는 관통전극(140)을 형성할 수 있다. 관통전극(140)은 제1 개구(135a)를 통해 패드(108)와 전기적으로 연결될 수 있다. 관통전극(140)은 멀티칩 패키지를 구현하는 경우 복수개의 반도체 칩 간에 연결 단자로 사용될 수 있도록 기관(102)의 전면(102f) 바깥으로 돌출되도록 형성하는 것이 바람직하다. 관통전극(140)은 구리, 알루미늄, 타이타늄, 니켈, 혹은 이들의 합금과 같은 금속을 비롯한 전도성 물질을 증착하거나 전기도금하여 형성할 수 있다.
- [0053] 일례로 기관(102) 상에 금속막을 증착한 후 이를 패터닝하여 씨드를 형성하고, 씨드를 이용한 전기도금으로 비아홀(120)을 금속으로 채워 관통전극(140)을 형성할 수 있다. 다른 예로서 기관(102) 상에 금속막을 증착한 후 이를 패터닝하여 관통전극(140)을 형성할 수 있다. 또 다른 예로서 기관(102) 상에 비아홀(120)과 제1 개구(135a)를 오픈시키는 마스크(145)를 형성하고 이 마스크(145)를 이용한 전기도금, 무전해도금, 혹은 증착으로 관통전극(140)을 형성할 수 있다. 본 발명의 실시예에 의하면 마스크(145)를 형성하고 이를 이용한 전기도금이 나 증착으로 관통전극(140)을 형성할 수 있다.
- [0054] 관통전극(140)과 전기적으로 연결되는 솔더(150)를 더 형성할 수 있다. 예를 들어 관통전극(140) 중에서 기관(102)의 전면(102f) 바깥으로 돌출된 상단부에 솔더(150)를 형성할 수 있다. 솔더(150)는 증착 혹은 도금으로 형성할 수 있다. 솔더(150)를 형성하는 경우 반도체 칩들을 수직 적층하는 경우 솔더볼이나 솔더범프를 형성하는 공정을 생략할 수 있다. 솔더(150)는 관통전극(140) 형성시 사용된 마스크(145)를 이용하여 형성할 수 있거나 혹은 별도의 포토 공정으로 형성할 수 있다.
- [0055] 본 발명의 실시예에 의하면 관통전극(140) 형성에 사용된 마스크(145)를 제거하지 아니하고 솔더(150) 형성시 그 마스크(145)를 이용할 수 있다. 이에 따르면 관통전극(140)과 솔더(150)를 동일한 마스크(145)를 이용하여 자기정렬적으로 형성할 수 있다. 이러한 본 발명의 실시예는 공정 측면에서는 솔더(150) 형성시 별도의 포토 공정을 생략할 수 있어서 포토 공정 스텝을 감소시킬 수 있고, 구조 측면에서는 관통전극(140)과 솔더(150)는 대체로 동일한 크기(직경)를 가지게 될 것이고 설령 다른 크기를 가지더라도 그 차이는 매우 미미할 것이다.
- [0056] 일반적으로 별도의 포토 공정으로 솔더(150)를 형성하게 되면 솔더(150)는 관통전극(140)에 비해 작은 크기를 가지게 될 것이고 이에 따라 접촉 신뢰성이나 접촉 저항과 같은 문제점이 대두될 수 있다. 그러나 본 발명의 실시예에 의하면 대체로 같은 크기의 관통전극(140)과 솔더(150)가 구현될 수 있으므로 접촉 신뢰성을 높이고 접촉 저항을 낮출 수 있게 된다. 별도의 포토 공정으로 솔더(150)를 관통전극(140)과 대체로 동일한 크기로 형성한다 하더라도 이는 본 발명의 실시예에 비해 포토 공정 스텝 수가 더 추가되는 것이다.
- [0057] 도 2g를 참조하면, 마스크(145)를 제거하면 웨이퍼 단위의 반도체 장치(1)가 구현될 수 있다. 프로버 시스템과 같은 테스트 장비를 이용하여 반도체 장치(1)의 불량 여부를 판별하는 전기적 테스트(예: EDS 테스트)를 진행할 수 있다. 예를 들어 EDS 테스트 장비의 탐침(160)을 제2 개구(135b)를 통해 노출된 패드(108)에 접촉시켜 반도체 장치(1)가 정상적으로 동작하는지를 검사할 수 있다. 반도체 장치(1)에 대한 전기적 테스트 결과 양호한 것으로 판정되면 이하와 같은 배면 연마 공정을 진행할 수 있다.
- [0058] 도 2h를 참조하면, 기관(102)의 배면(102b)에 대한 연마 공정을 진행할 수 있다. 상기 배면 연마 공정(backside grinding)은 최소한 관통전극(140)의 하단부가 노출될 수 있는 제2 배면(102g)까지 진행할 수 있다. 배면 연마 공정시 비아홀 절연막(130) 중에서 관통전극(140) 하단부에 형성된 일부도 같이 연마될 수 있다. 다른 예로 기관(102)의 배면(102b)에 대한 식각 공정을 통해 관통전극(140)의 하단부를 노출시킬 수 있다. 또 다른 예로 관통전극(140)의 하단부는 제2 배면(102g)으로부터 돌출될 수 있다. 관통전극(140)은 대체로 원기둥 형태일 수 있고 혹은 아래로 내려갈수록 그 단면적이 점점 좁아지는 이른바 테이퍼(taper) 형태일 수 있다.

- [0059] 도 2i를 참조하면, 상기 배면 연마 공정에 의하면 기판(102)을 수직 관통하는 관통전극(140)을 포함하는 웨이퍼 단위의 반도체 장치(10)가 구현될 수 있다. 이어서 쏘잉 공정(sawing)을 통해 웨이퍼 단위의 반도체 장치(10)를 칩 단위의 날개로 분리할 수 있다.
- [0060] 도 2j를 참조하면, 상기 쏘잉 공정에 의하면 칩 단위로 분리된 기판(102s)을 수직 관통하는 관통전극(140)을 포함하는 칩 단위의 반도체 장치, 즉 반도체 칩(100)이 구현될 수 있다. 반도체 칩(100)은 관통전극(140)과 패드(108)를 포함하는 전기적 연결부(170)를 포함할 수 있다. 전기적 연결부(170)는 반도체 칩(100)을 다른 반도체 칩과 전기적으로 연결시키는 외부 접촉 단자로 활용될 수 있다. 패드(108)는 반도체 칩(100)의 에지에 관통전극(140)은 반도체 칩(100)의 센터에 더 근접될 수 있고, 또는 그 반대일 수 있다. 전기적 연결부(170)는 반도체 칩(100)의 에지 부분에 한정 배치될 수 있거나 혹은 반도체 칩(100)의 전체에 걸쳐 규칙적으로 혹은 불규칙적으로 배치될 수 있다.
- [0061] 도 3a 내지 3c는 도 2j의 일부를 도시한 것으로서, 도 3a는 전기적 연결부의 평면도이고 도 3b 및 3c는 전기적 연결부의 단면도이다.
- [0062] 도 3a 내지 3c를 참조하면, 전기적 연결부(170)는 관통전극(140)과 패드(108)가 제1 개구(135a)를 통해 서로 전기적으로 연결되어 구성될 수 있다. 패드(108)는 도 2g를 참조하여 이미 언급한 바와 같이 제2 개구(135b)를 통해 탐침(160)과 접촉될 수 있다. 아울러 패드(108)는 도 3b에 도시된 바와 같이 제2 개구(135b)를 통해 본딩 와이어(190)와 전기적으로 연결될 수 있고, 혹은 도 3c에 도시된 바와 같이 솔더범프 내지 솔더볼(195)과 전기적으로 연결될 수 있다. 즉 패드(108)는 반도체 칩(100)의 제조 공정 중에서는 이른바 테스트 패드 역할을 하고 반도체 칩(100)이 완성된 후에는 이른바 본딩 패드로서의 역할을 할 수 있다. 개구(135a,135b)는 도 3a에 도시된 바와 같이 원형이거나 혹은 이와 다른 형태 가령 타원형, 장방형과 같이 여러 다양한 형태일 수 있다.
- [0063] 패드(108)는 재배선 패드로서의 역할을 할 수 있다. 예를 들어 반도체 칩(100)과 다른 반도체 칩, 가령 반도체 칩(100)과 종류가 다르거나 크기가 다른 반도체 칩이 수직 적층되어 멀티칩 패키지를 구성하는 경우, 반도체 칩(100)의 관통전극(140)과 다른 반도체 칩의 관통전극 혹은 본딩 패드와 전기적 연결이 곤란한 경우가 있을 수 있다. 이러한 경우 솔더볼(195)이나 본딩 와이어(190)를 제2 개구(135b)를 통해 패드(108)에 접촉시키므로써 전기적 연결의 곤란성 문제를 해결할 수 있다.
- [0064] (제2 실시예)
- [0065] 도 4a 내지 4j는 본 발명의 제2 실시예에 따른 반도체 칩의 제조방법을 나타내는 단면도이다. 제2 실시예는 제1 실시예와 동일 유사하므로 이하에선 동일한 점에 대해서는 간략히 설명하거나 생략하고, 상이한 점에 대해서는 상세히 설명하기로 한다.
- [0066] 도 4a를 참조하면, 집적회로(203)를 포함하며 전면(202f)과 배면(202b)을 갖는 웨이퍼 단위의 반도체 기판(202)을 제공할 수 있다. 기판(202)의 전면(202f)에는 집적회로(203)와 전기적으로 연결된 전도성 물질로 구성된 패드(208)가 형성되어 있을 수 있다. 패드(208)는 기판(202)의 전면(202f) 상에 복수개 형성될 수 있다. 도 4a의 패드(208)는 도 2a의 패드(108)와 동일 크기일 수 있고 혹은 다른 크기일 수 있다. 본 명세서에서는 도 4a에 도시된 패드(208)를 도 2a에 도시된 패드(108)에 비해 더 크게 도시하였으나, 이는 편의상 스케일이 다르게 도시한 것에 지나지 않는다는 것에 유의하여야 할 것이다. 패드(108)와 패드(208)는 동일 크기 및 동일 위치일 수 있으며, 이러한 예가 도 11g에 도시되어 있다. 도 11g에서 패드(308)는 도 2a의 패드(108)에 상당하고, 패드(408)는 도 4a의 패드(208)에 상당한다.
- [0067] 도 4b를 참조하면, 기판(202)의 전면(202f) 상에 패드(208)를 덮는 패시베이션막(210)을 형성할 수 있다. 패시베이션막(210)은 산화막, 질화막, 폴리머, 혹은 이들의 조합막 등과 같은 절연성 물질을 물리기상증착 공정 또는 화학기상증착 공정으로 증착하여 형성할 수 있다.
- [0068] 도 4c를 참조하면, 기판(202)의 일부를 제거하여 관통전극 비아홀(220)을 형성할 수 있다. 비아홀(220) 형성은 레이저 드릴링 공정을 채택하여 수행할 수 있다. 본 실시예에서는 제1 실시예와 다르게 비아홀(220)이 패드(208)를 관통하여 형성될 수 있다. 상술한 제1 실시예는 기판의 스크라이브 레인 혹은 이에 인접한 영역에 관통전극을 형성하는 것이다. 이 경우 스크라이브 레인의 크기가 관통전극을 형성할 수 있을 정도로 충분히 커야한다는 제약이 있을 수 있다. 그런데 매 웨이퍼당 반도체 칩 수를 늘리기 위해서 스크라이브 레인 크기를 줄이는 경우 관통전극을 형성하는 것이 곤란해질 수 있다. 특히, 패드가 반도체 칩의 중앙부에 위치할 경우 관통전극을

스크라이브 레인에 형성하기가 매우 곤란해질 수 있다. 이러한 문제를 해결하기 위해 기관 중 패드가 형성된 영역에 패드를 관통하는 이른바 패드 직하형 관통전극을 형성할 수 있다. 본 발명의 실시예에서는 패드 직하형 관통전극을 형성하기 위해 패드(208)를 관통하는 비아홀(220)을 형성할 수 있다. 비아홀(220)은 패드(208)를 관통하면서 기관(202)의 배면(202b)에 미치지 못하거나 혹은 배면(202b)까지 확장될 수 있다. 비아홀(220)이 배면(202b)까지 확장된 경우 도 4h에서 설명할 관통전극(240)의 하단부를 노출시키는 연마 내지는 식각 공정을 생략할 수 있다.

[0069] 도 4d를 참조하면, 기관(202)의 전면(202f) 상에 비아홀 절연막(230)을 형성할 수 있다. 이에 따라 비아홀 절연막(230)은 패시베이션막(210)을 덮으며 또한 비아홀(230) 내벽을 덮을 수 있다. 비아홀 절연막(230)은 패시베이션막(210)과 동일 유사한 물질, 가령 실리콘옥사이드 혹은 실리콘나이트라이드 혹은 이들의 조합막을 증착하여 형성할 수 있다.

[0070] 도 4e를 참조하면, 비아홀 절연막(230)과 패시베이션막(210)을 연속적으로 패터닝하여 패드(208)의 일부를 노출시키는 제1 개구(235a)와, 패드(208)의 다른 일부를 노출시키는 제2 개구(235b)를 포함하는 개구부(235)를 형성할 수 있다. 다른 예로 패시베이션막(210)을 형성한 후 이를 패터닝하고, 비아홀 절연막(230)을 형성한 후 이를 패터닝하는 2 단계 패터닝 공정으로써 개구부(235)를 형성할 수 있다. 또 다른 예로 개구부(235) 형성시 비아홀(220) 상부 영역에 형성되어 있는 패시베이션막(210)과 비아홀 절연막(230)이 제거될 수 있다. 따라서 비아홀(220) 주위의 패드(208)의 상면 일부 및 측벽이 노출될 수 있다. 이러한 경우, 도 4f에서 후술할 관통전극(240)은 패드(208)의 노출된 상부 및 측벽과 직접 접촉하여 형성될 수 있다.

[0071] 도 5a에 도시된 바와 같이 제1 개구(235a)는 평면상 고리 형태로 형성될 수 있고, 제2 개구(235b)는 평면상 원형으로 형성될 수 있다. 제2 개구(235b)는 전기적 테스트 장비의 탐침(도 4g의 260)이 패드(208)와 접촉될 수 있도록 패드(208)를 개방시킬 수 있다. 또한 제2 개구(235b)를 통해 노출된 패드(208)에는 본딩 와이어 혹은 솔더볼 등과 같은 단자가 접속될 수 있다. 제1 개구(235a)는 관통전극(도 4f의 240)이 패드(208)와 접촉될 수 있도록 패드(208)를 개방시킬 수 있다. 이에 따라 패드(208)는 도 5a에 도시된 바와 같이 본딩 패드(208b)와 관통전극 패드(208a)로 구분될 수 있다. 아울러 패드(208)는 재배선 패드 역할을 할 수 있다.

[0072] 도 4f를 참조하면, 비아홀(220)을 채우는 관통전극(240)을 형성할 수 있다. 관통전극(240)은 제1 개구(235a)를 통해 패드(208)와 전기적으로 연결될 수 있다. 관통전극(240)은 마스크(245)를 이용한 전기도금 공정으로 금속을 도금시켜 형성될 수 있다. 이 마스크(245)를 이용한 전기도금 공정으로 관통전극(240)과 자기정렬된 솔더(250)를 더 형성할 수 있다.

[0073] 도 4g를 참조하면, 마스크(245)를 제거하면 웨이퍼 단위의 반도체 장치(2)가 구현될 수 있다. 반도체 장치(2)에 대한 전기적 검사, 가령 EDS 테스트 장비의 탐침(260)을 제2 개구(235b)를 통해 노출된 패드(208)에 접촉시켜 반도체 장치(2)가 정상적으로 동작하는지를 검사할 수 있다. 즉 패드(208)는 이른바 테스트 패드 역할을 할 수 있다.

[0074] 도 4h를 참조하면, 반도체 패키지(2)에 대한 배면 연마 공정을 진행할 수 있다. 상기 배면 연마 공정(backside grinding)은 적어도 관통전극(240)의 하단부가 노출될 수 있는 제2 배면(202g)까지 진행할 수 있다. 다른 예로서 관통전극(240)의 하단부는 제2 배면(202g)으로부터 돌출될 수 있다. 관통전극(240)은 원기둥 형태 혹은 테이퍼된 기둥 형상일 수 있다.

[0075] 도 4i를 참조하면, 상기 배면 연마 공정에 의하면 기관(202)을 수직 관통하는 관통전극(240)을 포함하는 웨이퍼 단위의 반도체 장치(2)가 구현될 수 있다. 이어서 쏘잉 공정(sawing)을 통해 웨이퍼 단위의 반도체 장치(2)를 칩 단위의 날개로 분리할 수 있다.

[0076] 도 4j를 참조하면, 상기 쏘잉 공정에 의하면 칩 단위로 분리된 기관(202s)에 전기적 연결부(270)가 형성된 반도체 칩(200)이 구현될 수 있다. 전기적 연결부(270)는 관통전극(240)과 패드(208)를 포함하며, 반도체 칩(200)의 에지에 한정되거나 혹은 반도체 칩(200) 전체에 걸쳐 형성되어 있을 수 있다. 관통전극(240)은 반도체 칩(200)의 센터쪽으로 배치되고, 패드(208)는 반도체 칩(200)의 에지쪽으로 배치될 수 있어서 제2 개구부(235b)가 반도체 패키지(200)의 에지를 점유할 수 있다. 이와 반대로 제2 개구부(235b)가 반도체 칩(200)의 센터쪽으로 치우쳐 배치될 수 있고, 관통전극(240)이 반도체 칩(200)의 에지를 점유할 수 있다.

[0077] 도 5a 내지 5c는 도 4j의 일부를 도시한 것으로서, 도 5a는 전기적 연결부의 평면도이고 도 5b 및 5c는 전기적 연결부의 단면도이다.

[0078] 도 5a 내지 5c를 참조하면, 패드(208)는 제2 개구(235b)를 통해 도 5b에 도시된 바와 같이 본딩 와이어(290)와

전기적으로 연결될 수 있고, 혹은 도 5c에 도시된 바와 같이 솔더볼(295)과 전기적으로 연결될 수 있다. 본 발명의 실시예에 의하면 패드(208)는 제2 개구(235b)를 통해 본딩 와이어(290) 혹은 솔더볼(295)과 전기적으로 연결되는 본딩 패드(208b)와, 제1 개구(235a)를 통해 관통전극(240)과 전기적으로 연결되는 관통전극 전용 패드(208a)로 구분될 수 있다. 패드(208)는 재배선 패드로서의 역할을 할 수 있다. 예를 들어 멀티칩 패키지를 구현하는 경우 본딩 패드(208)와 연결된 본딩 와이어(290) 혹은 솔더볼(295)으로써 상하 반도체 칩 사이의 전기적 연결을 가능하게 할 수 있다.

- [0079] (공정 흐름의 다른 예)
- [0080] 도 6은 본 발명의 다른 실시예에 따른 반도체 장치의 제조방법을 나타내는 공정 순서도이다.
- [0081] 도 6을 참조하면, 기판을 제공할 수 있다(S200). 기판에는 집적회로가 포함된 웨이퍼 단위의 반도체 기판을 포함할 수 있다. 기판의 전면에는 집적회로와 전기적으로 연결된 입출력 패드가 포함될 수 있다.
- [0082] 기판에 관통전극 비아홀을 형성하고(S210), 그 이후에 패시베이션막을 형성할 수 있다(S220). 도 1을 참조하여 설명한 예는 패시베이션 공정(S110) 이후에 관통전극 비아홀 공정(S120)을 진행하는 것이지만, 본 실시예는 관통전극 비아홀 공정(S210) 이후에 패시베이션 공정(S220)을 진행하는 것이다. 도 1의 예는 비아홀 절연을 위해 비아홀 절연막 공정(S130)을 따로이 진행하여야 하지만, 본 실시예에서는 패시베이션막이 비아홀 절연막 기능을 할 수 있으므로 비아홀 절연막 공정을 생략할 수 있으며, 막질의 연속성을 가질 수 있다. 이러한 공정 스텝 변화 및 구조 변화를 통해 공정 단순화를 이룩할 수 있을 뿐만 아니라 및 공정 원가를 낮출 수 있을 것이다.
- [0083] 패시베이션 공정(S220)은 패시베이션막을 패터닝하여 패드 일부를 개방시키는 개구부를 형성하는 것을 포함할 수 있다. 개구부는 관통전극이 패드와 전기적으로 연결될 수 있도록 패드의 일부를 개방시키는 제1 개구와, 탐침이 접촉될 수 있도록 패드의 다른 일부를 개방시키는 제2 개구를 포함할 수 있다.
- [0084] 비아홀을 전도성 물질로 매립하여 관통전극을 형성할 수 있다(S230). 관통전극 형성을 위한 비아홀 필링 공정(S230)은 마스크를 이용한 전기도금, 무전해도금 혹은 증착으로 형성할 수 있다. 관통전극은 제1 개구를 통해 패드와 전기적으로 연결될 수 있다.
- [0085] 선택적으로 관통전극의 상단부 상에 솔더를 형성하는 것을 더 포함할 수 있다(S240). 솔더는 관통전극 형성시 사용된 마스크를 이용하여 관통전극과 자기정렬적으로 형성할 수 있다.
- [0086] 관통전극이 형성된 웨이퍼 단위의 반도체 장치에 대한 전기적 검사, 가령 EDS 테스트로써 반도체 장치의 불량 여부를 검사할 수 있다(S250). EDS 테스트는 프로브 카드를 포함하는 테스트 장비를 이용할 수 있다. 일례로, 테스트 장비의 탐침을 제2 개구를 통해 노출된 패드에 접촉시켜 전기적 검사를 수행할 수 있다.
- [0087] 기판의 배면을 연마하여 관통전극의 하단부를 노출시킬 수 있다(S260). 그 이후에 웨이퍼 상태의 반도체 장치를 칩 단위로 반도체 장치, 즉 반도체 칩으로 분리하는 쏘잉 공정을 진행할 수 있다(S270).
- [0088] 이하에선 도 6에 도시된 공정 흐름의 다른 예를 구현할 수 있는 반도체 장치의 제조방법을 설명한다.
- [0089] (제3 실시예)
- [0090] 도 7a 내지 7i는 본 발명의 제3 실시예에 따른 반도체 장치의 제조방법을 나타내는 단면도이다. 제3 실시예는 제1 실시예와 동일 유사하므로 이하에선 동일한 점에 대해서는 간략히 설명하거나 생략하고, 상이한 점에 대해서는 상세히 설명하기로 한다.
- [0091] 도 7a를 참조하면, 집적회로(303)가 포함된 기판(302)을 제공할 수 있다. 기판(302)은 패드(308)가 형성된 전면(302f)과 그 반대면인 배면(302b)을 가지는 웨이퍼 단위의 실리콘 웨이퍼일 수 있다. 기판(302)은 관통전극이 형성될 제1 영역(304)과, 패드(308)가 형성된 제2 영역(306)으로 구분될 수 있다. 제1 영역(304)은 스크라이브 레인 혹은 이에 인접한 영역일 수 있다.
- [0092] 도 7b를 참조하면, 기판(302)에 관통전극 비아홀(320)을 형성할 수 있다. 예를 들어 비아홀(320)은 식각 공정 혹은 바람직하게는 레이저 드릴링 공정을 이용하여 기판(302)의 제1 영역(304) 일부를 제거하여 형성할 수 있다. 비아홀(320)은 배면(302b)까지 확장될 수 있고 혹은 이에 미치지 않을 수 있다. 비아홀(320)이 배면(302b)까지 확장된 경우 도 7g에서 설명되어질 관통전극(340)의 하단부를 노출시키는 연마 내지는 식각 공정을

생략할 수 있다

- [0093] 도 7c를 참조하면, 기판(302) 상에 패시베이션막(310)을 형성할 수 있다. 패시베이션막(310)은 제1 영역(304) 및 제2 영역(306)에 걸쳐 기판(302)의 전면(302f) 상에 절연성 물질을 증착하여 비아홀(320)의 내벽을 덮으며 또한 패드(308)를 덮도록 형성할 수 있다.
- [0094] 본 발명의 실시예에 의하면 제1 실시예와 다르게 관통전극 비아홀(320)을 형성한 후 패시베이션막(310)을 형성하는 것이다. 이에 따라 패시베이션막(310)은 기판(302)의 전면(302f) 뿐만 아니라 비아홀(320)의 내벽을 덮을 수 있기 때문에 비아홀 절연막을 형성할 필요성이 없어질 수 있다. 그 결과 비아홀 절연막 형성을 위한 절연성 물질의 증착 공정과, 패터닝을 위한 포토 공정 및 식각 공정 등을 생략할 수 있다.
- [0095] 도 7d를 참조하면, 패드(308)의 일부를 노출시키는 개구부(335)를 형성할 수 있다. 일례로 패시베이션막(310)을 패터닝하여 패드(308)의 일부를 노출시키는 제1 개구(335a)와, 패드(308)의 다른 일부를 노출시키는 제2 개구(335b)를 포함하는 개구부(335)를 형성할 수 있다.
- [0096] 도 7e를 참조하면, 비아홀(320)을 채우는 관통전극(340)을 형성할 수 있다. 예컨대 관통전극(340)은 기판(302) 상에 비아홀(320)과 제1 개구(335a)를 오픈시키는 마스크(345)를 형성하고 이 마스크(345)를 이용한 전기도금 공정으로 금속을 도금시켜 관통전극(340)을 형성할 수 있다. 관통전극(340)은 제1 개구(335a)를 통해 패드(308)와 전기적으로 연결될 수 있다.
- [0097] 관통전극(340)과 전기적으로 연결되는 솔더(350)를 더 형성할 수 있다. 예컨대 별도의 포토 공정에 의하지 아니하고 관통전극(340) 형성에 사용된 마스크(345)를 이용하는 도금 공정으로 솔더(350)를 관통전극(340)과 자기정렬적으로 형성할 수 있다.
- [0098] 도 7f를 참조하면, 마스크(345)를 제거하면 웨이퍼 단위의 반도체 장치(3)가 구현될 수 있다. 탐침(360)을 제2 개구(335b)를 통해 노출된 패드(308)에 접촉시켜 반도체 장치(3)에 대한 EDS 테스트를 진행할 수 있다.
- [0099] 도 7g를 참조하면, 적어도 제2 배면(302g)까지 기판(302)의 배면(302b)을 연마할 수 있다. 이때 관통전극(340)의 하단부가 노출될 수 있다. 다른 예로서 관통전극(340)의 하단부는 제2 배면(302g)으로부터 돌출될 수 있다. 관통전극(340)은 테이퍼된 기둥 형상일 수 있다.
- [0100] 도 7h를 참조하면, 상기 배면 연마 공정에 의하면 기판(302)을 수직 관통하는 관통전극(340)을 포함하는 웨이퍼 단위의 반도체 장치(30)가 구현될 수 있다. 이어서 소잉 공정을 통해 웨이퍼 단위의 반도체 장치(30)를 날개, 즉 칩 단위로 분리할 수 있다.
- [0101] 도 7i를 참조하면, 상기 소잉 공정에 의하면 칩 단위로 분리된 기판(302s)을 수직 관통하는 관통전극(340)을 포함하는 반도체 칩(300)이 구현될 수 있다. 반도체 칩(300)은 관통전극(340)과 패드(308)를 포함하는 전기적 연결부(370)를 포함할 수 있다.
- [0102] 도 8a 내지 8c는 도 7i의 일부를 도시한 것으로서, 도 8a는 전기적 연결부의 평면도이고 도 8b 및 8c는 전기적 연결부의 단면도이다.
- [0103] 도 8a 내지 8c를 참조하면, 패드(308)는 도 8b에 도시된 바와 같이 제2 개구(335b)를 통해 본딩 와이어(390)와 전기적으로 연결될 수 있고, 혹은 도 8c에 도시된 바와 같이 솔더볼(395)과 전기적으로 연결될 수 있다. 이에 따라 패드(308)는 본딩 패드 및/또는 재배선 패드 역할을 할 수 있다.
- [0104] (제4 실시예)
- [0105] 도 9a 내지 9i는 본 발명의 제4 실시예에 따른 반도체 장치의 제조방법을 나타내는 단면도이다. 제4 실시예는 제1 또는 제3 실시예와 동일 유사하므로 이하에선 동일한 점에 대해서는 간략히 설명하거나 생략하고, 상이한 점에 대해서는 상세히 설명하기로 한다.
- [0106] 도 9a를 참조하면, 집적회로(403)를 포함하며 전면(402f)과 그 반대면인 배면(402b)을 갖는 웨이퍼 단위의 반도체 기판(402)을 제공할 수 있다. 기판(402)의 전면(402f)에는 집적회로(403)와 전기적으로 연결된 패드(408)가 형성되어 있을 수 있다.
- [0107] 도 9b를 참조하면, 기판(402)에 관통전극 비아홀(420)을 형성할 수 있다. 비아홀(420)은 기판(402)의 일부를 식각 공정 혹은 바람직하게는 레이저 드릴링 공정으로 제거함으로써 형성될 수 있다. 본 실시예에 의하면 패드 직

하형 관통전극을 형성하기 위한 비아홀(420)은 패드(408)의 일부를 관통하므로써 형성될 수 있다. 즉 비아홀(420)은 기관(202) 중에서 패드(408)가 형성된 영역에 형성될 수 있다. 비아홀(420)은 배면(402b)까지 확장되거나 혹은 이에 미치지 않을 수 있다. 비아홀(420)이 배면(402b)까지 확장된 경우 도 9g에서 설명되어질 관통전극(440)의 하단부를 노출시키는 연마 내지는 식각 공정을 생략할 수 있다.

- [0108] 도 9c를 참조하면, 기관(402) 상에 절연성 물질을 증착하여 패시베이션막(410)을 형성할 수 있다. 패시베이션막(410)은 기관(402)의 전면(402f) 뿐만 아니라 비아홀(420)의 내벽을 덮을 수 있다. 이에 따라 비아홀 절연막을 형성할 필요가 없으므로 비아홀 절연막을 형성하기 위한 제반 공정 등을 생략할 수 있다.
- [0109] 도 9d를 참조하면, 패드(408)의 일부를 노출시키는 개구부(435)를 형성할 수 있다. 일례로 패시베이션막(410)을 패터닝하여 패드(408)의 일부를 노출시키는 제1 개구(435a)와, 패드(408)의 다른 일부를 노출시키는 제2 개구(435b)를 포함하는 개구부(435)를 형성할 수 있다. 제1 개구(435a)는 비아홀(430)의 주변을 둘러싸는 고리 형태로 형성될 수 있다. 다른 예로 개구부(435) 형성시 비아홀(420) 상부 영역에 형성되어 있는 패시베이션막(410)이 제거될 수 있다. 따라서 비아홀(420) 주위의 패드(408)의 상면 일부 및 측벽이 노출될 수 있다. 이러한 경우, 도 9e에서 후술할 관통전극(440)은 패드(408)의 노출된 상부 및 측벽과 직접 접촉하여 형성될 수 있다.
- [0110] 도 9e를 참조하면, 마스크(445)를 이용한 전기도금 공정으로 비아홀(420)을 채우는 금속을 도금시켜 관통전극(440)을 형성할 수 있다. 관통전극(440)은 제1 개구(435a)를 통해 패드(408)와 전기적으로 연결될 수 있다. 관통전극(440)의 상단부에 솔더(450)를 더 형성할 수 있다. 일례로 별도의 포토 공정을 진행하지 아니하고, 관통전극(440) 형성에 사용된 마스크(445)를 이용하는 전기도금 공정을 채택하여 솔더(450)를 형성할 수 있다.
- [0111] 도 9f를 참조하면, 마스크(445)를 제거하면 웨이퍼 단위의 반도체 장치(4)가 구현될 수 있다. 탐침(460)을 제2 개구(435b)를 통해 패드(408)에 접촉시켜 반도체 장치(4)에 대한 EDS 테스트를 진행할 수 있다.
- [0112] 도 9g를 참조하면, 기관(402)의 배면(402b)에 대한 연마 공정을 진행할 수 있다. 상기 배면 연마 공정은 제2 배면(402g)까지 진행하여 관통전극(440)의 하단부가 노출될 수 있는 정도까지 진행할 수 있다. 관통전극(440)의 하단부는 제2 배면(402g)으로부터 돌출될 수 있다. 관통전극(440)은 테이퍼된 기둥 형상일 수 있다.
- [0113] 도 9h를 참조하면, 상기 배면 연마 공정에 의하면 기관(402)을 수직 관통하는 관통전극(440)을 포함하는 웨이퍼 단위의 반도체 장치(40)가 구현될 수 있다. 이어서 소잉 공정을 통해 웨이퍼 단위의 반도체 장치(40)를 날개, 즉 칩 단위로 분리할 수 있다.
- [0114] 도 9i를 참조하면, 상기 소잉 공정에 의하면 칩 단위로 분리된 기관(402s)을 수직 관통하는 관통전극(440)을 포함하는 반도체 칩(400)이 구현될 수 있다. 반도체 칩(400)은 관통전극(440)과 패드(408)를 구비하는 전기적 연결부(470)를 포함할 수 있다.
- [0115] 도 10a 내지 10c는 도 9i의 일부를 도시한 것으로서, 도 10a는 전기적 연결부의 평면도이고 도 10b 및 10c는 전기적 연결부의 단면도이다.
- [0116] 도 10a 내지 10c를 참조하면, 패드(408)는 제2 개구(435b)를 통해 본딩 와이어(490)와 전기적으로 연결될 수 있고(도 10b), 혹은 솔더범프 내지 솔더볼(495)과 전기적으로 연결될 수 있다(도 10c). 전기적 연결부(470)는 제1 개구(435a)를 통해 관통전극(440)과 전기적으로 연결된 관통전극 전용 패드(408a)와, 제2 개구(435b)를 통해 본딩 와이어(490) 혹은 솔더볼(495)이 본딩되는 본딩 패드(408b)로 구분 가능하다(도 10a). 패드(408)는 후술한 멀티칩 패키지 구성에 있어서 본딩 패드 및/또는 재배선 패드 역할을 할 수 있다.
- [0117] (반도체 패키지의 예)
- [0118] 이하에선 제4 실시예의 반도체 칩들(400)이 수직 적층된 반도체 패키지에 대해 설명한다. 반도체 패키지를 구성하는 반도체 칩은 제4 실시예의 반도체 칩(400)에 한정되지 아니하며 제1 내지 제3 실시예의 반도체 칩(100-300)으로 반도체 패키지를 구현할 수 있음에 유의하여야 할 것이다.
- [0119] 도 11a 내지 11i는 본 발명의 실시예에 따른 반도체 칩들이 적층된 반도체 패키지를 도시한 단면도로서, 도 11a 내지 11c는 동종의 반도체 칩들이 적층된 것이고 도 11d 내지 11f는 이종의 반도체 칩들이 적층된 것이고, 도 11g 내지 11i는 반도체 칩들의 관통전극들이 서로 수직적으로 엇갈린 것이다.
- [0120] 본 명세서에서 '동종'은 반도체 칩의 구조가 동일하거나 유사한 것을 의미하고, '이종'은 반도체 칩의 구조가 비유사한 것을 의미할 수 있다. 반도체 칩이 메모리 칩인지 혹은 비메모리 칩인지는 불문한다. 반도체 칩의 크

기가 동일하거나 다른 것도 역시 불문한다.

- [0121] 도 11a를 참조하면, 제1 실시예의 반도체 패키지(1001)는 동종의 제1 내지 제3 반도체 칩(400a, 400b, 400c)이 수직 적층된 멀티칩 패키지를 포함할 수 있다. 제1 내지 제3 반도체 칩(400a-400c)은 제4 실시예의 반도체 칩(400)으로서 편의상 구분한 것에 지나지 않는다. 반도체 패키지(1001)는 제1 내지 제3 반도체 칩(400a-400c)이 실장되는 인쇄회로기판(1100)을 더 포함할 수 있다. 반도체 칩들(400a-400c)은 전면(402f)이 인쇄회로기판(1100)을 향하고 배면(402g)이 그 반대쪽을 향하는 상태, 이른바 플립(flip)된 상태로 인쇄회로기판(1100) 상에 수직 적층될 수 있다. 반도체 칩들(400a-400c)은 관통전극(440)을 통해 서로 전기적으로 연결될 수 있다. 그리고 제1 반도체 칩(400a)은 관통전극(440)을 통해 인쇄회로기판(1100)과 전기적으로 연결될 수 있다. 이에 따라 모든 반도체 칩들(400a-400c)이 인쇄회로기판(1100)과 전기적으로 연결될 수 있다.
- [0122] 제1 반도체 칩(400a)과 인쇄회로기판(1100)을 전기적으로 연결시키는 솔더볼(495)이 더 포함될 수 있다. 제1 반도체 칩(400a)과 인쇄회로기판(1100)과의 전기적 연결시 관통전극(440)의 갯수가 부족한 경우가 있을 수 있다. 이 경우 그 부족한 갯수만큼 제1 반도체 칩(400a)의 패드(408)와 접속되는 솔더볼(495)을 더 마련할 수 있다. 예컨대 제1 반도체 칩(400a)과 인쇄회로기판(1100)의 전기적 연결은 M 개(예: 4)의 관통전극(440)이 필요하지만, 실제로는 M 개보다 작은 N 개(예: 2)의 관통전극(440)이 있는 경우 M-N 개(예: 2)의 솔더볼(495)로써 완전한 전기적 연결을 구현할 수 있다.
- [0123] 도 11b를 참조하면, 제2 실시예의 반도체 패키지(1002)는 제1 실시예의 반도체 패키지(1001)와는 다르게 동종의 반도체 칩들(400a-400c)의 배면(402g)이 인쇄회로기판(1100)을 향하고 전면(402f)이 그 반대쪽을 향하는 상태로 수직 적층된 것을 포함할 수 있다. 제1 반도체 칩(400a)의 배면(402g)과 인쇄회로기판(1100) 사이에는 절연성 접촉막(1110)이 개재될 수 있다. 반도체 칩들(400a-400c)과 인쇄회로기판(1100)과의 전기적 연결은 제1 반도체 칩(400a)과 인쇄회로기판(1100)을 전기적으로 연결하는 본딩 와이어(490)를 통해 구현될 수 있다. 예컨대 일단은 인쇄회로기판(1100)과 접속되고 타단은 제2 개구(435b)에 의해 노출된 패드(408)와 접속된 본딩 와이어(490)를 통해 상기 전기적 연결이 이루어질 수 있다. 제2 반도체 칩(400b)의 패드(408)와 인쇄회로기판(1100)을 전기적으로 연결하는 제2 본딩 와이어(491) 및/또는 제3 반도체 칩(400c)의 패드(408)와 인쇄회로기판(1100)을 전기적으로 연결하는 제3 본딩 와이어(492)가 더 포함될 수 있다. 이와 같이 패드(408)는 본딩 와이어(490-492)가 접속되는 본딩 패드 역할을 할 수 있다.
- [0124] 본딩 와이어(490-492)와 관통전극(440)은 서로 다른 기능을 가지도록 설계될 수 있다. 예를 들어 본딩 와이어(490-492)는 빠른 전달 속도의 필요성이 상대적으로 작은 배선, 가령 파워를 전달하는 배선으로 사용될 수 있다. 이와 다르게 관통전극(440)은 빠른 전달 속도의 필요성이 상대적으로 큰 배선, 가령 집적회로 동작 신호를 전달하는 배선으로 사용될 수 있다. 다른 예로 관통전극(440)만으로는 반도체 칩들(400a-400c)과 인쇄회로기판(1100) 사이의 완전한 전기적 연결, 혹은 반도체 칩들(400a-400c)간의 완전한 전기적 연결이 곤란한 경우 본딩 와이어(490-492)가 완전한 전기적 연결을 구현할 수 있다. 또 다른 예로 제1 반도체 칩(400a)의 관통전극(440)의 돌출된 하단부를 이용하여, 혹은 관통전극(440)의 하단부에 접속되는 솔더볼이나 솔더범프를 이용하여 제1 반도체 칩(400a)과 인쇄회로기판(1100)을 직접 전기적으로 연결시킬 수 있다. 제1 내지 제3 반도체 칩(400a-400c)은 그들의 각 관통전극(440)의 돌출된 하단부를 이용하여 상호 전기적으로 연결될 수 있다.
- [0125] 도 11c를 참조하면, 제3 실시예의 반도체 패키지(1003)는 인쇄회로기판(1100) 상에 동종의 복수개의 반도체 칩(400a-400c)이 수직 적층된 것을 포함할 수 있다. 제2 실시예의 반도체 패키지(1002)와 동일 유사하게 반도체 칩들(400a-400c)과 인쇄회로기판(1100)과의 전기적 연결은 제1 반도체 칩(400a)과 인쇄회로기판(1100)을 전기적으로 연결하는 본딩 와이어(490)를 통해 구현될 수 있다. 예컨대 일단은 인쇄회로기판(1100)과 접속되고 타단은 제2 개구(435b)에 의해 노출된 패드(408)와 접속된 본딩 와이어(490)를 통해 상기 전기적 연결이 이루어질 수 있다.
- [0126] 제2 실시예의 반도체 패키지(1002)와 다르게 반도체 칩(400a-400c)은 서로 다른 형태로 적층된 것일 수 있다. 일례로 제1 및 제2 반도체 칩(400a, 400b)은 제1 반도체 칩(400a)의 전면(402f)과 제2 반도체 칩(400b)의 배면(402g)이 대면하는 이른바 프론트-백 형태로 적층되고, 제2 및 제3 반도체 칩(400b, 400c)은 제2 반도체 칩(400b)의 전면(402f)과 제3 반도체 칩(400c)의 전면(402f)이 대면하는 이른바 프론트-프론트 형태로 적층된 것일 수 있다. 제2 반도체 칩(400b)과 제3 반도체 칩(400c)은 프론트-프론트 형태로 적층되어 있기 때문에 제2 반도체 칩(400b)과 제3 반도체 칩(400c) 사이의 전기적 연결은 솔더볼(495)을 통해서도 구현될 수 있다. 가령 제2 반도체 칩(400b)의 패드(408) 및 제3 반도체 칩(400c)의 패드(408)에 공통으로 접속되는 솔더볼(495)을 통해서 제2 반도체 칩(400b)과 제3 반도체 칩(400c) 간의 전기적 연결이 구현될 수 있다.

- [0127] 도 11d를 참조하면, 제4 실시예의 반도체 패키지(1004)는 인쇄회로기판(1100) 상에 동종의 제1 및 제2 반도체 칩(400a, 400b)이 프론트-백 형태로 적층된 것과 제2 반도체 칩(400b) 상에 가령 크기가 다른 이종 반도체 칩(500)이 프론트-백 형태로 적층된 것을 포함할 수 있다. 이종 반도체 칩(500)의 전면(500f)에는 본딩 패드(510)가 형성되어 있을 수 있다. 동종의 제1 및 제2 반도체 칩(400a, 400b)의 적층 형태 및 전기적 연결 구조는 제3 실시예의 반도체 패키지(1003)의 적층 형태 및 전기적 연결 구조 동일하거나 유사할 수 있다. 가령 제1 및 제2 반도체 칩들(400a, 400b)과 인쇄회로기판(1100)과의 전기적 연결은 제1 반도체 칩(400a)과 인쇄회로기판(1100)을 전기적으로 연결하는 본딩 와이어(490)를 통해 구현될 수 있다. 제2 반도체 칩(400b)과 이종 반도체 칩(500) 간의 전기적 연결은 제2 개구(435b)에 의해 노출된 제2 반도체 칩(400b)의 패드(408)에 접속된 본딩 와이어(491)가 이종 반도체 칩(500)의 본딩 패드(510)에 접속되므로써 실현될 수 있다. 이종 반도체 칩(500)의 배면(500b)에는 관통전극(440)과의 절연을 위한 절연성 접착막(1120)이 더 형성되어 있을 수 있다. 제2 반도체 칩(400b)의 패드(408)는 본딩 와이어(491)가 접속되는 본딩 패드 역할을 할 수 있고 아울러 이종 반도체 칩(500)의 본딩 패드(510)와의 전기적 연결을 위한 재배선 패드 역할을 할 수 있다.
- [0128] 도 11e를 참조하면, 제5 실시예의 반도체 패키지(1005)는 인쇄회로기판(1100) 상에 동종의 제1 및 제2 반도체 칩(400a, 400b)이 프론트-백 형태로 적층된 것과 제2 반도체 칩(400b)과 이종 반도체 칩(500)이 프론트-프론트 형태로 적층된 것을 포함할 수 있다. 이종 반도체 칩(500)의 패드(510)는 제2 반도체 칩(400b)의 관통전극(440)과 접속될 수 있다. 제1 반도체 칩(400a)은 본딩 와이어(490)를 통해 인쇄회로기판(1100)과 전기적으로 연결될 수 있다. 제2 반도체 칩(400b)과 인쇄회로기판(1100) 간을 전기적으로 연결시키는 제2 본딩 와이어(491)가 더 포함될 수 있다.
- [0129] 도 11f를 참조하면, 제6 실시예의 반도체 패키지(1006)는 제5 실시예의 반도체 패키지(1005)와 동일 유사한 적층 형태를 포함할 수 있다. 제5 실시예의 반도체 패키지(1005)와는 다르게 이종 반도체 칩(500)의 본딩 패드(510)와 제2 반도체 칩(400b)의 관통전극(440)이 상하 정렬되지 않을 수 있다. 이러한 경우 제2 개구(435b)에 의해 노출된 제2 반도체 칩(400b)의 패드(408)에 접속된 솔더볼(495)이 이종 반도체 칩(500)의 본딩 패드(510)와 접속하는 것을 통해 이종 반도체 칩(500)과의 전기적 연결을 실현할 수 있다. 이와 같이 제2 반도체 칩(400b)의 패드(408)는 재배선 패드 역할을 할 수 있다.
- [0130] 도 11g를 참조하면, 제7 실시예의 반도체 패키지(1007)는 제1 실시예의 반도체 패키지(1001)와 동일 유사한 적층 형태를 포함할 수 있다. 일례로 인쇄회로기판(1100) 상에 관통전극(440)을 통해 상호 전기적으로 연결된 제1 및 제2 반도체 칩(400a, 400b)이 플립된 상태로 수직 적층되어 제공될 수 있다. 제1 반도체 칩(400a)과 인쇄회로기판(1100)의 전기적 연결은 관통전극(440) 및/또는 솔더볼(495)에 의해 구현될 수 있다. 제2 반도체 칩(400b) 상에는 도 7i에 도시된 제3 실시예의 반도체 칩(300)이 프론트-백 형태로 적층되어 제공될 수 있다. 다른 예로 반도체 칩들(300-400b)은 인쇄회로기판(1100) 상에 제2 실시예의 반도체 패키지(1002)와 대체로 동일 유사한 형태로 적층될 수 있다.
- [0131] 제2 반도체 칩(400b)과 반도체 칩(300)이 대체로 동일 크기이고, 제2 반도체 칩(400b)의 패드(408)와 반도체 칩(300)의 패드(308)가 대체로 동일 크기 및 동일 위치에 있다고 가정하기로 한다. 이러한 경우 제2 반도체 칩(400b)의 관통전극(440)은 이른바 패드 직하형이고 반도체 칩(300)의 관통전극(340)은 패드 직하형이 아니므로, 관통전극(340)과 관통전극(440)은 서로 수직적으로 엇갈려 직접 접속되지 않을 수 있다. 따라서, 관통전극(340)과 관통전극(440) 사이에 도전체(392)를 개재하여 이를 통해 서로 전기적으로 연결될 수 있다. 도전체(392)는 솔더 혹은 금속일 수 있다. 다른 예로, 관통전극(340)의 상단부가 관통전극(440)의 하단부까지 연장된 경우 이들 관통전극(340, 440)은 서로 직접 접속될 수 있다.
- [0132] 도 11h를 참조하면, 제8 실시예의 반도체 패키지(1008)는 제7 실시예의 반도체 패키지(1007)와 대체로 동일 유사하게 인쇄회로기판(1100) 상에 반도체 칩들(300-400b)이 인쇄회로기판(1100) 상에 수직 적층될 수 있다. 제7 실시예의 반도체 패키지(1007)와 다르게 반도체 칩(300)은 관통전극(340) 대신에 제2 개구(335b)를 통해 노출된 패드(308)에 접속된 솔더볼(395)을 통해 제2 반도체 칩(400b)의 전기적으로 연결될 수 있다. 이러한 예는 반도체 칩(300)의 제2 개구(335b)가 제2 반도체 칩(400b)의 관통전극(440)과 대체로 수직 정렬되어 있는 경우에 유용할 것이다.
- [0133] 도 11i를 참조하면, 제9 실시예의 반도체 패키지(1009)는 인쇄회로기판(1100) 상에 반도체 칩들(300-400b)이 제2 실시예의 반도체 패키지(1002)와 대체로 동일 유사한 형태로 적층될 수 있다. 일례로 인쇄회로기판(1100) 상에 절연성 접착막(1110)의 개재하에 제1 반도체 칩(400a)이 실장되고, 제1 반도체 칩(400a)은 제2 개구(435b)에 의해 노출된 패드(408)에 접속된 본딩 와이어(490)를 통해 인쇄회로기판(1100)과 전기적으로 연결될 수 있다.

다른 예로 제1 반도체 칩(400a)은 관통전극(440)의 돌출된 하단부 혹은 솔더볼이나 솔더범프를 통해 인쇄회로기판(1100)과 전기적으로 연결될 수 있다. 제1 반도체 칩(400a) 상에 제2 반도체 칩(400b)이 수직 적층되고, 제1 및 제2 반도체 칩(400a, 400b)은 관통전극들(440)을 통해 서로 전기적으로 연결될 수 있다. 제2 반도체 칩(400b) 상에 반도체 칩(300)이 수직 적층될 수 있고, 반도체 칩(300)의 관통전극(340)과 제2 반도체 칩(400b)의 관통전극(440)이 수직적으로 엇갈려 있어 서로 직접적으로 접촉되지 않을 수 있다. 이러한 경우 반도체 칩(300)의 제2 개구(335b)를 통해 노출된 패드(308)와 제2 반도체 칩(400b)의 제2 개구(435b)를 통해 노출된 패드(408)를 잇는 본딩 와이어(390)를 통해 반도체 칩(300)과 제2 반도체 칩(400b)은 서로 전기적으로 연결될 수 있다. 반도체 칩(300)과 제2 반도체 칩(400b) 사이에 언더필링막(1130)이 형성되어 서로 물리적으로 접촉되는 것을 방지하고 의도적이지 않은 전기적 연결이나 쇼트를 방지할 수 있다.

[0134] (응용예)

[0135] 도 12a는 본 발명의 실시예에 따른 반도체 장치를 구비한 메모리 카드를 도시한 블록도이다.

[0136] 도 12a를 참조하면, 상술한 본 발명의 다양한 실시예에 따른 반도체 장치 가령 반도체 메모리(1210)는 메모리 카드(1200)에 응용될 수 있다. 일례로, 메모리 카드(1200)는 호스트와 메모리(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다. 에스램(1221)은 중앙처리장치(1222)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 오류 수정 코드(1224)는 메모리(1210)로부터 독출된 데이터에 포함되는 오류를 검출 및 정정할 수 있다. 메모리 인터페이스(1225)는 메모리(1210)와 인터페이싱한다. 중앙처리장치(1222)는 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다.

[0137] 도 12b는 본 발명의 다양한 실시예에 따른 반도체 장치를 응용한 정보 처리 시스템을 도시한 블록도이다.

[0138] 도 12b를 참조하면, 정보 처리 시스템(1300)은 본 발명의 실시예에 따른 반도체 장치를 구비한 메모리 시스템(1310)을 포함할 수 있다. 정보 처리 시스템(1300)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 일례로, 정보 처리 시스템(1300)은 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저인터페이스(1350)를 포함할 수 있다. 메모리 시스템(1310)은 메모리(1311)와 메모리 컨트롤러(1312)를 포함하며, 도 12a의 메모리 카드(1200)와 실질적으로 동일하게 구성될 수 있다. 이러한 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다. 정보 처리 시스템(1300)은 메모리 카드, 반도체 디스크 장치(Solid State Disk), 카메라 이미지 프로세서(Camera Image Sensor) 및 그 밖의 응용 칩셋(Application Chipset)으로 제공될 수 있다. 일례로, 메모리 시스템(1310)은 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 메모리 시스템(1310)에 안정적으로 그리고 신뢰성있게 저장할 수 있다.

[0139] 본 발명에 따른 반도체 장치는 다양한 형태의 패키징될 수 있다. 예를 들면, 본 발명에 따른 반도체 장치는 패키지 온 패키지(Package on Package), 볼 그리드 어레이(Ball Grid Arrays), 칩 스케일 패키지(Chip scale packages), 플라스틱 리드 칩 캐리어(Plastic Leaded Chip Carrier), 플라스틱 듀얼 인라인 패키지(Plastic Dual In-Line Package), 멀티 칩 패키지(Multi Chip Package), 웨이퍼 레벨 패키지(Wafer Level Package), 웨이퍼 레벨 제조 패키지(Wafer Level Fabricated Package), 웨이퍼 레벨 스택 패키지(Wafer Level Stack Package), 다이 온 와플 패키지(Die On Wafer Package), 다이 인 웨이퍼 폼(Die in Wafer Form), 칩 온 보ورد(Chip On Board), 세라믹 듀얼 인라인 패키지(Ceramic Dual In-Line Package), 플라스틱 메트릭 쿼드 플랫 패키지(Plastic Metric Quad Flat Pack), 썬 쿼드 플랫 패키지(Thin Quad Flat Pack), 스몰 아웃라인 패키지(Small Outline Package), 축소 스몰 아웃라인 패키지(Shrink Small Outline Package), 썬 스몰 아웃라인 패키지(Thin Small Outline Package), 썬 쿼드 플랫 패키지(Thin Quad Flat Package), 시스템 인 패키지(System In Package) 등과 같은 방식으로 패키징될 수 있다.

[0140] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

산업이용 가능성

[0141] 본 발명은 반도체 장치 및 이를 제조하는 반도체 산업에 응용될 수 있다. 또한, 본 발명은 반도체 장치를 이용

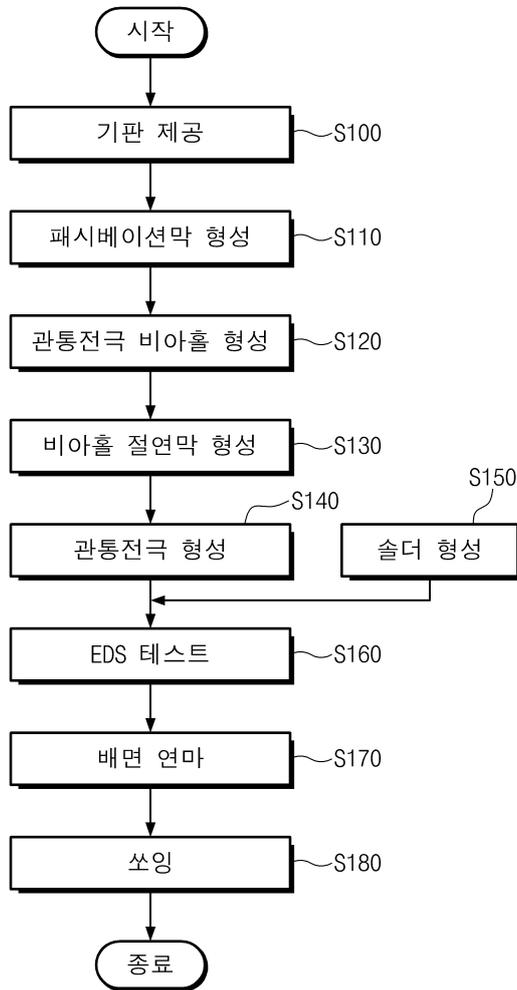
하는 전자 기기를 제조하는 제조업에 널리 활용될 수 있다.

도면의 간단한 설명

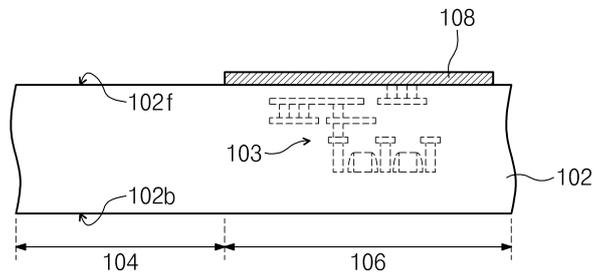
- [0142] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 나타내는 공정 흐름도.
- [0143] 도 2a 내지 2j는 본 발명의 제1 실시예에 따른 반도체 장치의 제조방법을 나타내는 단면도.
- [0144] 도 3a는 도 2j에 도시된 전기적 연결부를 도시한 평면도.
- [0145] 도 3b 및 3c는 도 2j에 도시된 전기적 연결부를 도시한 단면도.
- [0146] 도 4a 내지 4j는 본 발명의 제2 실시예에 따른 반도체 장치의 제조방법을 나타내는 단면도.
- [0147] 도 5a는 도 4j에 도시된 전기적 연결부를 도시한 평면도.
- [0148] 도 5b 및 5c는 도 4j에 도시된 전기적 연결부를 도시한 단면도.
- [0149] 도 6은 본 발명의 다른 실시예에 따른 반도체 장치의 제조방법을 나타내는 공정 흐름도.
- [0150] 도 7a 내지 7i는 본 발명의 제3 실시예에 따른 반도체 장치의 제조방법을 나타내는 단면도.
- [0151] 도 8a는 도 7i에 도시된 전기적 연결부를 도시한 평면도.
- [0152] 도 8b 및 8c는 도 7i에 도시된 전기적 연결부를 도시한 단면도.
- [0153] 도 9a 내지 9i는 본 발명의 제4 실시예에 따른 반도체 장치의 제조방법을 나타내는 단면도.
- [0154] 도 10a는 도 9i에 도시된 전기적 연결부를 도시한 평면도.
- [0155] 도 10b 및 10c는 도 9i에 도시된 전기적 연결부를 도시한 단면도.
- [0156] 도 11a 내지 11i는 본 발명의 실시예에 따른 반도체 장치들이 적층된 멀티칩 패키지를 도시한 단면도.
- [0157] 도 12a는 본 발명의 실시예에 따른 반도체 장치를 응용한 메모리 카드를 도시한 블록도.
- [0158] 도 12b는 본 발명의 다양한 실시예에 따른 반도체 장치를 응용한 정보 처리 시스템을 도시한 블록도.

도면

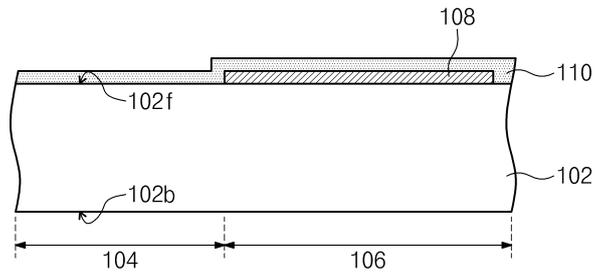
도면1



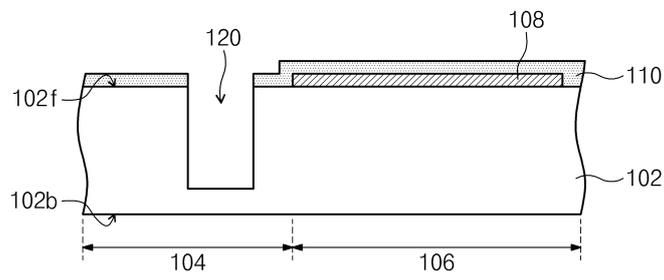
도면2a



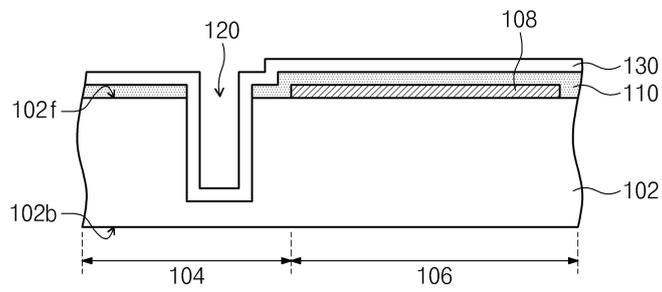
도면2b



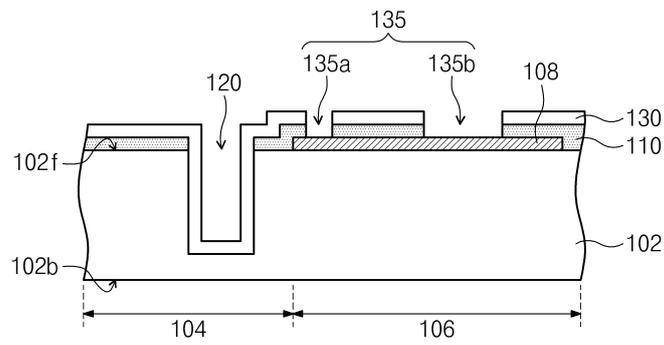
도면2c



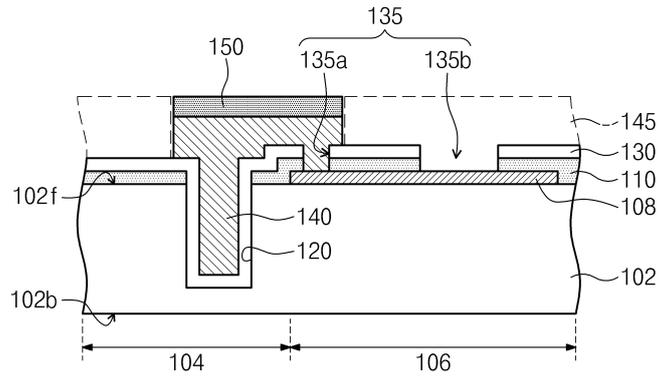
도면2d



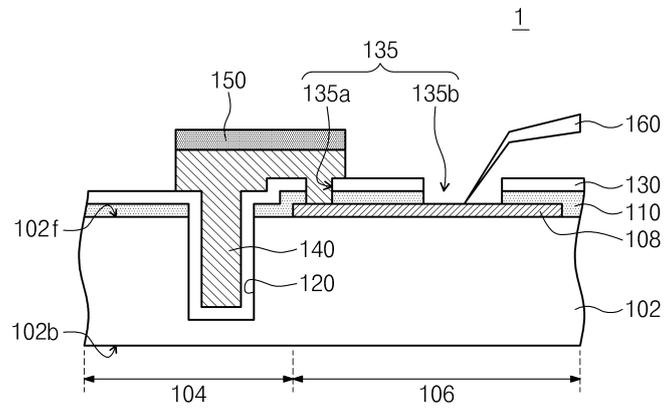
도면2e



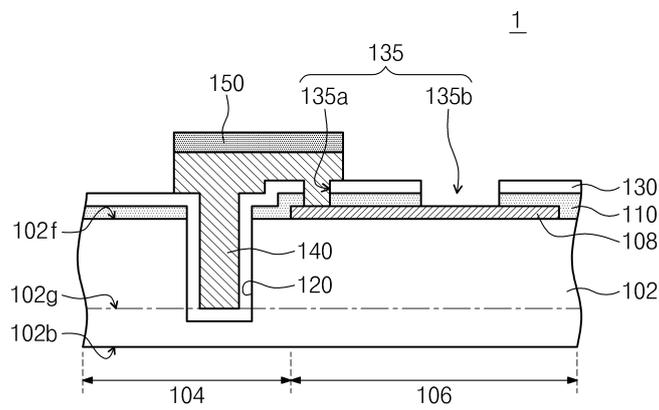
도면2f



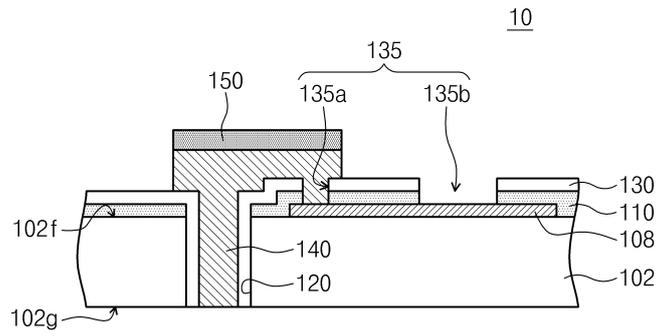
도면2g



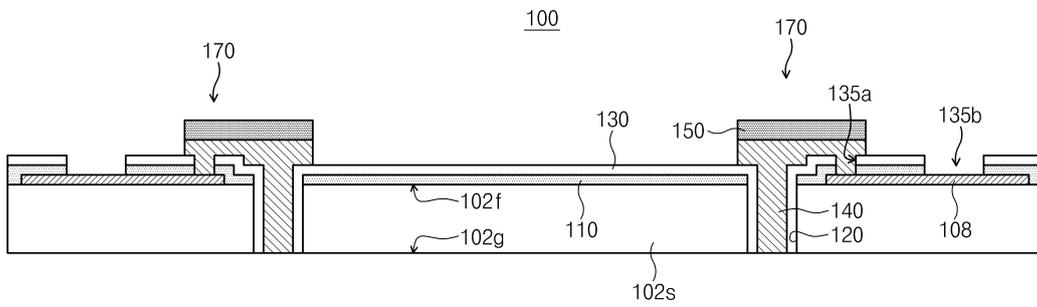
도면2h



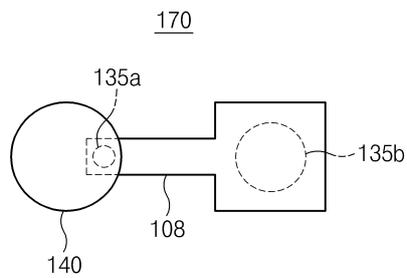
도면2i



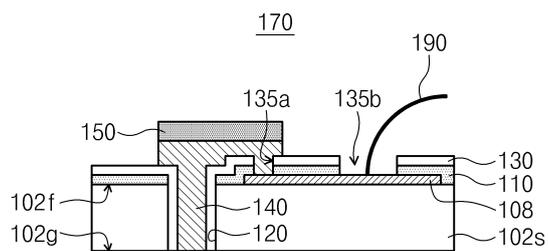
도면2j



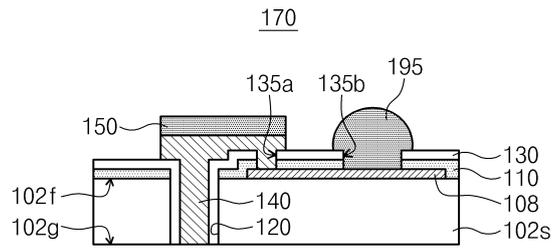
도면3a



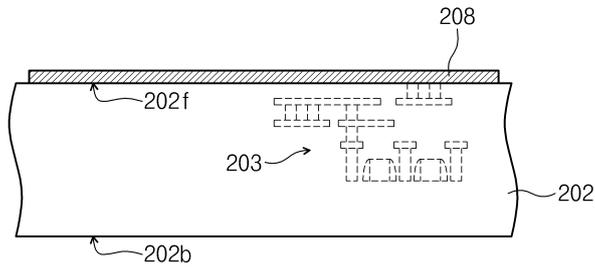
도면3b



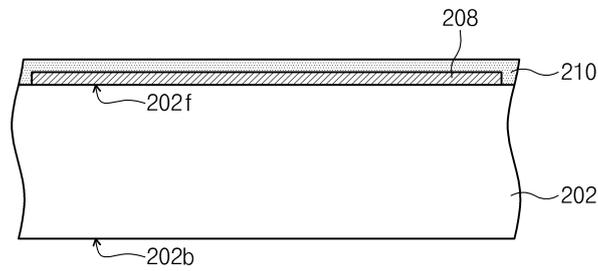
도면3c



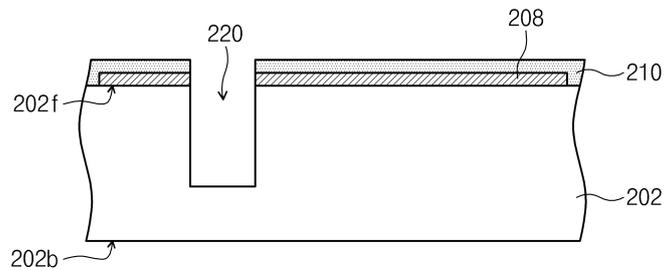
도면4a



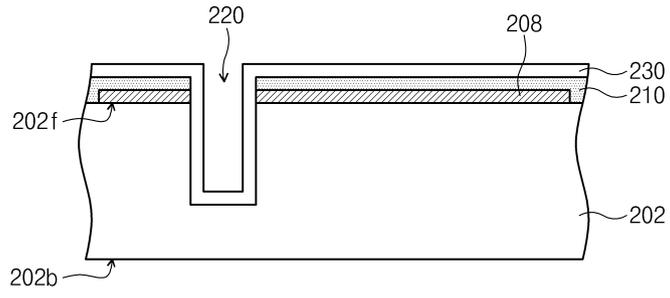
도면4b



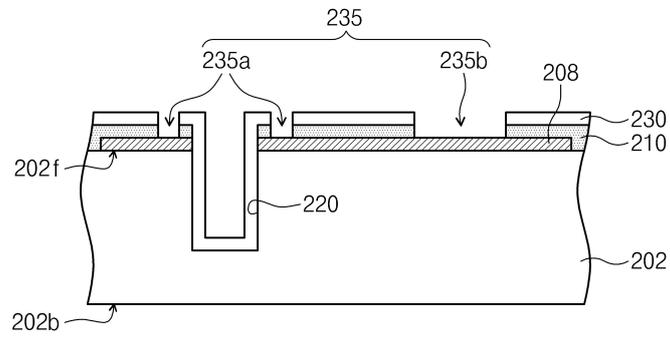
도면4c



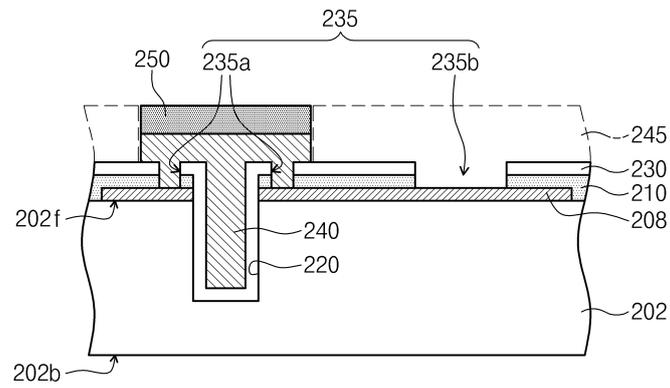
도면4d



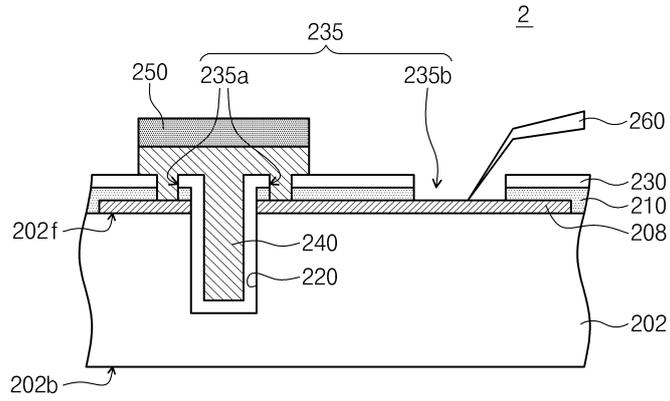
도면4e



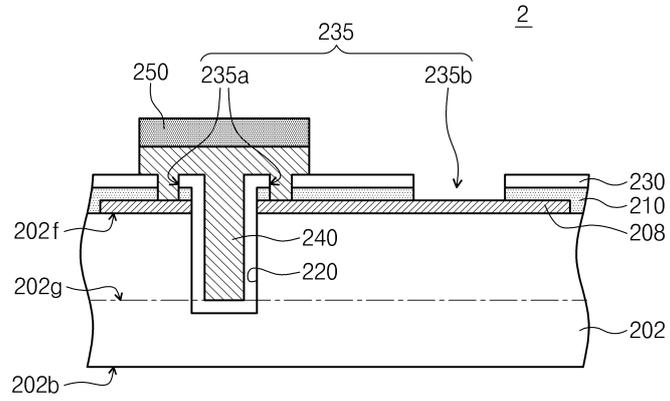
도면4f



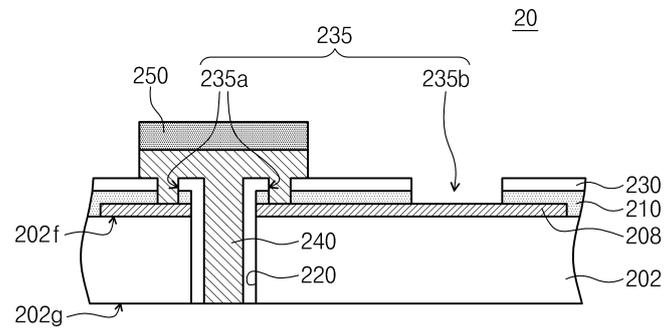
도면4g



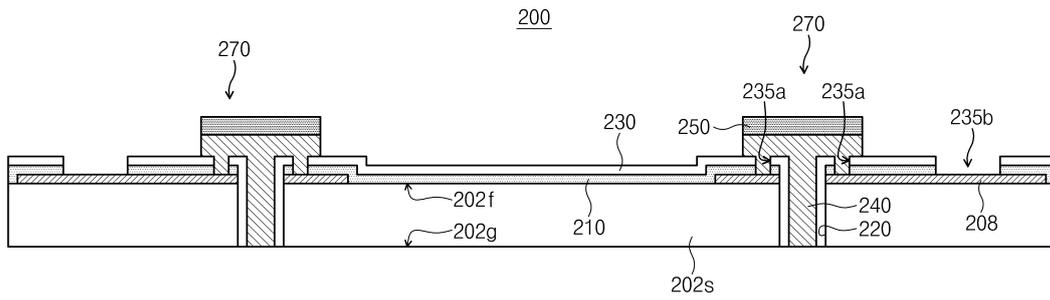
도면4h



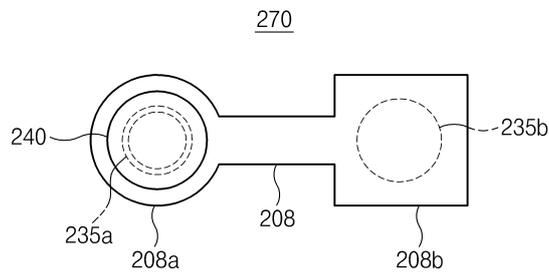
도면4i



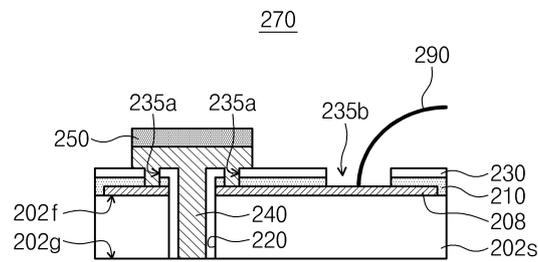
도면4j



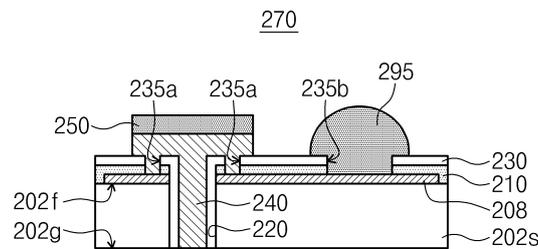
도면5a



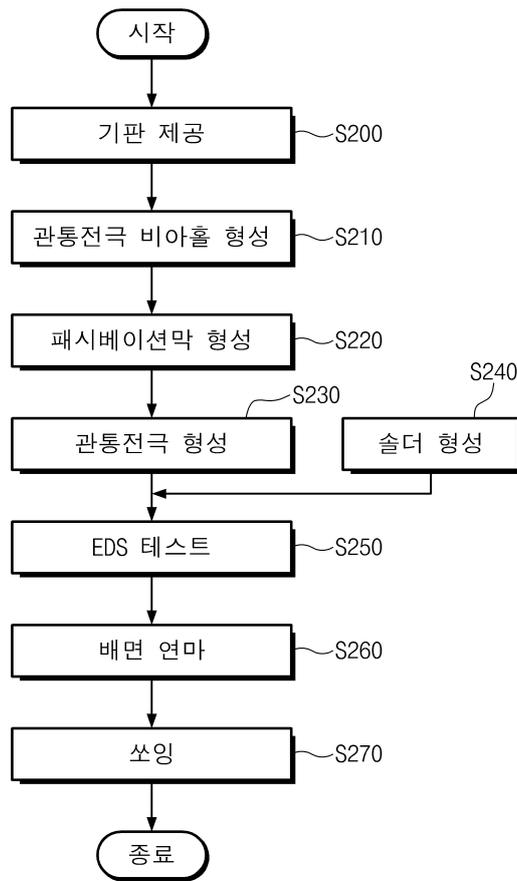
도면5b



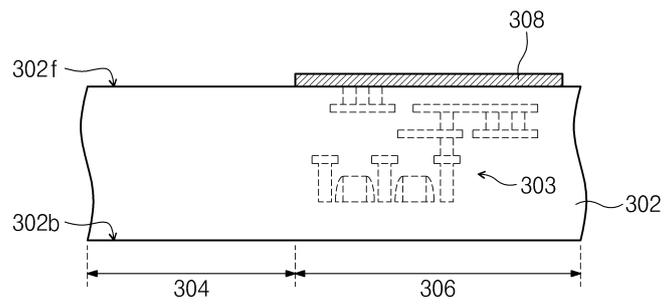
도면5c



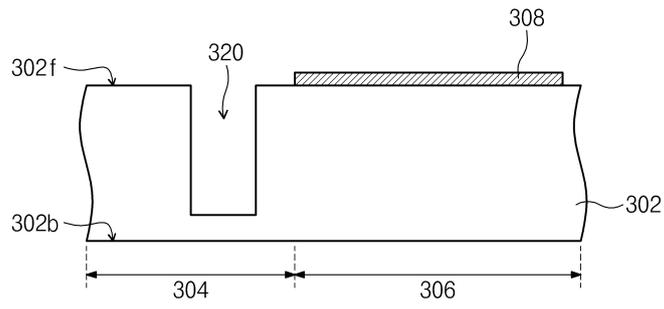
도면6



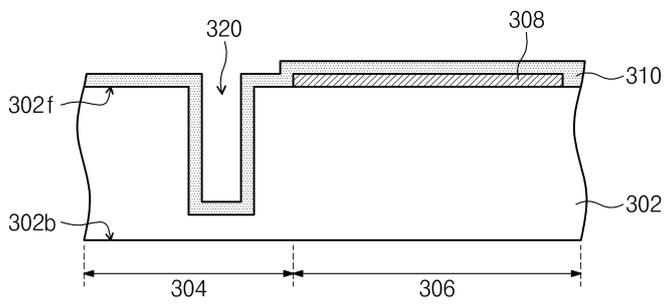
도면7a



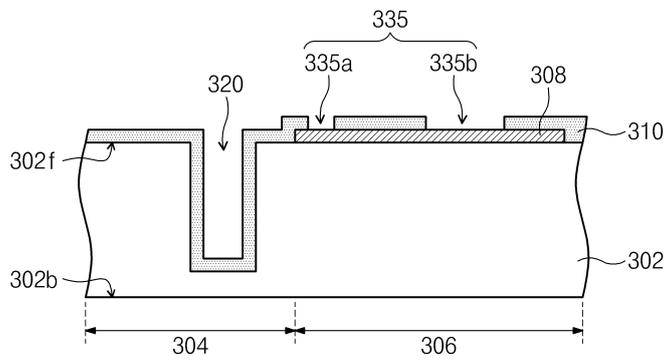
도면7b



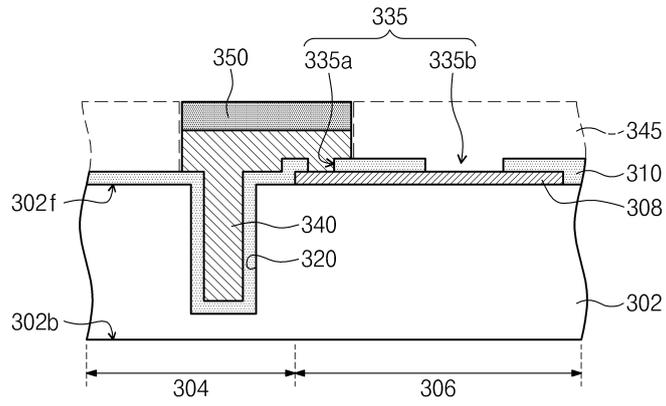
도면7c



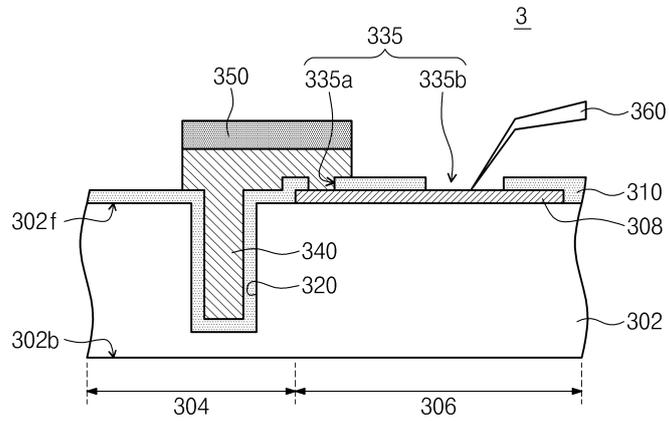
도면7d



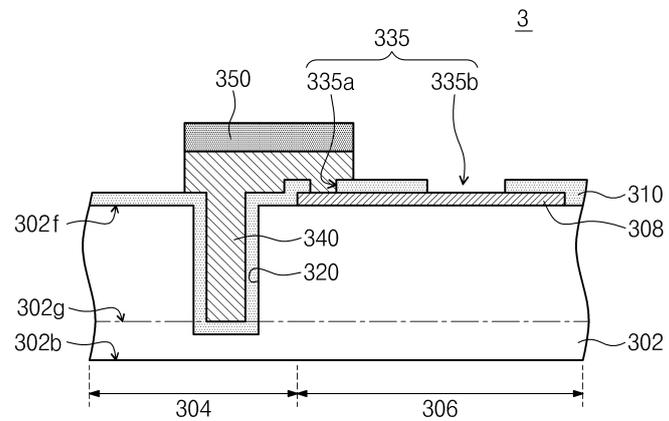
도면7e



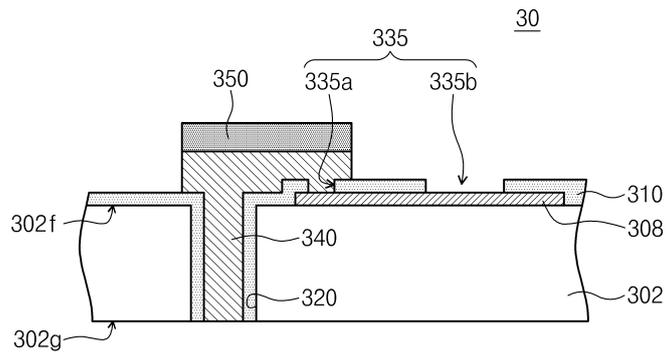
도면7f



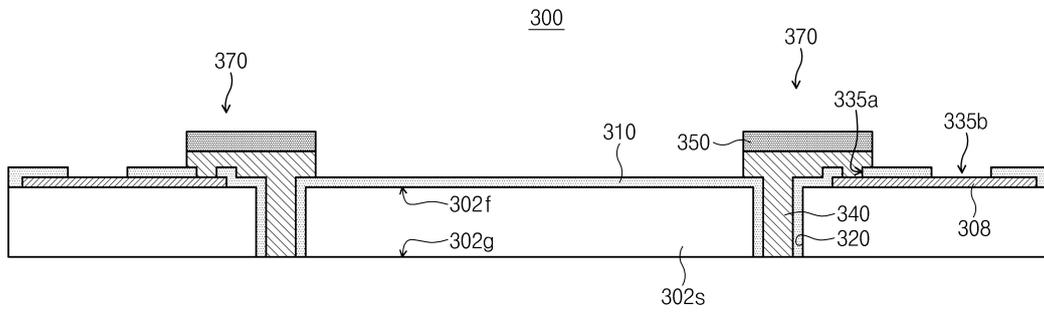
도면7g



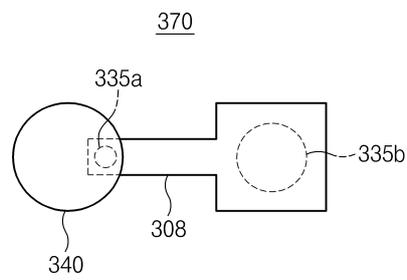
도면7h



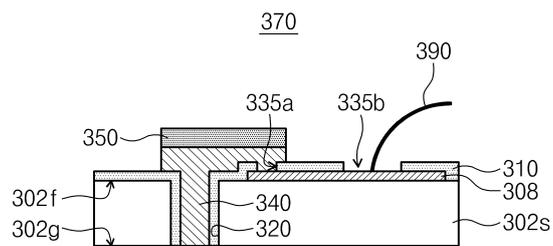
도면7i



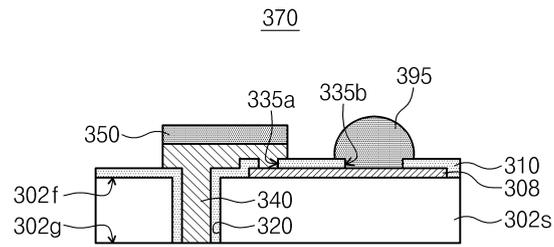
도면8a



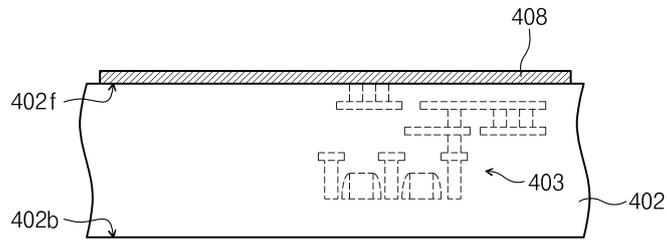
도면8b



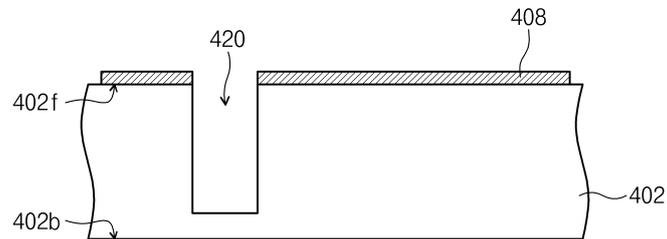
도면8c



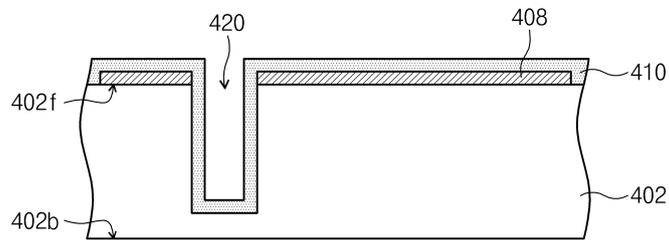
도면9a



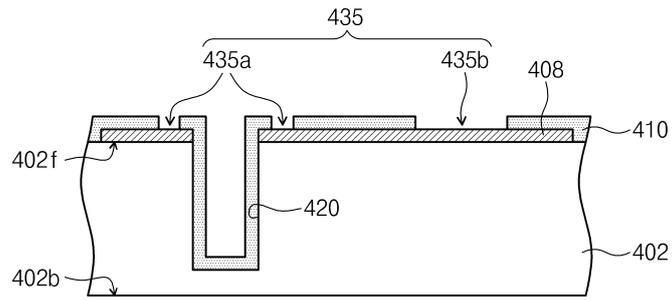
도면9b



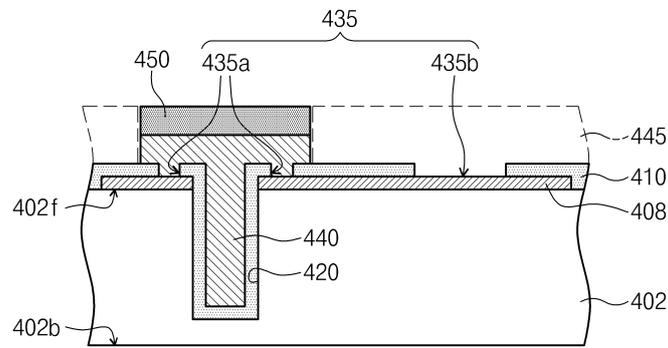
도면9c



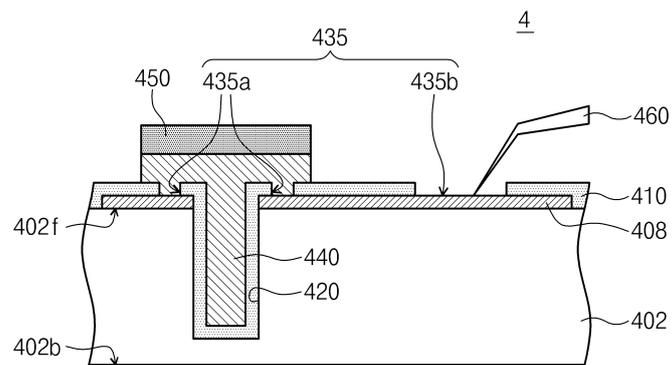
도면9d



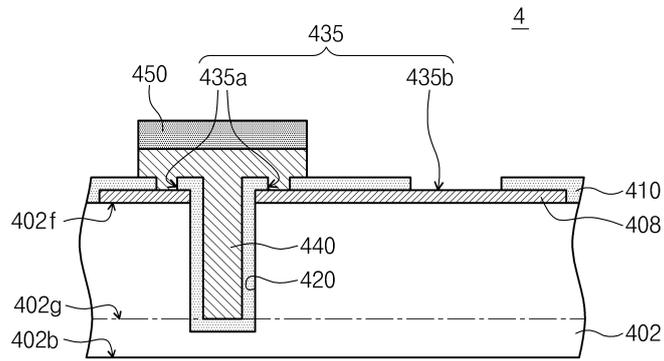
도면9e



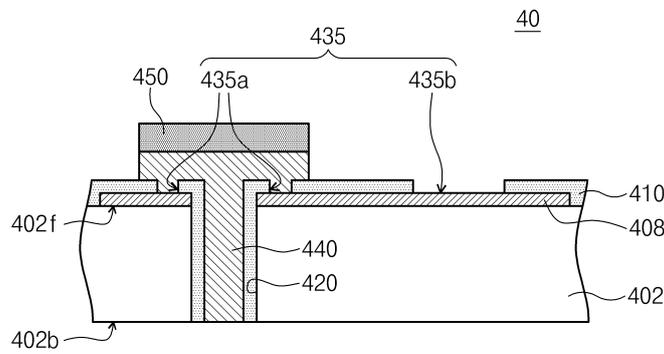
도면9f



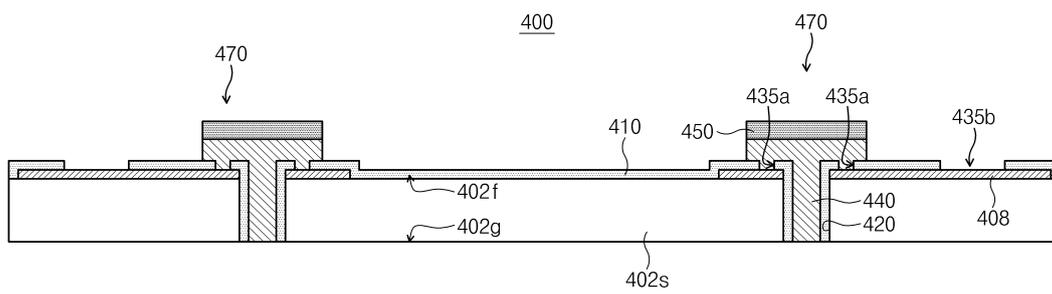
도면9g



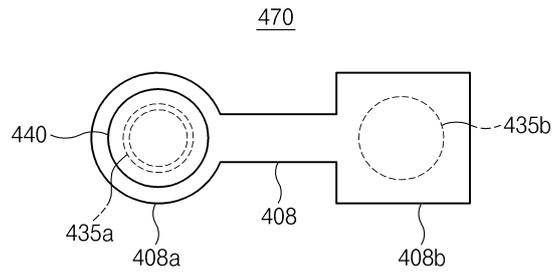
도면9h



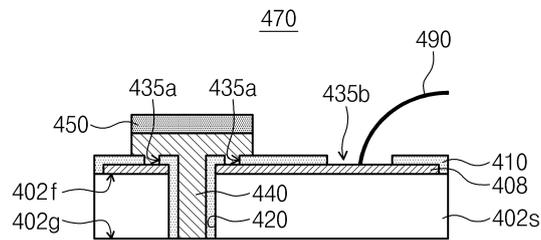
도면9i



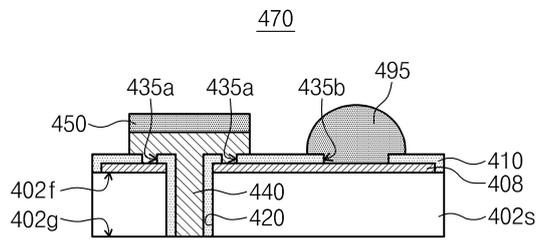
도면10a



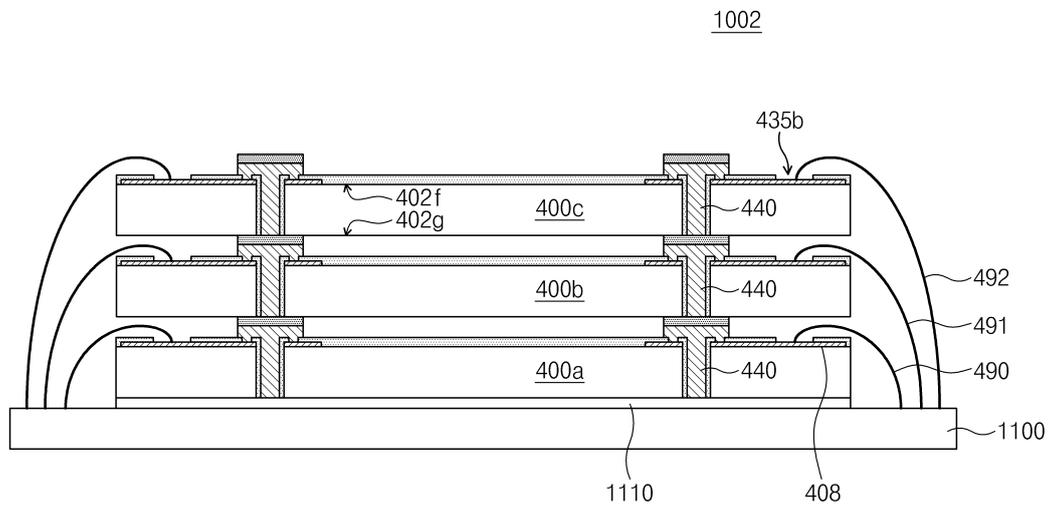
도면10b



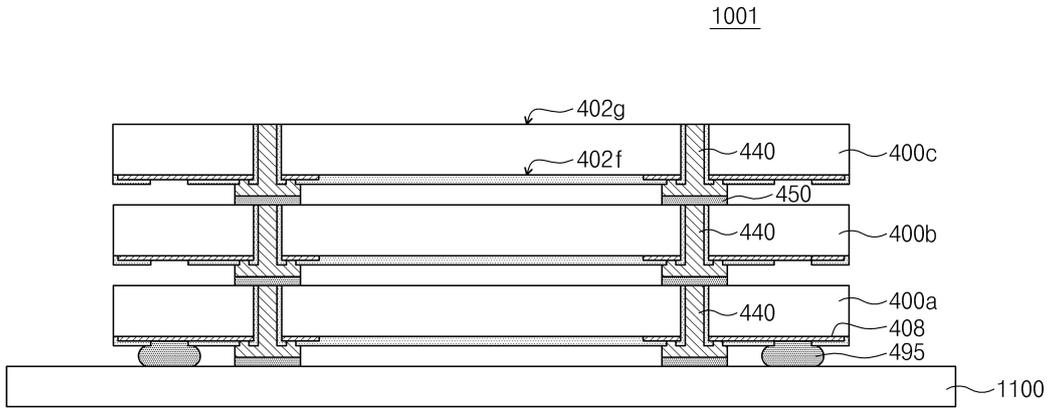
도면10c



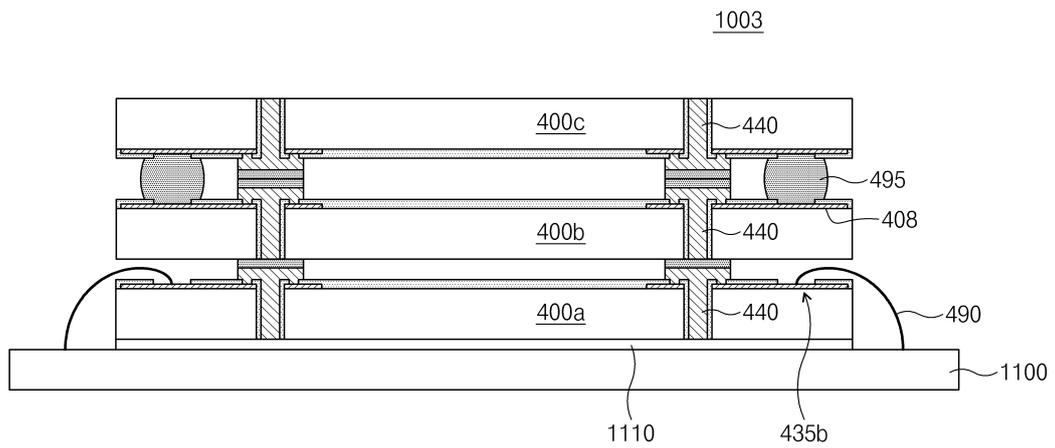
도면11a



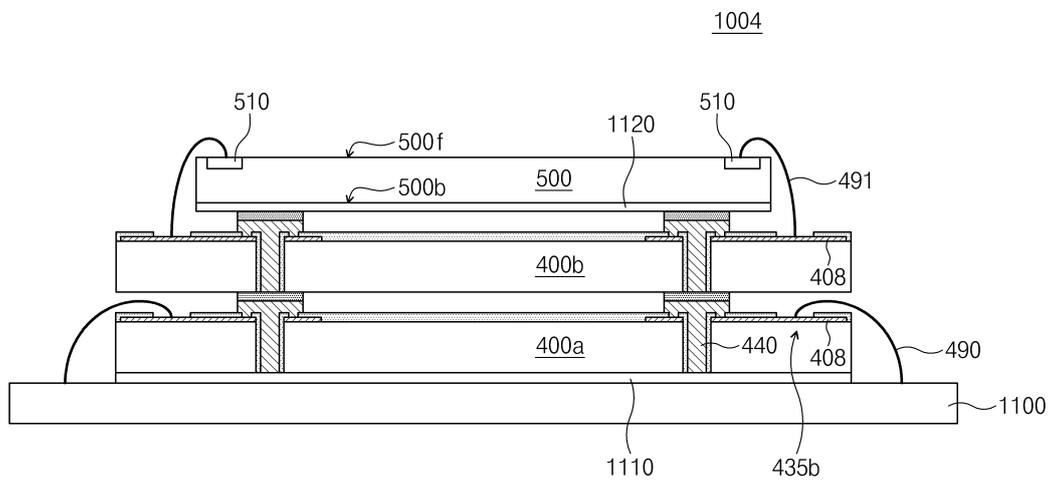
도면11b



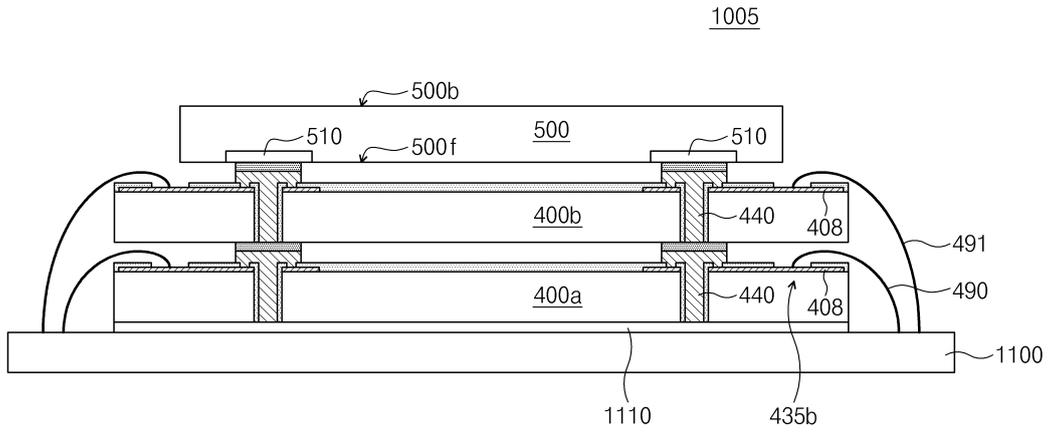
도면11c



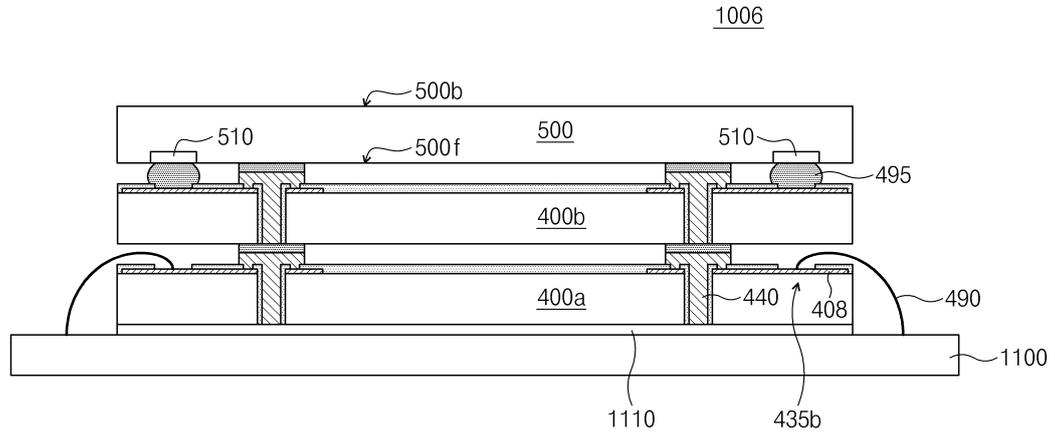
도면11d



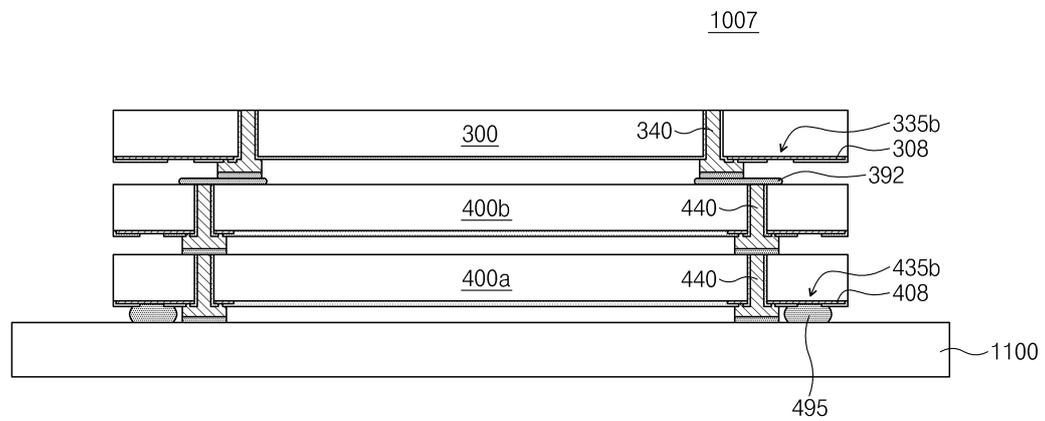
도면11e



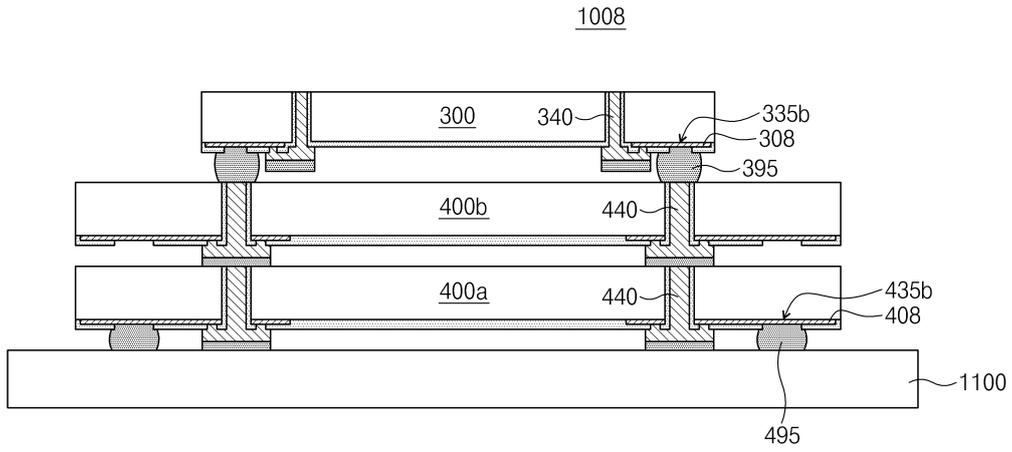
도면11f



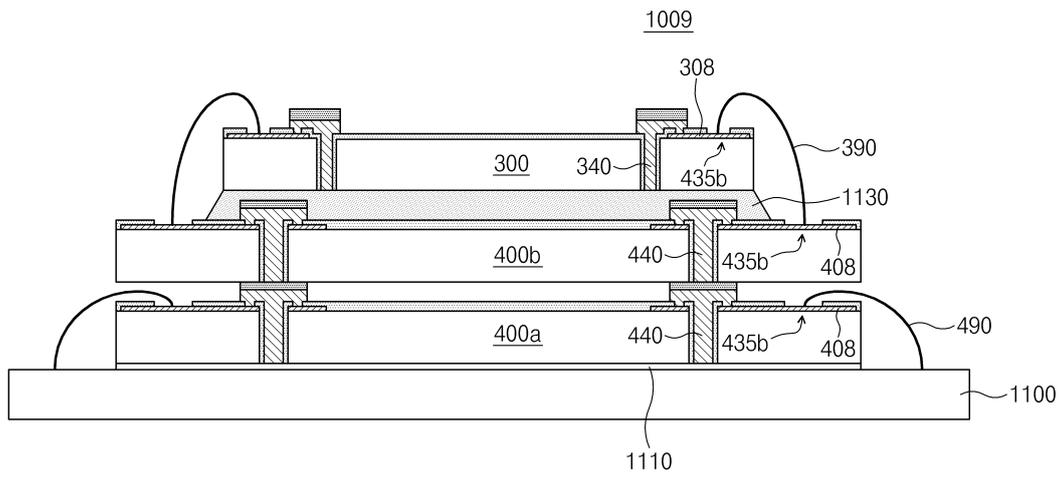
도면11g



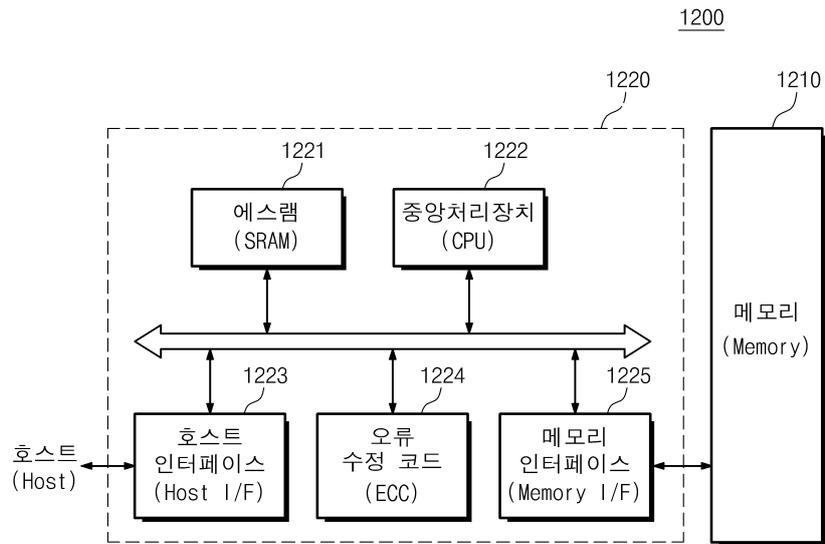
도면11h



도면11i



도면12a



도면12b

