



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0133150  
(43) 공개일자 2017년12월05일

(51) 국제특허분류(Int. Cl.)  
H01L 21/033 (2006.01) G03F 7/20 (2006.01)  
G03F 7/22 (2006.01) H01L 21/027 (2006.01)

(52) CPC특허분류  
H01L 21/0337 (2013.01)  
G03F 7/2016 (2013.01)

(21) 출원번호 10-2016-0064239  
(22) 출원일자 2016년05월25일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자  
박상오  
경기도 화성시 동탄청계로 303-33, 1102동 804호  
(청계동, 모아미래도아파트)

신상철  
경기도 용인시 기흥구 마북로 210, 101동 103호  
(마북동, 교동마을 마북 e편한세상)  
(뒷면에 계속)

(74) 대리인  
리엔목특허법인

전체 청구항 수 : 총 10 항

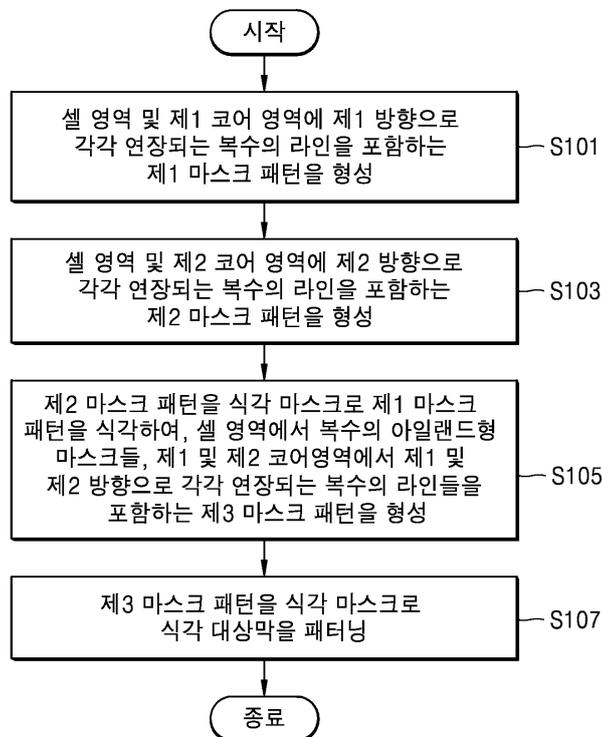
(54) 발명의 명칭 반도체 소자의 패턴 형성 방법

(57) 요약

본 발명의 기술적 사상에 의한 반도체 소자의 패턴 형성 방법은, 기관의 셀 영역 상에서 제1 방향으로 연장되는 복수의 제1 마스크 라인들 및 상기 기관의 제1 코어 영역 상에서 상기 제1 방향으로 연장되는 복수의 제2 마스크 라인들을 포함하고 상기 기관의 제2 코어 영역을 덮는 제1 마스크 패턴을 형성하는 단계; 상기 제1 마스크 패턴

(뒷면에 계속)

대표도 - 도1



상에, 상기 셀 영역 상에서 제2 방향으로 연장되는 복수의 제3 마스크 라인들 및 상기 제2 코어 영역에서 상기 제2 방향으로 연장되는 복수의 제4 마스크 라인들을 포함하고 상기 제1 코어 영역을 덮는 제2 마스크 패턴을 형성하는 단계; 및 상기 제2 마스크 패턴을 식각 마스크로 상기 제1 마스크 패턴을 식각하여, 상기 셀 영역에서 복수의 아일랜드형 마스크들, 상기 제1 코어 영역에서 상기 제1 방향으로 연장되는 복수의 제5 마스크 라인들, 및 상기 제2 코어 영역에서 상기 제2 방향으로 연장되는 복수의 제6 마스크 라인들을 포함하는 제3 마스크 패턴을 형성하는 단계;를 포함할 수 있다.

(52) CPC특허분류

*G03F 7/2022* (2013.01)

*G03F 7/22* (2013.01)

*G03F 7/70466* (2013.01)

*H01L 21/0274* (2013.01)

(72) 발명자

김지영

경기도 용인시 기흥구 동백2로 37, 4102동 601호  
(중동, 어은목마을대원칸타빌아파트)

김창환

경기도 화성시 동탄중앙로 200, C동 1803호 (반송동, 메타폴리스)

## 명세서

### 청구범위

#### 청구항 1

기판의 셀 영역 상에서 제1 방향으로 연장되는 복수의 제1 마스크 라인들 및 상기 기판의 제1 코어 영역 상에서 상기 제1 방향으로 연장되는 복수의 제2 마스크 라인들을 포함하고 상기 기판의 제2 코어 영역을 덮는 제1 마스크 패턴을 형성하는 단계;

상기 제1 마스크 패턴 상에, 상기 셀 영역 상에서 제2 방향으로 연장되는 복수의 제3 마스크 라인들 및 상기 제2 코어 영역에서 상기 제2 방향으로 연장되는 복수의 제4 마스크 라인들을 포함하고 상기 제1 코어 영역을 덮는 제2 마스크 패턴을 형성하는 단계; 및

상기 제2 마스크 패턴을 식각 마스크로 상기 제1 마스크 패턴을 식각하여, 상기 셀 영역에서 복수의 아일랜드형 마스크들, 상기 제1 코어 영역에서 상기 제1 방향으로 연장되는 복수의 제5 마스크 라인들, 및 상기 제2 코어 영역에서 상기 제2 방향으로 연장되는 복수의 제6 마스크 라인들을 포함하는 제3 마스크 패턴을 형성하는 단계;를 포함하는 반도체 소자의 패턴 형성 방법.

#### 청구항 2

제1 항에 있어서, 상기 제3 마스크 패턴을 형성하는 단계 후에, 상기 제3 마스크 패턴을 식각 마스크로 상기 기판 상에 형성된 식각 대상막을 식각하는 단계;를 더 포함하고,

상기 식각 대상막을 식각하는 단계에 의해 상기 셀 영역에서 복수의 아일랜드형 제1 패턴들, 상기 제1 코어 영역에서 복수의 라인형 제2 패턴들, 및 상기 제2 코어 영역에서 복수의 라인형 제3 패턴들이 동시에 형성되는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

#### 청구항 3

제2 항에 있어서, 상기 셀 영역, 상기 제1 및 제2 코어 영역 각각에서 상기 기판의 활성 영역과 전기적으로 연결되는 복수의 콘택 플러그들을 형성하는 단계;를 더 포함하고,

상기 아일랜드형 제1 패턴은 상기 셀 영역의 콘택 플러그와 연결된 랜딩 패드이고, 상기 라인형 제2 패턴은 상기 제1 코어 영역의 콘택 플러그와 연결되는 제1 배선이고, 상기 라인형 제3 패턴은 상기 제2 코어 영역의 콘택 플러그와 연결되는 제2 배선인 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

#### 청구항 4

제1 항에 있어서, 상기 셀 영역은 상기 제2 방향으로 연장되는 복수의 워드 라인들 및 상기 기판 상에서 상기 제1 방향으로 연장되는 복수의 비트 라인을 포함하고,

상기 제1 코어 영역은 상기 셀 영역과 상기 제1 방향으로 인접한 센스 앰프(Sense Amplifier) 영역이고, 상기 제2 코어 영역은 상기 셀 영역과 상기 제2 방향으로 인접한 서브 워드 라인 드라이버(sub-word line driver) 영역인 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

#### 청구항 5

제1 항에 있어서, 상기 제1 마스크 패턴을 형성하는 단계는 제1 포토레지스트 패턴을 형성하는 제1 노광 단계 및 제1 더블 패터닝(double patterning) 단계를 포함하고,

상기 제2 마스크 패턴을 형성하는 단계는 제2 포토레지스트 패턴을 형성하는 제2 노광 단계 및 제2 더블 패터닝 단계를 포함하는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

#### 청구항 6

제5 항에 있어서, 상기 제1 코어 영역에 형성되는 제1 포토 레지스트 패턴의 피치는 상기 제1 코어 영역에 형성되는 상기 제1 마스크 패턴의 피치의 두 배이고,

상기 제2 코어 영역에 형성되는 제2 포토 레지스트 패턴의 피치는 상기 제2 코어 영역에 형성되는 상기 제2 마스크 패턴의 피치의 두 배인 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

**청구항 7**

제5 항에 있어서, 상기 제3 마스크 패턴은 상기 제1 및 제2 노광 단계 외의 노광 단계를 거치지 않고 형성되는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

**청구항 8**

기판의 셀 영역 및 코어 영역에서 제1 방향으로 연장되는 복수의 제1 마스크 라인들을 포함하는 제1 마스크 패턴을 형성하는 단계;

상기 제1 마스크 패턴 상에, 상기 셀 영역에서 상기 복수의 제1 마스크 라인들과 교차하도록 제2 방향으로 연장되는 복수의 제2 마스크 라인들, 및 상기 코어 영역에서 상기 제2 방향으로 연장되는 복수의 제3 마스크 라인들을 포함하는 제2 마스크 패턴을 형성하는 단계; 및

상기 제2 마스크 패턴을 식각 마스크로 상기 제1 마스크 패턴을 식각하여, 상기 셀 영역에서 복수의 아일랜드형 제1 패턴들과, 상기 코어 영역에서 상기 제1 방향으로 연장되는 복수의 제4 마스크 라인들 및 상기 제2 방향으로 연장되는 복수의 제5 마스크 라인들을 포함하는 제3 마스크 패턴을 형성하는 단계;를 포함하는 반도체 소자의 패턴 형성 방법.

**청구항 9**

제8 항에 있어서, 상기 제1 마스크 패턴을 형성하는 단계는 제1 포토레지스트 패턴을 형성하는 제1 노광 단계 및 제1 더블 패터닝 단계를 포함하고,

상기 제2 마스크 패턴을 형성하는 단계는 제2 포토레지스트 패턴을 형성하는 제2 노광 단계 및 제2 더블 패터닝 단계;를 포함하고,

제3 마스크 패턴은 상기 제1 및 제2 노광 단계 외의 노광 단계를 거치지 않고 형성되는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

**청구항 10**

제8 항에 있어서, 상기 제3 마스크 패턴을 형성하는 단계 후에, 상기 제3 마스크 패턴을 식각 마스크로 상기 기판 상에 형성된 식각 대상막을 식각하는 단계;를 더 포함하고,

상기 식각 대상막을 식각하는 단계에 의해 상기 셀 영역에서 복수의 아일랜드형 제1 패턴들, 및 상기 코어 영역에서 상기 제1 방향으로 연장되는 복수의 라인형 제2 패턴들 및 상기 제2 방향으로 연장되는 복수의 라인형 제3 패턴들이 동시에 형성되는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 기술적 사상은 반도체 소자의 패턴 형성 방법에 관한 것으로, 특히 정렬 마진을 개선하는 동시에 제조 공정을 단순화할 수 있는 반도체 소자의 패턴 형성 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 소자의 집적화가 심화됨에 따라 패턴 피치(pitch)가 공정 한계에 다다르고 있다. 이에 따라, 셀 영역의 패터닝은 노광 공정의 한계 및 정렬 마진 문제를 해소하기 위하여 복수의 노광 공정들을 이용하고 있다.

[0003] 최근 코어 영역에서도 협폭을 가지는 패턴들이 요구되어 노광 공정 수가 증가하고 제조 공정이 복잡해지고 있다. 이에 따라 코어 영역에서도 협폭 패턴을 구현하면서, 정렬 마진을 개선하고, 제조 공정을 단순화하기 위한 연구가 이루어지고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 패턴의 미세화에 대응하여 코어 영역 패턴의 정렬 마진을 개선하는 동시에 제조 공정을 단순화하여 제조 비용을 감소시키기 위한 것이다.

**과제의 해결 수단**

[0005] 본 발명의 기술적 사상에 의한 일 양태에 따른 반도체 소자의 패턴 형성 방법은, 기판의 셀 영역 상에서 제1 방향으로 연장되는 복수의 제1 마스크 라인들 및 상기 기판의 제1 코어 영역 상에서 상기 제1 방향으로 연장되는 복수의 제2 마스크 라인들을 포함하고 상기 기판의 제2 코어 영역을 덮는 제1 마스크 패턴을 형성하는 단계; 상기 제1 마스크 패턴 상에, 상기 셀 영역 상에서 제2 방향으로 연장되는 복수의 제3 마스크 라인들 및 상기 제2 코어 영역에서 상기 제2 방향으로 연장되는 복수의 제4 마스크 라인들을 포함하고 상기 제1 코어 영역을 덮는 제2 마스크 패턴을 형성하는 단계; 및 상기 제2 마스크 패턴을 식각 마스크로 상기 제1 마스크 패턴을 식각하여, 상기 셀 영역에서 복수의 아일랜드형 마스크들, 상기 제1 코어 영역에서 상기 제1 방향으로 연장되는 복수의 제5 마스크 라인들, 및 상기 제2 코어 영역에서 상기 제2 방향으로 연장되는 복수의 제6 마스크 라인들을 포함하는 제3 마스크 패턴을 형성하는 단계;를 포함할 수 있다.

[0006] 본 발명의 기술적 사상에 의한 일 양태에 따른 반도체 소자의 패턴 형성 방법은, 기판의 셀 영역 및 코어 영역에서 제1 방향으로 연장되는 복수의 제1 마스크 라인들을 포함하는 제1 마스크 패턴을 형성하는 단계; 상기 제1 마스크 패턴 상에, 상기 셀 영역에서 상기 복수의 제1 마스크 라인들과 교차하도록 제2 방향으로 연장되는 복수의 제2 마스크 라인들, 및 상기 코어 영역에서 상기 제2 방향으로 연장되는 복수의 제3 마스크 라인들을 포함하는 제2 마스크 패턴을 형성하는 단계; 및 상기 제2 마스크 패턴을 식각 마스크로 상기 제1 마스크 패턴을 식각하여, 상기 셀 영역에서 복수의 아일랜드형 제1 패턴들과, 상기 코어 영역에서 상기 제1 방향으로 연장되는 복수의 제4 마스크 라인들 및 상기 제2 방향으로 연장되는 복수의 제5 마스크 라인들을 포함하는 제3 마스크 패턴을 형성하는 단계;를 포함하는 반도체 소자의 패턴 형성 방법일 수 있다.

**발명의 효과**

[0007] 본 발명의 기술적 사상에 의한 반도체 소자의 패턴 형성 방법에서는, 코어 영역에 형성되는 패턴들을 방향성을 기준으로 분리하고, 셀 영역의 패터닝에 이용되는 복수의 노광 공정들을 이용하여 코어 영역의 패터닝과 셀 영역의 패터닝이 동시에 형성되는 단계를 포함할 수 있다. 즉, 패턴들을 방향성을 나누어 형성함으로써, 코어 영역에 형성되는 패턴들의 정렬 오차로 인한 리스크를 저감시킬 수 있다. 또한, 셀 영역의 협폭 패턴들을 형성하기 위해 수행되는 복수의 노광 공정들과 동시에 수행됨으로써, 노광 공정 횟수를 감소시켜 공정 비용을 감소시킬 수 있다.

**도면의 간단한 설명**

[0008] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 패턴 형성 방법의 플로 차트이다.  
 도 2는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 셀 영역 및 코어 영역의 평면 레이아웃을 예시한 도면이다.  
 도 3 내지 도 14c는 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도 및 평면도들이다.  
 도 15a는 도 2의 셀 영역의 평면 레이아웃을 예시한 도면이다. 도 15b 및 도 15c는 도 2의 제1 및 제2 코어 영역(Core1, Core2)에 배치되는 배선의 평면 레이아웃을 예시한 도면이다.  
 도 16 내지 도 20은 도 15a 내지 도 15c에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0009] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.

[0010] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 패턴 형성 방법의 플로 차트이다.

- [0011] 도 2는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 셀 영역(Cell) 및 코어 영역(Core1, Core2, Core3)의 평면 레이아웃을 예시한 도면이다.
- [0012] 도 3 내지 도 14c는 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도 및 평면도들이다. 도 3 내지 도 6a, 도 7 내지 도 10a, 도 11a, 도 12 내지 도 14a의 Cell\_X, Cell\_Y, Core1\_X, 및 Core2\_Y는 각각 도 2의 셀 영역(Cell)의 A-A'선 단면도, 도 2의 셀 영역(Cell)의 B-B'선 단면도, 도 2의 제1 코어 영역(Core1)의 C-C'선 단면도, 및 도 2의 제2 코어 영역(Core2)의 D-D'선 단면도이다. 도 6b, 도 10b, 도 11b, 도 14b, 및 도 14c의 Cell, Core1, 및 Core2는 각각 도 2의 셀 영역(Cell)의 평면도, 제1 코어 영역(Core1)의 평면도, 및 제2 코어 영역(Core2)의 평면도이다.
- [0013] 도 1 내지 도 3을 참조하면, 반도체 소자는 셀 영역(Cell)과, 상기 셀 영역(Cell)과 인접한 제1 내지 제3 코어 영역(Core1, Core2, Core3)을 포함할 수 있다.
- [0014] 상기 셀 영역(Cell) 및 상기 제1 내지 제3 코어 영역(Core1, Core2, Core3)을 포함하는 기판(101) 상에 식각 대상막(103), 제1 마스크층(105), 제2 마스크층(107) 및 제1 포토레지스트 패턴(109P)을 차례로 형성할 수 있다.
- [0015] 상기 기판(101)은 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체, 또는 II-VI족 산화물 반도체를 포함할 수 있다. 예를 들어, IV족 반도체는 실리콘, 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다. 또한, 상기 기판(101)은 벌크 웨이퍼 또는 에피택셜층으로 제공될 수도 있다. 또는 상기 기판(101)은 예를 들면, SOI(Silicon On Insulator) 기판, 갈륨-비소 기판 등으로 이루어질 수 있다. 상기 기판(101)은 반도체 소자를 구동하기 위해 필요한 다양한 소자들 및 배선 구조들을 포함할 수 있다.
- [0016] 상기 식각 대상막(103)은 목적하는 패턴의 용도에 따라 다양한 물질로 이루어질 수 있다. 상기 기판(101) 내에 형성된 다양한 소자들과 전기적으로 연결되는 패드나 배선을 형성하는 데 필요한 도전층일 수 있다. 예를 들어, 상기 식각 대상막(103)은 텅스텐(W), 알루미늄(Al)과 같은 금속, 폴리실리콘과 같은 반도체, 도전성 금속 질화물 등으로 이루어질 수 있다.
- [0017] 상기 제1 및 제2 마스크층(105, 107)은 서로 다른 식각 특성을 가지는 물질로 이루어질 수 있다. 상기 제1 마스크층(105)은 산화막으로 이루어질 수 있다. 예를 들어, 상기 제1 마스크층(105)은 열산화막, USG막(undoped silicate glass film) 및 HDP 산화막(high density plasma oxide film)으로 이루어지는 군에서 선택되는 적어도 하나의 산화막으로 이루어질 수 있다. 이 때, 상기 제1 마스크층(105)은 원자층 증착 방법(Atomic Layer Deposition; ALD 또는 CVD(Chemical Vapor Deposition) 방법에 의해 형성될 수 있다.
- [0018] 일부 실시예들에서, 상기 제1 마스크층(105)은 다층 구조를 포함할 수 있다. 예를 들어, 상기 제1 마스크층(105)은 비정질 탄소 함유막(Amorphous Carbon Layer; ACL), 실리콘 산질화막(SiON), 및 산화막이 차례로 적층된 구조를 포함할 수 있다. 다만 본 발명의 기술적 사상은 이에 한정되지 않으며, 상기 제1 마스크층(105)은 마스크 패턴의 폭을 균일하기 확보하기 위해 필요한 다양한 물질 및 구조를 포함할 수 있다.
- [0019] 상기 제2 마스크층(107)은 탄소 함유막으로 이루어질 수 있다. 탄소 함유막은 페닐, 벤젠, 또는 나프탈렌과 같은 방향족 환을 포함하는 탄화수소 화합물 또는 그 유도체로 이루어지는 유기 화합물로부터 만들어질 수 있다. 탄소 함유막은 스핀 코팅 방법에 의해 형성될 수 있다. 일부 실시예들에서, 상기 제2 마스크층(107)은 다층 구조를 포함할 수 있다. 예를 들어, 상기 제2 마스크층(107)은 탄소함유막과 실리콘 산질화물(SiON) 계열의 물질막이 차례로 적층된 구조를 포함할 수 있다. 상기 탄소 함유막은 스핀 코팅 방법에 의해 형성되고, 상기 실리콘 산질화물 계열의 물질은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 공정에 의해 형성될 수 있다. 일부 실시예들에서, 상기 탄소 함유막 및 실리콘 산질화막이 적층된 구조는 두 번 이상 반복될 수 있다. 다만 본 발명의 기술적 사상에 한정되지 않으며, 상기 제2 마스크층(107)은 마스크 패턴의 폭을 균일하기 확보하기 위해 필요한 다양한 물질 및 구조를 포함할 수 있다.
- [0020] 도시되지는 않았으나, 상기 제2 마스크층(107) 상에 반사 방지막이 더 형성될 수 있다. 반사 방지막은 유기물 또는 무기물, 예를 들어 실리콘 및 탄소를 함유한 스핀 코팅막 또는 CVD로 형성된 실리콘 산질화막으로 이루어질 수 있다. 반사 방지막은 제1 포토레지스트 패턴(109P)을 형성하는 과정에서 난반사에 의한 노광 특성이 저하되는 것을 방지할 수 있다.
- [0021] 상기 제1 포토레지스트 패턴(109P)은 상기 메모리 셀 영역(Cell) 및 상기 제1 코어 영역(Core1) 상에서 제1 방향(Y방향)으로 각각 연장되는 복수의 제1 포토레지스트 라인들(109A) 및 복수의 제2 포토레지스트 라인들(109

B)과, 상기 제2 코어 영역(Core2) 상을 완전히 덮는 포토레지스트막(109C)을 포함할 수 있다. 상기 제1 포토레지스트 패턴(109P)은 상기 제2 마스크층(107) 상에 포토레지스트층을 형성하고 포토 리소그래피 공정을 통해 형성할 수 있다. 상기 포토 리소그래피 공정은 예를 들어 이머전 리소그래피(immersion lithography) 기술 또는 EUV(Extreme ultraviolet) 리소그래피 기술을 사용할 수 있다. 이머전 리소그래피 기술은 렌즈와 피노광체의 사이에 고굴절률의 유체를 채워서 개구수(numerical aperture, NA)를 증가시킴으로써 분해능을 개선시키는 기술이다. 상기 복수의 제1 포토레지스트 라인들(109A) 및 복수의 제2 포토레지스트 라인들(109B)은 후속하는 더블 패턴링(double patterning) 공정을 고려하여 형성될 수 있다. 즉, 상기 복수의 제1 포토레지스트 라인들(109A) 간의 피치(pitch)(2P1)는 목적하는 패턴간의 피치(P1)의 두 배가 되도록 형성될 수 있다. 인접한 제1 포토레지스트 라인들(109A) 사이의 이격 거리(S1)는 상기 복수의 제1 포토레지스트 라인들(109A) 각각의 폭(W1)보다 클 수 있다. 이 때, 상기 복수의 제1 포토레지스트 라인들(109A) 각각의 폭(W1)은 반도체 소자의 최소 피치 사이즈(feature size)에 해당할 수 있다. 마찬가지로, 상기 복수의 제2 포토레지스트 라인들(109B)간의 피치(2P2)는 목적하는 패턴의 피치(P2)의 두 배가 되도록 형성될 수 있다. 상기 복수의 제2 포토레지스트 라인들(109A) 사이의 이격 거리(S2)는 상기 복수의 제2 포토레지스트 라인들(109A) 각각의 폭(W2)보다 클 수 있다.

[0022] 이 때, 상기 셀 영역(Ce11)에 형성하는 최종 패턴은 제1 및 제2 코어 영역(Core1, Core2)에 형성되는 최종 패턴보다 상대적으로 협폭(narrow width)이 요구될 수 있으며, 이 경우 상기 복수의 제1 포토레지스트 라인들(109A)간의 피치(P1)는 복수의 제2 포토레지스트 라인들(109B)간의 피치(P2)보다 작을 수 있다.

[0023] 도 1, 도 2 및 도 4를 참조하면, 상기 제1 포토레지스트 패턴(109P)을 식각 마스크로 상기 제2 마스크층(107)을 식각하여 제1 예비 마스크 패턴(107P)을 형성할 수 있다. 상기 제1 예비 마스크 패턴(107P)은 상기 셀 영역(Ce11)에서 상기 제1 방향(Y방향)으로 평행하게 연장되는 복수의 제1 예비 마스크 라인들(107A)과, 상기 제1 코어 영역(Core1)에서 상기 제1 방향(Y방향)으로 평행하게 연장되는 복수의 제2 예비 마스크 라인들(107B)과, 상기 제2 코어 영역(Core2)에서 상기 제1 마스크층(105)을 완전히 덮는 예비 마스크막(107C)을 포함할 수 있다. 상기 복수의 제1 예비 마스크 라인들(107A) 각각의 폭 및 피치는 상기 복수의 제1 포토레지스트 라인(109A)의 폭(W1) 및 피치(2P1)에 대응될 수 있다. 마찬가지로, 상기 복수의 제2 예비 마스크 라인들(107B) 각각의 폭 및 피치는 상기 복수의 제2 포토레지스트 라인(109B)의 폭(W2) 및 피치(2P2)에 대응될 수 있다.

[0024] 상기 식각 공정은 건식 식각 또는 반응성 이온 식각 방법(Reactive Ion Etch, RIE)에 의해 수행될 수 있다. 예를 들어, 상기 제2 마스크층(107)이 탄소 함유막인 경우, 상기 제2 마스크층(107)을 식각하기 위하여 산소(O<sub>2</sub>) 및 아르곤(Ar)의 혼합 가스를 이용하는 플라즈마 식각 공정이 수행될 수 있다. 상기 식각 공정 이후, 상기 제1 포토레지스트 패턴(109P)은 제거될 수 있다.

[0025] 이후, 상기 제1 예비 마스크 패턴(107P)의 측면 및 상면, 및 상기 제1 마스크층(105)의 노출된 상면을 덮는 제1 스페이서 마스크층(111)을 형성할 수 있다. 상기 제1 스페이서 마스크층(111)의 두께는, 상기 복수의 제1 예비 마스크 라인들(107A) 사이에 형성하고자 하는 도 5의 복수의 제3 예비 마스크 라인들(113A)의 폭 또는 상기 복수의 제2 예비 마스크 라인들(107B) 사이에 형성하고자 하는 도 5의 복수의 제4 예비 마스크 라인들(113B)의 폭에 따라 결정될 수 있다.

[0026] 일부 실시예들에서, 상기 셀 영역(Ce11)에 형성되는 상기 복수의 제1 및 제3 예비 마스크 라인(107A, 113A)의 폭을 서로 동일하게 형성될 수 있다. 이 경우, 인접한 제1 예비 마스크 라인(107A) 및 그 측면에 형성된 제1 스페이서 마스크층(111) 구조물에 의해 한정되는 공간의 폭(D1)이 상기 제1 예비 마스크 라인(107A)의 폭(W1)과 동일하도록 형성될 수 있다. 마찬가지로, 상기 제1 스페이서 마스크층(111)의 두께를 조절하여 상기 제1 코어 영역(Core1)에 형성되는 상기 복수의 제2 및 제4 예비 마스크 라인(107B, 113B)의 폭을 서로 동일하게 형성할 수 있으나, 이에 한정되는 것은 아니다.

[0027] 상기 제1 스페이서 마스크층(111)은 상기 제1 예비 마스크 패턴(107P)에 대하여 다른 식각 선택비를 가지는 물질로 이루어질 수 있다. 예를 들어, 상기 제1 예비 마스크 패턴(107P)이 탄소 함유 물질인 경우, 상기 제1 스페이서 마스크층(111)은 산화물, 질화물, 또는 산질화물로 이루어질 수 있다. 예를 들어, 상기 제1 스페이서 마스크층(111)은 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물로 이루어질 수 있다. 상기 제1 스페이서 마스크층(111)은 열적 원자층 증착법 또는 플라즈마 원자층 증착법에 의해 형성되어, 상기 제1 예비 마스크 패턴(107P)에 가해지는 스트레스를 감소시킬 수 있다.

[0028] 도 1, 도 2 및 도 5를 참조하면, 도 4의 결과물 상에 상기 제1 예비 마스크 패턴(107P)과 동일한 물질을 포함하

는 제3 마스크층을 형성할 수 있다. 도 3에서 예시한 바와 같이, 상기 제3 마스크층은 상기 제1 예비 마스크 패턴(107P)과 동일한 탄소 함유막으로 이루어질 수 있다. 이에 따라, 상기 제1 예비 마스크 패턴(107P)과 상기 제3 마스크층의 식각 선택비는 동일할 수 있다. 상기 제3 마스크층은 스핀 코팅 방법에 의해 형성될 수 있다.

[0029] 상기 제3 마스크층은 상기 셀 영역(Cell)의 상기 복수의 제1 예비 마스크 라인들(107A) 사이 및 상기 제1 코어 영역(Core1)의 상기 복수의 제2 예비 마스크 라인들(107B)를 채우고, 상기 제2 코어 영역(Core2)의 상기 제1 마스크층(105)의 전면을 완전히 덮도록 형성될 수 있다.

[0030] 이후, 상기 복수의 제1 예비 마스크 패턴(107P)의 상면이 노출될 때까지 제3 마스크층의 전면을 식각할 수 있다. 이에 따라, 상기 복수의 제1 예비 마스크 라인들(107A)의 측면들을 덮는 복수의 제1 스페이서들(111A)과 상기 복수의 제2 예비 마스크 라인들(107B)의 측면들을 덮는 복수의 제2 스페이서들(111B)이 동시에 형성될 수 있다. 또한, 상기 복수의 제1 예비 마스크 라인(107A) 및 상기 제1 스페이서들(111A)과, 상기 복수의 제2 예비 마스크 라인(107B) 및 상기 제2 스페이서들(111B)로 이루어지는 구조물에 의해 한정되는 공간에 상기 제3 마스크층이 잔류하여 제2 예비 마스크 패턴(113P)을 형성할 수 있다. 상기 제2 예비 마스크 패턴(113P)은 제3 예비 마스크 라인(113A)과 및 제4 예비 마스크 라인(113B)을 포함할 수 있다.

[0031] 구체적으로, 상기 제3 예비 마스크 라인(113A)은 상기 셀 영역(Ce11)에서 상기 복수의 제1 예비 마스크 라인들(107A) 및 상기 복수의 제1 스페이서들(111A)로 이루어진 구조물 사이에 형성될 수 있다. 이 때, 상기 복수의 제1 및 제3 예비 마스크 라인들(107A, 113A)로 구성되는 예비 마스크 패턴은, 상기 셀 영역(Ce11)에 형성하고자 하는 패턴의 피치(P1)를 가질 수 있다. 마찬가지로, 상기 제4 예비 마스크 라인(113B)은 상기 제1 코어 영역(Core1)에서 상기 복수의 제2 예비 마스크 라인들(107B) 및 상기 복수의 제2 스페이서(111B)로 이루어진 구조물 사이에 형성될 수 있다. 이 때, 상기 복수의 제2 및 제4 예비 마스크 라인들(107B, 113B)로 구성되는 예비 마스크 패턴은, 상기 제1 코어 영역(Core1)에 형성하고자 하는 패턴의 피치(P2)를 가질 수 있다.

[0032] 도 1, 도 2, 도 6a 및 도 6b를 참조하면, 복수의 제1 및 제3 예비 마스크 라인(107A, 113A) 사이 및 복수의 제2 및 제4 예비 마스크 라인(107B, 113B) 사이의 상기 제1 마스크층(105)의 상면이 노출될 때까지 상기 제1 및 제2 스페이서층(111A, 111B)을 식각할 수 있다.

[0033] 이후, 상기 제1 및 제2 예비 마스크 패턴(107P, 113P)을 식각 마스크로 상기 제1 마스크층(105)을 식각하여 제1 마스크 패턴(115P)을 형성할 수 있다(S101). 상기 제1 마스크 패턴(115P)은 상기 셀 영역(Ce11)에 상기 제1 방향(Y방향)으로 연장되는 복수의 제1 마스크 라인들(115A), 상기 제1 코어 영역(Core1)에 상기 제1 방향(Y방향)으로 연장되는 복수의 제2 마스크 라인들(115B), 및 상기 제2 코어 영역(Core2)의 전면을 덮는 마스크막(115C)을 포함할 수 있다. 전술한 바와 같이, 상기 제1 마스크 라인(115A)은 도 3의 제1 포토레지스트 라인(109A)의 피치(2P1)의 1/2의 피치(P1)로 형성될 수 있다. 또한 상기 제2 마스크 라인(115B)는 도 3의 제2 포토레지스트 라인(109B)의 피치(2P2)의 1/2의 피치(P2)로 형성될 수 있다.

[0034] 도 1, 도 2, 도 7을 참조하면, 도 6의 결과물 상에 제4 마스크층(117) 및 제2 포토레지스트 패턴(119P)을 차례로 형성할 수 있다.

[0035] 상기 제4 마스크층(117)은 상기 제1 마스크 패턴(115P)과 서로 식각 선택비가 다른 물질로 이루어질 수 있다. 도 6에서 예시한 바와 같이, 상기 제1 마스크 패턴(115P)이 산화물인 경우, 상기 제4 마스크층(117)은 탄소 함유막으로 이루어질 수 있다. 상기 탄소 함유막에 대한 상세한 설명은 도 3에서 전술한 바와 같다. 일부 실시예들에서, 상기 제4 마스크층(117)은 다층 구조를 포함할 수 있다. 예를 들어, 상기 제4 마스크층(117)은 탄소 함유막과 실리콘 산질화막이 차례로 적층된 구조를 포함할 수 있다. 일부 실시예들에서, 상기 탄소 함유막 및 실리콘 산질화막이 적층된 구조는 두 번 이상 반복될 수 있다. 이 때, 상기 탄소 함유막은 스핀 코팅 방법에 의해 형성되고, 상기 실리콘 산질화막은 PECVD 방법에 의해 형성될 수 있다.

[0036] 도시되지는 않았으나, 상기 제4 마스크층(117) 상에 반사 방지막이 더 형성될 수 있다. 반사 방지막은 유기물 또는 무기물, 예를 들어 실리콘 및 탄소를 함유한 스핀 코팅막 또는 CVD로 형성된 실리콘 산질화막으로 이루어질 수 있다.

[0037] 상기 제2 포토레지스트 패턴(119P)은 상기 메모리 셀 영역(Ce11) 및 상기 제2 코어 영역(Core2) 상에서 제2 방향(X방향)으로 각각 연장되는 복수의 제3 포토레지스트 라인들(119A) 및 복수의 제4 포토레지스트 라인들(119C)과, 상기 제1 코어 영역(Core1) 상을 완전히 덮는 포토레지스트막(119B)을 포함할 수 있다. 상기 제2 포토레지스트 패턴(119P)은 상기 제3 마스크 패턴(115P) 상에 포토레지스트층을 형성하고 포토 리소그래피 공정을 통

해 형성할 수 있다. 상기 포토 리소그래피 공정은 예를 들어 이머전 리소그래피 기술 또는 EUV 리소그래피 기술을 사용할 수 있다.

- [0038] 전술한 바와 같이, 상기 복수의 제3 및 제4 포토레지스트 패턴(119P)은 후속하는 더블 패터닝 공정을 고려하여 형성될 수 있다. 즉, 상기 복수의 제3 포토레지스트 라인들(119A) 간의 피치(2P3)는 목적하는 패턴간의 피치(P3)의 두 배가 되도록 형성될 수 있다. 상기 복수의 제3 포토레지스트 라인들(119A) 사이의 이격 거리(S3)는 상기 복수의 제3 포토레지스트 라인들(119A) 각각의 폭(W3)보다 클 수 있다. 일부 실시예들에서, 상기 복수의 제3 포토레지스트 라인들(119A) 간의 피치(2P3) 및 폭(W3)은 도 3의 복수의 제1 포토레지스트 라인들(109A) 간의 피치(2P1) 및 폭(W1)과 각각 동일할 수 있으나, 이에 한정되는 것은 아니다. 마찬가지로, 상기 복수의 제4 포토레지스트 라인들(119C)간의 피치(2P4)는 목적하는 패턴의 피치(P4)의 두 배가 되도록 형성될 수 있다. 상기 복수의 제4 포토레지스트 라인들(119C) 사이의 이격 거리(S4)는 상기 복수의 제4 포토레지스트 라인들(109C) 각각의 폭(W4)보다 클 수 있다.
- [0039] 도 1, 도 2, 도 8을 참조하면, 상기 제2 포토레지스트 패턴(119P)을 식각 마스크로 도 7의 제4 마스크층(117)을 식각하여 제3 예비 마스크 패턴(117P)을 형성할 수 있다. 상기 제3 예비 마스크 패턴(117P)은 상기 셀 영역(Ce11)에서 상기 제2 방향(X방향)으로 평행하게 연장되는 복수의 제5 예비 마스크 라인들(117A)과, 상기 제1 코어 영역(Core1)에서 상기 제1 마스크 패턴(115P)을 완전히 덮는 예비 마스크막(117B)과, 상기 제2 코어 영역(Core2)에서 상기 제2 방향(X방향)으로 평행하게 연장되는 복수의 제6 예비 마스크 라인들(117C)을 포함할 수 있다. 상기 복수의 제5 예비 마스크 라인들(117A) 각각의 폭 및 피치는 상기 복수의 제3 포토레지스트 라인(119A)의 폭(W3) 및 피치(2P3)에 대응될 수 있다. 마찬가지로, 상기 복수의 제6 예비 마스크 라인들(117C) 각각의 폭 및 피치는 상기 복수의 제4 포토레지스트 라인(119C)의 폭(W4) 및 피치(2P4)에 대응될 수 있다.
- [0040] 상기 식각 공정은 건식 식각 또는 반응성 이온 식각 방법에 의해 수행될 수 있다. 예를 들어, 상기 제4 마스크층(117)이 탄소 함유막인 경우, 상기 제4 마스크층(117)을 식각하기 위하여 산소 및 아르곤의 혼합 가스를 이용하는 플라즈마 식각 공정이 수행될 수 있다. 상기 식각 공정 이후, 상기 제2 포토레지스트 패턴(119P)은 제거될 수 있다.
- [0041] 이후, 상기 제3 예비 마스크 패턴(117P)의 측면 및 상면, 및 상기 제1 마스크 패턴(115P)의 노출된 상면을 덮는 제2 스페이서 마스크층(121)을 형성할 수 있다. 상기 제2 스페이서 마스크층(121)의 두께는 상기 복수의 제5 예비 마스크 라인들(117A) 사이에 형성하고자 하는 도 9의 복수의 제7 예비 마스크 라인(123A)의 폭, 또는 상기 복수의 제6 예비 마스크 라인들(117C) 사이에 형성하고자 하는 도 9의 복수의 제8 예비 마스크 라인(123C)의 폭에 따라 결정될 수 있다. 일부 실시예들에서, 상기 셀 영역(Ce11)에 형성되는 상기 복수의 제5 및 제7 예비 마스크 라인(117A, 123A)의 폭은 서로 동일하게 형성될 수 있다.
- [0042] 상기 제2 스페이서 마스크층(121)은 상기 제3 예비 마스크 패턴(117P)에 대하여 다른 식각 선택비를 가지는 물질로 이루어질 수 있다. 예를 들어, 상기 제3 예비 마스크 패턴(117P)이 탄소 함유 물질인 경우, 상기 제2 스페이서 마스크층(121)은 산화물, 질화물, 또는 산질화물로 이루어질 수 있다. 상기 제2 스페이서 마스크층(121)에 대한 상세한 설명은 도 4의 제1 스페이서 마스크층(111)에 대해 전술한 바와 같다.
- [0043] 도 1, 도 2 및 도 9를 참조하면, 도 8의 결과물 상에 상기 제3 예비 마스크 패턴(117P)과 동일한 물질을 포함하는 제5 마스크층을 형성할 수 있다.
- [0044] 상기 제5 마스크층은 상기 셀 영역(Ce11)의 상기 복수의 제5 예비 마스크 라인들(117A) 사이 및 상기 제2 코어 영역(Core2)의 상기 복수의 제6 예비 마스크 라인들(117C)를 채우고, 상기 제1 코어 영역(Core1)의 상기 제1 마스크 패턴(115P)의 전면을 완전히 덮도록 형성될 수 있다.
- [0045] 이후, 상기 제3 예비 마스크 패턴(117P)의 상면이 노출될 때까지 제5 마스크층의 전면을 식각할 수 있다. 이에 따라, 상기 복수의 제5 예비 마스크 라인들(117A)의 측면들을 덮는 복수의 제3 스페이서들(121A)과 상기 복수의 제6 예비 마스크 라인들(117C)의 측면들을 덮는 복수의 제4 스페이서들(121C)이 동시에 형성될 수 있다. 또한, 상기 복수의 제5 예비 마스크 라인(117A) 및 상기 제3 스페이서들(121A)이 이루는 구조물과, 상기 복수의 제6 예비 마스크 라인(117C) 및 상기 제4 스페이서들(121C)이 이루는 구조물에 의해 한정되는 공간에 상기 제5 마스크층이 잔류하여 제4 예비 마스크 패턴(123P)을 형성할 수 있다. 상기 제4 예비 마스크 패턴(123P)은 제7 예비 마스크 라인(123A)과, 예비 마스크막(123B)과, 제4 예비 마스크 라인(123C)을 포함할 수 있다.
- [0046] 구체적으로, 상기 제7 예비 마스크 라인(123A)은 상기 셀 영역(Ce11)에서 상기 복수의 제5 예비 마스크 라인들(117A) 및 상기 복수의 제3 스페이서들(121A)로 이루어진 구조물 사이에 형성될 수 있다. 이 때, 상기 복수의

제5 및 제7 예비 마스크 라인들(117A, 123A)로 구성되는 예비 마스크 패턴은, 상기 셀 영역(Ce11)에 형성하고자 하는 패턴의 피치(P3)를 가질 수 있다. 마찬가지로, 상기 제8 예비 마스크 라인(123C)은 상기 제2 코어 영역(Core2)에서 상기 복수의 제6 예비 마스크 라인들(117C) 및 상기 복수의 제4 스페이서(121C)로 이루어진 구조물 사이에 형성될 수 있다. 이 때, 상기 복수의 제6 및 제8 예비 마스크 라인들(117C, 123C)로 구성되는 예비 마스크 패턴은, 상기 제2 코어 영역(Core2)에 형성하고자 하는 패턴의 피치(P4)를 가질 수 있다. 상기 예비 마스크 막(123B)은 상기 제1 코어 영역(Core1)의 전면을 덮도록 형성될 수 있다.

- [0047] 도 1, 도 2, 도 10a 및 도 10b를 참조하면, 복수의 제5 및 제7 예비 마스크 라인(117A, 123A) 사이 및 복수의 제6 내지 제8 예비 마스크 라인(117C, 123C) 사이의 상기 제1 마스크 패턴(115P)의 상면이 노출될 때까지 상기 제3 및 제4 스페이서층(121A, 121C)을 식각할 수 있다. 이에 따라, 상기 제1 마스크 패턴(115P) 상에 상기 제3 및 제4 마스크 패턴(117P, 123P)으로 이루어지는 제2 마스크 패턴이 형성될 수 있다(S103).
- [0048] 도 1, 도 2, 도 11a 및 도 11b를 참조하면, 상기 제3 및 제4 마스크 패턴(117P, 123P)으로 이루어지는 제2 마스크 패턴을 식각 마스크로 도 10a 및 도 10b의 제1 마스크 패턴(115P)을 식각하여 제3 마스크 패턴(125P)를 형성할 수 있다(S105).
- [0049] 상기 제3 마스크 패턴(125P)은 상기 셀 영역(Ce11)에 매트릭스로 배열된 복수의 아일랜드형 마스크들(125A)과, 상기 제1 방향(Y방향)으로 연장되는 복수의 제3 마스크 라인들(125B)과, 상기 제2 방향(X방향)으로 연장되는 복수의 제4 마스크 라인들(125C)을 포함할 수 있다.
- [0050] 전술한 바와 같이, 상기 아일랜드형 마스크(125A)는 상기 제2 방향(X방향)으로 제1 포토레지스트 라인(109A)의 피치(2P1)의 1/2의 피치(P1)를 가지고, 상기 제1 방향(Y방향)으로 제2 포토레지스트 라인(119A)의 피치(2P3)의 1/2의 피치(P3)를 가질 수 있다. 또한, 상기 복수의 제3 마스크 라인들(125B)은 상기 제2 방향(X방향)으로 제1 포토레지스트 라인(109B)의 피치(2P2)의 1/2의 피치(P2)를 가질 수 있다. 또한, 상기 복수의 제4 마스크 라인들(125C)은 상기 제1 방향(Y방향)으로 제2 포토레지스트 라인(119C)의 피치(2P4)의 1/2의 피치(P4)를 가질 수 있다.
- [0051] 도 1, 도 2, 및 도 12를 참조하면, 상기 제3 마스크 패턴(125P)으로부터 불필요한 부분을 제거하기 위하여 트리밍(trimming) 공정을 수행할 수 있다. 상기 제3 마스크 패턴(125P) 상에 트리밍용 마스크층(127) 및 트리밍용 포토레지스트 패턴(129P)을 차례로 형성할 수 있다.
- [0052] 도 1, 도 2, 및 도 13을 참조하면, 상기 트리밍용 포토레지스트 패턴(129P)을 식각 마스크로 도 12의 트리밍용 마스크층(127) 및 제3 마스크 패턴(125P)을 식각하여 트리밍용 마스크 패턴(127PT) 및 트리밍된 제3 마스크 패턴(125PT)을 형성할 수 있다. 이후, 상기 트리밍용 마스크 패턴(127PT)은 제거될 수 있다.
- [0053] 도 1, 도 2, 도 14a 및 도 14b를 참조하면, 도 13의 트리밍된 제3 마스크 패턴(125PT)을 식각 마스크로 상기 식각 대상막(103)을 식각하여 목적하는 대상 패턴들(103P)을 형성할 수 있다. 상기 대상 패턴들(103P)은 상기 셀 영역(Ce11)에 매트릭스로 배열된 복수의 아일랜드형 제1 패턴들(103A)과, 상기 제1 방향(Y방향)으로 연장되는 복수의 라인형 제2 패턴들(103B)과, 상기 제2 방향(X방향)으로 연장되는 복수의 라인형 제3 패턴들(103C)을 포함할 수 있다.
- [0054] 전술한 바와 같이, 상기 아일랜드형 제1 패턴(103A)은 상기 제2 방향(X방향)으로 제1 포토레지스트 라인(109A)의 피치(2P1)의 1/2의 피치(P1)를 가지고, 제1 방향(Y방향)으로 제2 포토레지스트 라인(119A)의 피치(2P3)의 1/2의 피치(P3)를 가질 수 있다. 또한, 상기 라인형 제2 패턴(103B)은 상기 제2 방향(X방향)으로 제1 포토레지스트 라인(109B)의 피치(2P2)의 1/2의 피치(P2)를 가질 수 있다. 또한, 상기 라인형 제3 패턴(103C)은 상기 제1 방향(Y방향)으로 제2 포토레지스트 라인(119C)의 피치(2P4)의 1/2의 피치(P4)를 가질 수 있다.
- [0055] 이와 같이, 제1 및 제2 코어 영역(Core1, Core2)의 제2 및 제3 패턴들(103B, 103C)은, 방향성에 따라 나뉘어 셀 영역(Ce11)에서 제1 패턴(103A)을 형성하기 위해 도입된 복수의 노광 공정들을 통해 각각 형성될 수 있다. 상기 셀 영역(Ce11)의 상기 제1 패턴(103A)은 협폭을 구현하기 위해 더블 패터닝 공정에 의해 형성되는데, 상기 제1 및 제2 코어 영역(Core1, Core2)의 상기 제2 및 제3 패턴들(103B, 103C) 또한 더블 패터닝 공정에 의해 형성되어 코어 영역(Core1, Core2)에 요구되는 협폭을 구현할 수 있다.
- [0056] 구체적으로, 반도체 소자의 집적화 요구에 따라 셀 영역(Ce11)에 형성되는 패턴의 피치가 미세화되고 있다. 노광 공정의 한계 및 정렬 마진 문제를 해소하기 위하여, 셀 영역(Ce11)의 패터닝은 서로 다른 방향을 가지는 패턴들을 복수의 노광 공정에 의해 수행되고 있다. 최근 셀 영역(Ce11)만이 아닌 코어 영역(Core1, Core2)에서도 협폭을 가지는 패턴들이 요구되고 있다. 이에 따라, 코어 영역(Core1, Core2)에서도 상하부 패턴간의 정렬 마진

이 감소하는 문제가 발생하고 있다. 특히, 코어 영역(Core1, Core2)에서 서로 다른 방향으로 연장되는 협폭 패턴들을 하나의 패턴링 공정으로 형성하는 경우, 매우 작은 정렬 오차가 발생하더라도 전기적 연결 불량 문제가 다발적으로 발생할 수 있다.

- [0057] 본 발명의 기술적 사상에 의한 반도체 소자의 패턴 형성 방법은, 코어 영역(Core1, Core2)에 형성되는 패턴들을 제1 및 제2 방향(Y방향, X방향) 등 방향성을 기준으로 분리하고, 셀 영역(Ce11)의 패턴링에 이용되는 복수의 노광 공정들(S101, S103)을 통해 각각 형성되는 단계를 포함할 수 있다. 즉, 패턴들을 방향성을 나누어 형성함으로써, 코어 영역(Core1, Core2)에 형성되는 패턴들의 정렬 오차로 인한 리스크를 저감시킬 수 있다. 또한, 셀 영역(Ce11)의 협폭 패턴들을 형성하기 위해 필수적으로 수행되는 복수의 노광 공정들(S101, S103)과 동시에 수행됨으로써, 노광 공정 횟수를 오히려 감소시켜 공정 비용을 감소시킬 수 있다.
- [0058] 도 3 내지 도 14b에서는 제1 및 제2 코어 영역(Core1, Core2)이 각각 제1 및 제2 방향(Y방향, X방향)으로 연장되는 패턴들만을 포함하는 것으로 예시하였으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 일부 실시예들에서, 상기 제1 코어 영역(Core1)은 제1 및 제2 방향(Y방향, X방향)으로 각각 연장되는 패턴들을 포함할 수 있다. 이 경우, 각 패턴들의 연장 방향이 제1 및 제2 방향(Y방향, X방향)인지 여부에 따라 도 3의 제1 포토레지스트 패턴(109P)에 의해 정의되거나, 도 7의 제2 포토레지스트 패턴(119P)에 의해 정의되어 형성될 수 있다. 마찬가지로, 상기 제2 코어 영역(Core2)은 제1 및 제2 방향(Y방향, X방향)으로 각각 연장되는 패턴들을 포함할 수 있다.
- [0059] 도 14a 및 도 14b에서는 라인형 제2 및 제3 패턴(103B, 103C)이 일정한 폭을 가지는 것으로 도시되었으나, 이에 한정되는 것은 아니다. 도 14c를 참조하면, 라인형 제2 패턴(203B)이 제1 폭(Wa) 및 제2 폭(Wb) 등 일정하지 않은 폭을 포함할 수 있다. 상기 제2 패턴(203B)의 형태는 제1 노광 공정에 의해 형성되는 제1 포토레지스트 라인에 대응할 수 있다. 따라서, 제2 패턴(203B)은 도 3의 제1 포토레지스트 라인(109B)의 형태를 조절하여 제1 방향(Y방향)으로 연장되면서 다양한 폭을 가지도록 형성될 수 있다. 마찬가지로, 라인형 제3 패턴(203C)도 일정하지 않은 폭을 포함할 수 있다. 상기 제3 패턴(203C)의 형태는 제2 노광 공정에 의해 제2 포토레지스트 라인에 대응할 수 있다. 따라서, 제3 패턴(203C)은 도 7의 제2 포토레지스트 라인(109C)의 형태를 조절하여 제2 방향(X방향)으로 연장되면서 다양한 폭을 가지도록 형성될 수 있다.
- [0060] 제1 부재, 영역, 부위 또는 구성 요소는 본 발명의 가르침으로부터 벗어나지 않고서도 제2 부재, 영역, 부위 또는 구성 요소를 지칭할 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성 요소는 제2 구성 요소로 명명될 수 있고, 유사하게 제2 구성 요소도 제1 구성 요소로 명명될 수 있다.
- [0061] 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 수행될 수도 있다.
- [0062] 첨부 도면에 있어서, 제조 기술 및/또는 공차에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예들은 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조 과정에서 초래되는 형상의 변화를 포함하여야 한다.
- [0063] 도 15a 내지 도 15c는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 셀 영역(Ce11), 제1 및 제2 코어 영역(Core1, Core2)의 평면 레이아웃을 각각 나타낸 도면들이다. 도 15a 내지 도 15c의 셀 영역(Ce11), 제1 및 제2 코어 영역(Core1, Core2)은 각각 도 2의 셀 영역(Ce11), 제1 및 제2 코어 영역(Core1, Core2)의 예시적인 구성일 수 있다.
- [0064] 도 2 및 도 15a를 참조하면, 셀 영역(Ce11)는 복수의 활성 영역(AC)을 포함한다. 상기 복수의 활성 영역들(AC)은 각각 단축 및 장축을 가지는 비교적 긴 아일랜드 형상을 가질 수 있다.
- [0065] 복수의 워드 라인들(WL)이 상기 복수의 활성 영역들(AC)을 가로질러 제2 방향(X 방향)을 따라 서로 평행하게 연장되어 있다. 상기 복수의 워드 라인들(WL)은 서로 등간격으로 배치될 수 있다.
- [0066] 상기 복수의 워드 라인들(WL) 상에는 복수의 비트 라인들(BL)이 상기 제2 방향(X 방향)과 수직하는 제1 방향(Y 방향)을 따라 서로 평행하게 연장되어 있다. 상기 복수의 비트 라인들(BL)은 복수의 다이렉트 콘택들(DC)을 통해 상기 복수의 활성 영역들(AC)에 각각 연결되어 있다.
- [0067] 복수의 콘택 플러그들(CNT1)은 워드 라인(WL)을 사이에 두고 상기 다이렉트 콘택들(DC)과 이격된 상기 활성 영역(AC) 상에 형성될 수 있다. 상기 복수의 콘택 플러그들(CNT1)은 상기 제1 방향(Y방향) 및 제2 방향(X 방향)을

따라 일렬로 배열될 수 있다. 상기 복수의 콘택 플러그들(CNT1)은 제2 방향(X 방향)을 따라 등간격으로 배치될 수 있다.

- [0068] 상기 복수의 콘택 플러그(CNT1) 상에는 복수의 랜딩 패드들(LP)이 배열될 수 있다. 상기 복수의 랜딩 패드들(LP)의 상기 제1 및 제2 방향(Y방향, X방향)으로의 단면은 상기 복수의 콘택 플러그(CNT1)의 단면보다 클 수 있다. 상기 복수의 랜딩 패드들(LP)은 상기 복수의 콘택 플러그(CNT1) 상에 형성되는 커패시터와의 통해 접촉 면적을 증가시키기 위해 도입될 수 있다.
- [0069] 도 2 및 도 15b를 참조하면, 제1 코어 영역(Core1)은 상기 셀 영역(Ce1)과 상기 제1 방향(Y방향), 즉 상기 셀 영역(Ce1)의 비트 라인이 연장되는 방향으로 인접한 영역일 수 있다. 도시되지는 않았으나, 상기 제1 코어 영역(Core1)은 복수의 비트 라인 센스 앰프(Sense Amplifier)들이 배치되는 영역일 수 있다.
- [0070] 상기 제1 코어 영역(Core1)에서 제1 배선(M1)이 제1 방향(Y 방향)을 따라 서로 평행하게 연장되어 있다. 상기 제1 배선(M1)은 기판의 활성 영역(AC) 또는 하부 배선과 연결된 제2 콘택 플러그(CNT2)와 연결될 수 있다.
- [0071] 도 2 및 도 15c를 참조하면, 제2 코어 영역(Core2)은 상기 셀 영역(Ce1)과 상기 제2 방향(X방향), 즉 상기 셀 영역(Ce1)의 워드 라인이 연장되는 방향으로 인접한 영역일 수 있다. 도시되지는 않았으나, 상기 제2 코어 영역(Core2)은 복수의 서브 워드 라인 드라이버(sub-word line driver)가 배치되는 영역일 수 있다.
- [0072] 상기 제2 코어 영역(Core2)에서 제2 배선(M2)이 제2 방향(X 방향)을 따라 서로 평행하게 연장되어 있다. 상기 제2 배선(M2)은 기판의 활성 영역(AC) 또는 하부 배선과 연결된 제3 콘택 플러그(CNT3)와 연결될 수 있다.
- [0073] 도 2를 참조하면, 제3 코어 영역(Core3)은 상기 제1 및 제2 코어 영역(Core1, Core2)이 교차하는 지점에 형성된 영역일 수 있다. 상기 제3 코어 영역(Core3)은 상기 센스 앰프를 구동하기 위한 전원 드라이버들 및 접지 드라이버들이 교대로 배치되는 영역일 수 있다.
- [0074] 도 16 내지 도 20은 도 15a 내지 도 15d에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 16 내지 도 20의 Cell\_X, Cell\_Y, Core1\_X, 및 Core2\_Y는 각각 도 15a의 셀 영역(Ce1)의 E-E'선 단면도, 도 15a의 셀 영역(Ce1)의 F-F'선 단면도, 도 15b의 제1 코어 영역(Core1)의 G-G'선 단면도, 및 도 15c의 제2 코어 영역(Core2)의 H-H'선 단면도이다. 도 16 내지 도 20에서는 셀 영역(Ce1)의 랜딩 패드(LP)와, 제1 및 제2 코어 영역(Core1, Core2)의 제1 및 제2 배선 (M1, M2)를 방향성을 나누어 두 번의 노광 공정들을 통해 동시에 형성하는 방법을 설명하도록 한다.
- [0075] 도 16을 참조하면, 기판(210)에 소자 분리막(212)을 형성하여 셀 어레이 영역(Ce1) 및 제1 및 제2 코어 영역(Core1, Core2)에 복수의 활성 영역들(214)을 정의한다.
- [0076] 셀 영역(Ce1)에서 상기 기판(210)에 복수의 워드 라인 트렌치(WLT)를 형성한다. 상기 복수의 워드 라인 트렌치(WLT)는 제2 방향(X 방향)을 따라 상호 평행하게 연장된다. 상기 복수의 워드 라인 트렌치(WLT)의 내부에 게이트 유전막(216), 워드 라인(WL), 및 매몰 절연막(218)을 차례로 형성한다. 상기 워드 라인(WL)을 형성한 후, 상기 워드 라인(WL)의 양측의 기판(210)에 불순물 이온을 주입하여 소스/드레인 영역을 형성할 수 있다. 셀 영역(Ce1) 및 제1 및 제2 코어 영역(Core1, Core2)에서 기판(210) 상에 절연막(220) 형성할 수 있다.
- [0077] 셀 영역(Ce1) 및 제1 및 제2 코어 영역(Core1, Core2)에서 기판(210)상에 제1 도전층(232)을 형성한다. 셀 영역(Ce1)에서 제1 도전층(232), 기판(210), 및 소자분리막(212)을 식각하여 다이렉트 콘택홀(DCH)을 형성하고, 다이렉트 콘택홀(DCH)을 제2 도전층으로 채워 다이렉트 콘택(DC)을 형성한다. 셀 영역(Ce1)에 상기 제1 도전층(232) 및 다이렉트 콘택(DC)의 상부에 제3 도전층(234) 및 캡핑층(250)을 차례로 형성한다.
- [0078] 한편, 상기 제1 및 제2 코어 영역(Core1, Core2)에는 절연막(220)을 덮는 평탄화된 제1 층간 절연막(270)이 형성될 수 있다. 도시되지는 않았으나, 상기 제1 층간 절연막(270) 내에 다양한 소자를 포함할 수 있다.
- [0079] 상기 셀 영역(Ce1)에서는 복수의 비트 라인을 형성하기 위한 마스크 패턴을 형성하고 상기 제1 도전층(232), 상기 다이렉트 콘택(DC), 상기 제3 도전층(234) 및 상기 캡핑층 식각하여 복수의 비트 라인(BL)을 형성할 수 있다. 이 때, 상기 마스크 패턴은 상기 제1 및 제2 코어 영역(Core1, Core2)에서 배선 구조(290A, 290B)를 형성하기 위한 식각 마스크일 수 있으며, 상기 식각 공정에 의해 배선 구조(290A, 290B)가 동시에 형성될 수 있다.
- [0080] 셀 영역(Ce1)에서 복수의 비트 라인(260) 각각의 측벽에서 절연 스페이서(255)를 형성할 수 있다. 상기 복수의 비트 라인(260) 각각의 사이의 공간에 제1 콘택 플러그(CNT1)를 형성하기 위한 복수의 홀을 한정하는 복수의 절

연 패턴(260)을 형성한다. 상기 복수의 홀을 통해 상기 활성 영역(214)을 노출시키고, 상기 복수의 홀을 도전층으로 채워 상기 활성 영역(214)에 각각 연결되는 복수의 제1 콘택 플러그(CNT1)를 형성한다.

- [0081] 한편, 제1 및 제2 코어 영역(Core1, Core2)에서 층간 절연막(270, 280)을 관통하는 콘택홀을 형성할 수 있다. 이후, 상기 콘택홀에 도전층을 채워 상기 배선 구조(290A, 290B)와 연결되거나 상기 활성 영역(214)과 연결되는 제2 콘택 플러그(CNT2) 및 제3 콘택 플러그(CNT3)를 형성할 수 있다.
- [0082] 도 17을 참조하면, 도 16의 결과물 상에 식각 대상막(300) 및 제1 마스크 패턴(315P)을 차례로 형성할 수 있다. 상기 식각 대상막(300)은 도 16의 결과물 전면에서 형성되어 상기 제1 내지 제3 콘택 플러그(CNT1, CNT2, CNT3)의 상면과 접할 수 있다. 상기 식각 대상막(300)은 상기 제1 내지 제3 콘택 플러그(CNT1, CNT2, CNT3)와 전기적으로 연결되는 도전층일 수 있다. 예를 들어, 상기 제1 내지 제3 콘택 플러그(CNT1, CNT2, CNT3)는 텅스텐 또는 알루미늄일 수 있으나, 이에 한정되는 것은 아니다.
- [0083] 상기 제1 마스크 패턴(315P)은 상기 셀 영역(Ce11)에서 상기 제1 방향(Y방향)으로 연장되는 복수의 제1 마스크 라인들(315A)과, 상기 제1 코어 영역(Core1)에서 제1 방향(Y방향)으로 연장되는 제2 마스크 라인들(315B)과, 상기 제2 코어 영역(Core2)의 전면을 덮는 마스크막(315C)을 포함할 수 있다. 상기 복수의 제1 마스크 라인들(315A)은 제3 방향(Z방향)으로 상기 복수의 제1 콘택 플러그들(CNT1)과 오버랩되도록 형성될 수 있다. 마찬가지로, 상기 복수의 제2 마스크 라인들(315B)은 상기 제3 방향(Z방향)으로 상기 복수의 제2 콘택 플러그들(CNT2)과 오버랩되도록 형성될 수 있다. 상기 제1 마스크 패턴(315P)의 상세한 형성 단계는 도 3 내지 도 6b의 마스크 패턴(115P)의 형성 단계에서 기술한 바와 같다.
- [0084] 도 18을 참조하면, 도 17의 결과물 상에 제1 예비 마스크 패턴(317P) 및 제2 예비 마스크 패턴(323P)을 포함하는 제2 마스크 패턴을 형성할 수 있다.
- [0085] 상기 제2 마스크 패턴은 상기 셀 영역(Ce11)에서 제2 방향(X방향)으로 연장되는 복수의 제1 예비 마스크 라인들(317A)과, 상기 제1 코어 영역(Core1)의 전면을 덮는 예비 마스크막(317B)과, 상기 제2 코어 영역(Core2)에서 제2 방향(X방향)으로 연장되는 제2 예비 마스크 라인들(317C)을 포함할 수 있다.
- [0086] 상기 셀 영역(Ce11)에서 인접한 제1 예비 마스크 라인들(317A) 사이에는 더블 패터닝 공정에 의해 형성된 제3 예비 마스크 라인들(323A)이 형성될 수 있다. 이 때, 상기 제3 예비 마스크 라인들(323A)은 스페이서층(321) 상에 형성될 수 있다. 상기 제1 및 제3 예비 마스크 라인들(317A, 323A)로 이루어지는 마스크 패턴은 목적하는 피치(P2)를 가질 수 있다.
- [0087] 상기 제2 코어 영역(Core2)에서 서로 인접한 제2 예비 마스크 라인들(317C) 사이에는 더블 패터닝 공정에 의해 형성된 제4 예비 마스크 라인들(323C)이 형성될 수 있다. 이 때, 상기 제4 예비 마스크 라인들(323C)은 스페이서층(321) 상에 형성될 수 있다. 상기 제2 및 제4 예비 마스크 라인들(317C, 323C)로 이루어지는 마스크 패턴은 목적하는 피치(P4)를 가질 수 있다.
- [0088] 상기 복수의 제1 및 제3 예비 마스크 라인들(317A, 323A)은 제3 방향(Z방향)으로 상기 복수의 제1 콘택 플러그들(CNT1)과 오버랩되도록 형성될 수 있다. 마찬가지로, 상기 복수의 제2 및 제4 예비 마스크 라인들(317C, 323C)은 상기 제3 방향(Z방향)으로 상기 복수의 제3 콘택 플러그들(CNT3)과 오버랩되도록 형성될 수 있다. 상기 제1 및 제2 예비 마스크 패턴(317P, 323P)을 포함하는 제2 마스크 패턴의 상세한 형성 단계는 도 7 내지 도 10b의 제3 및 제4 예비 마스크 패턴(117P, 123P)을 포함하는 제2 마스크 패턴(115P)의 형성 단계에서 기술한 바와 같다.
- [0089] 도 19를 참조하면, 도 18의 상기 제1 및 제2 예비 마스크 패턴(317P, 323P)을 포함하는 제2 마스크 패턴을 식각 마스크로 도 18의 제1 마스크 패턴(315P)을 식각하여 제3 마스크 패턴(325P)을 형성할 수 있다.
- [0090] 상기 제3 마스크 패턴(325P)은 상기 셀 영역(Ce11)에 매트릭스로 배열된 복수의 아일랜드형 마스크(325A)와, 상기 제1 코어 영역(Core1)에서 상기 제1 방향(Y방향)으로 연장되는 복수의 제3 마스크 라인들(325B)과, 상기 제2 코어 영역(Core2)에서 상기 제2 방향(X방향)으로 연장되는 복수의 제4 마스크 라인들(325C)을 포함할 수 있다. 상기 제3 마스크 패턴(325P)의 상세한 형성 단계는 도 11a 및 도 11b의 제3 마스크 패턴(125P)의 형성 단계에서 기술한 바와 같다.
- [0091] 도 20을 참조하면, 도 19의 제3 마스크 패턴(325P)을 식각 마스크로 식각 대상막(300)을 식각할 수 있다. 이에 따라, 상기 셀 영역(Ce11)에는 복수의 아일랜드형 랜딩 패드들(LP)이 형성되고, 상기 제1 코어 영역(Core1)에는 상기 제1 방향(Y방향)으로 연장되는 복수의 라인형 제1 배선들(M1)이 형성되고, 상기 제2 코어 영역(Core2)에는

상기 제2 방향(X방향)으로 연장되는 복수의 라인형 제2 배선들(M2)이 형성될 수 있다.

[0092] 이 때, 상기 복수의 아일랜드형 랜딩 패드들(LP), 상기 복수의 라인형 제1 배선들(M1), 및 상기 복수의 라인형 제2 배선들(M2)은 각각 제1 내지 제3 콘택 플러그(CNT1, CNT2, CNT3)와 연결될 수 있다. 상기 복수의 아일랜드형 랜딩 패드들(LP) 상에는 각각 커패시터들이 형성될 수 있다.

[0093] 도 16 내지 도 20에서 설명한 셀 영역(Ce11), 제1 및 제2 코어 영역(Core1, Core2)의 소자 및 배선 구조는 예시적인 것으로, 본 발명의 기술적 사상은 이에 한정되지 않는다. 본 발명의 기술적 사상에 의한 반도체 소자(20)의 패턴 형성 방법은, 다양한 소자 및 배선 구조들을 기반으로 적용될 수 있다.

[0094] 본 발명의 기술적 사상에 의한 반도체 소자의 패턴 형성 방법은, 제1 및 제2 코어 영역(Core1, Core2)에 형성되는 제1 및 제2 배선(M1, M2)들을 제1 및 제2 방향(Y방향, X방향) 등 방향성을 기준으로 분리하고, 셀 영역(Ce11)의 패턴닝에 이용되는 복수의 노광 공정들을 통해 각각 형성되는 단계를 포함할 수 있다. 즉, 제1 및 제2 배선(M1, M2)을 방향성을 나누어 형성함으로써, 제1 및 제2 코어 영역(Core1, Core2)에 형성되는 제1 및 제2 배선(M1, M2)들의 정렬 오차로 인한 리스크를 저감시킬 수 있다. 또한, 셀 영역(Ce11)의 미세화된 랜딩 패드(LP)들을 형성하기 위해 수행되는 복수의 노광 공정들과 동시에 수행됨으로써, 노광 공정 횟수를 오히려 감소시켜 공정 비용을 감소시킬 수 있다.

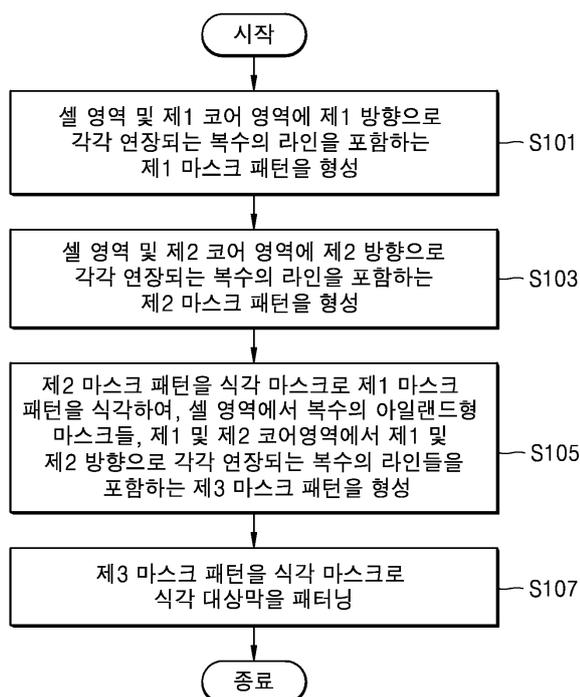
[0095] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

**부호의 설명**

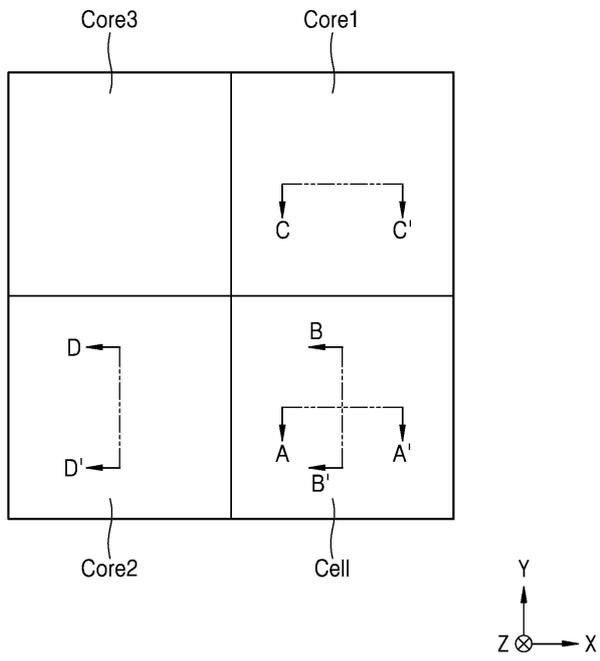
[0096] 101: 기관, 103: 식각 대상막, 103P: 대상 패턴, 103A, 103B, 103C: 제1 내지 제3 패턴, 105: 제1 마스크층, 115P: 제1 마스크 패턴, 107: 제2 마스크층, 107P: 제1 예비 마스크 패턴, 109P: 제1 포토레지스트 패턴, 111: 제1 스페이서 마스크층, 113: 제3 마스크층, 113P: 제2 예비 마스크 패턴, 117: 제4 마스크층, 117P: 제3 예비 마스크 패턴, 119P: 제2 포토레지스트 패턴, 121: 제2 스페이서 마스크층, 123: 제4 마스크층, 123P: 제4 예비 마스크 패턴, 125P: 제3 마스크 패턴, 127: 트림용 마스크, 129: 트림용 포토레지스트 패턴

**도면**

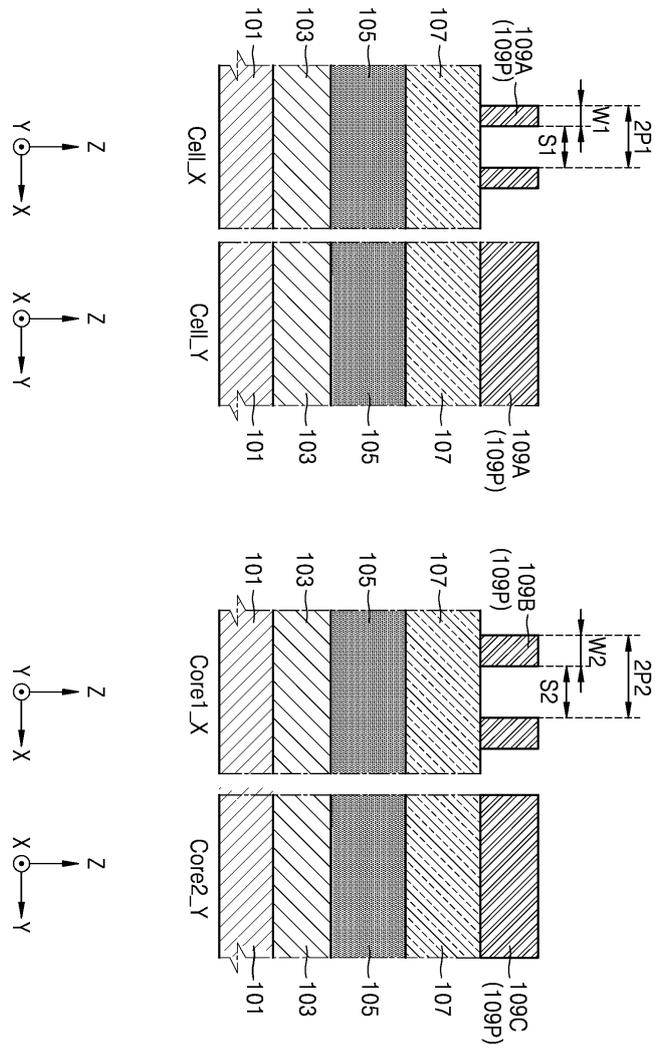
**도면1**



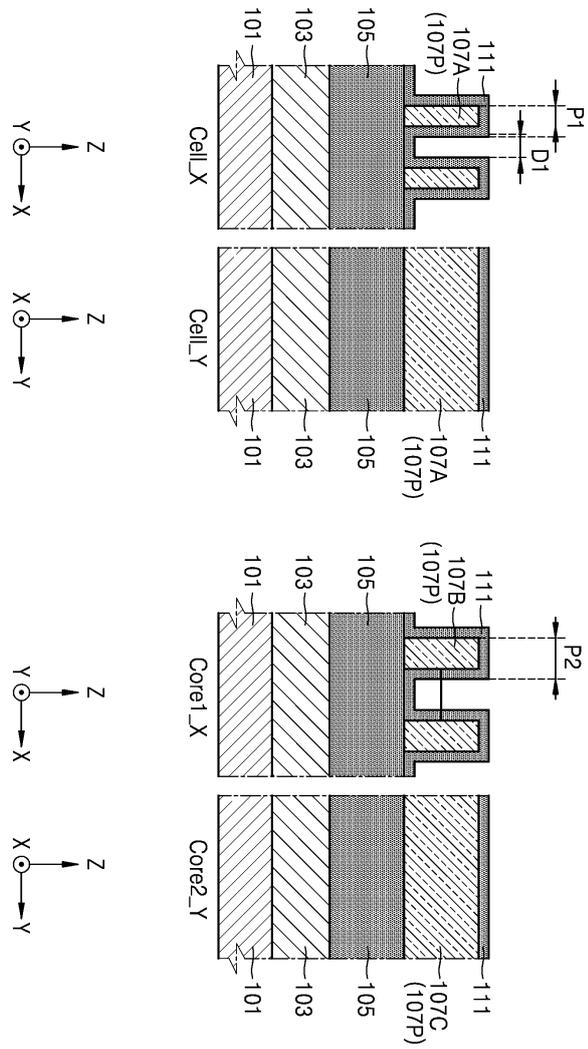
도면2



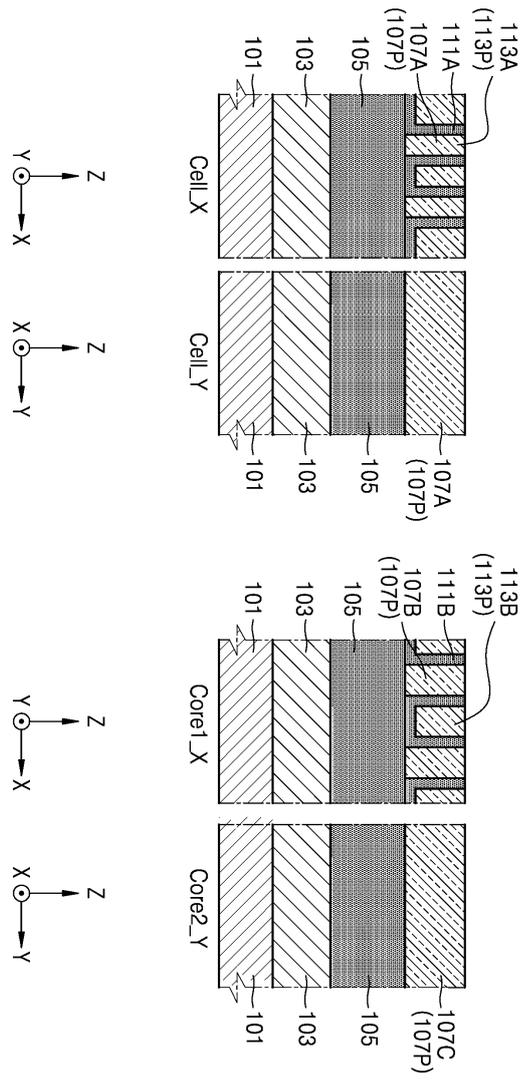
도면3



도면4

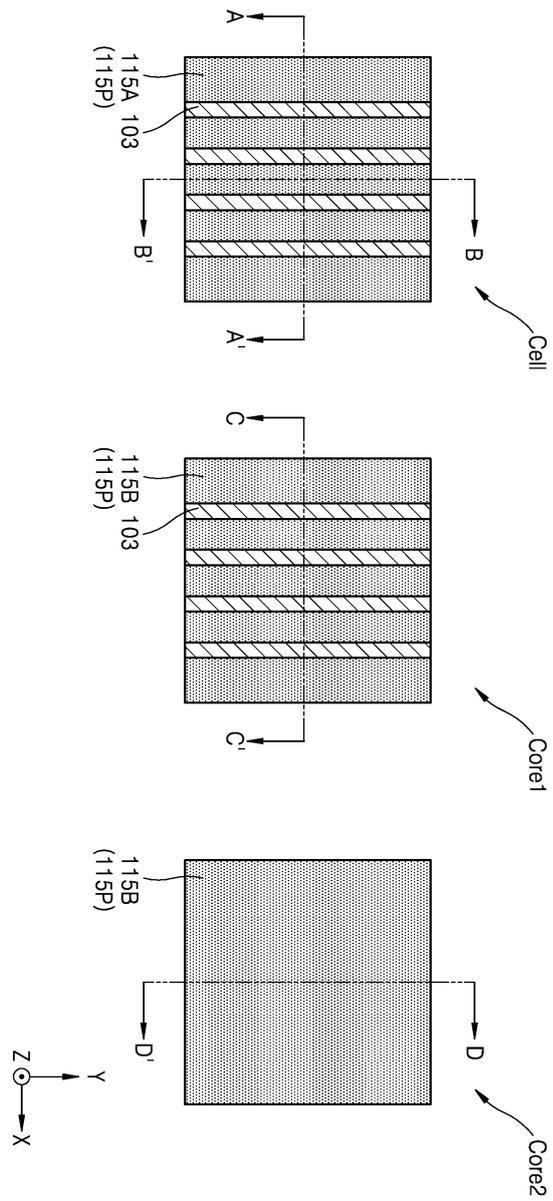


도면5

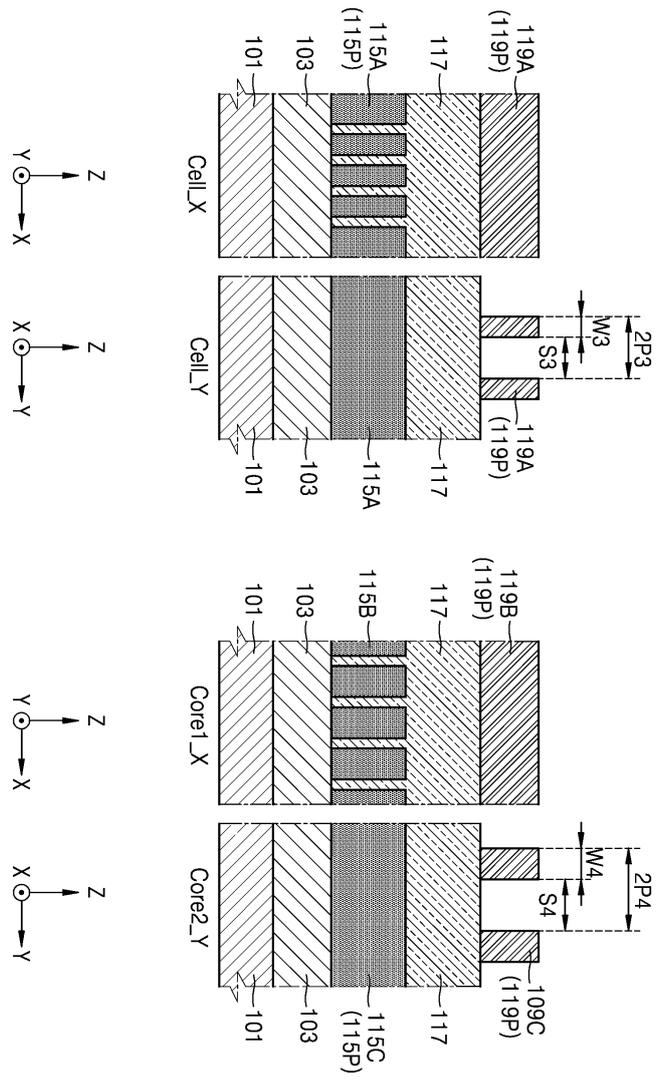




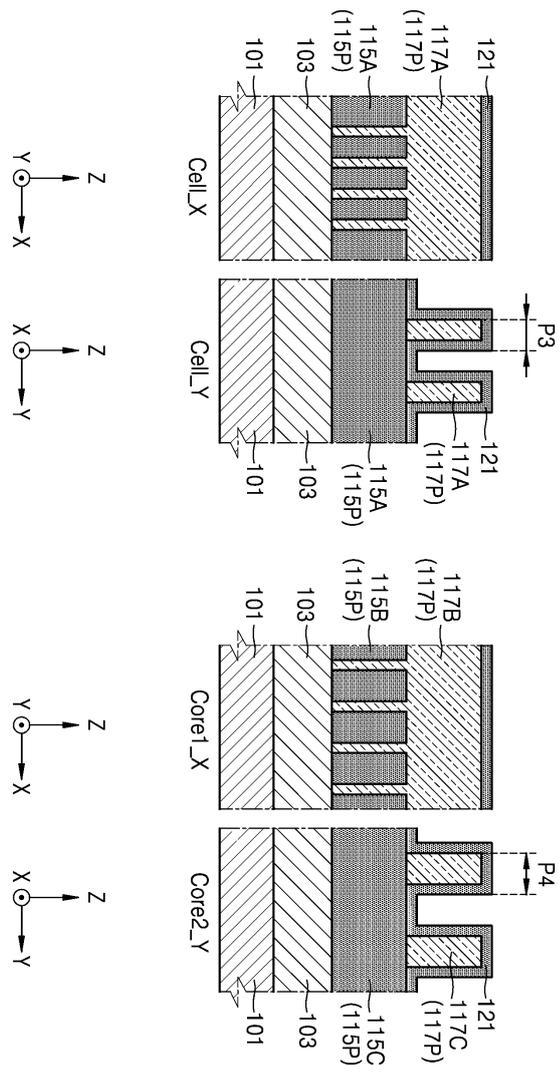
도면6b



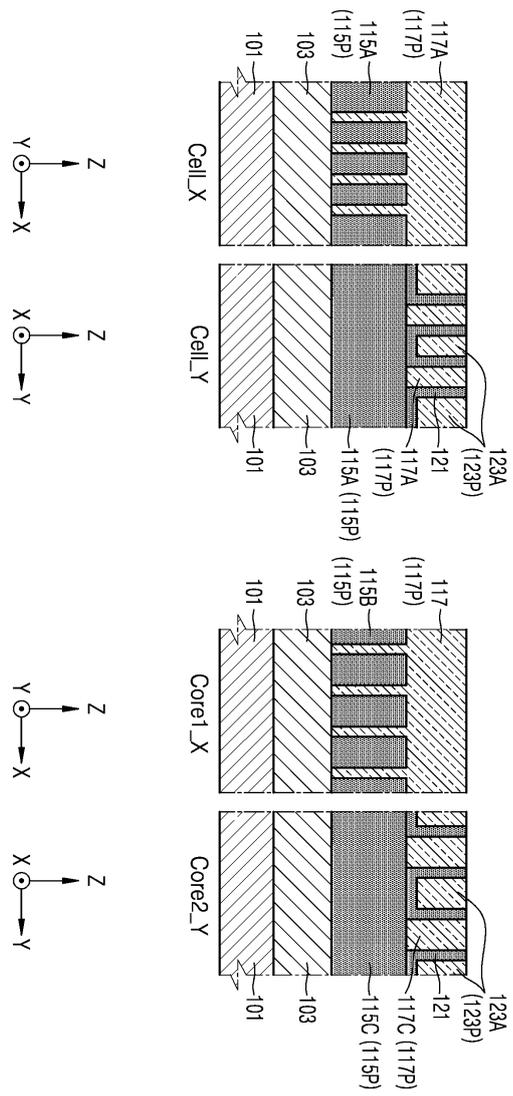
도면7



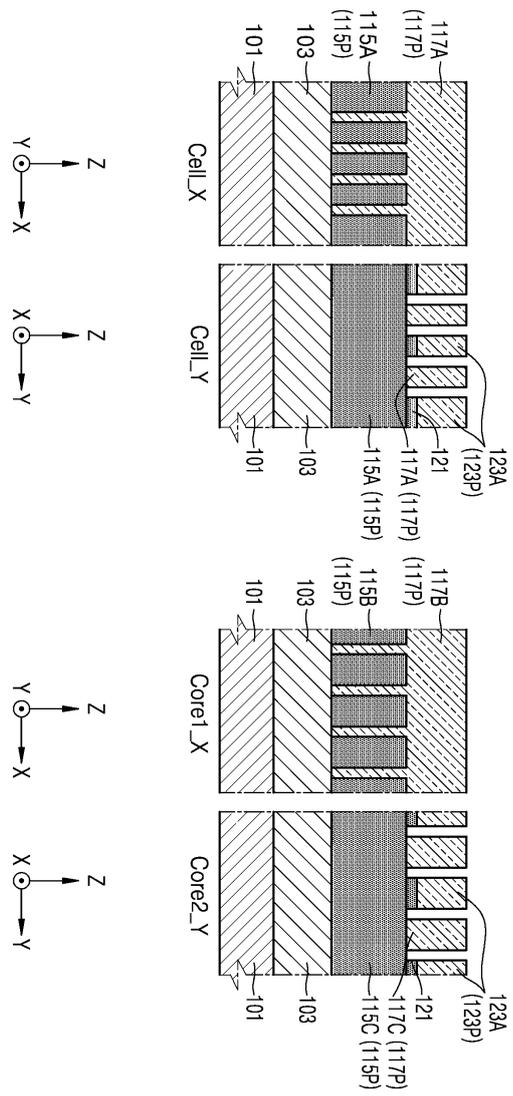
도면8



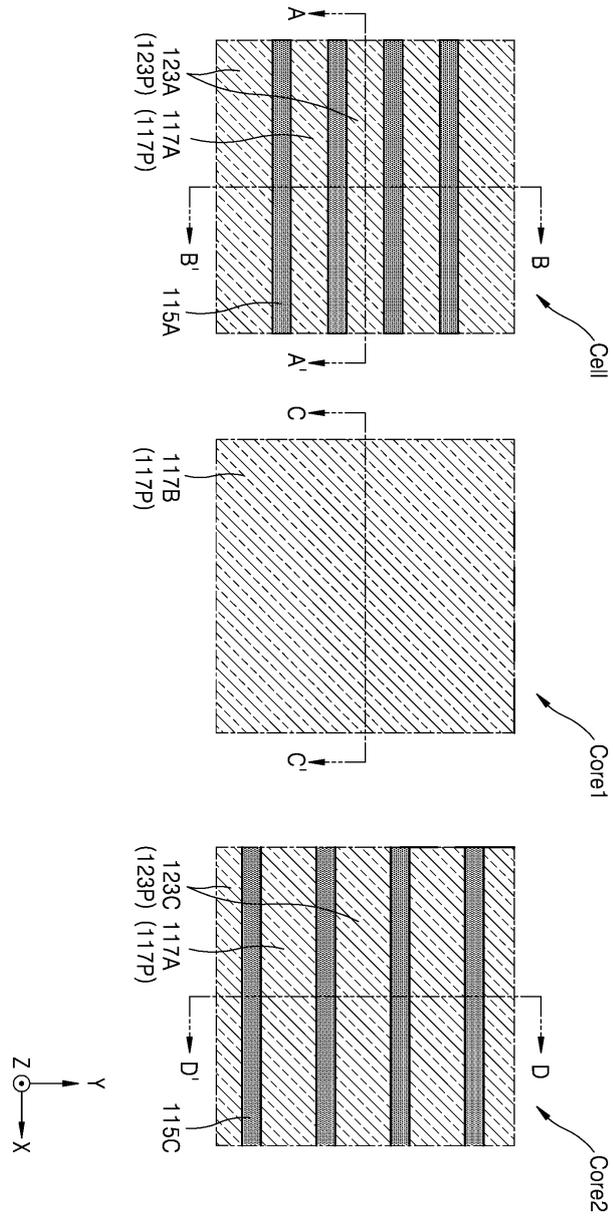
도면9



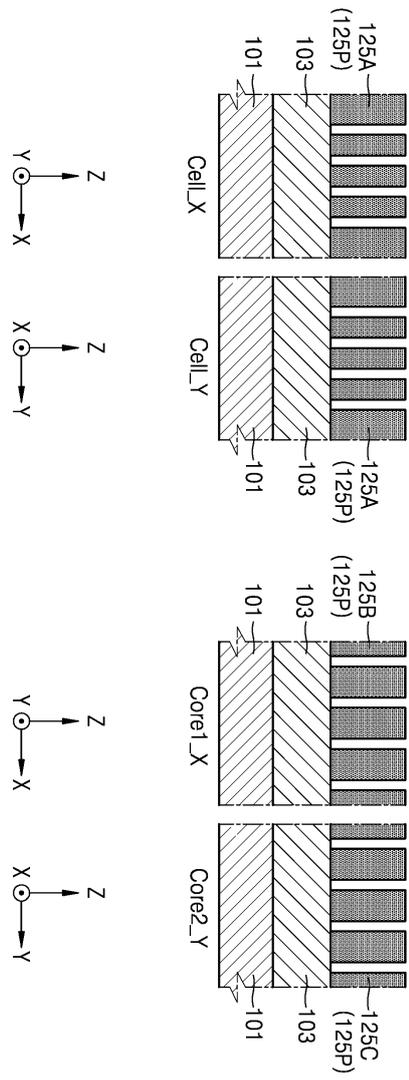
도면10a



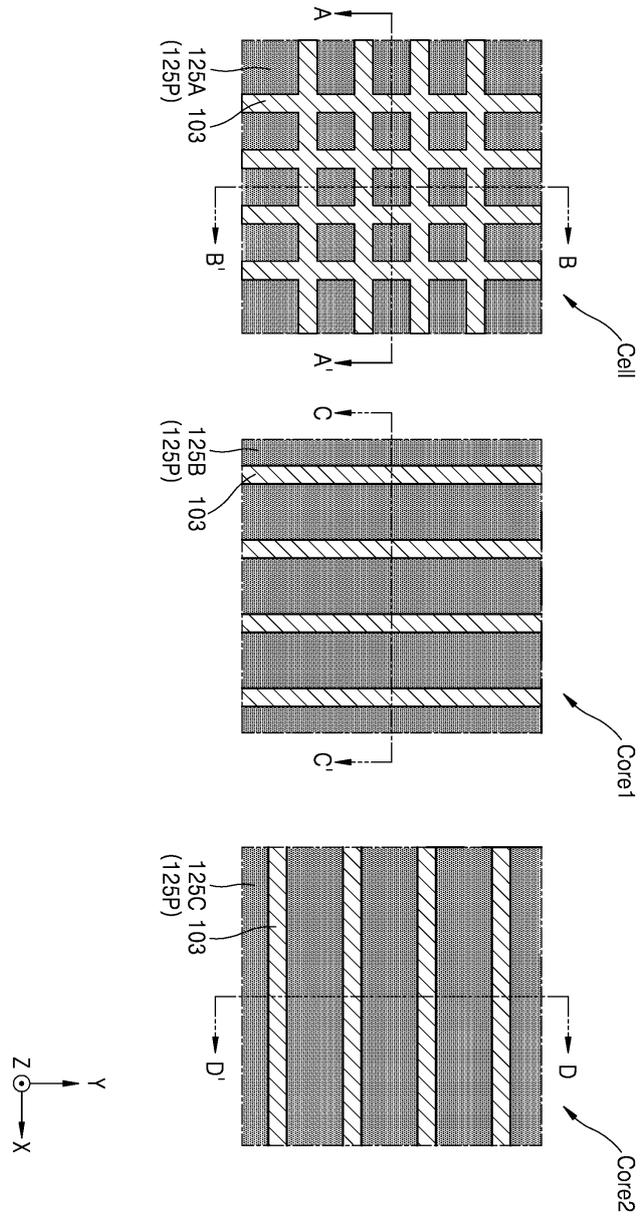
도면10b



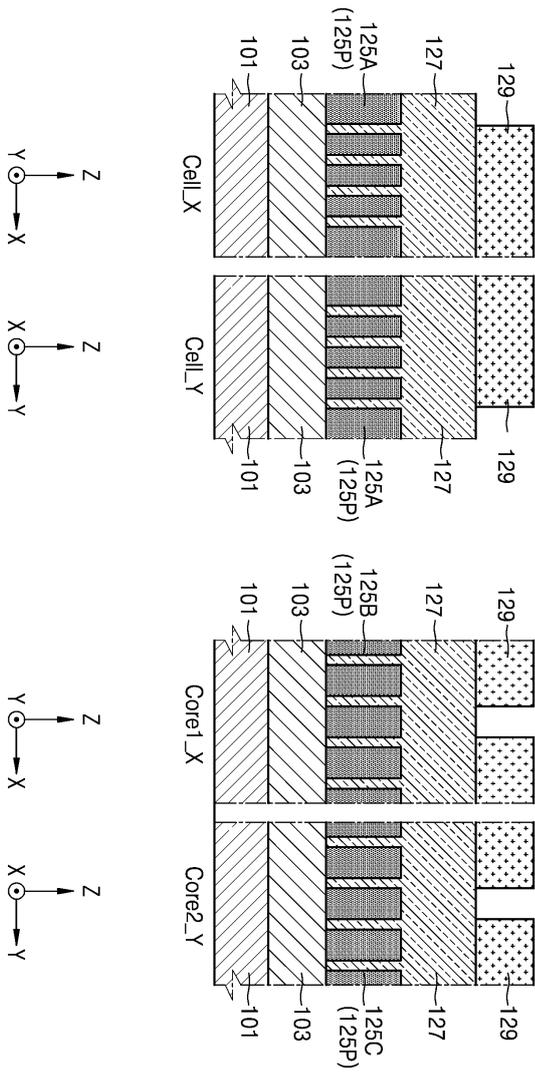
도면11a



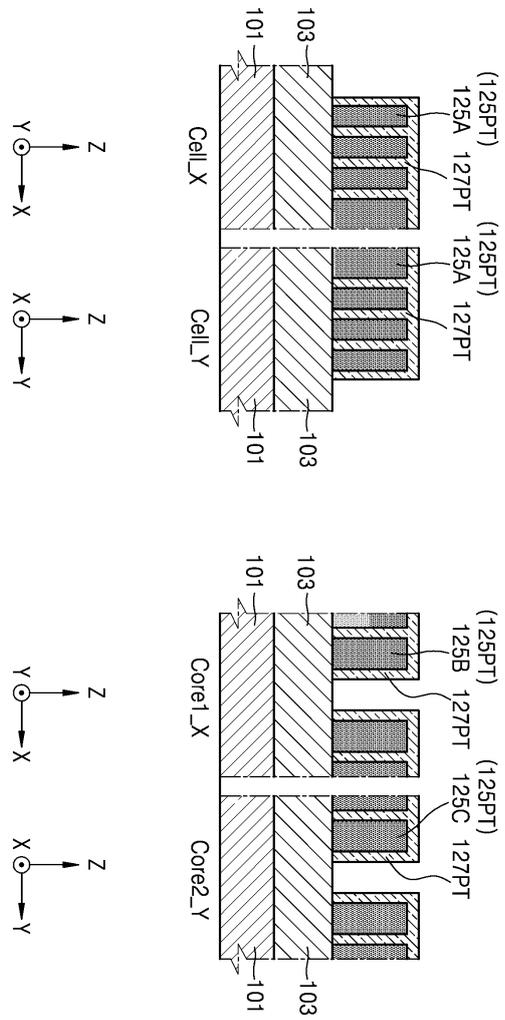
도면11b



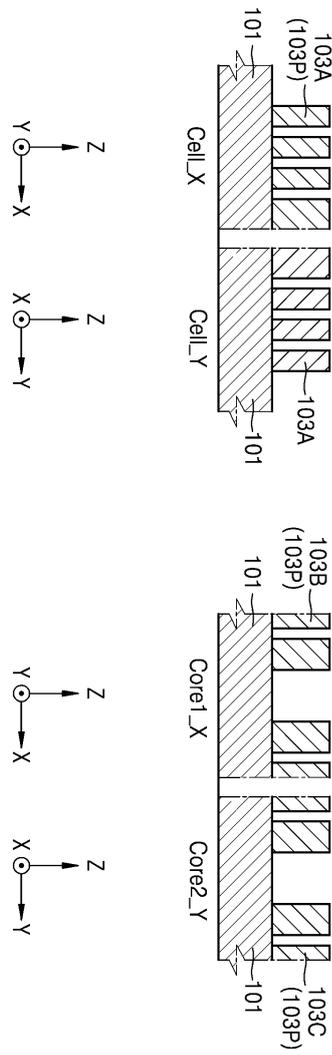
도면12



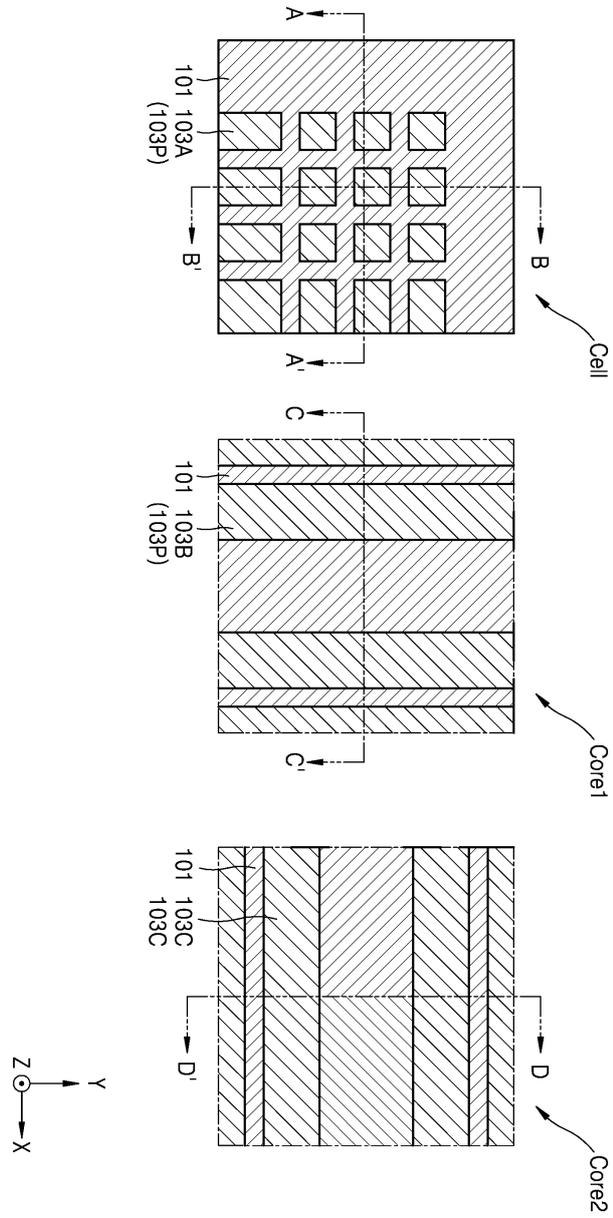
도면13



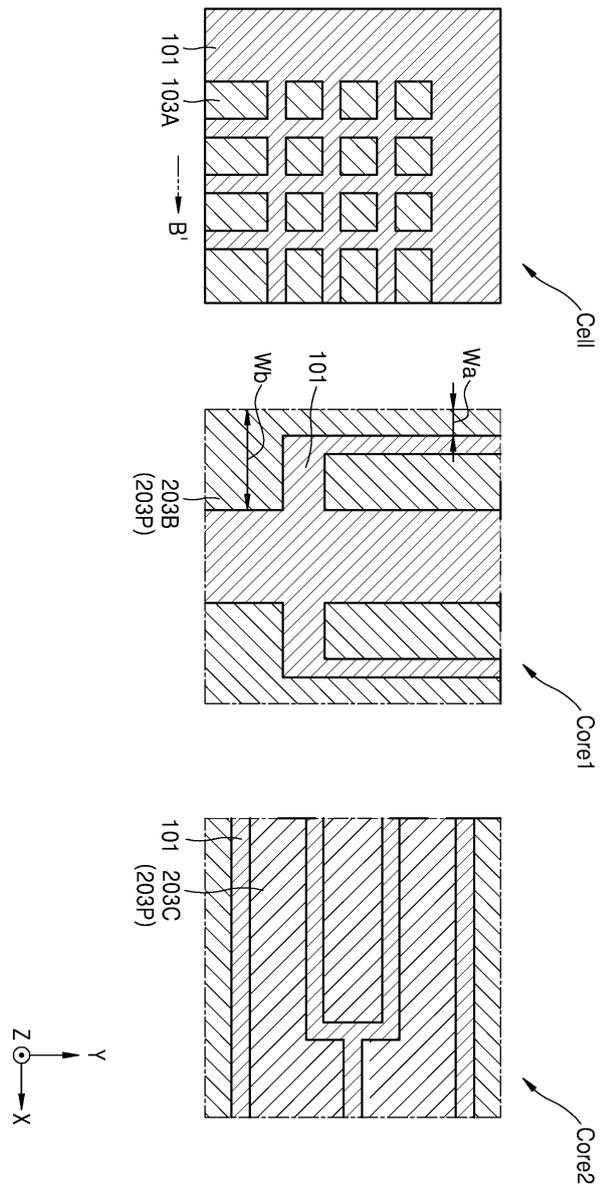
도면14a



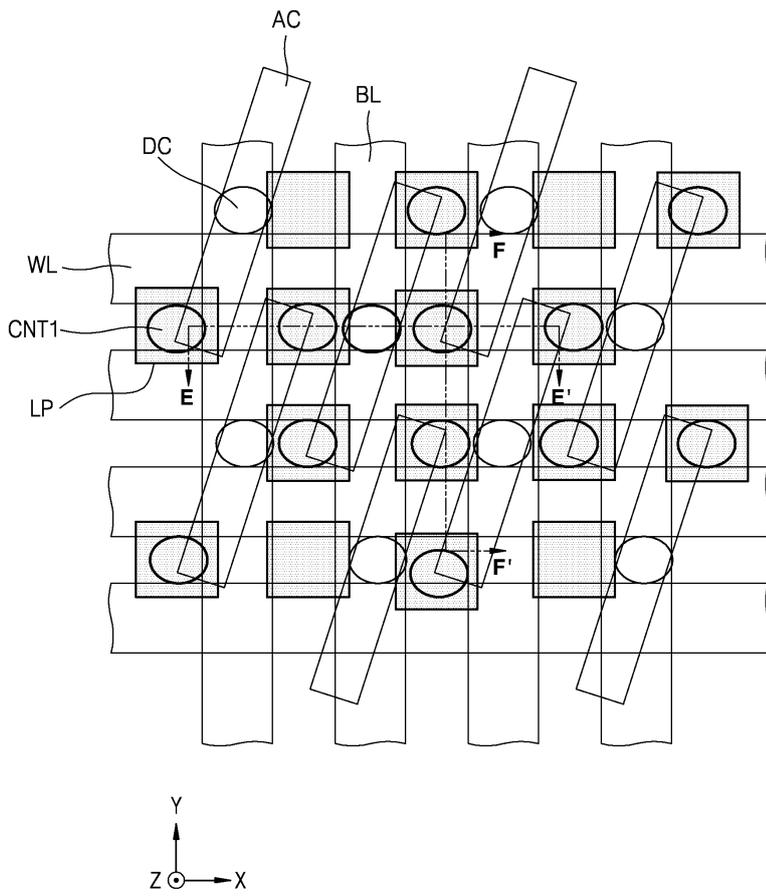
도면14b



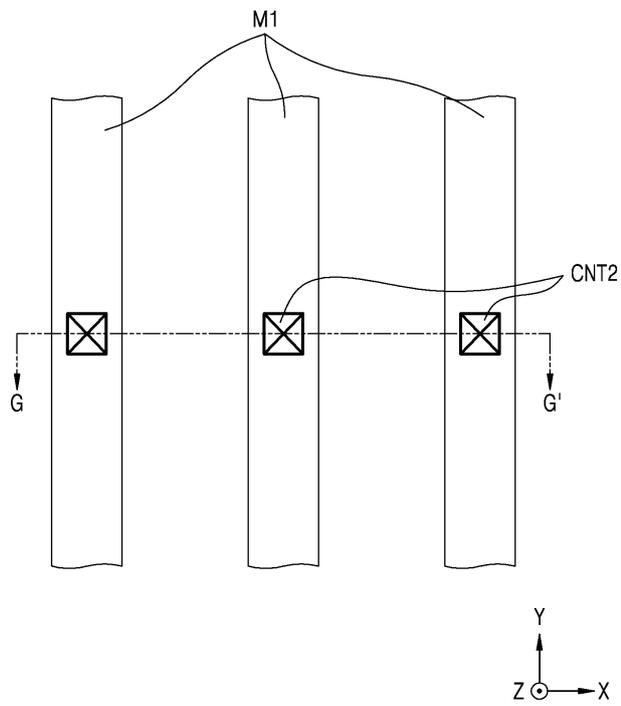
도면14c



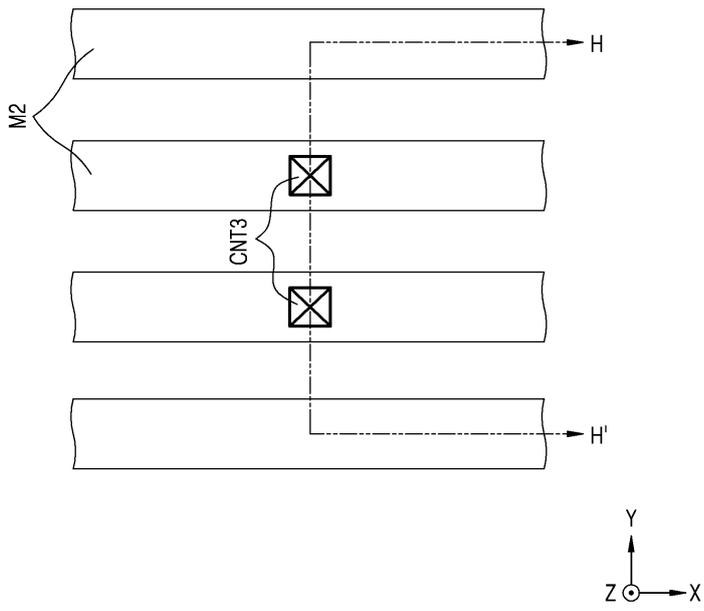
도면15a



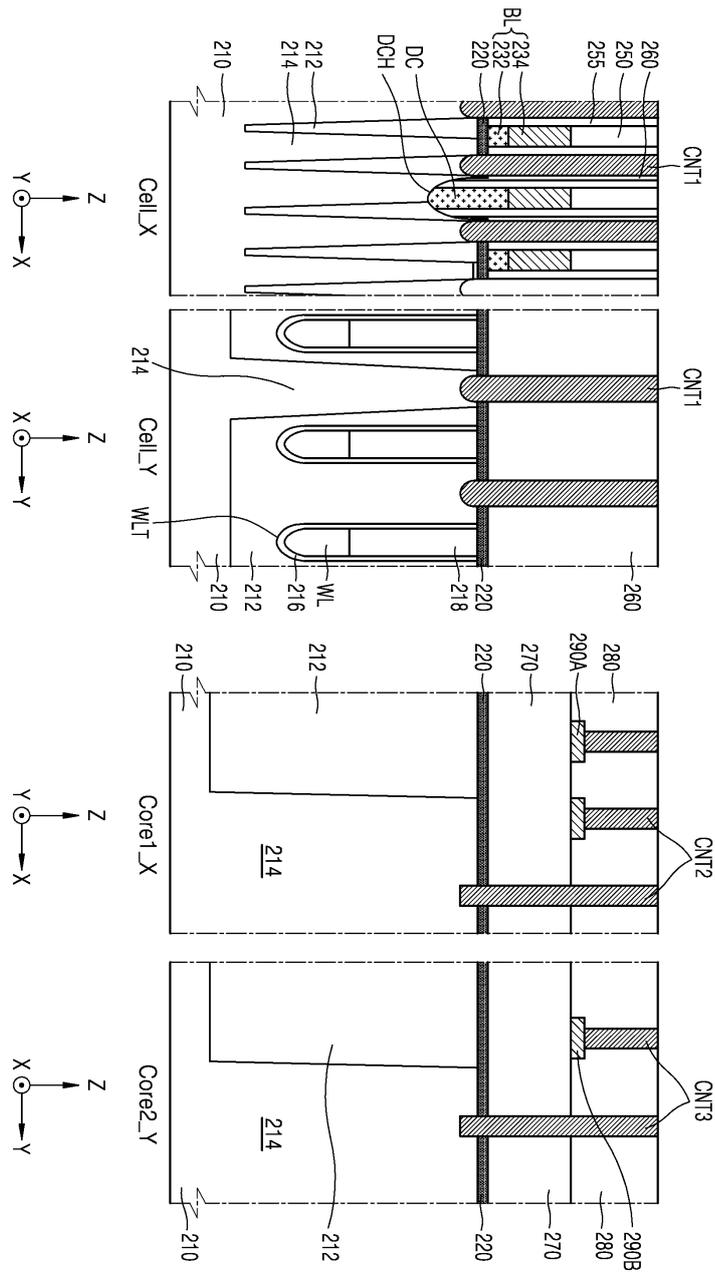
도면15b



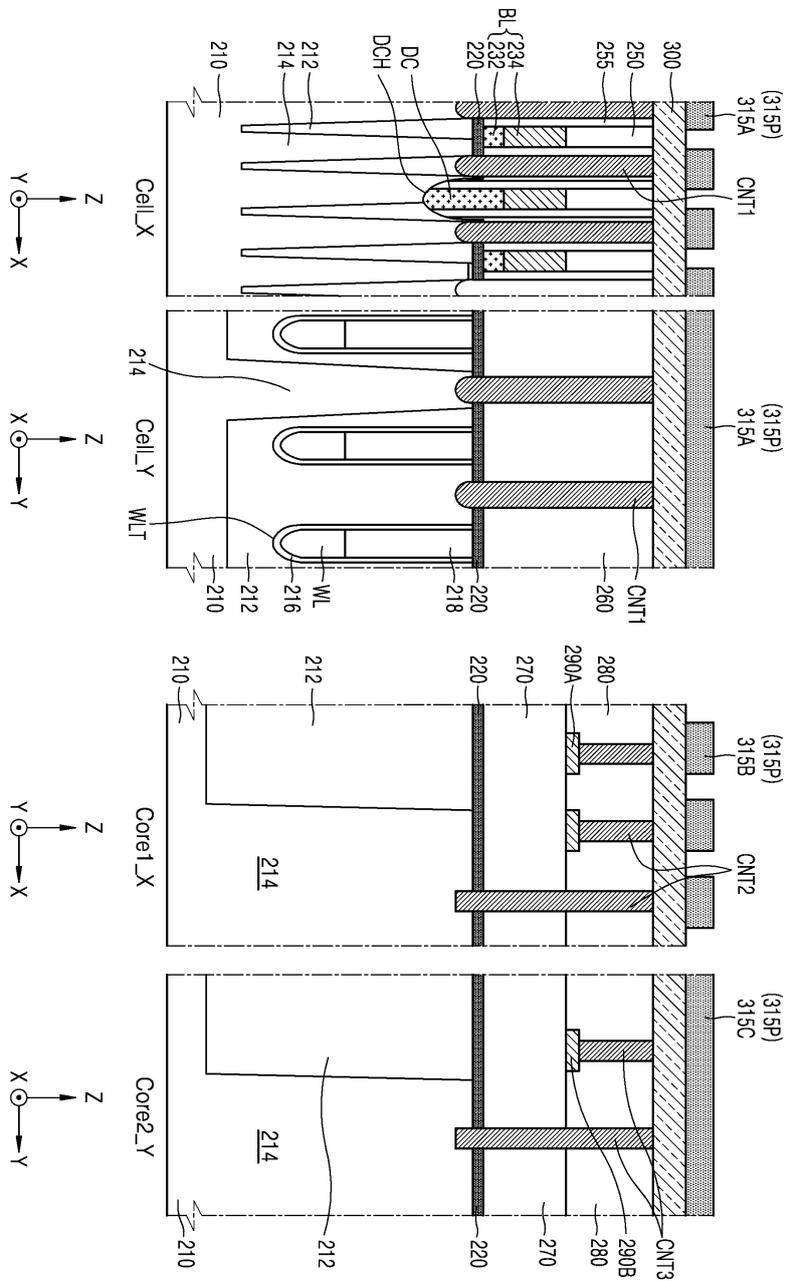
도면15c



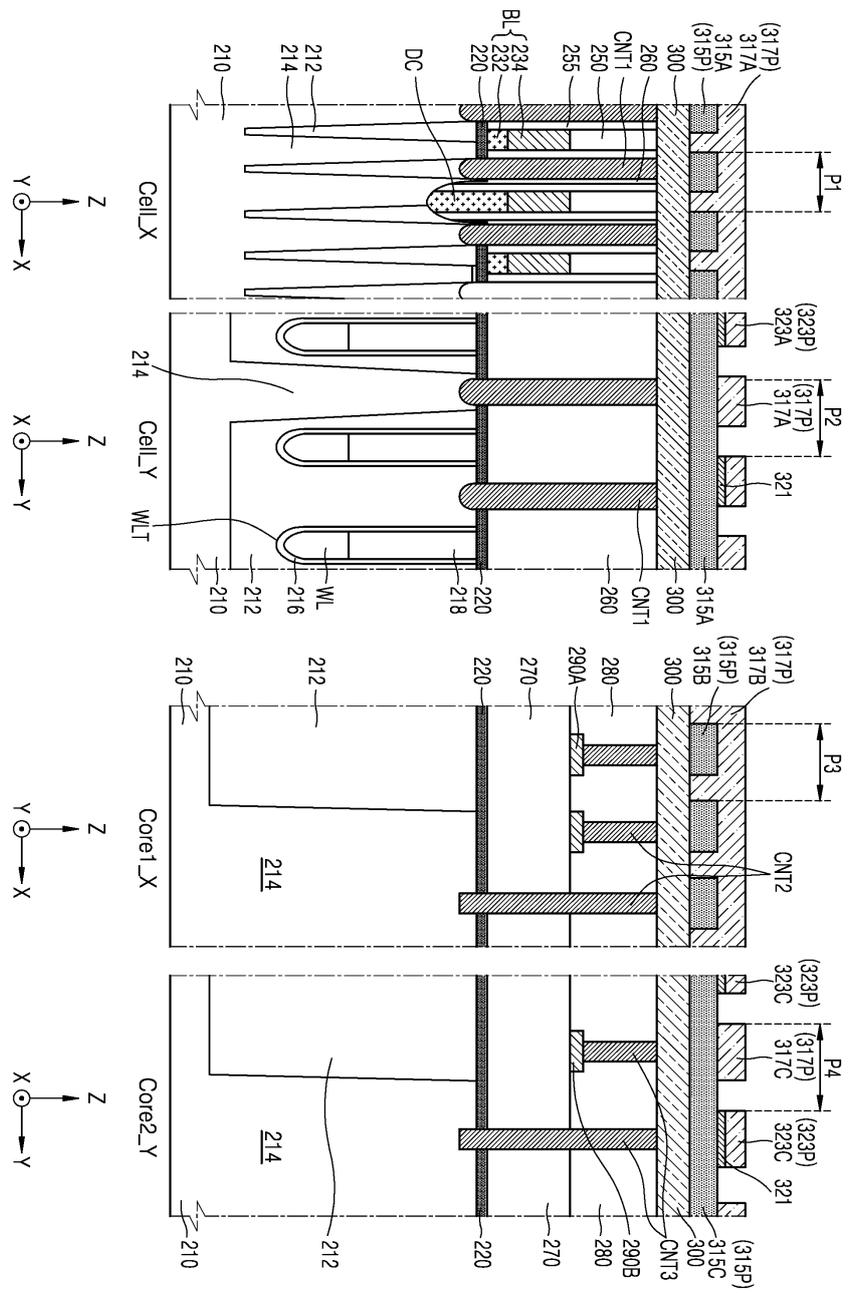
도면16



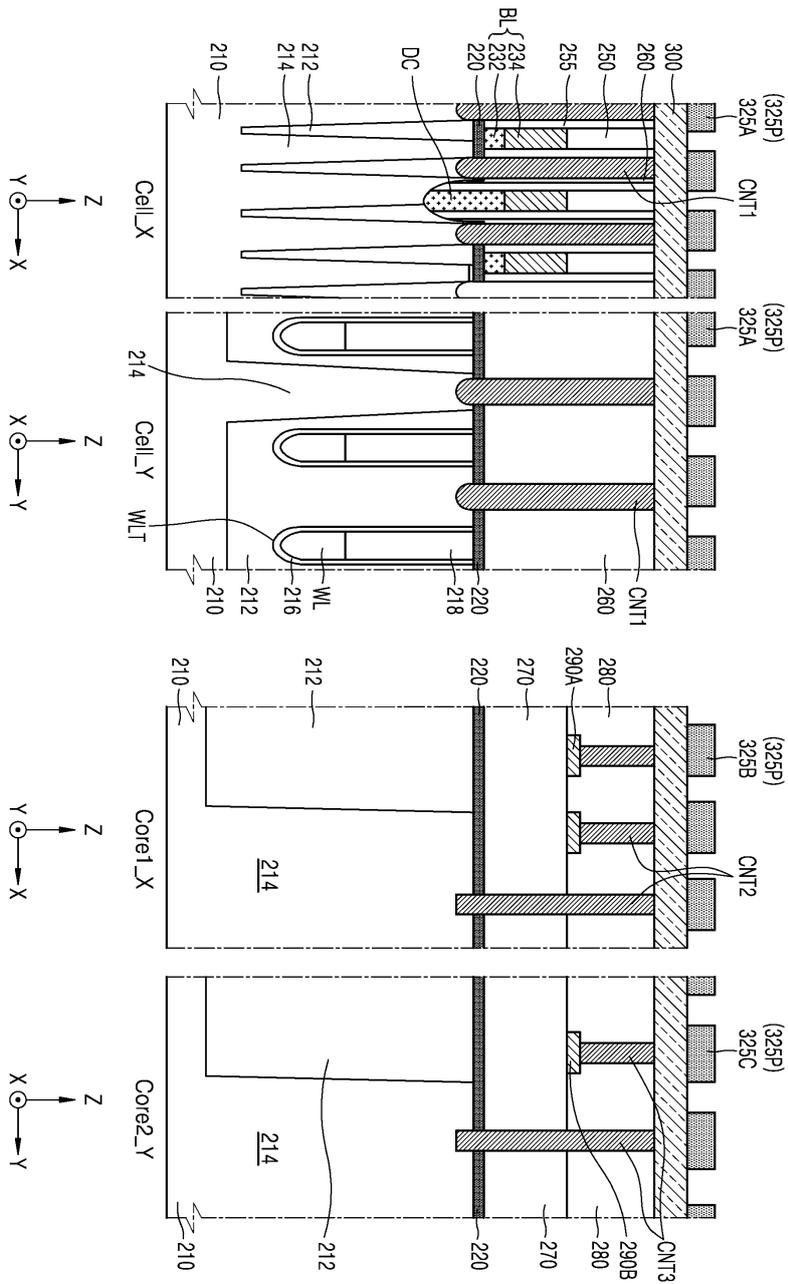
도면17



도면18



도면19



도면20

