



## 청구항 1.

절연 기관 위에 다중층의 도전막을 적층하고 패터닝하여 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극 및 상기 다중층의 도전막의 하부막 중 하나의 막이 드러난 부분을 가지며 상기 게이트선과 연결되어 외부로부터 주사 신호를 인가 받는 게이트 패드를 형성하는 단계,

상기 다중층의 도전막의 상부막을 덮도록 게이트 절연막을 형성하는 단계,

상기 게이트 전극과 마주하는 상기 게이트 절연막 상부에 반도체층을 형성하는 단계,

상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 게이트 패드의 상기 다중층의 도전막의 하부막 중 하나의 막이 드러난 부분 및 상기 드레인 전극을 노출하는 접촉 구멍을 가지는 보호막을 형성하는 단계,

상기 접촉 구멍을 통해 상기 드레인 전극과 연결되는 화소 전극 및 상기 접촉 구멍을 통해 상기 게이트 패드의 상기 다중층의 도전막의 하부막 중 하나의 막이 드러난 부분과 연결되는 보조 게이트 패드를 형성하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 2.

제1항에서,

상기 게이트선, 상기 게이트 전극 및 상기 게이트 패드는 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 3.

제2항에서,

상기 감광막 패턴은 제1 두께를 가지는 제1 부분, 상기 제1 두께보다 두꺼운 제2 부분, 두께를 가지지 않으며 상기 제1 및 제2 부분을 제외한 제3 부분을 포함하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 4.

제3항에서,

상기 사진 식각 공정에서 상기 감광막 패턴은 제1 영역, 상기 제1 영역보다 높은 투과율을 가지는 제2 영역 및 상기 제2 영역보다 높은 투과율을 가지는 제3 영역을 포함하는 광마스크를 이용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 5.

제4항에서,

상기 사진 식각 공정에서 상기 제1 부분은 상기 게이트 패드, 상기 제2 부분은 상기 게이트선 및 상기 게이트 전극 상부에 위치하도록 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 6.

제5항에서,

상기 제1 내지 제3 영역의 투과율을 다르게 조절하기 위해서 상기 광마스크에는 반투명막 또는 노광기의 분해능보다 작은 슬릿 패턴이 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 7.

제3항에서,

상기 제1 부분의 두께는 상기 제2 부분의 두께에 대하여 1/2 이하로 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 8.

제1항에서,

상기 다중의 도전막 중 하나의 막이 드러나도록 제거하는 부분은 상기 게이트 패드인 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 9.

제1항에서,

상기 다중의 도전막은 상부막과 하부막으로 이루어진 이중막인 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 10.

제9항에서,

상기 하부막은 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 티타늄으로, 상기 상부막은 알루미늄 계열의 도전막으로 형성하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 11.

제10항에서,

상기 게이트 패드는 하부막으로만 이루어지는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법.

## 청구항 12.

제11항에서,

상기 게이트 절연막과 상기 보호막은 상기 게이트 패드를 드러내는 제1 접촉 구멍을 가지는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

### 청구항 13.

제12항에서,

상기 보호막과 상기 게이트 절연막은 상기 상부막을 완전히 덮도록 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

### 청구항 14.

제13항에서,

상기 데이터 배선은 외부로부터 데이터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 화소 전극 형성 단계에서 상기 제1 접촉 구멍을 통하여 상기 게이트 패드와 연결되는 보조 게이트 패드와 상기 제2 접촉 구멍을 통하여 상기 데이터 패드와 연결되는 보조 데이터 패드를 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

### 청구항 15.

제1항에서,

상기 화소 전극은 ITO로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

### 청구항 16.

제1항에서,

상기 반도체층과 상기 데이터 배선 사이에 저항성 접촉층을 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

### 청구항 17.

제16항에서,

상기 데이터 배선과 상기 접촉층 및 상기 반도체층을 하나의 마스크를 사용하여 형성하는 박막 트랜지스터 기판의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기판 중 하나에 형성되는 것이 일반적이다.

박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이다. 이때, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

한편, 신호 지연을 방지하기 위하여 배선은 저저항을 가지는 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 물질을 사용하는 것이 일반적이다. 그러나, 액정 표시 장치에서와 같이 패드부에서 ITO(indium tin oxide)를 사용하여 패드부의 신뢰성을 확보하는 경우 알루미늄 또는 알루미늄 합금과 ITO의 접촉 특성이 좋지 않아 다른 금속을 개재하고 알루미늄 또는 알루미늄 합금은 제거해야 한다.

그러나, 알루미늄 또는 알루미늄 합금을 제거할 때 습식 식각을 이용하기 때문에 언더 컷이 발생하여, 패드부에 형성되는 ITO막이 끊어지는 문제점이 발생한다. 이로 인하여 패드부에서 부식이 발생한다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 신호선의 부식 또는 침식을 방지할 수 있는 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법을 제공하는 것이다.

또한, 본 발명의 다른 과제는 패드부의 신뢰성을 확보하고 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 단순화하는 것이다.

### 발명의 구성

이러한 문제점을 해결하기 위하여 부분적으로 다른 두께를 가지는 감광막 패턴을 식각 마스크로 사용하여 패드부에서는 다중의 도전막중 알루미늄 계열의 도전막만을 제거하고 알루미늄 계열의 도전막은 게이트 절연막 또는 보호막으로 완전히 덮도록 형성한다.

본 발명에 따르면, 절연 기판 위에 적어도 둘 이상으로 다중의 도전막을 적층하고 하부막 중 하나의 막이 부분적으로 드러나도록 제거하여 다중의 도전막을 선택적으로 패터닝하여 게이트선, 게이트선과 연결되어 있는 게이트 전극, 게이트선과 연결되어 외부로부터 주사 신호를 인가받는 게이트 패드를 포함하는 게이트 배선을 형성한다. 이어, 게이트 절연막을 형성하고, 게이트 전극과 마주하는 게이트 절연막 상부에 반도체층을 형성하고, 게이트선과 교차하는 데이터선, 데이터선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극 및 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고 드레인 전극과 연결되는 화소 전극을 형성한다.

여기서, 게이트 배선을 형성할 때 다중의 도전막을 선택적으로 패터닝하기 위해서는 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 것이 바람직하며, 이러한 감광막 패턴은 제1 두께를 가지는 제1 부분, 제1 두께보다 두꺼운 제2 부분, 두께를 가지지 않으며 제1 및 제2 부분을 제외한 제3 부분을 포함한다.

사진 식각 공정에서 이러한 감광막 패턴을 형성하기 위해서는 제1 영역, 제1 영역보다 높은 투과율을 가지는 제2 영역 및 제2 영역보다 높은 투과율을 가지는 제3 영역을 포함하는 광마스크를 이용한다.

이때, 제1 부분은 게이트 패드, 제2 부분은 게이트선 및 게이트 전극 상부에 위치하도록 형성하며, 제1 부분의 두께는 제2 부분의 두께대하여 1/2 이하로 형성하는 것이 바람직하다.

여기서, 제1 내지 제3 영역의 투과율을 다르게 조절하기 위해서 반투명막 또는 노광기의 분해능보다 작은 슬릿 패턴을 이용할 수 있다.

다중의 도전막은 ITO와 접촉 특성이 우수한 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 티타늄으로 이루어진 하부막과 저저항을 가지는 상부막은 알루미늄 계열의 도전막으로 이루어진 상부막을 포함하는 이중막으로 형성하는 것이 바람직하다.

이때, 게이트 배선 형성 단계에서 게이트 패드는 하부막으로만 형성하는 것이 바람직하며, 게이트 절연막과 상기 보호막은 게이트 패드를 드러내는 제1 접촉 구멍을 가진다. 여기서, 보호막과 게이트 절연막은 상부막을 완전히 덮도록 형성하는 것이 바람직하다.

데이터 배선은 외부로부터 데이터 신호를 전달받는 데이터 패드를 더 포함하며, 화소 전극과 동일한 층에는 제1 접촉 구멍을 통하여 게이트 패드와 연결되는 보조 게이트 패드와 제2 접촉 구멍을 통하여 데이터 패드와 연결되는 보조 데이터 패드를 형성한다.

여기서, 화소 전극은 ITO로 형성하는 것이 바람직하다.

또한, 반도체층과 데이터 배선 사이에 저항성 접촉층을 더 포함하며, 데이터 배선과 접촉층 및 반도체층을 하나의 마스크를 사용하여 형성할 수 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관이고, 도 2는 도 1에 도시한 박막 트랜지스터 기관을 II-II 선을 따라 잘라 도시한 단면도이다.

절연 기관(10) 위에 크롬, 몰리브덴 또는 몰리브덴 합금 등과 같이 ITO와 접촉 특성이 우수한 금속으로 이루어진 하부막(201)과 저저항을 가지는 알루미늄 또는 알루미늄 계열의 합금으로 만들어진 상부막(202)으로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)의 분지인 박막 트랜지스터의 게이트 전극(26)을 포함한다. 이때, 게이트 패드(24)는 하부막(201)으로만 형성되어 있다.

기관(10) 위에는 질화규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있으며, 게이트 절연막(30)은 이후에 형성되는 보호막(70)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지며, 게이트 배선(22, 26)의 상부막(202)을 완전히 덮고 있다.

게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(54, 56)이 각각 형성되어 있다.

저항 접촉층(54, 56) 및 게이트 절연막(30) 위에는 크롬(Cr)이나 몰리브덴-텅스텐 합금 따위로 이루어진 데이터 배선(62, 64, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항 접촉층(54)의 상부까지 연장되어 있는 소스 전극(64), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(64)과 분리되어 있으며 게이트 전극(24)에 대하여 소스 전극(64)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(68)을 포함한다.

데이터 배선(62, 64, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 보호막(70)이 형성되어 있다. 보호막(90)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(76, 78)이 각각 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)의 하부막(201)만을 드러내는 접촉 구멍(74)이 형성되어 있다.

화소의 보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)이 형성되어 있으며, 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24)의 하부막(201)과 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있다.

여기서, 화소 전극(82)은 도 1 및 도 2에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.

그러면, 이러한 실시예에 따른 구조의 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에 대하여 도 1 내지 도 2와 도 3a 내지 도 8b를 참고로 하여 상세히 설명한다.

도 3a, 6a, 7a 및 8a는 본 발명의 실시예에 따라 제조하는 중간 과정에서의 박막 트랜지스터 기관의 배치도로서 제조 순서에 따라 차례로 나타낸 것이다. 도 3b, 도 4 및 도 5는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고, 도 6b는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고, 도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고, 도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이다.

먼저, 도 3a 내지 3b에 도시한 바와 같이, 기관(10) 위에 크롬, 몰리브덴 또는 몰리브덴 합금 또는 티타늄(Ti) 등과 같이 ITO와 접촉 특성이 우수한 내화성 금속으로 이루어진 도전막으로 이루어진 하부막(201)과 저저항을 가지는 알루미늄 또는 알루미늄 계열의 도전막으로 만들어진 상부막(202)을 약 500Å 및 2,500Å 정도의 두께로 차례로 적층하고 패터닝하여 하부막(201)과 상부막(202)으로 이루어진 게이트선(22) 및 게이트 전극(26)과 하부막(201)만으로 이루어진 게이트 패드(24)를 포함하는 가로 방향의 게이트 배선을 형성한다.

이때, 게이트 배선(22, 24, 26)을 제외한 부분은 이중의 도전막(201, 202)을 모두 제거해야 하며, 게이트 패드(24)부에서는 상부막(202)만을 제거해야 한다. 이를 위해서는 적어도 두께가 다른 3 부분을 가지는 감광막 패턴을 식각 마스크로 이용해야 하며, 이러한 감광막 패턴을 형성하기 위해서는 적어도 투과율이 다른 3 영역을 가지는 광마스크를 이용해야 한다. 이에 대하여 도 4 및 도 5를 참조하여 상세하게 설명하기로 한다.

우선, 도 4에서 보는 바와 같이, 기관(10)의 상부에 하부막(201)과 상부막(202)을 차례로 적층하고, 상부막(202)의 상부에 감광막을 도포하고, 다른 투과율을 가지는 세 영역(A, B, C)을 포함하는 광마스크(100)를 이용하여 감광막을 노광하고 현상하여 다른 두께를 가지는 감광막 패턴(112, 114)을 형성한다. 여기서 사용한 감광막은 양성 및 음성 감광막을 모두 사용할 수 있으며, 1.9μm 이상으로 형성하는 것이 바람직하며, 두꺼운 부분(112)은 얇은 부분(114)의 두배 이상이 되도록 형성하는 것이 바람직하다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

이어, 도 5에서 보는 바와 같이, 감광막 패턴(112, 114)을 마스크로 하부막(201)과 상부막(202)을 차례로 식각한다. 여기서, 하부막(201)과 상부막(202)이 각각 알루미늄 계열의 도전막과 크롬으로 이루어진 경우에는 습식 식각을 이용하는 것이 바람직하다.

이어, 애싱 공정을 실시하여 도 5의 감광막 패턴(114)을 제거하고 남은 감광막 패턴(112)을 식각 마스크로 상부막(202)을 제거하여 도 3b에서 보는 바와 같이 게이트 패드(24)를 하부막(201)으로만 형성하고 잔류하는 감광막을 제거한다. 여기서, 애싱 공정을 마친 후, 감광막 패턴(112)의 두께는 2,000Å 정도로 남기는 것이 바람직하다. 이때, 상부막(202)의 가장자리는 완만한 경사각을 가지는 테이퍼 구조로 형성된다.

이렇게, 부분적으로 다른 두께를 가지는 감광막 패턴을 식각 마스크로 이용하면, 배선을 적어도 둘 이상의 다층막으로 형성하는 경우에 하부막 중에 하나의 막을 선택하여 일부가 드러나도록 배선을 형성할 수 있다.

다음, 도 6a 및 도 6b에 도시한 바와 같이, 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 게이트 전극(26)과 마주하는 게이트 절연막(30) 상부에 섬 모양의 반도체층(40)과 저항 접촉층(50)을 형성한다.

다음, 도 7a 내지 도 7b에 도시한 바와 같이, 몰리브덴 또는 몰리브덴 합금 또는 크롬을 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(24) 상부까지 연장되어 있는 소스 전극(64), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(66)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.

이어, 데이터 배선(62, 64, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(54, 56) 사이의 반도체층 패턴(40)을 노출시킨다.

다음으로, 도 8a 내지 도 8b에 도시한 바와 같이, 유기 절연막으로 이루어진 보호막(70)을 적층한 후 마스크를 이용한 사진 식각 공정으로 게이트 절연막(30)과 함께 건식 식각으로 패터닝하여, 게이트 패드(26), 드레인 전극(66) 및 데이터 패드(68)를 노출시키는 접촉 구멍(74, 76, 78)을 형성한다. 이때, 게이트 배선(22, 26)의 상부막(202)인 알루미늄 계열의 도전막은 게이트 절연막(30)으로 완전히 덮이도록 게이트 패드(24) 상부의 접촉 구멍(74)은 하부막(201)의 상부에만 형성되도록 한다.

다음, 도 1 내지 2에 도시한 바와 같이, ITO막을 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 각각 형성한다.

이러한 본 발명의 실시예에 따른 제조 방법에서는 ITO막을 적층하기 전에 게이트ITO와 알루미늄 계열의 금속이 서로 접촉되는 것을 방지하기 위하여 게이트 배선의 상부막(202)을 제거하는 공정을 생략하여 언더 컷이 발생하지 않아 ITO막이 끊어지지 않는다. 따라서, 게이트 배선으로 습기가 유입되어 배선이 부식되는 것을 방지할 수 있으며, 알루미늄 계열의 금속으로 이루어진 상부막(202)은 보호막(70)과 게이트 절연막(30)으로 완전히 덮이게 되어 배선이 부식되는 것을 방지할 수 있다. 또한, 패드부에서는 크롬과 ITO만이 접촉하게 되므로 패드부의 신뢰성을 확보할 수 있다.

또한, 이러한 본 발명의 실시예에서는 질화 규소 또는 산화 규소로 이루어진 절연막보다 유전율이 낮은 유기 절연막으로 이루어진 보호막(70)을 형성함으로써, 화소 전극(82)과 데이터선(62)과 중첩되도록 형성하더라도 신호의 간섭을 최소화할 수 있어 화소의 개구율을 향상시킬 수 있다.

이러한 방법은 앞에서 설명한 바와 같이, 5매 마스크를 이용하는 제조 방법에서도 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

먼저, 도 9 내지 도 11을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 단위 화소 구조에 대하여 상세히 설명한다.

도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 배치도이고, 도 10 및 도 11은 각각 도 9에 도시한 박막 트랜지스터 기관을 X-X' 선 및 XI-XI' 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기관(10) 위에 제1 실시예와 동일하게 하부막(201)과 상부막(202)으로 이루어진 게이트선(22) 및 게이트 전극(26)과 하부막(201)으로만 이루어진 게이트 패드(24)를 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기관(10) 상부에 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받



는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

게이트 배선(22, 24, 26, 28) 위에는 질화규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

저항성 접촉층 패턴(55, 56, 58) 위에는 Mo 또는 MoW 합금, Cr, Al 또는 Al 합금, Ta 따위의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(64), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 64, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(68)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(68) 또한 형성하지 않는다.

데이터 배선(62, 64, 65, 66, 68)도 게이트 배선(22, 24, 26, 28)과 마찬가지로 단일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다.

접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 64, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(68)과 동일하다.

한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 57)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(68) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 64, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(62, 64, 65, 66, 68) 위에는 보호막(70)이 형성되어 있으며, 보호막(70)은 드레인 전극(66), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉구멍(71, 73, 74)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(72)을 가지고 있다. 보호막(70)은 질화규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있다.

보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 ITO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(71)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(74)을 통하여 유지 축전기용 도전체 패턴(68)과도 연결되어 도전체 패턴(68)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(64) 위에는 접촉 구멍(72, 73)을 통하여 각각 이들과 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(86)가 형성되어 있으며, 이들은 패드(24, 64)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

여기에서는 화소 전극(82)의 재료의 예로 투명한 ITO를 들었으나, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.

그러면, 도 9 내지 도 11의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 9 내지 도 11과 도 12a 내지 도 18c를 참조하여 설명하기로 한다.

먼저, 도 12a 내지 12c에 도시한 바와 같이, 제1 실시예와 동일하게 제1 마스크를 이용한 사진 식각 공정으로 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선을 형성한다.

여기서, 게이트 배선은 이중막으로 형성하였지만, 이중막을 포함하는 다중의 도전막으로 형성할 수도 있으며, 제1 실시예와 동일하게 알루미늄 계열의 금속을 포함하는 경우에 부분적으로 다른 두께를 가지는 감광막 패턴을 이용하여 게이트 패드(24)에는 알루미늄 계열의 금속을 제거하도록 한다.

다음, 도 13a 및 13b에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 금속 따위의 도전체층(60)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다.

그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 14b 및 14c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 15a 및 15b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(60)이 Cr인 습식 식각의 경우에는 식각액으로  $CeNH_3O_3$ 을 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는  $CF_4$ 와 HCl의 혼합 기체나  $CF_4$ 와  $O_2$ 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 15a 및 도 15b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 68)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

이어, 도 16a 및 16b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람

직하다. 예를 들어, SF<sub>6</sub>과 HCl의 혼합 기체나, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 16a 및 16b에 나타난 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(68) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

다음, 도 17a 및 17b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남은 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF<sub>4</sub>와 HCl의 혼합 기체나 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 기체를 들 수 있으며, CF<sub>4</sub>와 O<sub>2</sub>를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이 때, 도 10b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 18a 내지 18c에 도시한 바와 같이 질화규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스펀 코팅하여 3,000 Å 이상의 두께를 가지는 보호막(70)을 형성한다. 이어 제3 마스크를 이용하여 보호막(70)을 게이트 절연막(30)과 함께 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 각각 드러내는 접촉 구멍(71, 72, 73, 74)을 형성한다.

마지막으로, 도 10 내지 도 11에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 ITO층을 증착하고 제4 마스크를 사용하여 식각하여 화소 전극(82), 보조 게이트 패드(84) 및 보조 데이터 패드(86)를 형성한다.

이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.

이러한 본 발명의 실시예에서는 알루미늄 계열의 금속과 ITO막과의 접착을 피하기 위하여 부분적으로 두께를 달리하는 감광막 패턴을 이용하였지만, 이러한 방법은 다중의 도전막으로 배선을 형성하는 경우에 선택적으로 임의의 하부막을 드러내고자 하는 반도체 장치의 제조 방법에서도 사용될 수 있다.

**발명의 효과**

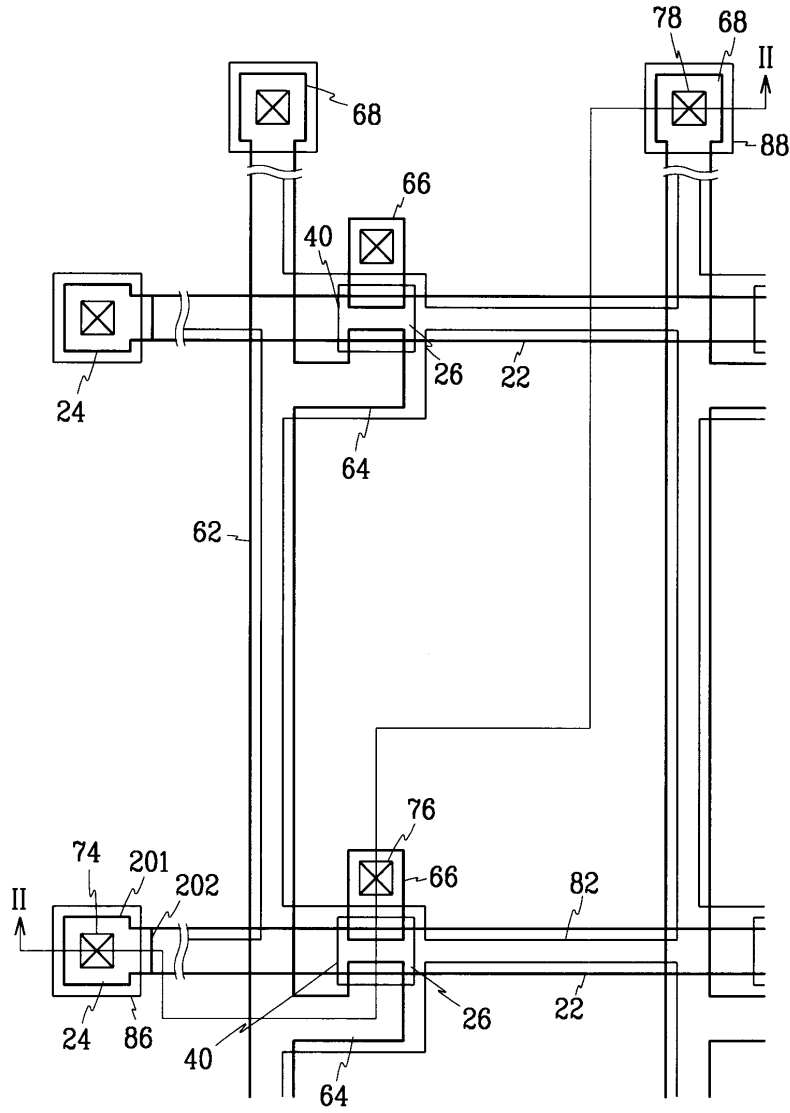
이와 같이, 본 발명에 따르면 게이트 패드를 ITO와 접촉 특성이 좋은 도전 물질로 형성하여 패드부의 신뢰성을 확보함과 동시에 저저항의 알루미늄 또는 알루미늄 합금을 배선을 게이트 절연막 또는 보호막으로 완전히 덮이도록 형성함으로써 배선의 부식이나 침식을 방지할 수 있다. 또한, 제조 공정을 단순화하여 액정 표시 장치용 박막 트랜지스터 기판을 제조함으로써 제조 비용을 줄일 수 있으며, 화소의 개구율을 향상시킬 수 있다.

**도면의 간단한 설명**

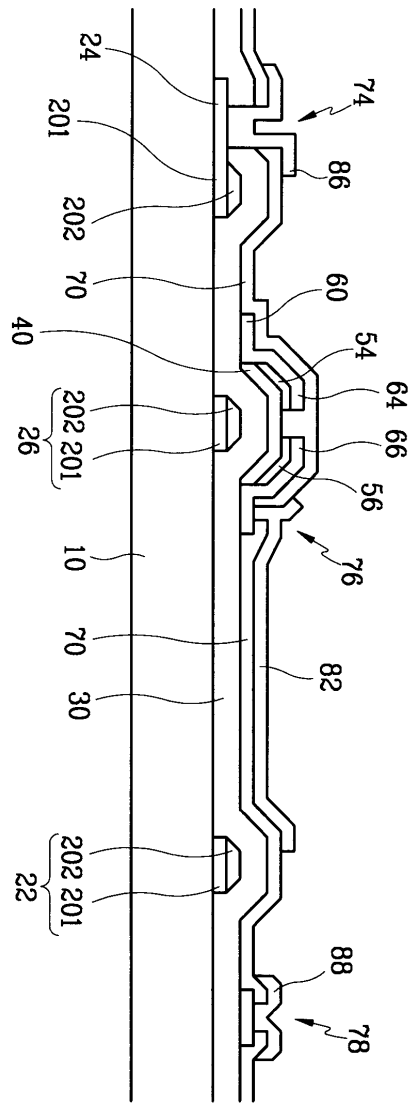
- 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,
- 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II 선을 따라 잘라 도시한 단면도이고,
- 도 3a, 6a, 7a 및 8a는 본 발명의 실시예에 따라 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고,
- 도 3b, 도 4 및 도 5는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,
- 도 6b는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,
- 도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고,
- 도 8b는 도 8a에서 VIIIb-VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고,
- 도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,
- 도 10 및 도 11은 도 9에 도시한 박막 트랜지스터 기판을 X-X' 선 및 XI-XI' 선을 따라 잘라 도시한 단면도이고,
- 도 12a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 12b 및 12c는 각각 도 12a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도이며,
- 도 13a 및 13b는 각각 도 12a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도로서, 도 12b 및 도 12c 다음 단계에서의 단면도이고,
- 도 14a는 도 13a 및 13b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 14b 및 14c는 각각 도 14a에서 XIVb-XIVb' 선 및 XIVVIc-XIVc' 선을 따라 잘라 도시한 단면도이며,
- 도 15a, 16a, 17a와 도 15b, 16b, 17b는 각각 도 14a에서 XIVb-XIVb' 선 및 XIVc-XIVc' 선을 따라 잘라 도시한 단면도로서 도 14b 및 14c 다음 단계들을 공정 순서에 따라 도시한 것이고,
- 도 18a는 도 17a 및 17b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,
- 도 18b 및 18c는 각각 도 18a에서 XVIIIb-XVIIIb' 선 및 XVIIIc-XVIIIc' 선을 따라 잘라 도시한 단면도이다.

**도면**

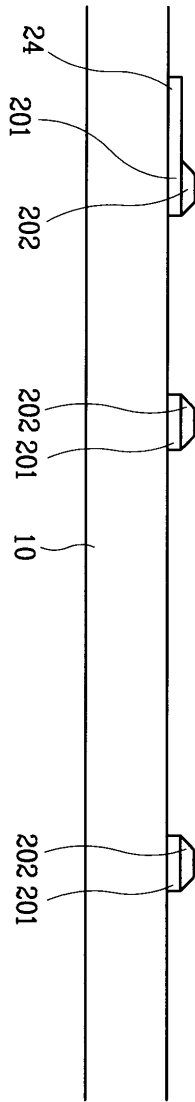
도면1



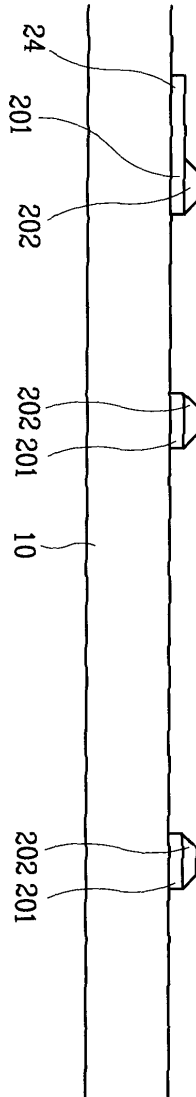
도면2



도면3a

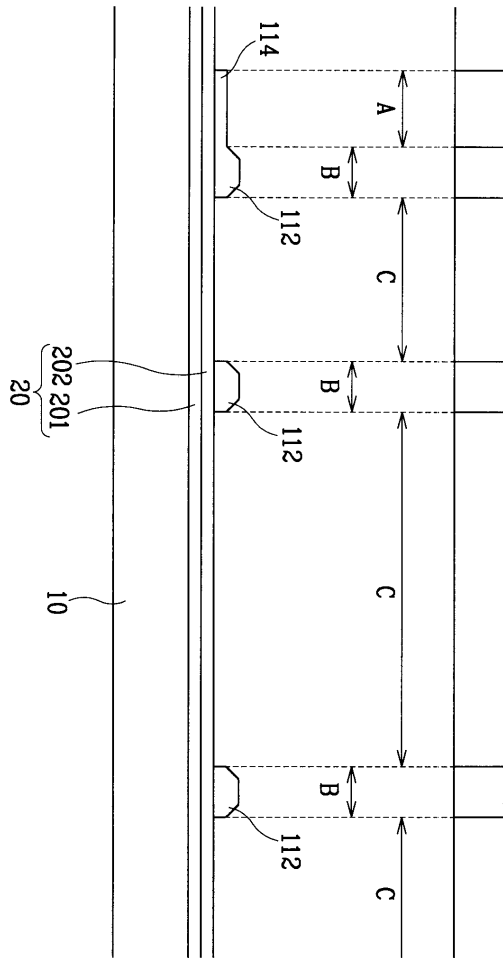


도면3b

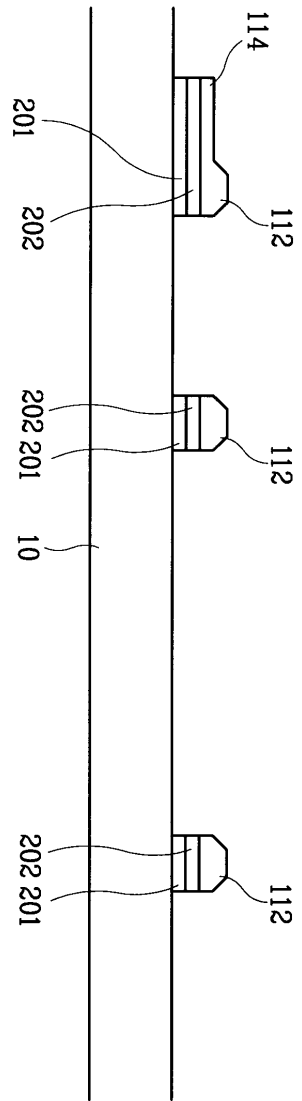




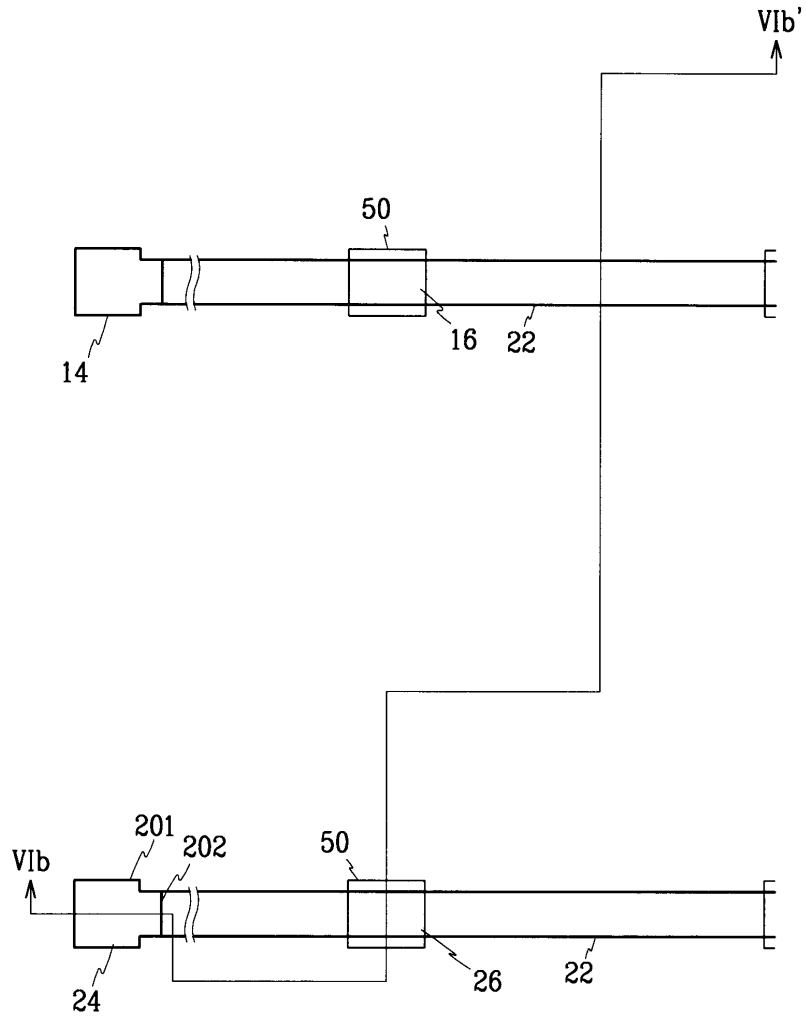
도면4



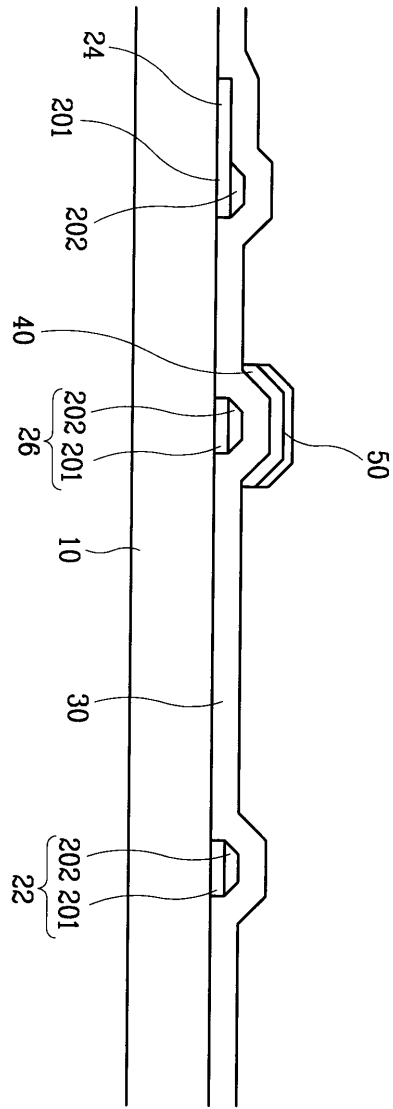
도면5



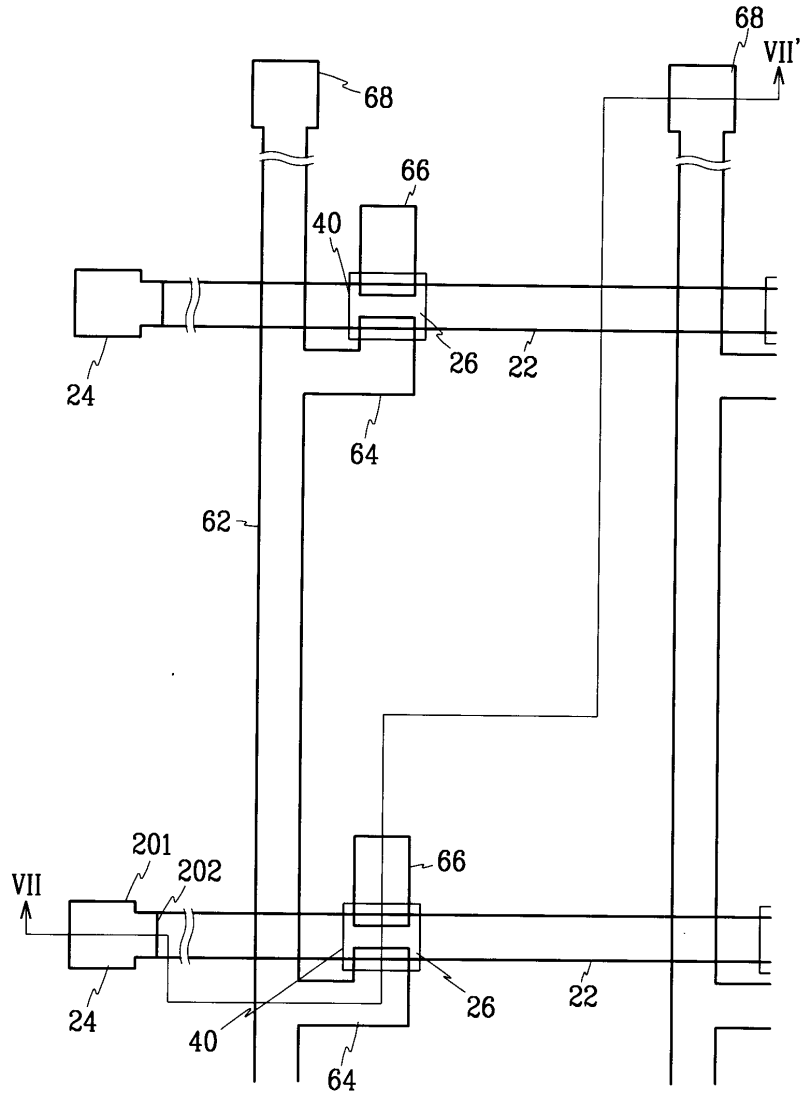
도면6a



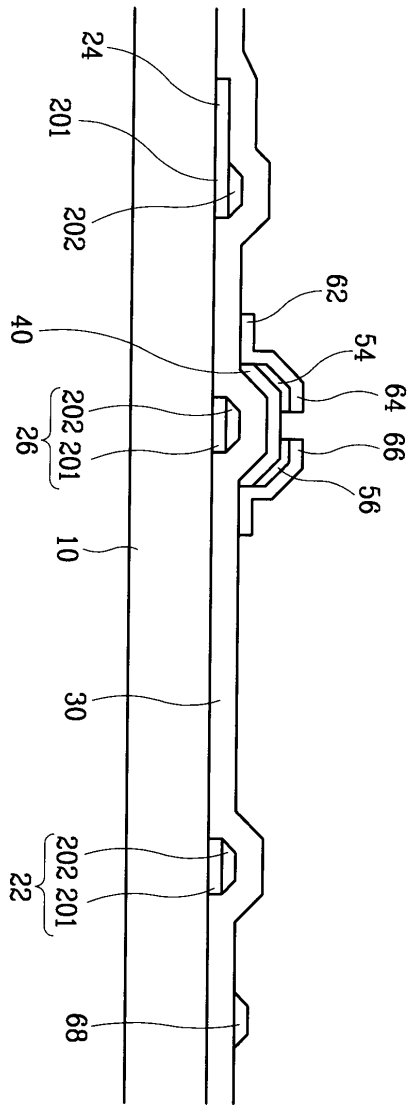
도면6b



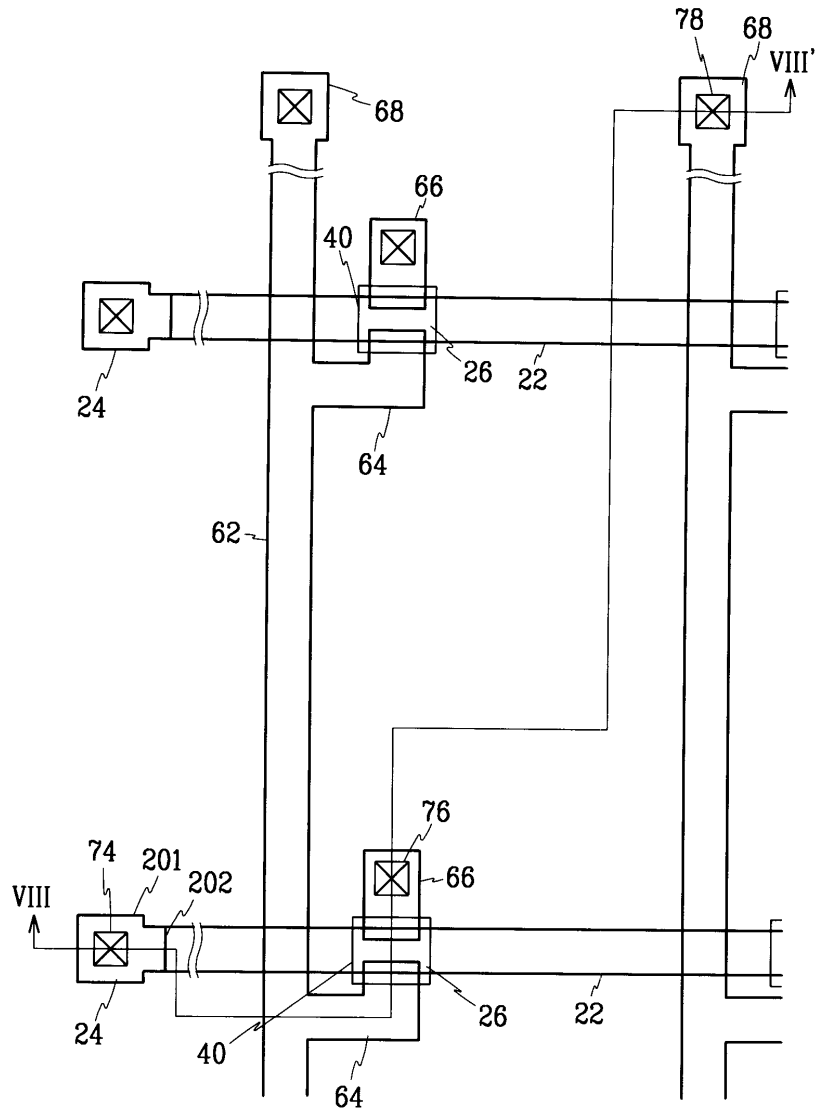
도면7a



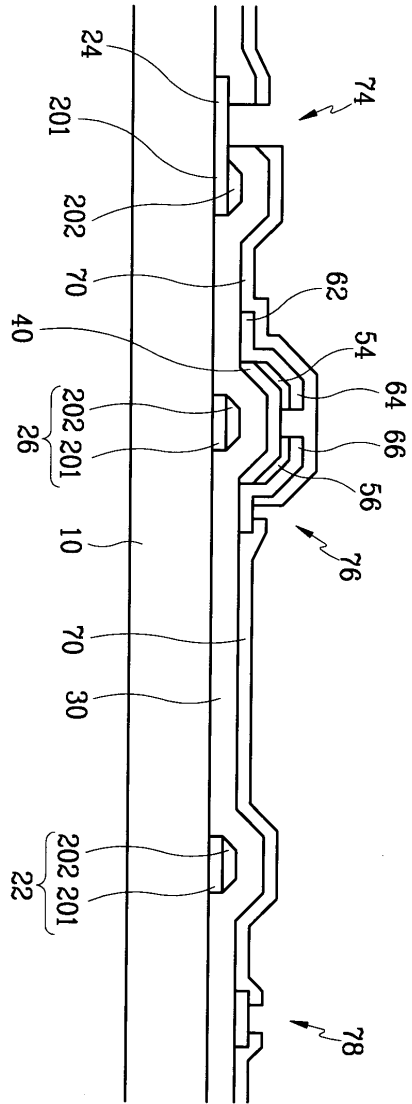
도면7b



도면8a

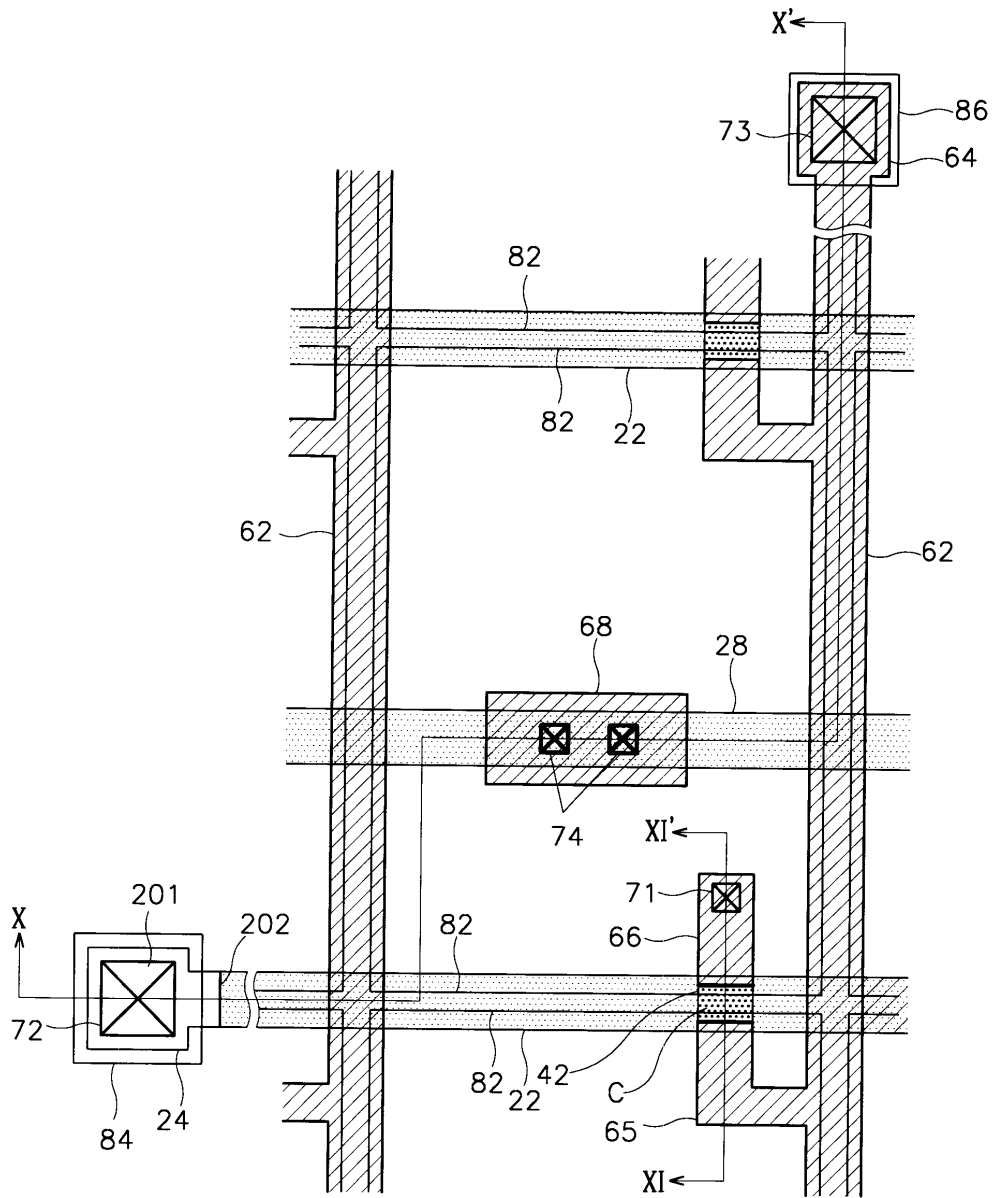


도면8b

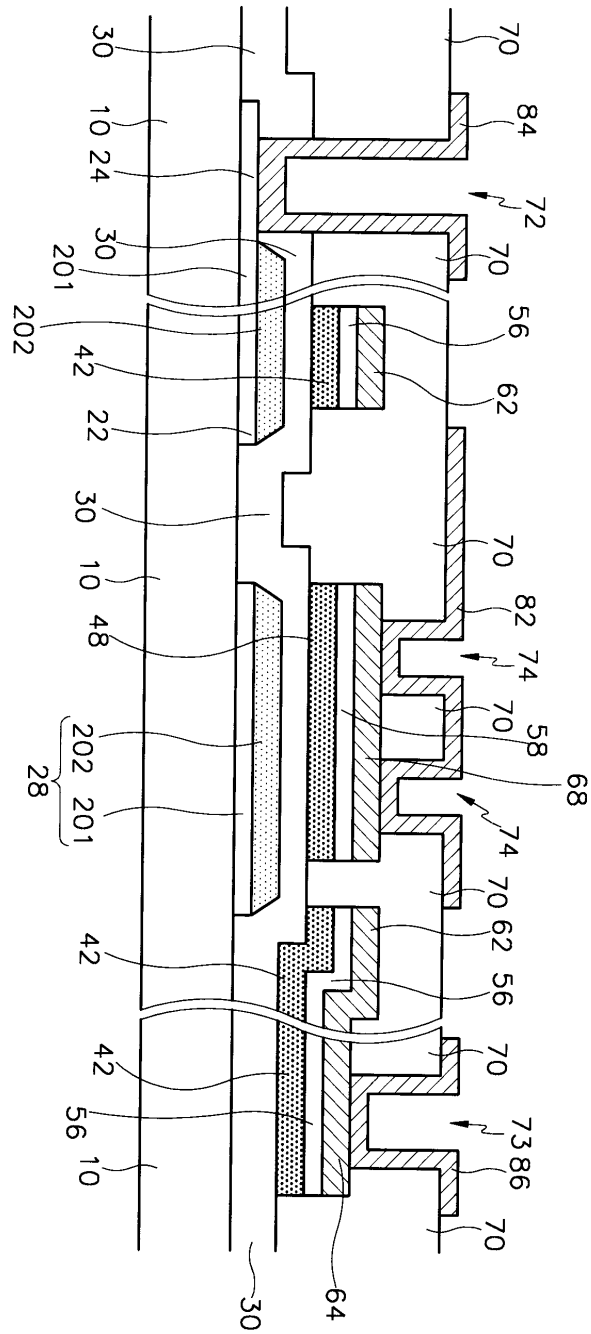




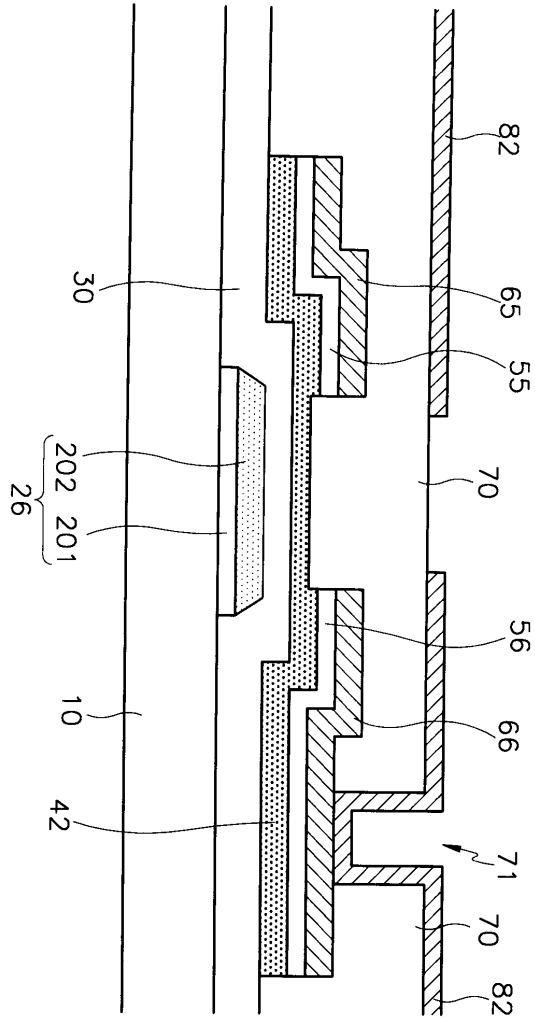
도면9



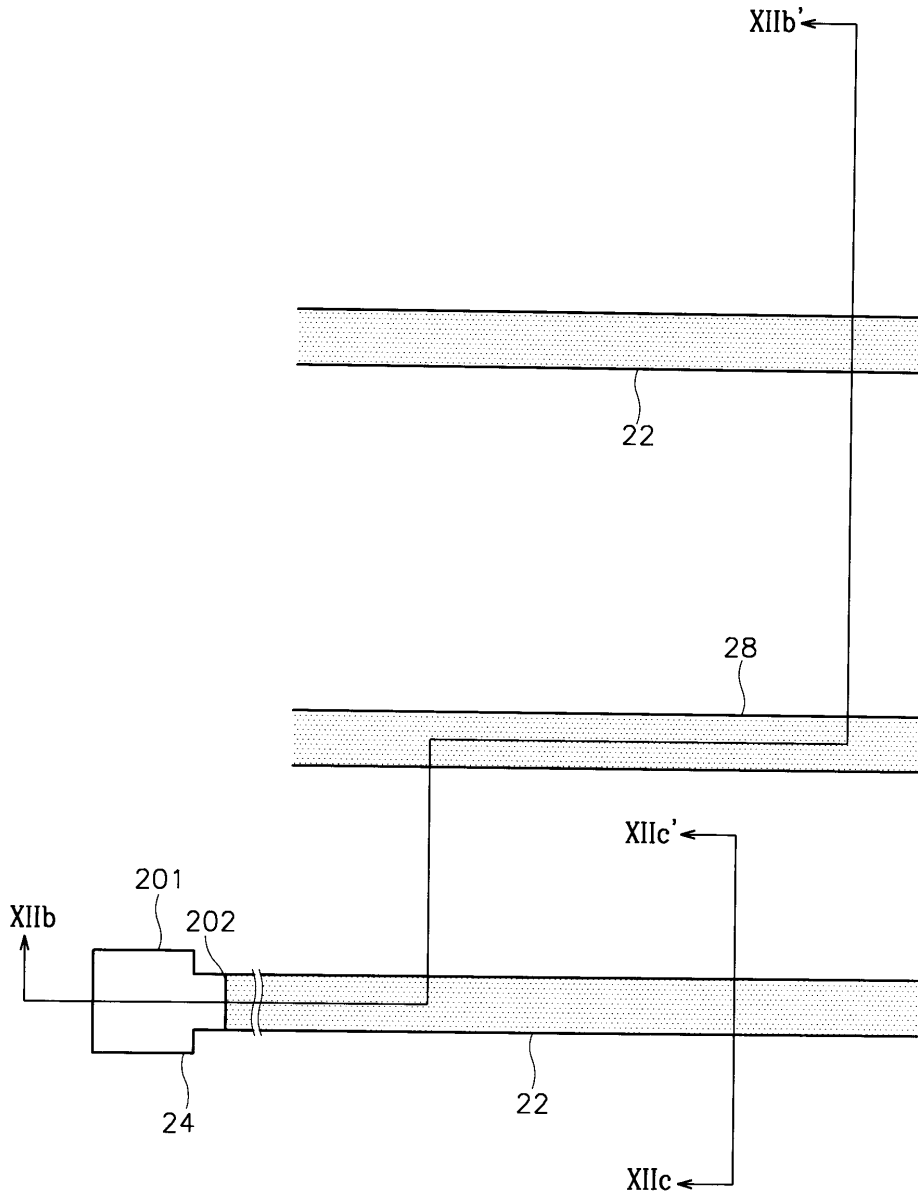
도면10



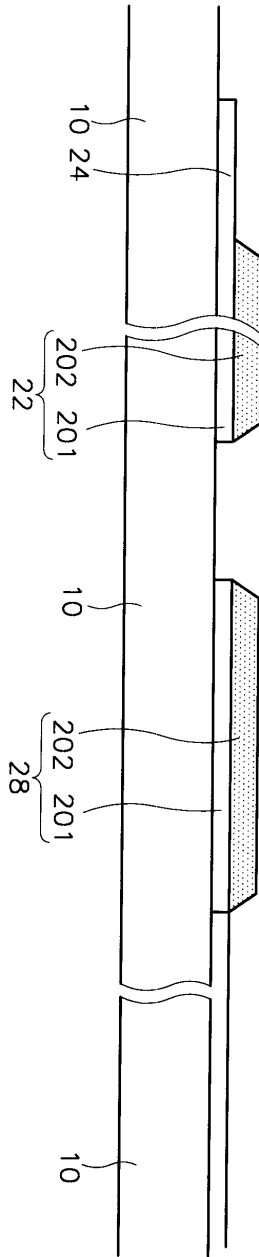
도면11



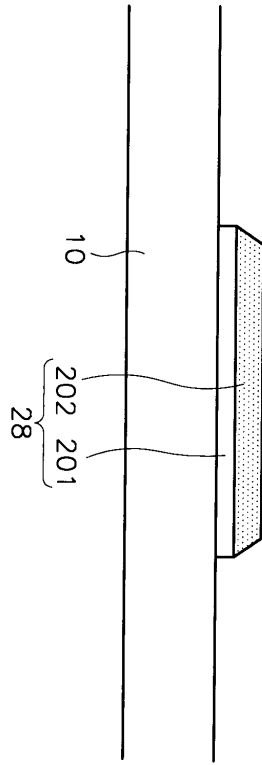
도면12a



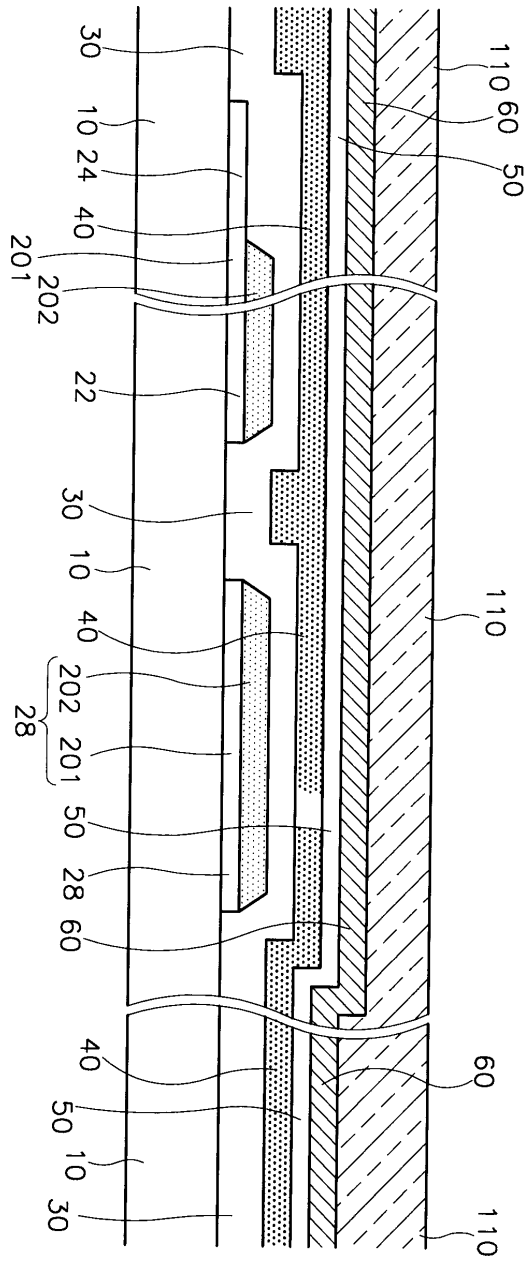
도면12b



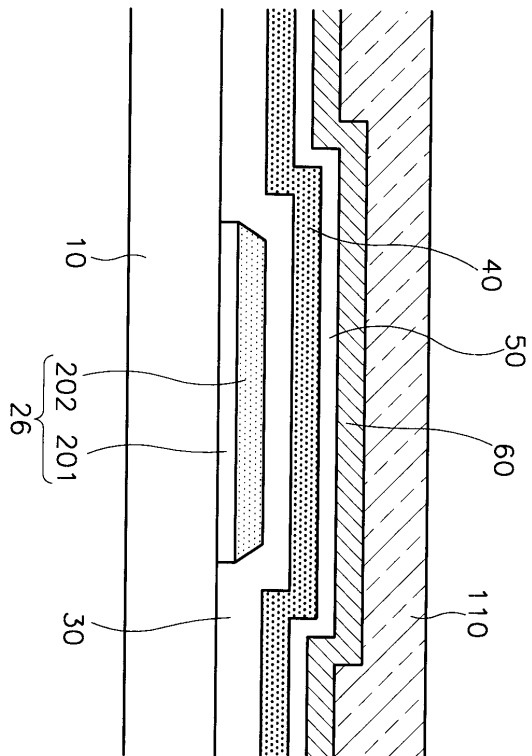
도면12c



도면13a

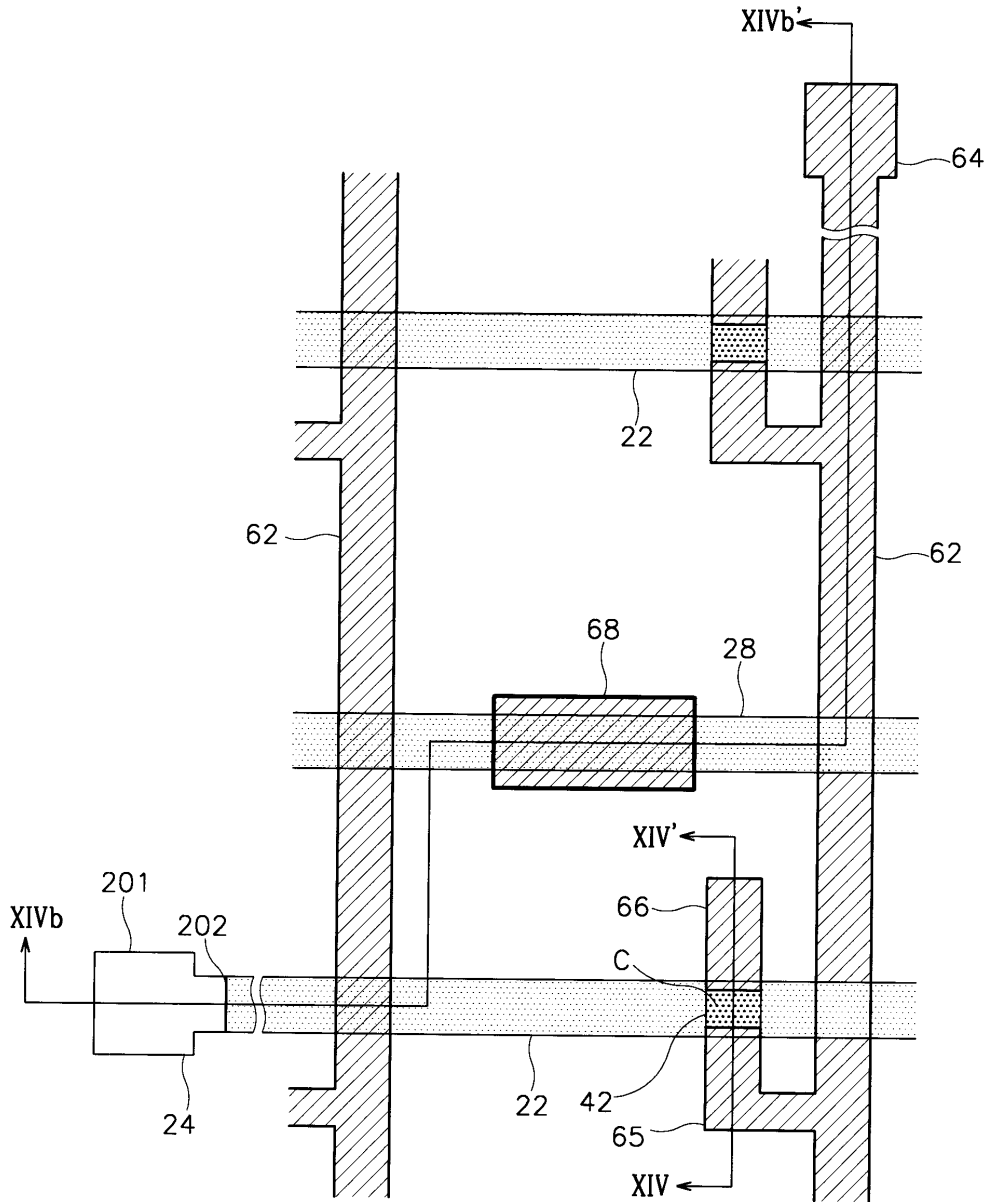


도면13b



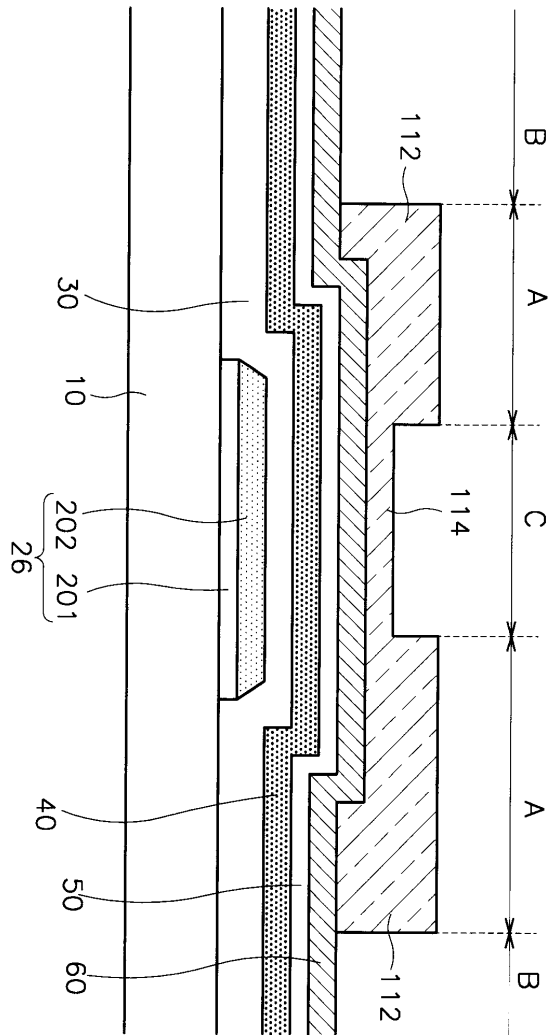


도면14a

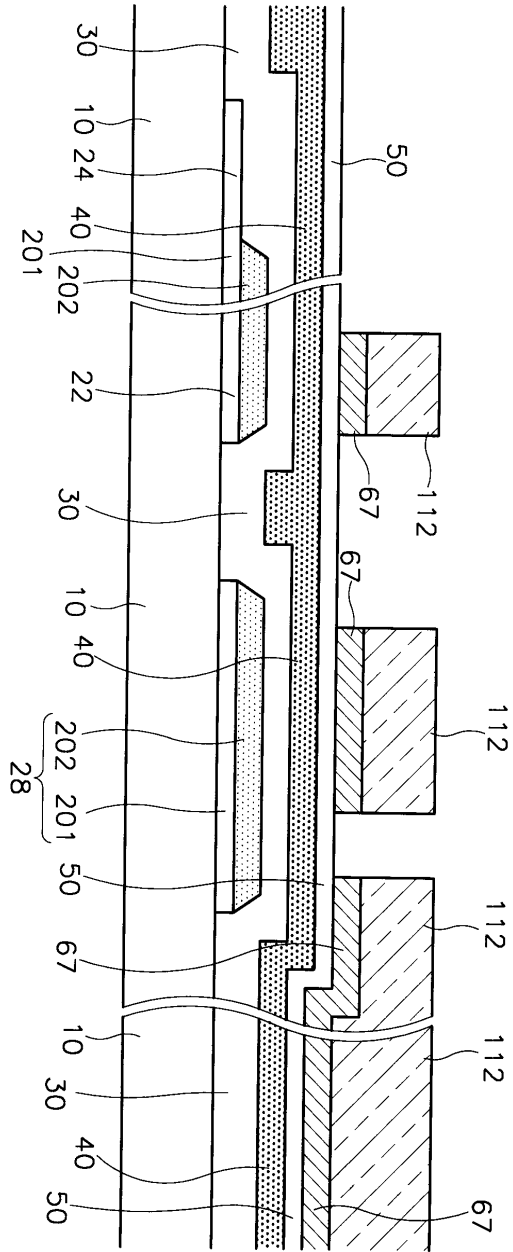




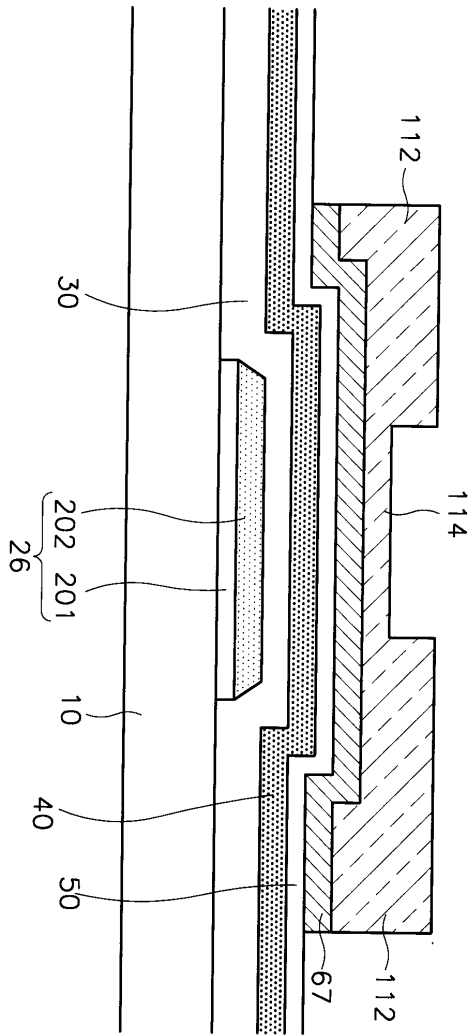
도면14c



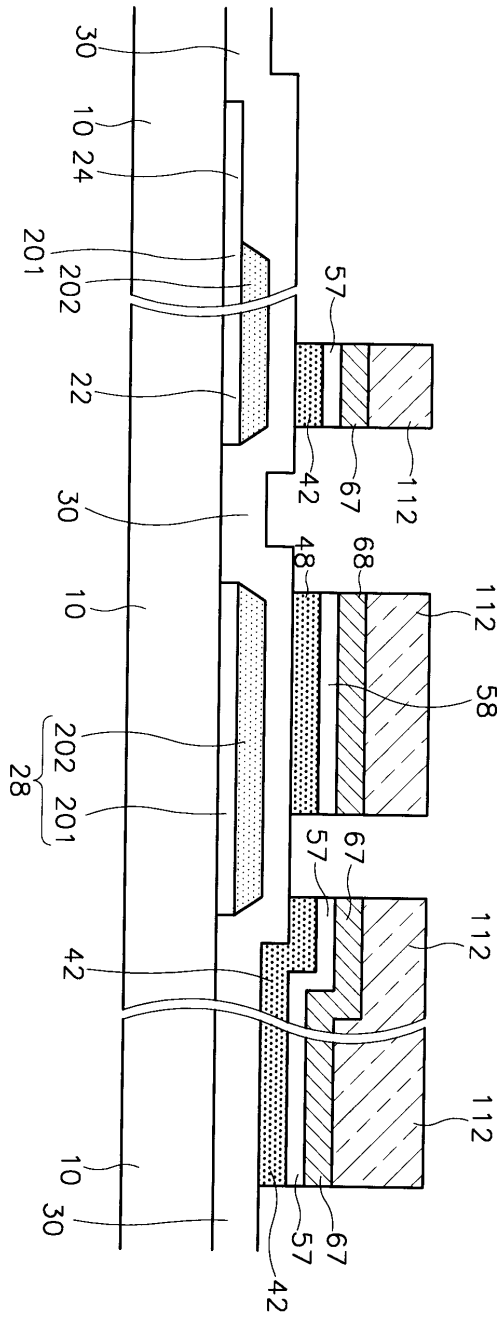
도면15a



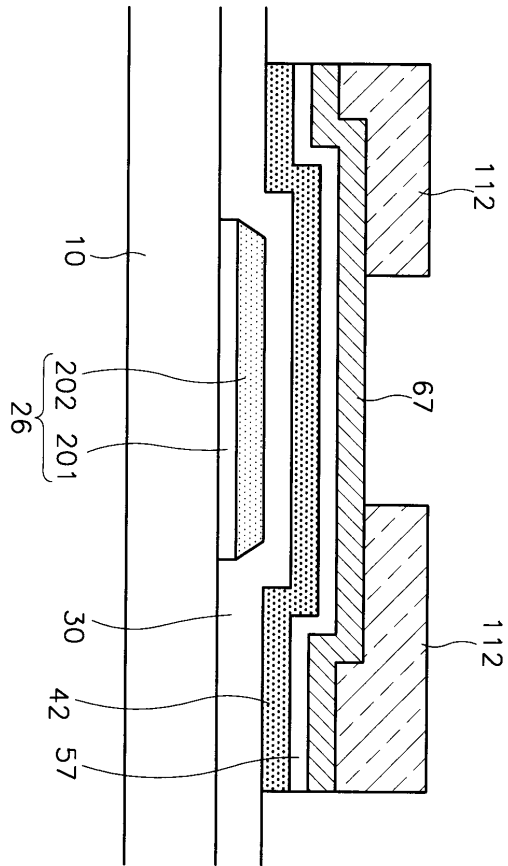
도면15b



도면16a



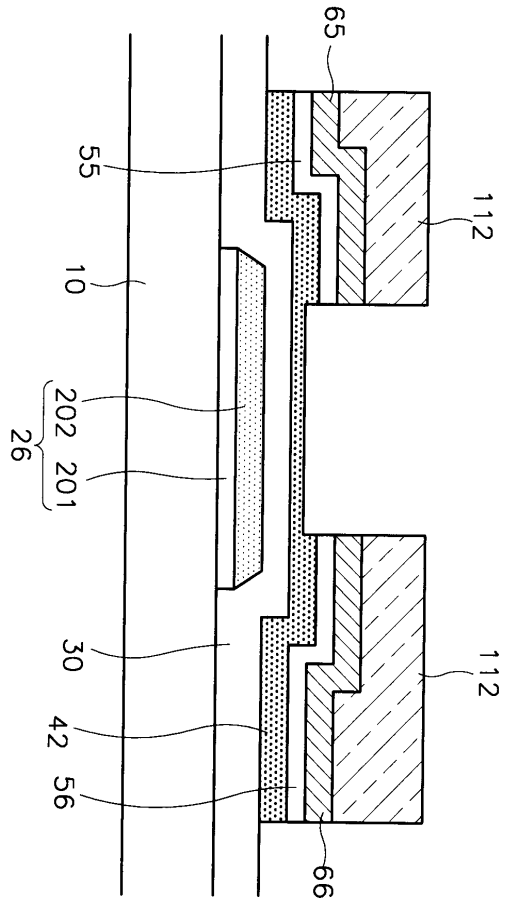
도면16b



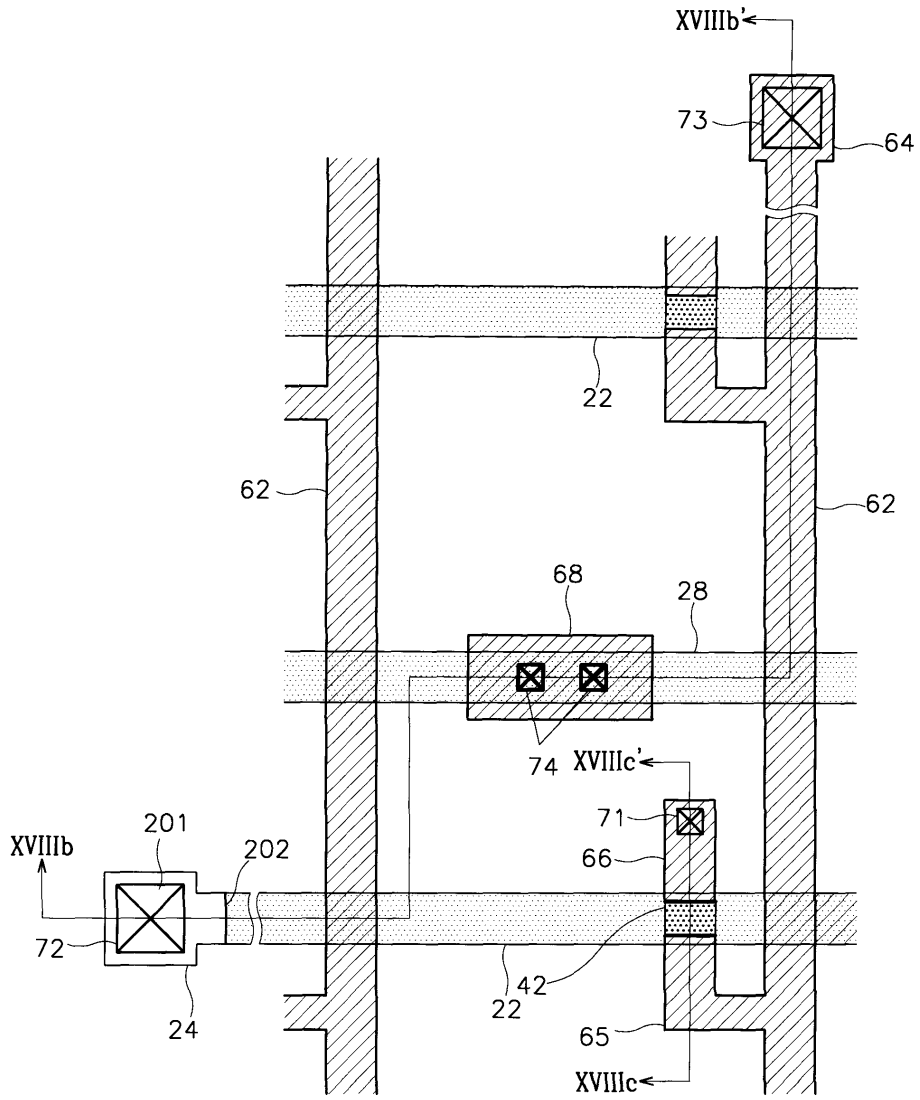




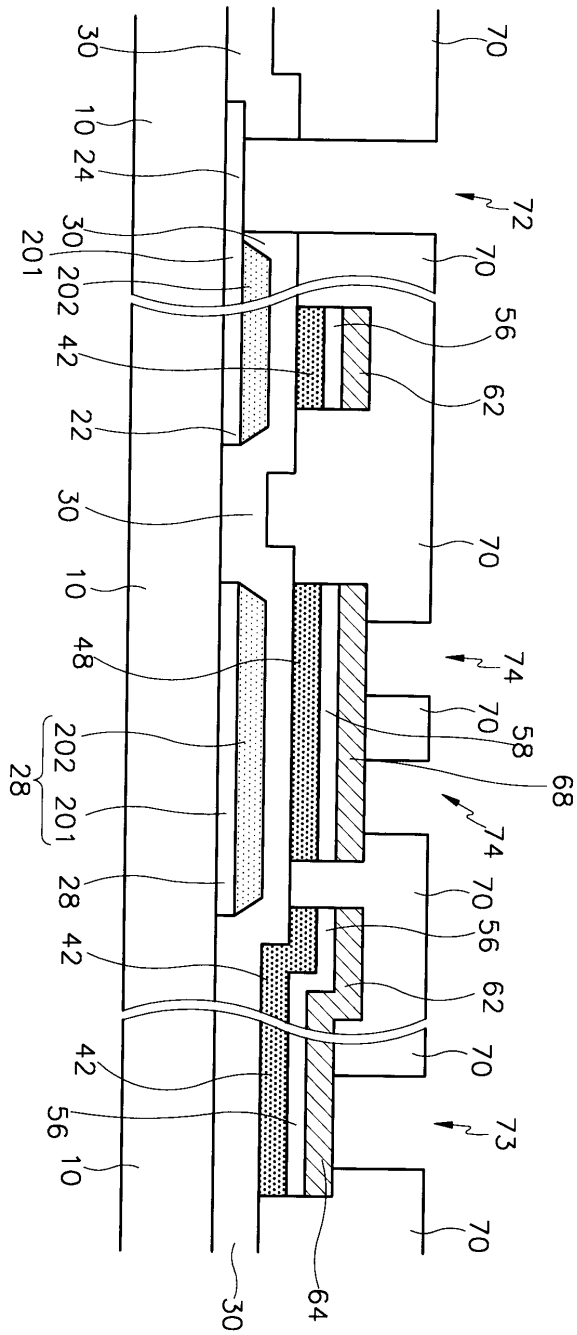
도면17b



도면18a



도면18b



도면18c

