

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月23日(23.08.2018)



(10) 国際公開番号
WO 2018/150588 A1

- (51) 国際特許分類:
G06F 11/34 (2006.01) G06F 11/36 (2006.01)
- (21) 国際出願番号: PCT/JP2017/006220
- (22) 国際出願日: 2017年2月20日(20.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 村野 弘樹(MURANO, Koki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 峯岸 孝行(MINEGISHI, Noriyuki); 〒1008310 東京都千代田区丸の内二

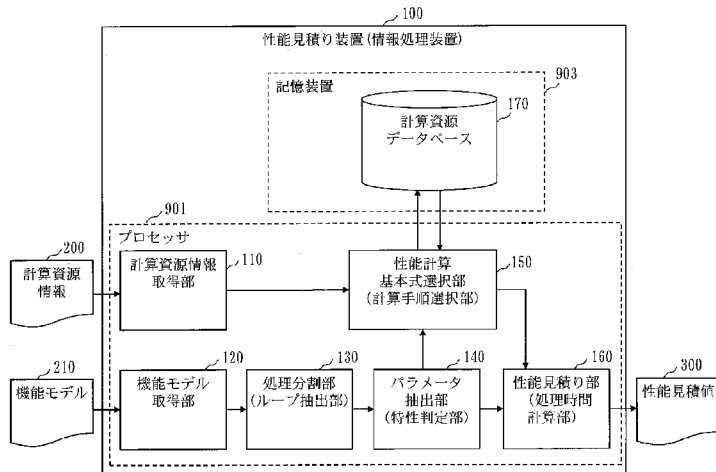
丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小川 吉大(OGAWA, Yoshihiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 竹内 友美(TAKEUCHI, Tomomi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 溝井 国際 特許 業務 法人(MIZOI INTERNATIONAL PATENT FIRM); 〒2470056 神奈川県鎌倉市大船二丁目17番10号3階 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: INFORMATION PROCESSING DEVICE, INFORMATION PROCESSING METHOD, AND INFORMATION PROCESSING PROGRAM

(54) 発明の名称: 情報処理装置、情報処理方法及び情報処理プログラム



- 100 Performance estimation device (information processing device)
- 110 Computational resource information acquisition unit
- 120 Functional model acquisition unit
- 130 Process dividing unit (loop extraction unit)
- 140 Parameter extraction unit (characteristic determination unit)
- 150 Performance calculation basic formula selection unit (calculation procedure selection unit)
- 160 Performance estimation unit (processing time calculation unit)
- 170 Computational resource database
- 200 Computational resource information
- 210 Functional model
- 300 Estimated performance value
- 901 Processor
- 903 Storage device

(57) Abstract: A process dividing unit (130) extracts each of the one or more loop processes included in a functional model (210). A parameter extraction unit (140) determines characteristics of each extracted loop process. On the basis of the characteristics of each loop process and on the basis of a computational resource architecture for implementing the functional model (210), a performance calculation basic formula selection unit (150) selects, from among a plurality of processing time calculation procedures for calculating processing time, a processing time calculation procedure for calculating the processing time required for each loop process. A performance estimation unit (160) calculates the processing time required for each loop process using the processing time calculation procedure selected for the loop process by the performance calculation basic formula selection unit (150).

WO 2018/150588 A1

HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 処理分割部 (130) は、1つ以上のループ処理が含まれる機能モデル (210) から1つ以上のループ処理の各々を抽出する。パラメータ抽出部 (140) は、抽出された各ループ処理の特性を判定する。性能計算基本式選択部 (150) は、処理時間を計算するための複数の処理時間計算手順の中から、ループ処理ごとに、各ループ処理の処理時間を計算するための処理時間計算手順を、各ループ処理の特性と、機能モデル (210) を実行する計算資源のアーキテクチャとに基づき選択する。性能見積り部 (160) は、性能計算基本式選択部 (150) により選択された、対応する処理時間計算手順を用いて、各ループ処理の処理時間を計算する。

明 細 書

発明の名称：

情報処理装置、情報処理方法及び情報処理プログラム

技術分野

[0001] 本発明は、プログラムの処理時間を計算する技術に関する。

背景技術

[0002] 組み込みシステムは、CPU (Central Processing Unit)、DSP (Digital Signal Processor)、GPU (Graphic Processing Unit)、FPGA (Field Programmable Gate Array) 等の計算資源、メモリ、IC (Integrated Circuit) などが組み合わされて構成される。これらの計算資源を選定すること、メモリ及びICを選定すること及び計算資源とメモリ及びICとの接続構成を決定することをシステムアーキテクチャ設計と呼ぶ。

[0003] 従来から、システムアーキテクチャ設計は、設計者の経験等により行われている。また、計算資源上で動作するソフトウェアやハードウェアのシミュレーションモデルを用いて、組み込みシステムのシミュレートを行うことで、組み込みシステムの性能見積りが行われる。

[0004] しかしながら、上記の性能見積り方法は、一旦システムアーキテクチャ設計を行ったうえで、システムを構成する計算資源及びメモリのそれぞれについてシミュレーションモデルを作成する必要がある。このため、シミュレーションモデル開発に工数がかかるという問題がある。また、システムアーキテクチャを変更する度に、シミュレーションモデルの変更が必要になるという問題もある。

[0005] また、性能を見積もるためにシミュレーションモデルを用いたシミュレーションを行う時間が必要となり、性能見積りに時間がかかるという問題もある。

[0006] これらの問題を解決するため、シミュレーションを用いずにデータベース上の性能値を利用する方法が、特許文献1及び特許文献2に開示されている。

[0007] 特許文献1では、プロセッサの性能を見積る方法が開示されている。より具体的には、特許文献1では、プロセッサの命令実行時間をデータベースに格納しておき、プロセッサの命令実行時間をソースコードに含まれる演算に当てはめることでプロセッサの性能を見積もる方法が開示されている。

[0008] 特許文献2では、GPUのような並列プロセッサの性能を見積る方法が開示されている。より具体的には、特許文献2では、機能モデルからループ回数を取得し、取得したループ回数を並列プロセッサのコア数で除算することにより、ループを並列化した際の並列プロセッサの性能を見積る方法が開示されている。

先行技術文献

特許文献

[0009] 特許文献1：特開2005-242569号公報

特許文献2：特開2014-194660号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、これらの手法を用いても、計算資源のアーキテクチャに基づいて機能モデルを実装した際の性能見積りができず、見積値の精度が低いという課題がある。

[0011] 本発明は、この課題を解決することを主な目的とする。より具体的には、本発明は、シミュレーションを用いずに、計算資源のアーキテクチャを反映した高精度な性能見積りを実現することを主な目的とする。

課題を解決するための手段

[0012] 本発明に係る情報処理装置は、
1つ以上のループ処理が含まれるプログラムから前記1つ以上のループ処

理の各々を抽出するループ抽出部と、

前記ループ抽出部により抽出された各ループ処理の特性を判定する特性判定部と、

処理時間を計算するための複数の処理時間計算手順の中から、ループ処理ごとに、各ループ処理の処理時間を計算するための処理時間計算手順を、前記特性判定部により判定された各ループ処理の特性と、前記プログラムを実行する計算資源のアーキテクチャとに基づき選択する計算手順選択部と、

前記計算手順選択部により選択された、対応する処理時間計算手順を用いて、各ループ処理の処理時間を計算する処理時間計算部とを有する。

発明の効果

[0013] 本発明によれば、シミュレーションを用いずに、計算資源のアーキテクチャを反映した高精度な性能見積りを実現することができる。

図面の簡単な説明

- [0014] [図1]実施の形態1に係る性能見積り装置の機能構成例を示す図。
[図2]実施の形態1に係る性能見積り装置のハードウェア構成例を示す図。
[図3]実施の形態1に係る性能見積り装置の動作例を示すフローチャート。
[図4]実施の形態1に係る性能見積り装置の動作例を示すフローチャート。
[図5]実施の形態1に係る機能モデルの例を示す図。
[図6]実施の形態1に係るループ処理の例を示す図。
[図7]実施の形態1に係るイタレーション間にデータ依存のあるループ処理の例を示す図。
[図8]実施の形態1に係る制御依存のあるループ処理の例を示す図。
[図9]実施の形態1に係る縮約可能演算化が可能なループ処理の例を示す図。
[図10]実施の形態1に係るループ処理のパラメータ抽出例を示す図。
[図11]実施の形態1に係る性能計算基本式情報の例を示す図。
[図12]実施の形態1に係る制約条件情報の例を示す図。
[図13]実施の形態1に係るメモリアクセス遅延特性情報の例を示す図。
[図14]実施の形態1に係る演算時間情報の例を示す図。

発明を実施するための形態

[0015] 以下、本発明の実施の形態について、図を用いて説明する。以下の実施の形態の説明及び図面において、同一の符号を付したものは、同一の部分または相当する部分を示す。

[0016] 実施の形態 1.

構成の説明

図 1 は、実施の形態 1 に係る性能見積り装置 100 の機能構成例を示す。実施の形態 1 に係る性能見積り装置 100 の機能構成について、図 1 に基づいて説明する。ただし、性能見積り装置 100 の機能構成は図 1 と異なる機能構成であっても構わない。

[0017] 性能見積り装置 100 は、計算資源情報取得部 110 と機能モデル取得部 120 と処理分割部 130 とパラメータ抽出部 140 と性能計算基本式選択部 150 と性能見積り部 160 と計算資源データベース 170 とを備える。

また、性能見積り装置 100 は、計算資源情報 200 と機能モデル 210 を取得し、性能見積り値 300 を出力する。

性能見積り装置 100 は、情報処理装置に相当する。また、性能見積り装置 100 で行われる動作は、情報処理方法及び情報処理プログラムに相当する。

[0018] また、図 2 は、実施の形態 1 に係る性能見積り装置 100 のハードウェア構成例を示す。

性能見積り装置 100 は、プロセッサ 901、メモリ 902、記憶装置 903、入力装置 904 及び出力装置 905 を備える。

性能見積り装置 100 は、コンピュータである。

記憶装置 903 には、図 1 に示す計算資源情報取得部 110、機能モデル取得部 120、機能モデル取得部 120、処理分割部 130、パラメータ抽出部 140、性能計算基本式選択部 150 及び性能見積り部 160 の機能を実現するプログラムが記憶されている。

プログラムはメモリ 902 にロードされる。そして、プロセッサ 901 が

プログラムをメモリ902から読み出してプログラムを実行し、後述する計算資源情報取得部110、機能モデル取得部120、機能モデル取得部120、処理分割部130、パラメータ抽出部140、性能計算基本式選択部150及び性能見積り部160の動作を行う。

図1では、プロセッサ901が計算資源情報取得部110、機能モデル取得部120、機能モデル取得部120、処理分割部130、パラメータ抽出部140、性能計算基本式選択部150及び性能見積り部160の機能を実現するプログラムを実行している状態を模式的に表している。

[0019] 次に、図1に示す構成要素の詳細を説明する。

[0020] 計算資源情報取得部110は、計算資源情報200を取得する。計算資源情報200には、機能モデル210を実行する計算資源のアーキテクチャが示される。機能モデル210には、性能見積りの対象の処理が記述される。機能モデル210は、例えば、プログラムのソースコードの全部又は一部である。機能モデル210には、1つ以上のループ処理が含まれる。計算資源とは、プログラムを実行する演算装置である。前述したように、計算資源には、CPU、DSP、GPU、FPGA等が含まれる。計算資源のアーキテクチャは、製品名、製品コードといった計算資源の具体的な型番である。

計算資源情報取得部110は、計算資源情報200を性能計算基本式選択部150に出力する。

[0021] 機能モデル取得部120は、機能モデル210を取得する。機能モデル210の機能モデル取得部120への入力、性能見積り装置100を利用するユーザが実施する。

[0022] 処理分割部130は、機能モデル取得部120が取得した機能モデル210を分割する。より具体的には、処理分割部130は、機能モデル210からループ処理を抽出する。

ループ処理とは、例えば機能モデル210がC言語のプログラムである場合は、for文などで表される処理である。処理分割部130は、機能モデル210がC言語のプログラムである場合は、for文で囲われた箇所を1

つのループとして抽出し、また、for文とfor文の間の処理記述を、ループ回数1のループとして抽出する。

処理分割部130は、ループ処理ごとに分割した機能モデル210をパラメータ抽出部140に出力する。

機能モデル取得部120は、ループ抽出部に相当する。また、機能モデル取得部120により行われる処理は、ループ抽出処理に相当する。

[0023] パラメータ抽出部140は、処理分割部130で抽出された各ループ処理の特性を判定する。また、パラメータ抽出部140は、処理分割部130で抽出された各ループ処理から、ループ処理全体のメモリアクセスサイズとメモリアクセス順序を抽出する。また、パラメータ抽出部140は、処理分割部130で抽出された各ループ処理から、ループ処理内の演算種別ごとの演算数を抽出する。

パラメータ抽出部140は、ループ処理の特性として、ループ処理のイタレーション間のデータ依存の有無、ループ処理に含まれる分岐処理の数（ループ処理内の処理の制御依存数）、ループ処理の縮約演算化の可否を判定する。なお、ループ処理の特性は、これらに限られない。

パラメータ抽出部140は、各ループ処理の特性を性能計算基本式選択部150に出力する。

また、パラメータ抽出部140は、抽出したメモリアクセスサイズ、メモリアクセス順序、演算種別ごとの演算数を性能見積り部160に出力する。

パラメータ抽出部140は、特性判定部に相当する。また、パラメータ抽出部140により行われる処理は特性判定処理に相当する。

[0024] 性能計算基本式選択部150は、計算資源データベース170で保持されている複数の性能計算基本式から最適の性能計算基本式を選択する。性能計算基本式は、ループ処理の処理時間を計算するための処理時間計算手順である。性能計算基本式選択部150は、ループ処理ごとに、最適の性能計算基本式を選択する。より具体的には、性能計算基本式選択部150は、計算資源データベース170から出力される制約条件情報に示される制約条件と、

パラメータ抽出部 140 で判定されたループ処理の特性と、計算資源情報 200 に示される計算資源のアーキテクチャとに基づき、ループ処理ごとに、最適な性能計算基本式を選択する。

性能計算基本式選択部 150 は、選択した性能計算基本式を性能見積り部 160 に出力する。

性能計算基本式選択部 150 は、計算手順選択部に相当する。また、性能計算基本式選択部 150 で行われる処理は、計算手順選択処理に相当する。

[0025] 性能見積り部 160 は、性能計算基本式選択部 150 から、性能計算基本式を取得する。

また、性能見積り部 160 は、計算資源データベース 170 から、メモリアクセス遅延特性情報を取得する。そして、性能見積り部 160 は、パラメータ抽出部 140 が抽出したメモリアクセスサイズ、メモリアクセス順序をメモリアクセス遅延特性情報に適用して、ループ処理内のメモリアクセス時間を算出する。

また、性能見積り部 160 は、計算資源データベース 170 から、演算時間情報を取得する。そして、性能見積り部 160 は、パラメータ抽出部 140 が抽出したループ処理内の演算種別ごとの演算数を演算時間情報に適用して、ループ処理での演算時間（命令実行時間）を算出する。

また、性能見積り部 160 は、算出したメモリアクセス時間、演算時間（命令実行時間）を性能計算基本式選択部 150 から取得した性能計算基本式に適用する。そして、性能見積り部 160 は、ループ処理全体の処理時間を得る。

性能見積り部 160 は、各ループ処理の処理時間から、機能モデル 210 の全体の処理時間を得る。そして、性能見積り部 160 は、機能モデル 210 の全体の処理時間を性能見積り値 300 として出力する。

性能見積り部 160 は、処理時間計算部に相当する。また、性能見積り部 160 により行われる処理は処理時間計算処理に相当する。

[0026] 計算資源データベース 170 は、性能計算基本式情報を保持する。また、

計算資源データベース170は、制約条件情報を保持する。更に、計算資源データベース170は、メモリアクセス遅延特性情報、演算ごとの演算時間情報を保持する。

計算資源データベース170は、記憶装置903で実現される。

[0027] 性能計算基本式情報には、複数の性能計算基本式が記述されている。図11に性能計算基本式情報の例を示す。性能計算基本式情報の詳細は後述する。

図11の性能計算基本式情報には、4つの性能計算基本式が記述される。なお、説明の欄は、各性能計算基本式を理解するための補足情報として設けている。計算資源データベース170で保持する性能計算基本式情報には、説明の欄を設けなくてもよい。

[0028] 制約条件情報には、性能計算基本式ごとに制約条件が記述される。図12に制約条件情報の例を示す。図12の制約条件情報には、ループ処理の特性についての制約条件と計算資源のアーキテクチャについての制約条件が定義されている。制約条件情報の詳細は後述する。ループ処理の特性についての制約条件には、性能計算基本式の適用対象のループ利処理の特性が示される。また、計算資源のアーキテクチャについての制約条件には、性能計算基本式の適用対象の計算資源のアーキテクチャが示される。

[0029] メモリアクセス遅延特性情報には、メモリアクセス遅延時間の算出手順が記述される。図13にメモリアクセス遅延特性情報の例を示す。メモリアクセス遅延特性情報の詳細は後述する。なお、メモリアクセス遅延特性情報は、メモリアクセス遅延時間計算手順に相当する。

[0030] 演算時間情報には、演算時間の算出手順が記述される。図14に演算時間情報の例を示す。演算時間情報の詳細は後述する。

[0031] ***動作の説明***

図3及び図4は、実施の形態1に係る性能見積り装置100の動作例を示す。

実施の形態1に係る性能見積り装置100の動作例を図3及び図4に基づ

いて説明する。ただし、性能見積り装置 100 の動作に図 3 及び図 4 と異なる処理が含まれていても構わない。

[0032] まず、ステップ S 110 において、計算資源情報取得部 110 は、計算資源情報 200 を取得し、取得した計算資源情報 200 を性能計算基本式選択部 150 に出力する。

 ステップ S 110 の後、処理はステップ S 120 に進む。

[0033] 次に、ステップ S 120 において、機能モデル取得部 120 が、機能モデル 210 を取得し、取得した機能モデル 210 を処理分割部 130 に出力する。機能モデル 210 は、C 言語等のプログラミング言語で記述された処理であり、実行可能なプログラムの全体または一部である。図 5 に機能モデル 210 の例を示す。

 ステップ S 120 の後、処理はステップ S 130 に進む。

[0034] 次に、S 130 において、処理分割部 130 が、機能モデル 210 からループ処理を抽出し、各ループ処理をパラメータ抽出部 140 に出力する。

 図 6 は、図 5 に示す機能モデル 210 から抽出されたループ処理の例を示す。

 ステップ S 130 の後、処理はステップ S 140 に進む。

[0035] 次に、ステップ S 140 において、パラメータ抽出部 140 が、各ループ処理の特性を判定する。そして、パラメータ抽出部 140 は、各ループ処理と、各ループ処理の特性を性能計算基本式選択部 150 に出力する。ループ処理の特性としては、例えば、以下のようなものがある。

 (1) ループイタレーション間のデータ依存の有無

 パラメータ抽出部 140 は、ループ処理に含まれている複数の演算の実行順序が制限されるか否かを判定する。図 7 に、データ依存があるループ処理の例を示す。

 (2) ループ内の分岐数処理の数

 ループ処理内に分岐処理が含まれる場合に、パラメータ抽出部 140 は、分岐処理の数をカウントする。図 8 に制御依存があるループ処理、すなわち

、分岐処理が含まれるループ処理の例を示す。図8のループ処理の場合は、分岐処理が1つのため、分岐処理数（制御依存数ともいう）は1である。

（3）ループの縮約演算化の可否

演算結果が1変数に集約される、交換法則適用可能な演算がループ処理に含まれる場合に、パラメータ抽出部140は、当該ループ処理を、縮約演算化可能なループ処理として判定する。図9に縮約演算化可能なループ処理の例を示す。

ステップS140の後、処理はステップS141に進む。

[0036] ステップS141において、パラメータ抽出部140が、各ループ処理からメモリアクセスサイズ、メモリアクセス順序（シーケンシャルまたはランダム）、演算種別ごとの演算数を抽出する。そして、パラメータ抽出部140は、メモリアクセスサイズ、メモリアクセス順序、演算種別ごとの演算数と、計算資源情報200を性能見積り部160に出力する。

パラメータ抽出部140は、演算種別として、加減乗除、ビットシフト、論理演算などの演算子を抽出する。また、パラメータ抽出部140は、積和演算（ $a * c + b$ ）等の計算資源のアーキテクチャ上、1演算として扱われる演算も1つの演算種別として抽出する。

図10に、ループ処理のソースコードと、当該ループ処理についてのパラメータ抽出部140のパラメータ抽出例を示す。

ステップS141の後、処理はステップS150に進む。

[0037] 次に、ステップS150において、性能計算基本式選択部150が、計算資源データベース170から、制約条件情報を取得する。

図12に制約条件情報の例を示す。

S150の後、処理はS151に進む。

[0038] ステップS151において、性能計算基本式選択部150は、ループ処理の特性と計算資源のアーキテクチャから、計算資源データベース170で保持されている複数の性能計算基本式の中から、ループ処理ごとに、最適な性能計算基本式を選択する。

より具体的には、性能計算基本式選択部150は、パラメータ抽出部140で判定されたループ処理の特性と、計算資源情報200に示される計算資源のアーキテクチャとの組み合わせと、ステップS150で取得した制約条件情報に示されるループ処理の特性についての制約条件と計算資源のアーキテクチャについての制約条件との組み合わせとを比較して、性能計算基本式を選択する。

図12では、「(1)シーケンシャル」の性能計算基本式に対しては、ループ処理の特性についての制約条件として「無」が定義され、計算資源のアーキテクチャについての制約条件として「CPU, DSP, FPGA, GPU」が定義されている。「(2)並列」の性能計算基本式に対しては、ループ処理の特性についての制約条件として「ループイタレーション間のデータ存在無」が定義され、計算資源のアーキテクチャについての制約条件として「DSP, GPU」が定義されている。「(4)縮約」の性能計算基本式に対しては、ループ処理の特性についての制約条件として「縮約演算化可能」が定義され、計算資源のアーキテクチャについての制約条件として「GPU, FPGA」が定義されている。

計算資源情報200に示される計算資源のアーキテクチャがGPUに属する型番である場合は、性能計算基本式選択部150は、当該ループ処理の性能計算基本式として、「(1)シーケンシャル」、「(2)並列」及び「(4)縮約」の性能計算基本式が選択可能である。図10に示すループ処理は、ループイタレーション間のデータ依存があり、縮約化可能なループ処理である。性能計算基本式選択部150は、図10のループ処理に対しては、「(1)シーケンシャル」又は「(4)縮約」の性能計算基本式が選択可能である。ここでは、「(4)縮約」の性能計算基本式の方が性能が良いので、性能計算基本式選択部150は、「(4)縮約」の性能計算基本式を選択する。

そして、性能計算基本式選択部150は、選択した性能計算基本式を計算資源データベース170から取得し、取得した性能計算基本式を性能見積り

部160に出力する。

ステップS151の後、処理はステップS160に進む。

[0039] ステップS160において、性能見積り部160は、計算資源データベース170から、メモリアクセス遅延特性情報を取得する。メモリアクセス遅延特性情報は、計算資源のメモリアーキテクチャに依存したメモリアクセス順序及びメモリアクセスサイズから、メモリアクセス遅延時間を算出する手順を示す。図13にメモリアクセス遅延特性情報の例を示す。

図13のメモリアクセス遅延特性情報は、リードアクセスのアクセスサイズが N [byte] 以上、メモリアクセス順序がランダムアクセスのときに、アクセス時間が T_{r_slow} [ns]であることを示す。また、図13のメモリアクセス遅延特性情報は、リードアクセスのアクセスサイズ及びメモリアクセス順序が上記の条件以外の場合は、アクセス時間が T_{r_fast} [ns]であることを示す。また、図13のメモリアクセス遅延特性情報は、ライトアクセスのアクセス時間は常に T_w [ns]であることを示す。図13のメモリアクセス遅延特性情報は、 N [byte]のキャッシュを持つ計算資源のメモリアクセス遅延特性を示している。

図13の例では、メモリアクセス遅延特性情報は、プログラミング言語の形式で表現されているが、メモリアクセス遅延特性情報は、数式等の他の方法で表現されてもよい。

ステップS160の後、処理はステップS161に進む。

[0040] ステップS161において、性能見積り部160は、S160で取得したメモリアクセス遅延特性情報に、ステップS141でパラメータ抽出部140から取得したメモリアクセス順序、メモリアクセスサイズを代入することで、ループ処理でのメモリアクセス遅延時間を計算する。

[0041] 図13に示す計算資源のメモリアクセス遅延特性情報が用いられ、パラメータ抽出部140が図10で示すアクセスサイズ、メモリアクセス順序を抽出した場合を想定する。この場合は、アクセスサイズ= N [byte]、リードアクセス順序=シーケンシャルなので、リードアクセス時間 T_{r_fa}

$s t [n s]$ 、ライトアクセス時間 $T w [n s]$ となる。このため、ループ処理内のメモリアクセス時間は $(T r_f a s t + T w) [n s]$ となる。

[0042] ステップ S 1 6 2 において、性能見積り部 1 6 0 は、計算資源データベース 1 7 0 から、計算資源の演算時間情報を取得する。図 1 4 は演算時間情報の例を示す。図 1 4 に示すように、演算時間情報には、計算資源に含まれる演算器ごとに、遅延値と対応する演算種別が示される。

ステップ S 1 6 2 の後は、処理はステップ S 1 6 3 に進む。

[0043] ステップ S 1 6 3 において、性能見積り部 1 6 0 は、ステップ S 1 6 2 で取得した演算時間情報と、ステップ S 1 4 1 でパラメータ抽出部 1 4 0 が抽出した演算種別ごとの演算数から、ループ処理での演算時間を計算する。

[0044] 図 1 4 に示す演算時間情報が用いられ、パラメータ抽出部 1 4 0 が図 1 0 で示す演算種別ごとの演算数を抽出した場合を想定する。図 1 0 の例では、ADD が 1 つなので、ループ内演算時間は $T a l u [n s]$ となる。もし、ループ処理に、ADD が 1 つ、SUB が 1 つ、SHIFT が 1 つ含まれていれば、ループ内演算時間は、 $3 \times T a l u [n s]$ となる。

ステップ S 1 6 3 の後は、ステップ S 1 6 4 に進む。

[0045] ステップ S 1 6 4 において、性能見積り部 1 6 0 は、ステップ S 1 5 1 で性能計算基本式選択部 1 5 0 が選択した性能計算基本式にステップ S 1 6 1 とステップ S 1 6 3 で性能見積り部 1 6 0 が算出したループ処理内のメモリアクセス時間とループ処理内の演算時間を代入してループ処理全体の処理時間を計算する。

[0046] 性能計算基本式が図 1 1 の「(4) 縮約」であり、ループ処理内のメモリアクセス遅延が $(T r_f a s t + T w) [n s]$ であり、ループ処理内の演算時間が $T a l u [n s]$ であり、オーバーヘッド (固定値) が $O H [n s]$ である場合は、ループ処理全体の演算時間は $\{ (T r_f a s t + T w + T a l u + O H) \times \log 2 (N) \} [n s]$ と算出される。

[0047] 例えば、性能計算基本計算式 1 5 0 が図 1 2 の「(1) シーケンシャル」を選択した場合に、上記と同じメモリアクセス遅延時間と演算時間が得られ

たと仮定すると、ループ処理全体の演算時間は $\{(T_{r_f a s t} + T_w + T_{a l u} + O H) \times N\}$ [ns] となる。

このように、性能計算基本式は、ループ処理の実装方法によって生じるループ処理の処理時間の差異を反映している。

[0048] ステップS 1 6 4の後は、処理はステップS 1 6 5に進む。

[0049] ステップS 1 6 5において、性能見積り部1 6 0は、ステップS 1 6 4で算出した各ループ処理全体の処理時間から、機能モデル全体の処理時間を算出する。

性能見積り部1 6 0は、例えば、各ループ処理の総和またはクリティカルパスの算出により機能モデル2 1 0全体の処理時間を算出する。性能見積り部1 6 0は、タスク並列化が可能な計算資源の場合、クリティカルパスをタスクスケジューリングにより算出する。タスク並列化が可能な計算資源は、例えばマルチコアCPUやFPGAである。

[0050] 性能見積り部1 6 0は、上記で算出した機能モデル2 1 0全体の処理時間を性能見積り値3 0 0として出力し、性能見積り処理を終了する。

[0051] なお、上記では、計算資源データベース1 7 0は、計算資源ごとに1つのメモリアクセス遅延特性情報と1つの演算時間情報を保持している。1つの計算資源が複数の性能計算基本式に適応している場合は、計算資源データベース1 7 0は、計算資源と性能計算基本式との組合せの単位で、メモリアクセス遅延特性情報及び演算時間情報を保持してもよい。

図1 2の例では、GPUは「(1) シーケンシャル」、「(2) 並列」及び「(4) 縮約」に対応している。計算資源データベース1 7 0は、GPUと「(1) シーケンシャル」の組合せについてのメモリアクセス遅延特性情報及び演算時間情報、GPUと「(2) 並列」の組合せについてのメモリアクセス遅延特性情報及び演算時間情報、及びGPUと「(4) 縮約」の組合せについてのメモリアクセス遅延特性情報及び演算時間情報を保持してもよい。

そして、各メモリアクセス遅延特性情報には異なる算出手順が示され、各

演算時間情報には異なる算出手順が示されている。

[0052] ***実施の形態の効果の説明***

本実施の形態に係る性能見積り装置は、ループ処理の特性と、計算資源のアーキテクチャとに基づき、性能計算基本式を選択する。そして、本実施の形態に係る性能見積り装置は、選択した性能計算基本式を用いて、ループ処理の処理時間を計算する。このため、シミュレーションを用いずに、計算資源のアーキテクチャを反映した高精度な性能見積りを実現することができる。

[0053] ***ハードウェア構成の説明***

最後に、性能見積り装置100のハードウェア構成の補足説明を行う。

図2に示すプロセッサ901は、プロセッシングを行うIC (Integrated Circuit) である。

プロセッサ901は、CPU (Central Processing Unit)、DSP (Digital Signal Processor) 等である。

メモリ902は、RAM (Random Access Memory) である。

記憶装置903は、ROM (Read Only Memory)、フラッシュメモリ、HDD (Hard Disk Drive) 等である。

入力装置904は、例えば、マウス又はキーボードである。

出力装置905は、例えば、ディスプレイ装置である。

[0054] また、記憶装置903には、OS (Operating System) も記憶されている。

そして、OSの少なくとも一部がプロセッサ901により実行される。

プロセッサ901はOSの少なくとも一部を実行しながら、計算資源情報取得部110、機能モデル取得部120、機能モデル取得部120、処理分割部130、パラメータ抽出部140、性能計算基本式選択部150及び性能見積り部160の機能を実現するプログラムを実行する。

プロセッサ901がOSを実行することで、タスク管理、メモリ管理、ファイル管理、通信制御等が行われる。

また、計算資源情報取得部110、機能モデル取得部120、機能モデル取得部120、処理分割部130、パラメータ抽出部140、性能計算基本式選択部150及び性能見積り部160の処理の結果を示す情報、データ、信号値及び変数値の少なくともいずれかが、記憶装置903、プロセッサ901内のレジスタ及びキャッシュメモリの少なくともいずれかに記憶される。

また、計算資源情報取得部110、機能モデル取得部120、処理分割部130、パラメータ抽出部140、性能計算基本式選択部150及び性能見積り部160の機能を実現するプログラムは、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ブルーレイ（登録商標）ディスク、DVD等の可搬記憶媒体に記憶されてもよい。

[0055] また、計算資源情報取得部110、機能モデル取得部120、機能モデル取得部120、処理分割部130、パラメータ抽出部140、性能計算基本式選択部150及び性能見積り部160の「部」を、「回路」又は「工程」又は「手順」又は「処理」に読み替えてもよい。

また、性能見積り装置100は、ロジックIC (Integrated Circuit)、GA (Gate Array)、ASIC (Application Specific Integrated Circuit)、FPGA (Field-Programmable Gate Array) といった電子回路により実現されてもよい。

この場合は、計算資源情報取得部110、機能モデル取得部120、機能モデル取得部120、処理分割部130、パラメータ抽出部140、性能計算基本式選択部150及び性能見積り部160は、それぞれ電子回路の一部として実現される。

なお、プロセッサ及び上記の電子回路を総称してプロセッシングサーキットリーともいう。

符号の説明

[0056] 100 性能見積り装置、110 計算資源情報取得部、120 機能モデル取得部、130 処理分割部、140 パラメータ抽出部、150 性能計算基本式選択部、160 性能見積り部、170 計算資源データベース、200 計算資源情報、210 機能モデル、300 性能見積り値、901 プロセッサ、902 メモリ、903 記憶装置、904 入力装置、905 出力装置。

請求の範囲

[請求項1]

1つ以上のループ処理が含まれるプログラムから前記1つ以上のループ処理の各々を抽出するループ抽出部と、

前記ループ抽出部により抽出された各ループ処理の特性を判定する特性判定部と、

処理時間を計算するための複数の処理時間計算手順の中から、ループ処理ごとに、各ループ処理の処理時間を計算するための処理時間計算手順を、前記特性判定部により判定された各ループ処理の特性と、前記プログラムを実行する計算資源のアーキテクチャとに基づき選択する計算手順選択部と、

前記計算手順選択部により選択された、対応する処理時間計算手順を用いて、各ループ処理の処理時間を計算する処理時間計算部とを有する情報処理装置。

[請求項2]

前記計算手順選択部は、

メモリアクセス遅延時間を計算するための複数のメモリアクセス遅延時間計算手順の中から、ループ処理ごとに、各ループ処理でのメモリアクセス遅延時間を計算するためのメモリアクセス遅延時間計算手順を、前記プログラムを実行する計算資源のアーキテクチャに基づき選択し、

前記処理時間計算部は、

前記計算手順選択部により選択された、対応するメモリアクセス遅延時間計算手順を用いて、各ループ処理でのメモリアクセス遅延時間を計算し、

計算により得られたメモリアクセス遅延時間を、対応する処理時間計算手順に適用して、各ループ処理の処理時間を計算する請求項1に記載の情報処理装置。

[請求項3]

前記処理時間計算部は、

各ループ処理で行われる演算の種別と演算数とに基づき、各ループ

処理での演算時間を計算し、

計算により得られた演算時間を、対応する処理時間計算手順に適用して、各ループ処理の処理時間を計算する請求項 1 に記載の情報処理装置。

[請求項4]

前記複数の処理時間計算手順の各々には、適用対象のループ処理の特性と適用対象の計算資源のアーキテクチャとが定義されており、

前記計算手順選択部は、

各ループ処理の特性と前記プログラムを実行する計算資源のアーキテクチャと、各処理時間計算手順に定義されている適用対象のループ処理の特性と適用対象の計算資源のアーキテクチャとを比較して、ループ処理ごとに、各ループ処理の処理時間を計算するための処理時間計算手順を選択する請求項 1 に記載の情報処理装置。

[請求項5]

前記特性判定部は、

ループ処理の特性として、ループ処理のイタレーション間のデータ依存の有無、ループ処理に含まれる分岐処理の数、及びループ処理の縮約演算化の可否のうちの少なくともいずれかを判定する請求項 1 に記載の情報処理装置。

[請求項6]

前記処理時間計算部は、

各ループ処理の処理時間から、前記プログラムの処理時間を得る請求項 1 に記載の情報処理装置。

[請求項7]

コンピュータが、1つ以上のループ処理が含まれるプログラムから前記1つ以上のループ処理の各々を抽出し、

前記コンピュータが、各ループ処理の特性を判定し、

前記コンピュータが、処理時間を計算するための複数の処理時間計算手順の中から、ループ処理ごとに、各ループ処理の処理時間を計算するための処理時間計算手順を、各ループ処理の特性と、前記プログラムを実行する計算資源のアーキテクチャとに基づき選択し、

前記コンピュータが、対応する処理時間計算手順を用いて、各ルー

プ処理の処理時間を計算する情報処理方法。

[請求項8]

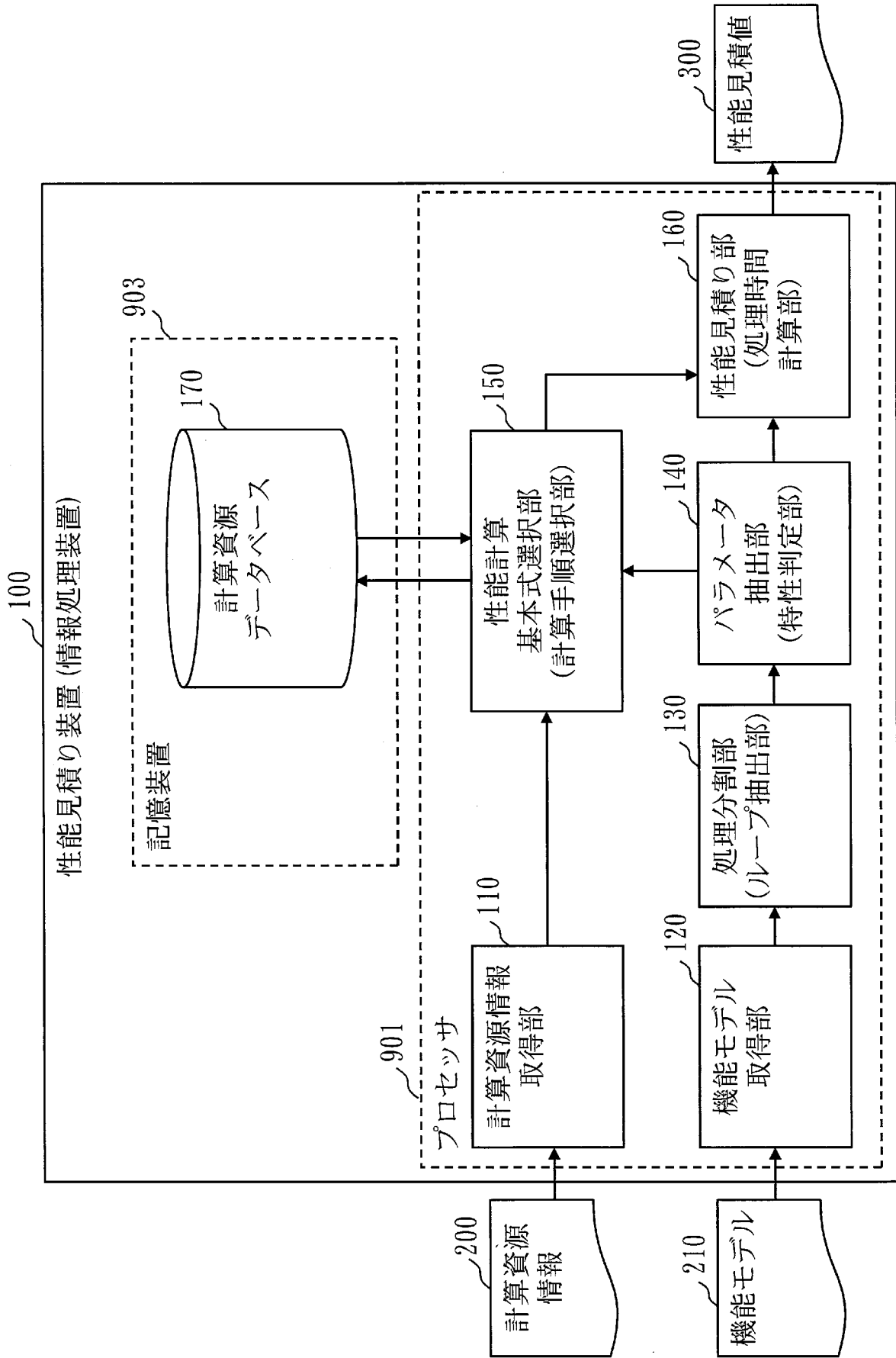
1つ以上のループ処理が含まれるプログラムから前記1つ以上のループ処理の各々を抽出するループ抽出処理と、

前記ループ抽出処理により抽出された各ループ処理の特性を判定する特性判定処理と、

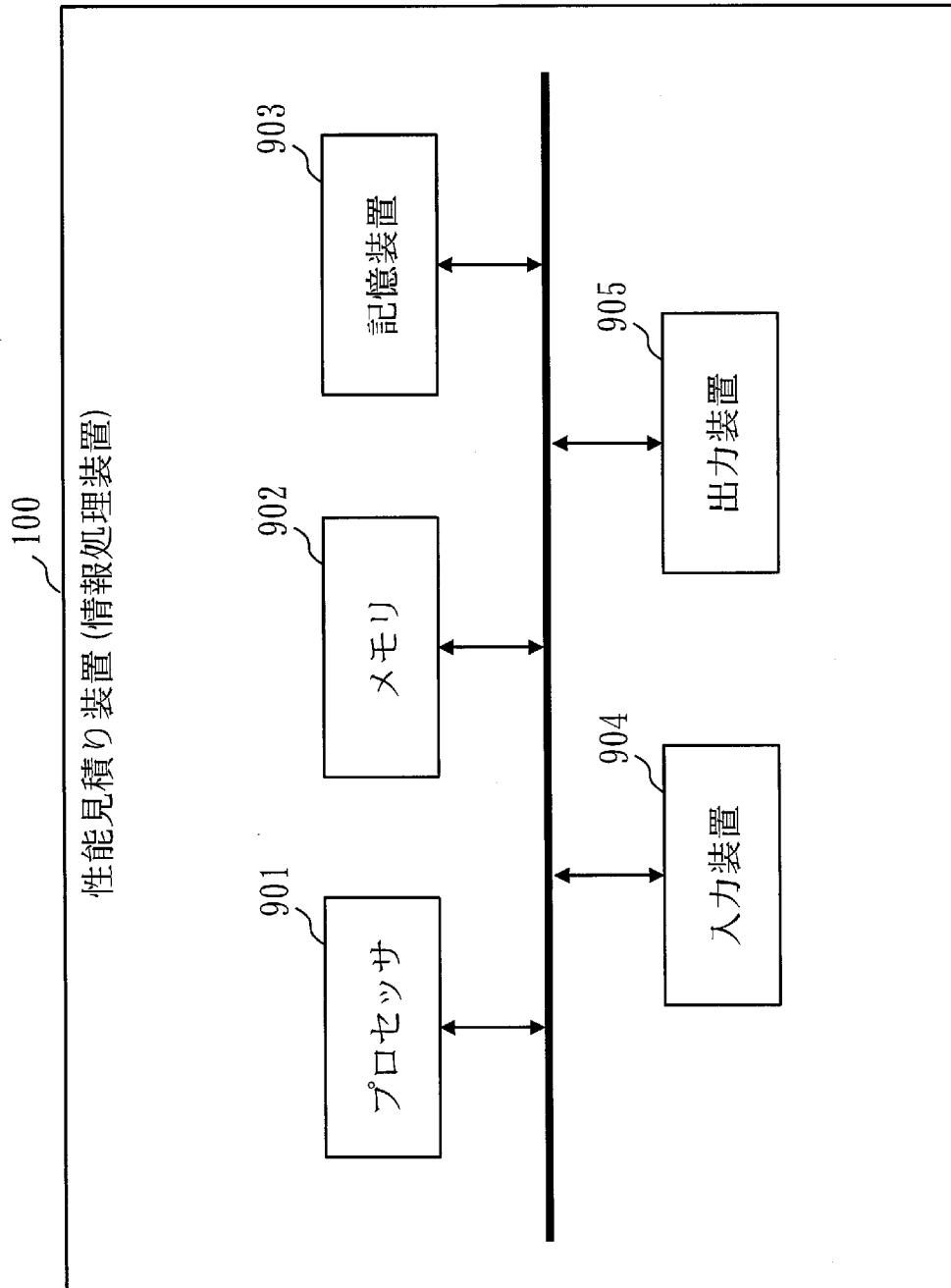
処理時間を計算するための複数の処理時間計算手順の中から、ループ処理ごとに、各ループ処理の処理時間を計算するための処理時間計算手順を、前記特性判定処理により判定された各ループ処理の特性と、前記プログラムを実行する計算資源のアーキテクチャとに基づき選択する計算手順選択処理と、

前記計算手順選択処理により選択された、対応する処理時間計算手順を用いて、各ループ処理の処理時間を計算する処理時間計算処理とをコンピュータに実行させる情報処理プログラム。

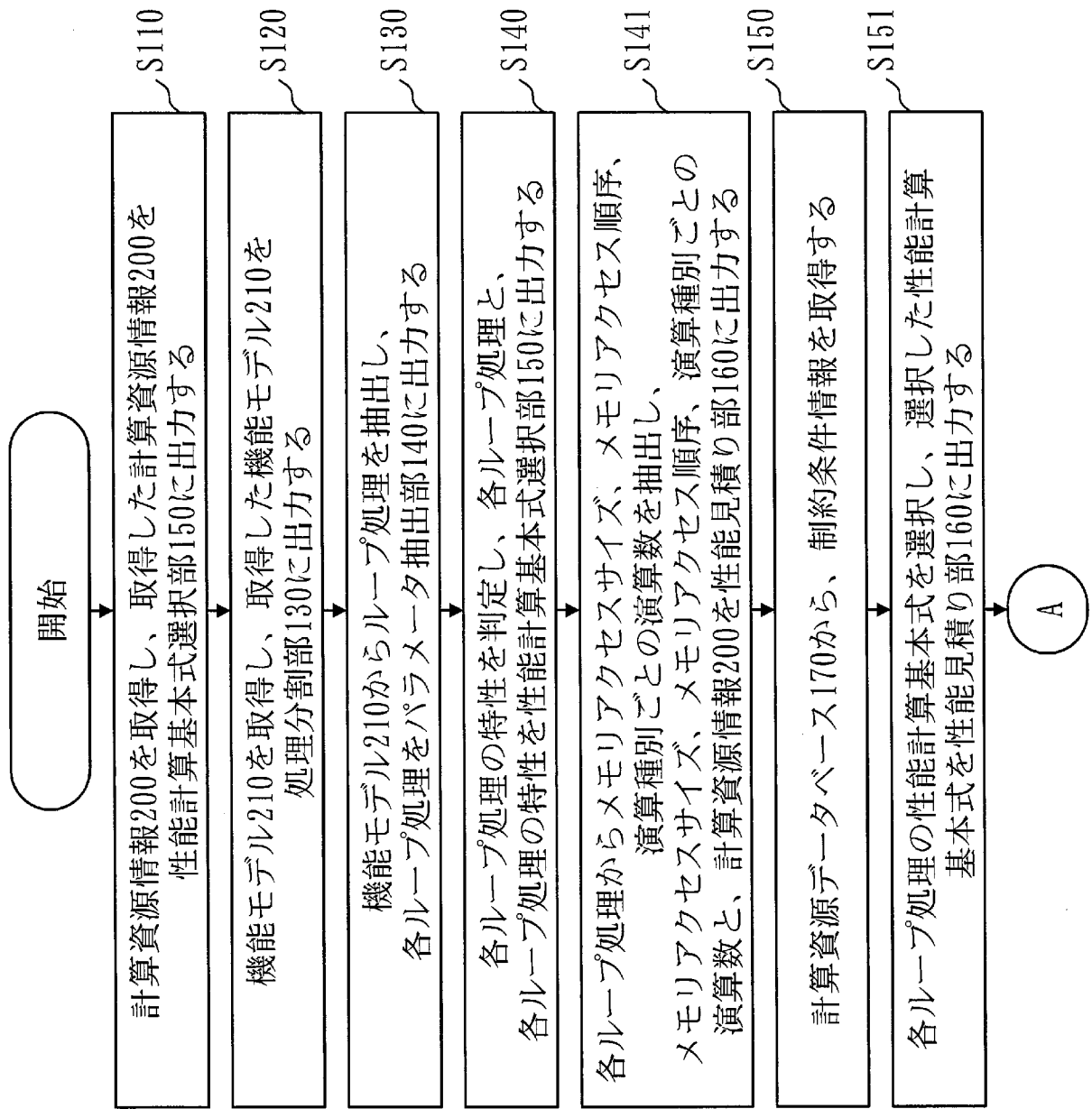
[図1]



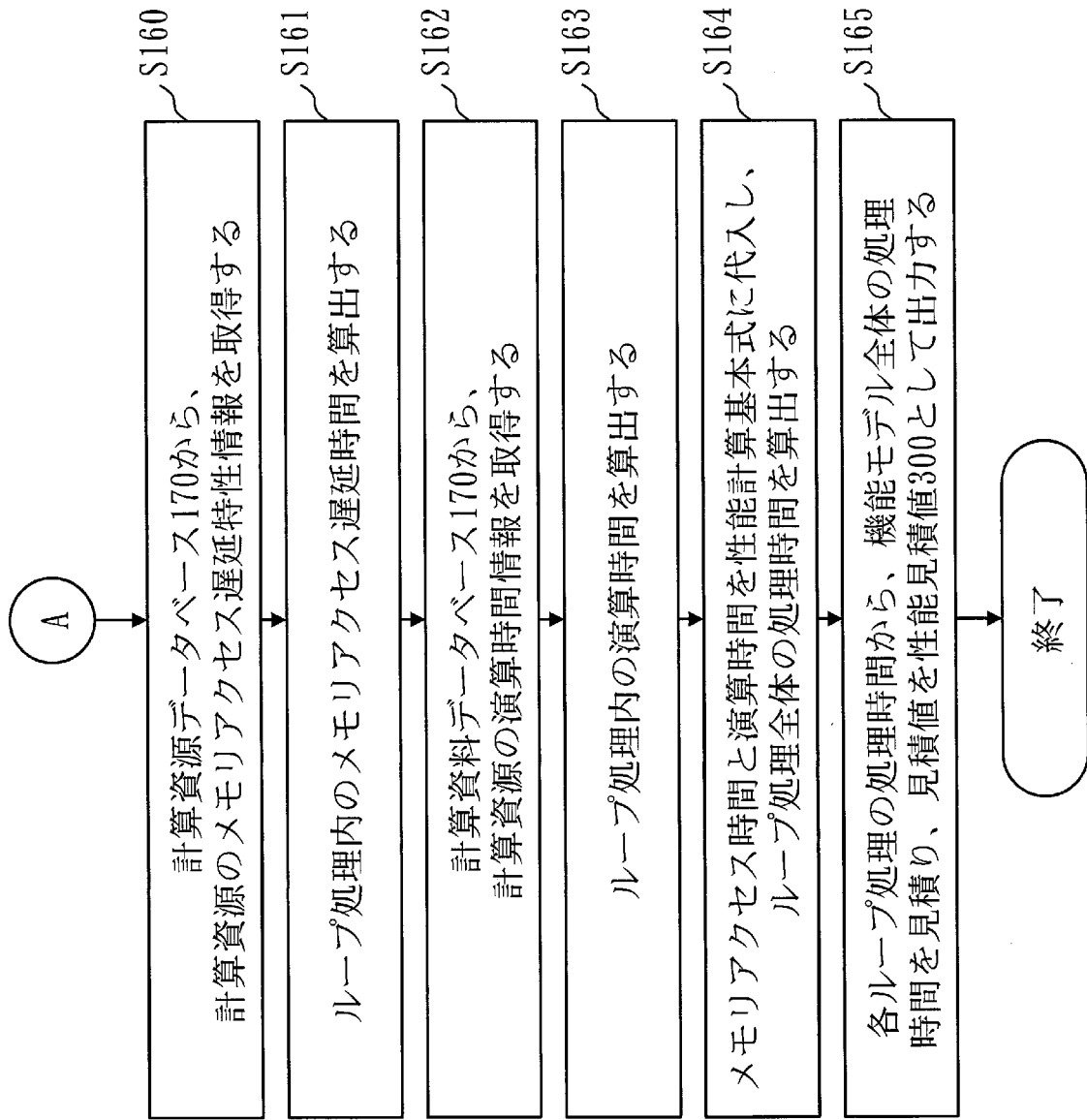
[図2]



[図3]



[図4]



[図5]

```
int function(int coef_a, int coef_b, int *in){
    int ret = 0;

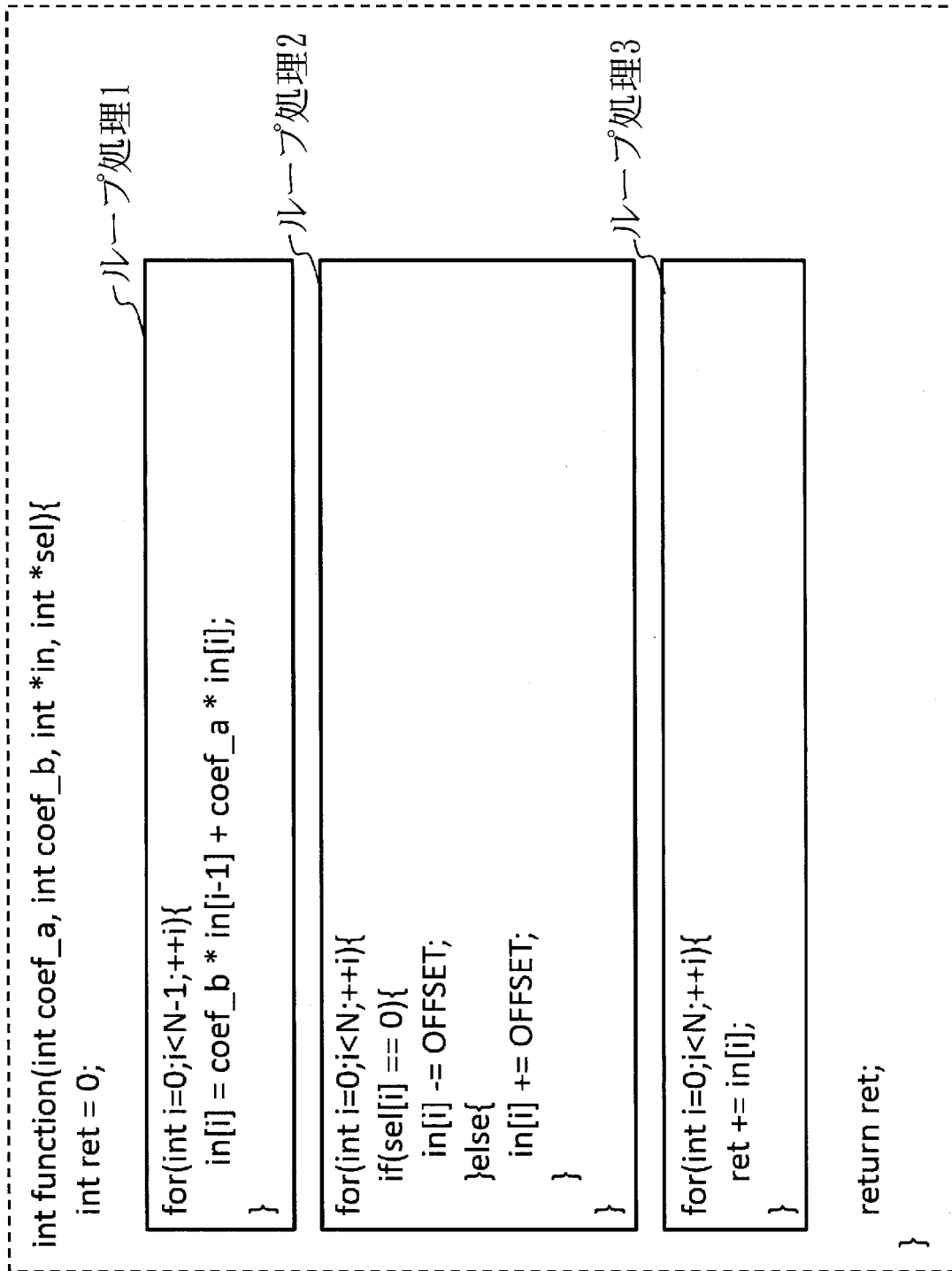
    for(int i=0;i<N-1;+i){
        in[i] = coef_b * in[i-1] + coef_a * in[i];
    }

    for(int i=0;j<N;+i){
        if(i%2 == 0){
            in[i] -= OFFSET;
        }else{
            in[i] += OFFSET;
        }
    }

    for(int i=0;j<N;+i){
        ret += in[i];
    }

    return ret;
}
```

[図6]



[図7]

```
for(int i=0;i<N-1;++i){  
    in[i] = coef_b * in[i-1] + coef_a * in[i];  
}
```

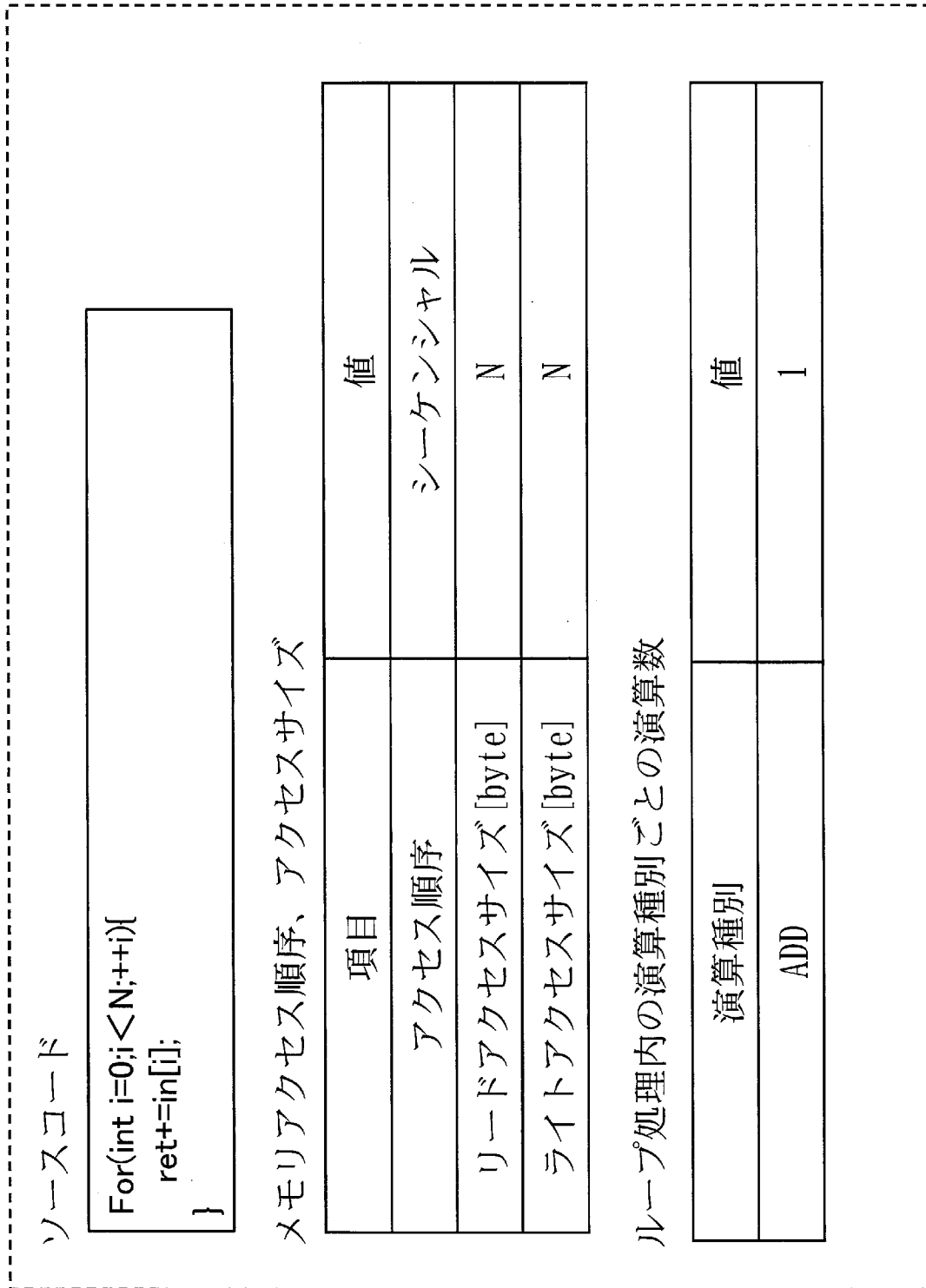
[図8]

```
for(int i=0;i<N;++i){  
    if(sel[i] == 0){  
        in[i] -= OFFSET;  
    }else{  
        in[i] += OFFSET;  
    }  
}
```

[図9]

```
for(int i=0; i < N; ++i){  
    ret += in[i];  
}
```

[図10]



[図11]

実装方法	性能計算基本式	説明
(1) シーケンシヤル	$(\text{メモリアクセス時間} + \text{演算時間} + \text{オーバーヘッド}) \times \text{ループ回数}$	ループを記述通りループとして実行
(2) 並列	$(\text{メモリアクセス時間} + \text{演算時間} + \text{オーバーヘッド}) \times \text{ループ回数} / \text{コア数} \times \text{制御依存数}$	ループを展開し、並列化して実行
(3) パイプライン	$[(\text{メモリアクセス時間}) \times \text{ループ回数} + \text{演算時間} + \text{オーバーヘッド}] / \text{並列数}$	ループを展開し、パイプライン化して実行
(4) 縮約	$(\text{メモリアクセス時間} + \text{演算時間} + \text{オーバーヘッド}) \times \log_2(\text{ループ回数})$	ループを縮約演算化(木構造に展開)して実行

[図12]

実装方法	ループ処理の特性 についての制約条件	計算資源のアーキテクチャ についての制約条件
(1) シーケンシャル	無	CPU, DSP, FPGA, GPU
(2) 並列	ループイタレーション間のデータ依存無	DSP, GPU
(3) パイプライン	ループイタレーション間のデータ依存無	FPGA
(4) 縮約	縮約演算化可能	GPU, FPGA

[図13]

```
If (read_size >= N && access_sequence == RANDOM){  
    read_time = Tr_slow ns;  
}else{  
    read_time = Tr_fast ns;  
}  
  
write_time = Tw ns;
```

[図14]

演算器	遅延値	対応する演算種別
ALL	Talu	ADD, SUB, SHIFT, ...
MULT	Tmult	MULT

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006220

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>G06F11/34(2006.01) i, G06F11/36(2006.01) i</i></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) <i>G06F11/34, G06F11/36</i></p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017</i> <i>Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017</i></p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>														
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td align="center">A</td> <td>JP 2016-212667 A (Fujitsu Ltd.), 15 December 2016 (15.12.2016), entire text; all drawings (Family: none)</td> <td align="center">1-8</td> </tr> <tr> <td align="center">A</td> <td>JP 2002-229818 A (Hitachi, Ltd.), 16 August 2002 (16.08.2002), entire text; all drawings (Family: none)</td> <td align="center">1-8</td> </tr> <tr> <td align="center">A</td> <td>JP 10-91416 A (NEC Software, Ltd.), 10 April 1998 (10.04.1998), entire text; all drawings (Family: none)</td> <td align="center">1-8</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	JP 2016-212667 A (Fujitsu Ltd.), 15 December 2016 (15.12.2016), entire text; all drawings (Family: none)	1-8	A	JP 2002-229818 A (Hitachi, Ltd.), 16 August 2002 (16.08.2002), entire text; all drawings (Family: none)	1-8	A	JP 10-91416 A (NEC Software, Ltd.), 10 April 1998 (10.04.1998), entire text; all drawings (Family: none)	1-8
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	JP 2016-212667 A (Fujitsu Ltd.), 15 December 2016 (15.12.2016), entire text; all drawings (Family: none)	1-8												
A	JP 2002-229818 A (Hitachi, Ltd.), 16 August 2002 (16.08.2002), entire text; all drawings (Family: none)	1-8												
A	JP 10-91416 A (NEC Software, Ltd.), 10 April 1998 (10.04.1998), entire text; all drawings (Family: none)	1-8												
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>														
<table style="width:100%;"> <tr> <td style="width:50%; vertical-align: top;"> <p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%; vertical-align: top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>													
<p>Date of the actual completion of the international search 14 April 2017 (14.04.17)</p>		<p>Date of mailing of the international search report 25 April 2017 (25.04.17)</p>												
<p>Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</p>		<p>Authorized officer</p> <p>Telephone No.</p>												

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G06F11/34(2006.01)i, G06F11/36(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G06F11/34, G06F11/36		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2017年 日本国実用新案登録公報 1996-2017年 日本国登録実用新案公報 1994-2017年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-212667 A（富士通株式会社）2016.12.15, 全文, 全図（ファミリーなし）	1-8
A	JP 2002-229818 A（株式会社日立製作所）2002.08.16, 全文, 全図（ファミリーなし）	1-8
A	JP 10-91416 A（日本電気ソフトウェア株式会社）1998.04.10, 全文, 全図（ファミリーなし）	1-8
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 14.04.2017	国際調査報告の発送日 25.04.2017	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 石川 亮 電話番号 03-3581-1101 内線 3545	5B 3351