

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-223918

(P2009-223918A)

(43) 公開日 平成21年10月1日(2009.10.1)

(51) Int.Cl.
G06F 13/36 (2006.01)

F I
G06F 13/36 310F

テーマコード(参考)
5B061

審査請求 有 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2009-160327 (P2009-160327)
 (22) 出願日 平成21年7月7日(2009.7.7)
 (62) 分割の表示 特願2003-207248 (P2003-207248)
 の分割
 原出願日 平成15年8月12日(2003.8.12)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 田村 崇
 神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内
 (72) 発明者 宮越 利晋
 神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内
 Fターム(参考) 5B061 FF04

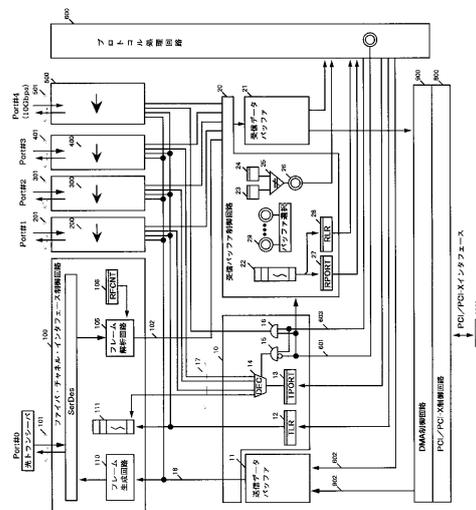
(54) 【発明の名称】 入出力制御装置

(57) 【要約】

【課題】 少ない部品点数で複数のファイバ・チャンネル・インタフェースの制御を可能とし、又、複数のファイバ・チャンネル・インタフェース間のプロトコル処理に対して適切な性能配分を可能とした入出力制御装置を提供する。

【解決手段】 複数のファイバ・チャンネル・インタフェース制御回路と、各ポートのプロトコル処理を逐次実行できるプロトコル処理回路を備え、前記プロトコル処理回路がフレーム受信すべきポートを識別できる受信ポート識別レジスタ、およびフレーム送信すべきポートを指定する送信ポート指定レジスタを備える。又、複数ポートに係るデータ・バッファを共有化する手段を備える。

【選択図】 図1



【図1】

【特許請求の範囲】**【請求項 1】**

フレーム単位でデータを送受信するインタフェースを制御する入出力制御装置において、前記インタフェースをポート毎に独立して制御する複数のインタフェース制御回路と、前記複数のインタフェース制御回路が受信したフレームデータを共通の受信データ・バッファに格納する受信バッファ制御回路と、各インタフェース制御回路へ送出するフレームデータが格納される共通の送信データ・バッファと、前記複数のインタフェース制御回路を介して各ポートにおける送受信データの処理をする単一のプロトコル処理回路と、フレームデータを送信すべきインタフェース制御回路を前記プロトコル処理回路が指定するための送信ポート指定レジスタと、送信すべきフレームデータが格納された前記送信データ・バッファのバッファアドレス情報を前記プロトコル処理回路が設定するための送信バッファアドレスレジスタを備え、前記インタフェース制御回路は、前記送信バッファアドレスレジスタの内容を読み出して格納する送信スタックを備えた入出力制御装置。

10

【請求項 2】

前記プロトコル処理回路が送信指示を出した時に、前記送信ポート指定レジスタの内容から指定されたインタフェース制御回路への送信指示信号を生成するデコード回路を備えた請求項 1 記載の入出力制御装置。

【請求項 3】

前記インタフェース制御回路は、前記送信スタックに格納された送信バッファアドレス情報を順次読み出し、対応する送信データを前記送信データ・バッファから読み出して送信フレームを生成するフレーム生成回路を備える請求項 1 記載の入出力制御装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、コンピュータ・ネットワーク内でデータを送受信するための入出力制御装置に関するものであり、特に、コンピュータ・ネットワーク境界を越えてフレームデータを受信、生成、送信するための装置に関するものである。

【背景技術】**【0002】**

超高速データ・リンクの分野においては、飛躍的な技術的発展がある。高性能コンピュータが、データ通信業界の標準となっている。性能に関する必要条件および改善は、マルチメディア、科学的現象の視覚化、およびネットワークの拡張設計のような、データ集約的(data-intensive)で高速のネットワークを使用する用途を生み出した。そして、コンピュータと I/O 装置間のネットワーク相互接続にも、さらなる高速化が望まれている。

30

【0003】

ファイバ・チャネル(FC)は、ワークステーション、メインフレーム、スーパーコンピュータ、デスクトップ・コンピュータ、記憶装置、ネットワーク・サーバおよびその他の周辺機器間で迅速にデータを転送するために、実用的で安価であり、しかも拡張可能な手段を提供するために開発された。ファイバ・チャネルは、American National Standards Institute (ANSI) によって作成された規格を統合した規格集の一般的な名称であり、<http://www.t11.org/>などで関連仕様が開示されている。また、さらなる高速データ・リンクを可能にするため、2002年にはThe Institute of Electrical and Electronics Engineers (IEEE) により 10 Gbps のリンク・スピードを実現する 802.3ae が策定され、これをベースとした 10 GFC が IEEE にて規格化されつつある。

40

【0004】

このファイバ・チャネルをホスト・プロセッサと接続する手段として、PCI-SIG にて策定された Peripheral Component Interchange (PCI) を用いる構成が広く用いられており、各社ベンダからファイバ・チャネルの Host Bus Adapter (HBA) が市場に提供されている。また、これら HBA にはファイバ・チャネル・プロトコルを解釈し、主記憶装置(MS)とのデータ転送を制御するためのプロトコル・プロセッサが搭載されるこ

50

とが一般的である。

【0005】

さて、近年の市場要求としてホスト・バスの有効利用が挙げられている。例えば前述のP C Iホスト・バスでは、バス・セグメント毎に接続数が規定されており、P C Iバスを有効に利用するには一つのH B A上に複数のファイバ・チャンネルを接続することが求められている。市場に提供されているH B Aでは、複数のファイバ・チャンネルを一つのアダプタ上に実現する方法1として、例えば、二つのファイバ・チャンネルをホスト・アダプタ上に実現するために、特許文献1に記載されているような単一インタフェースと単一プロトコル・プロセッサを備えた入出力制御装置を2チャンネル分搭載し、さらに、システム側とH B A内のバス・セグメントを分離するため、P C Iブリッジを搭載する方法が採用されている。

10

【0006】

また、技術の進歩による高集積L S Iを利用し、全く独立した複数のファイバ・チャンネル制御回路を一つのL S Iに集積する方法2もある。この方法によれば、独立した論理回路コアを一つのL S Iに集積するだけですむ。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平5-334223号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0008】

しかし、従来技術を適用する上で、市場からのさらなる機能要求を満足させるには次のような課題があげられる。

(課題1)

さらなる多ポート化への市場要求に対して、例えば四つのポートを備えた単一のアダプタを実現するために、従来実施されていた方法1によると、自明的に部品点数が増加する傾向にある。このため、対象となるアダプタ基板の配線密度が増加することによる設計の困難さと基板コストが上昇し、さらにまたアダプタ全体として考えた場合の故障確率が悪化することも懸念される。また、P C Iブリッジを介すことによるリクエストのレイテンシが伸び、データ転送性能上の悪影響も考えられる。

30

(課題2)

一方、方法2によると、複数のファイバ・チャンネル機能が完全に独立した論理回路コアであるため、各コアには処理能力の無駄が発生する。一般に、入出力処理は常にピーク性能を維持して行われているわけではなく、何の処理もしていない期間とピーク性能を要求する期間が存在する。このため、長い時間を考えた場合50%程度しかプロトコル・プロセッサが処理していない(アイドル時間が多い)。ただし、プロトコル・プロセッサの性能がピーク性能時の50%程度では、入出力処理がピーク性能を要求した時に長い時間を要するため、通常はピーク時の処理要求を満たせる設計をしている。しかしながら、平均的にはピーク時の50%程度の性能で十分であるのに、プロトコル・プロセッサは一時的に発生するピーク時性能を維持していることとなる。

40

【0009】

例えば、二つのファイバ・チャンネル機能のため、二つの完全に独立した論理コアを一つのL S Iに集積した場合を考えてみる。この二つのプロトコル・プロセッサの合計した処理能力は、前記構成の一つのファイバ・チャンネル機能のピーク性能に対して二倍の性能を持っていることになる。つまり、完全に独立しているが故にお互いの処理を、お互いのプロトコル・プロセッサに負荷分散することができず、平均的には余剰な処理能力を持つこととなる。

(課題3)

従来技術で述べたように単一ファイバ・チャンネル・インタフェースの高速化技術(10

50

G F C) が規格化されつつあり、これを実現するためには、転送レートによる単純な倍数で考えると、プロトコル・プロセッサの処理能力は 2 G b p s 時の五倍以上の性能が必要となる。従来技術で述べた方法 1、方法 2 とともに、単純に複数の素子を搭載しただけでは実現できず、高速処理可能なプロセッサ等を導入あるいは開発する必要がある。したがって、2 G b p s から 1 0 G b p s への処理移行性も考慮すべき課題である。

【 0 0 1 0 】

本願発明の目的は、上記課題を解決するために複数の 2 G b p s ファイバ・チャンネルをサポートし、1 0 G b p s ファイバ・チャンネルへの移行も考慮した柔軟な入出力制御装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

本願発明の入出力制御装置は、単一の装置内に複数のファイバ・チャンネル・インタフェースと、前記インタフェースを独立に制御可能なインタフェース制御回路を備える。

【 0 0 1 2 】

さらに、複数のファイバ・チャンネル・インタフェース上で行われるプロトコルを解釈、処理するため、フレーム受信などを契機に、プロトコル処理回路が対象となるインタフェースのポートを識別できるポート識別手段と、逆にフレーム送信などの時、対象となるインタフェースのポートを指定できるポート指定手段を備える。

【 0 0 1 3 】

さらに、前記ポート識別手段および前記ポート指定手段を用いることで複数ポートの 2 G b p s ファイバ・チャンネルを動作させた場合に、各ポートに対するプロトコル処理を行い、1 0 G b p s ファイバ・チャンネルを動作させた場合にも必要な性能を確保できる単一のプロトコル処理回路を備える。

【発明の効果】

【 0 0 1 4 】

本発明によれば、複数ポートのファイバ・チャンネル・インタフェースを備え、部品点数が少なく、物理的なホスト・バス占有もなく、プロトコル処理能力の柔軟な分配を可能にした入出力制御装置を提供できる。さらに、高速なファイバ・チャンネル・インタフェースに対応する入出力制御装置も提供できる。さらに、長距離伝送への対応も柔軟な入出力制御装置も提供できる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】本発明の一実施例を適用した入出力制御装置の構成図である。

【図 2】本発明の一実施例で用いた受信データ・バッファの構成図である。

【図 3】本発明の一実施例で用いた受信データスタックの構成図である。

【図 4】ファイバ・チャンネルで利用されるフレーム・フォーマットを示す図である。

【図 5】本発明の一実施例で用いた送信データ・バッファの構成図である。

【図 6】本発明の一実施例で用いた送信データスタックの構成図である。

【図 7】本発明で実現される入出力制御装置を備えたシステム全体の一構成図である。

【発明を実施するための形態】

【 0 0 1 6 】

以下、本願発明の一実施例の回路およびその動作について、図面を用いて説明する。

【 0 0 1 7 】

図 7 は本願発明で実現される入出力制御装置を備えたシステム全体の構成図の一例を示している。ホスト 1 0 0 0 は、一台ないし複数台の中央処理装置 1 0 0 1、ホスト・バス・コントローラ 1 0 0 2、主記憶装置 1 0 0 3、P C I / P C I - X ブリッジ 1 0 0 4 で構成され、ディスク制御装置 2 0 0 0 は、ディスク・コントローラ 2 0 0 2、ディスク装置 2 0 0 1、P C I / P C I - X ブリッジ 2 0 0 3 で構成されている。ホスト 1 0 0 0 とディスク制御装置 2 0 0 0 にはそれぞれ入出力制御装置 1 および入出力制御装置 2 が接続されており、ファイバ・チャンネル・インタフェースを介してデータのやり取りを行えるも

10

20

30

40

50

のである。

【0018】

図1は本願発明の特徴をもっとも良く示した、入出力制御装置の一実施例であり、本入出力制御装置には、4ポート分の低速なファイバ・チャンネル・インタフェース101, 201, 301, 401(本実施例では、2Gbpsを想定しており、以下2Gbpsファイバ・チャンネル・インタフェースと表記する)、および1ポート分の高速なファイバ・チャンネル・インタフェース501(本実施例では、10Gbpsを想定しており、以下10Gbpsファイバ・チャンネル・インタフェースと表記する)を備えている。この時、2Gbpsファイバ・チャンネル・インタフェースと、10Gbpsファイバ・チャンネル・インタフェースは排他的にのみ動作可能である。また、中央処理装置1001や主記憶装置1003などを含むホスト1000との情報交換を行うため、PCI/PCI-Xインタフェースを採用している。

10

【0019】

前記ファイバ・チャンネル・インタフェースの他端には光ファイバケーブルを介して、それぞれの通信先に接続されており、4本の2Gbpsファイバ・チャンネル・インタフェースは、ファイバ・チャンネル・インタフェース制御回路100, 200, 300, 400が各々独立、非同期に動作しファイバ・チャンネル・インタフェースを制御できるようになっている。10Gbpsファイバ・チャンネル・インタフェースは、ファイバ・チャンネル・インタフェース制御回路500に接続され、2Gbpsより早いリンク・スピードをサポートできるようになっている。また、本入出力制御装置は、一つのプロトコル処理回路600により、複数のファイバ・チャンネル・インタフェース上のプロトコル処理を一括して扱うことができる。

20

【0020】

まず、ファイバ・チャンネル・インタフェースからデータを受信した場合の動作を説明する。通常、ホスト1000に含まれる中央処理装置で動作中のオペレーティングシステム(OS)、アプリケーションなどで発生した入出力動作要求は、PCI/PCI-Xインタフェースなどを介して入出力制御装置に伝達される。この伝達には様々な手段が提供されており、ここでは詳細を述べないが、本実施例ではプロトコル処理機構に入出力動作要求が伝えられるものである。

【0021】

図4は、ファイバ・チャンネル・インタフェース制御回路100, 200, 300, 400で認識、組み立ての対象となるファイバ・チャンネルのフレーム・フォーマットである。前記フレームは、デリミタと呼ばれるフレーム区切りを識別するためのオーダ・セットであるSOFおよびEOFと、当該フレームに関する様々な情報を含むヘッダと、誤り検出用のCRC(Cyclic Redundancy Check)と、CRCにて妥当性が保証されたペイロードから構成されている。各ファイバ・チャンネル・インタフェース制御回路で受信するデータは、光トランシーバを介して受信したシリアル・データをパラレル・データに転換するシリアライザ・デシリアライザ(SerDes)を経由し、パラレル・データからオーダ・セットの認識、フレーム組み立て、および誤り検出用のCRCなどを用いた誤り検出を行うフレーム解析回路105を経て受信データバッファ21に書き込む準備が整えられる。ファイバ・チャンネル・インタフェース制御回路100, 200, 300, 400は、フレームと認識したデータ長をカウントしながらペイロード部分を送出し、最後のペイロード部分を送出した後、ヘッダ部分と計数したペイロード長などを、受信データ線102, 202, 302, 402に送出していく。

30

40

【0022】

受信バッファ制御回路20は、受信データ線102, 202, 302, 402上の書き込み要求を認識すると、空いているRLR番号を受信データ・バッファ21の中から選択する。このとき、複数の受信データ線102, 202, 302, 402が同時に要求を送出していた場合、動作サイクル毎にサービスすべきポートを決めておくなどの方法で書き込み要求を順次処理していく。この書き込み処理能力は、10Gbpsのリンク・スピー

50

ドを十分満足できるようにしてあり、当然2 G b p s が4ポート同時に動作しても問題のない構成である。受信データ・バッファ21は、図2の構成になっており各フレームに対応して、R L R 2 0 0 0 ~ 2 2 5 5 のどれか一つに書き込まれる。あるポートからの書き込みが完了した時点で、受信バッファ制御回路20は、受信データスタック22に、該ポートを識別する番号と該ポートから受信したフレームデータが格納されたR L R 番号を書き込み(図3)、対応するR L R の利用状態を示すビジービット29をビジー状態に設定する。ビジービット29は、プロトコル処理回路600により、対応するR L R 番号に格納されたフレームの処理が完了した時点で空き状態に設定される。受信バッファ制御回路20には、プロトコル処理回路からの10 G F C フラグ線601が接続されており、該10 G F C フラグ線601が'1'の時、2 G b p s ファイバ・チャネル・インタフェース制御回路からの書き込み要求を抑止する手段が提供されている。

10

【0023】

図3に示されている受信データスタック22は、入力ポインタ23と出力ポインタ24を持つF I F O 構成であり、初期状態は入力ポインタと出力ポインタは同じスタック位置を指し示している。本実施例では、256個のスタックが可能である。入力ポインタ23の更新は、前記のフレーム受信完了を契機に行われる。これにより入力ポインタ23と出力ポインタ24の状態をチェックする不一致検出回路25が成立状態となり、割り込み保留レジスタ26が設定される。これと同時に、出力ポインタ24の示すスタックの内容が、受信ポート識別レジスタR P O R T 2 7 と受信バッファ面識別レジスタR L R 2 8 へと読み出され、出力ポインタ24は1スタック分更新される。この時、割り込み保留レジスタ26が設定されている間は、受信ポート識別レジスタR P O R T 2 7 、受信バッファ面識別レジスタR L R 2 8 および出力ポインタ24の更新は抑止され、誤って前記レジスタと出力ポインタが更新されるのを防ぐ役目を果たしている。

20

【0024】

割り込み保留レジスタ26が設定されると、プロトコル処理回路600は新たなフレームを受信したことを認識し、受信ポート識別レジスタR P O R T 2 7 および受信バッファ面識別レジスタR L R 2 8 を読み出すことで、複数あるファイバ・チャネル・インタフェースのどのポートからのフレームで、該フレームが受信データ・バッファ21のどのR L R 番号に格納されているかを識別することができる。プロトコル処理回路600には、割り込み保留レジスタ26をクリアする手段があり、受信ポート識別レジスタR P O R T 2 7 および受信バッファ面識別レジスタR L R 2 8 の内容をローカル記憶に待避した後などに、前記クリア手段を用いて割り込み保留レジスタ26をクリアする。複数のフレームが、受信データスタック22に保留されていれば、再度割り込み保留レジスタ26が設定される。プロトコル処理回路600は、ここで取得したポート番号およびR L R 番号からプロトコルに必要な処理を行い、ホストへのデータ転送が必要であれば、D M A 制御回路900にR L R 番号で示される受信データ・バッファ内アドレス、主記憶アドレス、およびデータ転送長を指示することができる。データ転送を指示されたD M A 制御回路900は、R L R 番号から受信データ・バッファ21のデータ位置を特定し、P C I / P C I - X 制御回路800を介してホスト1000とのデータ転送を開始する。割り込み保留時のポート番号およびR L R 番号の識別手段を提供することで、共通のプロトコル処理回路600で、複数のポートに跨ったプロトコル処理を実施することが可能となり、さらに、フレームの受信報告がフレーム到着順になることから、各ポートはフレーム多重度が大きいほどサービス期間が長くなり、入出力要求に対する負荷バランスも自明的に達成できる。

30

40

【0025】

又、複数のファイバ・チャネル・インタフェースに係る受信データ・バッファを共有化することで柔軟なバッファ構成を提供できる。即ち、ファイバ・チャネル・インタフェース制御回路内のそれぞれに当該ポートが利用できる受信データ・バッファ数を定義するレジスタR F C N T 1 0 6 を設け、入出力制御装置の初期化時などに前記R F C N T にポート毎に許容する受信データ・バッファ数を、全バッファ面数の範囲で設定する。本願発明の実施例では255面のバッファ面数を持っているため、例えばポート0は128面、ポ

50

ート1は64面、ポート2~3は32面などに設定できる。あるいは、ポート0~1のみ動作させる場合は、ポート0~1に128面ずつ設定、あるいは、ポート0のみ動作させる場合は、ポート0に256面を設定しても良い。本手段を提供することにより、長距離伝送時に必要となるバッファ・クレジット数を、HWの変更無しに提供することも可能になる。

【0026】

次に、ファイバ・チャンネル・インタフェースヘータを送信する場合の動作を説明する。

【0027】

受信動作時と同様に、入出力動作要求を認識したプロトコル処理回路600は、まず、ファイバ・チャンネル・インタフェースへのデータ送信を行うため、送信データ・バッファ11内のバッファ確保と、該バッファへ送信すべきデータを格納する必要がある。バッファの確保は、プロトコル処理回路内でビジー管理を行っても良いし、送信バッファ面指定レジスタTLR12へのバッファ番号設定とビジー状態の設定コマンドを送信バッファ制御回路10に送出してもよいが、どちらかの手段でも本願発明の構成を規定するものではなく、バッファ面に対応したビジー・フラグが提供されていればよい。送信データ・バッファ11へのデータ書き込みは、プロトコル処理回路600が対象データを生成し処理回路書き込みデータ線602を介して行う方法1と、プロトコル処理回路600がデータ転送指示をおこなうことでDMA制御回路900がDMA書き込みデータ線902を介して行う方法2が提供されている。方法2において、プロトコル処理回路600から指示されたデータ転送が完了すると、DMA制御回路900は完了報告(割り込み等)する手段を備えている。送信データ・バッファ11には、図5のようにバッファ面数毎に分割されており、例えば図4のファイバ・チャンネルのフレーム・フォーマット中のペイロード部を格納できる容量が確保されている。また、フレーム・フォーマット中のSOF、EOF、およびヘッダ部情報は、送信データ・バッファ11のバッファ面数に対応した格納手段が別途提供されており、プロトコル処理回路600からの前記格納手段への書き込み手段も合わせて提供されている。

【0028】

送信すべきデータの準備が完了すると、プロトコル処理回路600は送信バッファ面指定レジスタTLR12に送信データ・バッファ11のバッファ番号を格納し、送信ポート指定レジスタTPORT13には前記送信データ・バッファの内容を送信するファイバ・チャンネル・インタフェースのポート番号を格納する。送信ポート指定レジスタTPORT13の後段にあるポート・アドレス・デコーダ(DEC)14はイネーブル付きデコード論理で構成されており、プロトコル処理回路600が送信コマンド線603にトリガ信号を送出することでデコード論理がイネーブルとなり、送信コマンドデコード線17のうちどれか一つに実際の送信指示信号が送出される。したがって、送信ポート指定レジスタTPORT13を設定することにより、一つのプロトコル処理回路600が、複数のファイバ・チャンネル・インタフェースへの送信指示を実施できる。また、ポート・アドレス・デコーダ(DEC)14のイネーブル信号入力の前段にあるAND15には、プロトコル処理回路からの10GFCフラグ線601が接続されており、前記10GFCフラグ線601が'1'のとき4つの2Gbpsファイバ・チャンネル・インタフェース制御回路への送信コマンドデコード線17が常に無効となる。

【0029】

前記処理にて送出される送信コマンドデコード線17を受領したファイバ・チャンネル・インタフェース制御回路の内の一つは、送信バッファ面指定レジスタTLR12の内容を送信データスタック111に、図6の示す形式で格納する。前記送信データスタック111はFIFOで構成されており、受信バッファ制御回路20と同様に順次送信要求が発生し、送信データスタック111に格納されたTLR番号がフレーム生成回路110に伝達される。フレーム生成回路110には、送信データ・バッファ11から送信すべきデータを読み出す為の送信データ読み出し線18が接続されており、さらにSOF、EOF、ヘッ

10

20

30

40

50

ダ情報を読み出す手段も提供されており、さらにCRCコードを生成し、それらを組み立てることで図4のフレームを生成する。生成されたフレームはシリアライザ・デシリアライザ (SerDes) でパラレル・データからビット・シリアル・データに変換され、光トランシーバを経てファイバ・チャンネル・インタフェースの他端へと送出される。

【0030】

図1に示されるように、送信データ読み出し線18は、4つの2Gbpsファイバ・チャンネル・インタフェース制御回路100, 200, 300, 400が共有しており、プロトコル処理回路600から指示される送信コマンドが連続的に発行されると、送信読み出しデータ線18には異なるポートへのデータが時系列で入れ替わりながら送出される。受信データの受信データ・バッファ21への書き込みと同様に、10Gbpsのリンク・スピードを満足する構成であり、2Gbpsが4ポート同時に読み出しを行っても問題のない構成を、送信データ・バッファ11は備えている。

10

【0031】

ファイバ・チャンネル・インタフェース制御回路100, 200, 300, 400は、フレーム送信が完了すると該送信データ・バッファを解放する。解放する手段は、前述した送信データ・バッファ面毎のビジー・フラグを'0'にすればよい。解放された送信データ・バッファ面は、プロトコル処理回路600が任意のポートのために行うフレーム送信に再利用される。

【0032】

以上、本願発明の一実施例の動作および構成の説明は、主に2Gbpsファイバ・チャンネル・インタフェースが4ポート同時に動作する場合について行ってきた。10Gbpsのファイバ・チャンネル・インタフェース制御回路には、2Gbps時よりも高速に動作させるため、IEEEの10Gbps仕様で規定されるXGXSなどのサブレイヤ回路が組み込まれている。しかし、基本的な構成は同様であり、プロトコル処理回路600からの10GFCフラグ線601が'1'に設定されるだけであり、2Gbpsの多ポート動作時に発生したバッファへのアクセス競合は存在せず、プロトコル処理回路600は全処理能力を、1ポートの10Gbpsファイバ・チャンネルに割り当てることができる。

20

【符号の説明】

【0033】

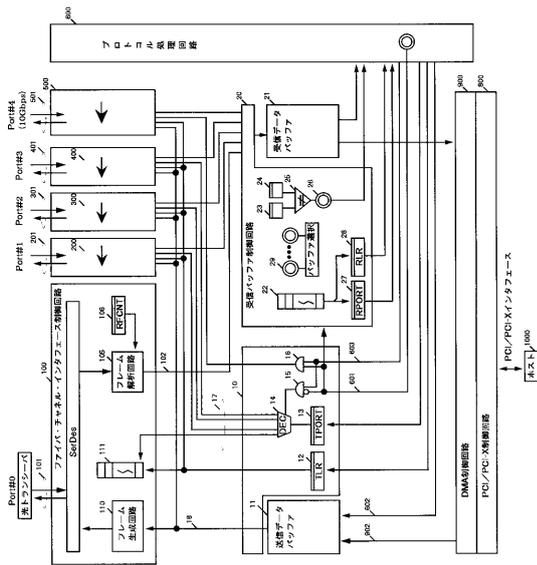
- 1 ホスト装置に接続された入出力制御装置
- 2 ディスク制御装置に接続された入出力制御装置
- 10 送信バッファ制御回路
- 11 送信データ・バッファ
- 12 送信ポート指定レジスタ
- 13 送信バッファ面指定レジスタ
- 20 受信バッファ制御回路
- 21 受信データ・バッファ
- 22 受信データスタック
- 27 受信ポート識別レジスタ
- 28 受信バッファ面識別レジスタ
- 100, 200, 300, 400 2Gbps用のファイバ・チャンネル・インタフェース制御回路
- 101, 201, 301, 401 2Gbpsファイバ・チャンネル・インタフェース
- 500 10Gbps用のファイバ・チャンネル・インタフェース制御回路
- 501 10Gbpsファイバ・チャンネル・インタフェース
- 600 プロトコル処理回路
- 800 PCI/PCI-X制御回路
- 900 DMA制御回路
- 1000 ホスト装置
- 2000 ディスク制御装置

30

40

50

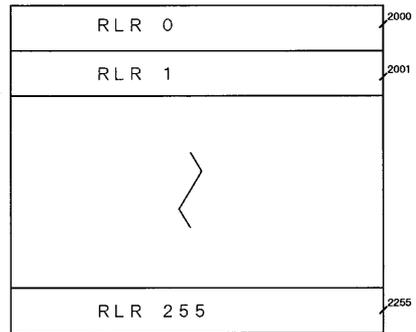
【 図 1 】



【 図 1 】

【 図 2 】

【 図 2 】



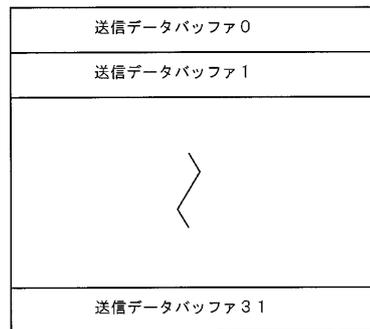
【 図 3 】

【 図 3 】

| | | |
|-------|--------|-------|
| 0 : | RLR 番号 | ポート番号 |
| 1 : | RLR 番号 | ポート番号 |
| ⋮ | | |
| 255 : | RLR 番号 | ポート番号 |

【 図 5 】

【 図 5 】



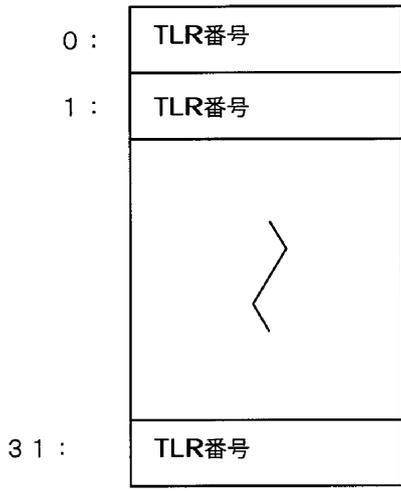
【 図 4 】

【 図 4 】

| | | | | |
|-------------|--------------|--------------------|-------------|-------------|
| SOF (4byte) | ヘッダ (24byte) | ペイロード (0-2112byte) | CRC (4byte) | EOF (4byte) |
|-------------|--------------|--------------------|-------------|-------------|

【図6】

【図6】



【図7】

【図7】

