

(12) 发明专利申请

(10) 申请公布号 CN 103000618 A

(43) 申请公布日 2013. 03. 27

(21) 申请号 201210350346. 5

(22) 申请日 2012. 09. 17

(30) 优先权数据

13/235, 166 2011. 09. 16 US

(71) 申请人 阿尔特拉公司

地址 美国加利福尼亚

(72) 发明人 A·拉曼 J·M·隆 谢园林

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 张宁

(51) Int. Cl.

H01L 25/00 (2006. 01)

H01L 25/065 (2006. 01)

H01L 23/488 (2006. 01)

H01L 21/60 (2006. 01)

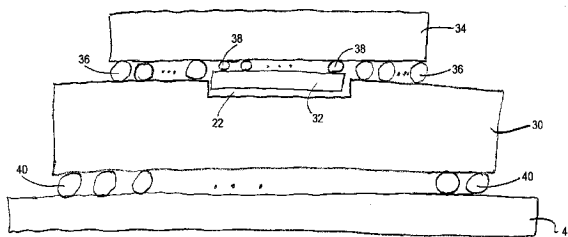
权利要求书 2 页 说明书 8 页 附图 7 页

(54) 发明名称

用于层叠的电子电路系统的装置及相关联的方法

(57) 摘要

本发明涉及一种用于层叠的电子电路系统的装置及相关联的方法。一种装置包括衬底和成对裸片,该成对裸片包括电子电路系统。该衬底包括空腔。裸片之一布置在形成于衬底中的空腔中。另一个裸片布置在第一裸片之上并且与第一裸片电耦合。



1. 一种装置,包括:
衬底,其包括空腔;
第一裸片,其包括电子电路系统,所述第一裸片布置在所述衬底中的所述空腔中;以及
第二裸片,其包括电子电路系统,所述第二裸片布置在所述第一裸片之上并且与所述第一裸片电耦合。
2. 根据权利要求 1 所述的装置,其中所述空腔形成在所述衬底的面对所述第二裸片的表面中。
3. 根据权利要求 1 所述的装置,其中定制所述空腔的尺度,使得所述第一裸片可以驻留于所述空腔中。
4. 根据权利要求 2 所述的装置,其中所述空腔具有大约 100 微米到大约 300 微米的深度。
5. 根据权利要求 1 所述的装置,其中所述衬底包括核芯和在所述核芯的至少一个表面上制造的多个构建层,所述空腔形成在所述核芯之上。
6. 根据权利要求 5 所述的装置,其中所述构建层包括至少一个介电层和至少一个金属层。
7. 根据权利要求 6 所述的装置,其中所述空腔形成在至少一个介电层和至少一个金属层中。
8. 根据权利要求 6 所述的装置,其中所述构建层包括至少一个焊料掩膜层。
9. 根据权利要求 8 所述的装置,其中所述空腔形成在至少一个焊料掩膜层中。
10. 根据权利要求 8 所述的装置,其中所述空腔形成在以下项中的一项或多项中:
 - (a) 至少一个介电层;
 - (b) 至少一个金属层;以及
 - (c) 至少一个焊料掩膜层。
11. 一种电子组件,包括:
第一半导体裸片,其包括电子电路系统;
衬底,其包括形成在所述衬底的第一表面中的空腔,定制所述空腔的尺度以便所述第一半导体裸片驻留于所述空腔中;
第二半导体裸片,其包括现场可编程门阵列 (FPGA) 电路系统,所述第二半导体裸片布置在所述衬底的第一表面之上并且与所述第一半导体裸片键合。
12. 根据权利要求 11 所述的电子组件,其中所述第一半导体裸片中的电子电路系统包括专用集成电路 (ASIC) 电路系统。
13. 根据权利要求 11 所述的电子组件,其中所述衬底包括核芯和在所述核芯的至少一个表面上制造的多个构建层。
14. 根据权利要求 12 所述的电子组件,其中所述多个构建层包括:
 - (a) 至少一个介电层;
 - (b) 至少一个金属层;以及
 - (c) 至少一个焊料掩膜层。
15. 根据权利要求 14 所述的电子组件,其中所述空腔形成在所述至少一个介电层和所述至少一个金属层中。

16. 根据权利要求 14 所述的电子组件,其中所述空腔形成在所述至少一个焊料掩膜层中。

17. 根据权利要求 11 所述的电子组件,其中所述现场可编程门阵列 (FPGA) 电路系统包括可编程互连电路系统,并且其中所述可编程互连电路系统可以适于提供所述第一半导体裸片和所述第二半导体裸片之间的可配置电互连。

18. 一种制造电子组件的方法,所述方法包括:

制造具有空腔的衬底;

在所述空腔中布置第一裸片;

在所述第一裸片之上布置第二裸片;以及

将所述第一裸片与所述第二裸片键合。

19. 根据权利要求 18 所述的方法,其中所述衬底包括核芯和在所述核芯的至少一个表面上制造的多个构建层,并且其中为了制造所述空腔,使用光刻、激光去除或二者来处理所述多个构建层。

20. 根据权利要求 18 所述的方法,其中所述多个构建层包括至少一个介电层、至少一个金属层和至少一个焊料掩膜层;并且其中所述空腔 (a) 形成在所述至少一个介电层、所述至少一个金属层和所述至少一个焊料掩膜层中,或者 (b) 形成在所述至少一个焊料掩膜层中。

用于层叠的电子电路系统的装置及相关联的方法

技术领域

[0001] 所公开的概念总体涉及电子器件封装和制造,并且更具体地涉及用于电子电路系统或器件的面对面键合或层叠的装置及相关联的方法。

背景技术

[0002] 随着电路和系统设计的发展,电子电路的复杂度(诸如集成器件的数目)日益增加。增加的集成度带来每单元尺寸或面积的更小成本、更小的器件尺寸、增加的功能性以及更小的器件。

[0003] 为了进一步增加电路或器件密度,有时在三维(3D)配置中布置电子电路或器件或者层叠电子电路或器件。通过层叠器件,所得到的器件的占用面积缩小。而且,层叠器件可以减小总体互连长度。更小的互连长度又会带来更快的信号传播、更少受噪声影响、更低的功耗等。此外,在3D配置中层叠器件允许“混合和匹配”执行不同功能、使用不同技术等器件。

发明内容

[0004] 在一个示例性实施例中,装置包括衬底和成对裸片,该成对裸片包括电子电路系统。该衬底包括空腔。裸片之一布置在形成于衬底中的空腔中。另一个裸片布置在第一裸片之上并且与该第一裸片电耦合。

[0005] 在另一示例性实施例中,电子组件包括第一半导体裸片以及衬底,该第一半导体裸片包括电子电路系统。该衬底包括形成于衬底的表面中的空腔。定制该空腔的尺度以便第一半导体裸片驻留在该空腔中。该电子组件还包括另一个半导体裸片,该另一个半导体裸片包括现场可编程门阵列(FPGA)电路系统,并且布置在第一半导体裸片之上且与该第一半导体裸片键合。

[0006] 在又一示例性实施例中,制造电子组件的方法包括制造具有空腔的衬底以及将裸片布置在空腔中。该方法进一步包括将另一裸片布置在第一裸片之上以及将这两个裸片键合在一起。

附图说明

[0007] 所附附图仅图示了示例性实施例并且因此不应被看做限制其范围。受益于本公开的本领域普通技术人员明白,所公开的概念给他们自己带来其它等效效应的实施例。在附图中,多个附图中使用的相同标号指示符表示相同的、类似的或等同的功能、组件或块。

[0008] 图1图示了根据示例性实施例的、具有层叠半导体裸片的器件。

[0009] 图2至图6描绘了根据示例性实施例的、用于制造具有层叠半导体裸片的器件的技术的各种步骤。

[0010] 图7示出了根据示例性实施例的、具有层叠在多个半导体裸片之上的半导体裸片的器件。

[0011] 图 8 图示了根据示例性实施例的、在层叠裸片之间的信号流或电互连或耦合。

[0012] 图 9 描绘了在示例性实施例中使用的现场可编程门阵列 (FPGA) 的框图。

具体实施方式

[0013] 所公开的概念总地涉及电子器件封装和制造。更具体而言,所公开的概念涉及用于电子电路系统或器件的面对面键合或层叠的装置及相关联的方法。

[0014] 本公开的一个方面关于层叠的半导体裸片,其中一个裸片驻留在空腔或沟槽中,而另一个裸片布置或者位于该空腔之上。这两个裸片可以具有在它们之间的机械键合和/或电耦合。图 1 图示了根据一个示例性实施例的具有层叠半导体裸片的器件。

[0015] 具体而言,图 1 中的器件包括半导体裸片 32 和半导体裸片 34。裸片 32 驻留于衬底 30 中的空腔或沟槽 22 中。在一些示例性实施例中,空腔 22 可以形成在衬底 30 的表面中(例如,在构建层中),诸如形成在衬底 30 的顶表面中。

[0016] 空腔 22 具有允许裸片 32 插入、布置或放置在空腔 22 中或空腔 22 内的尺度(宽度、长度和深度)。注意,图 1 将裸片 32 示出为不完全驻留于空腔 22 内,这仅用于帮助呈现细节,并且注意,图 1 中的各项不一定按照比例绘制。在一些示例性实施例中,空腔 22 的深度可以使得裸片 22 的顶表面与衬底 30 的顶表面齐平或基本齐平(即,共面或基本共面,从而使得公差不会不利地影响器件的制造和/或两个裸片之间的键合)。

[0017] 一般来讲,空腔 22 的尺度取决于裸片 32 的尺度。图 1 中的器件提供如下优势:裸片 32 无需制成较薄以便空腔 22 容纳裸片 32。因而,可以选择空腔 22 的尺度,从而使得可以容纳许多不同类型和尺寸的裸片 32。在一些示例性实施例中,空腔 22 可以具有 100-300 微米的深度。空腔 22 的深度的尺度不必精确。在一些实施例中,空腔 22 可以具有大约 100 微米到大约 300 微米的深度。在其它一些实施例中,可以使用其它值。

[0018] 然而,在一些实施例中,根据需要,裸片 32 可以制成较薄(在制造后或者通过为裸片 32 选择较薄的初始半导体衬底)从而减小空腔 22 的深度。例如,当裸片 32 具有相对较大的厚度并且在不修改的情况下可用的技术或制造工具无法适应裸片 32 时,可能期望该布置以减小其厚度。

[0019] 裸片 32 经由耦合机构 38 电耦合(并且机械键合)到裸片 34。如本领域普通技术人员所明白的那样,耦合机构 38 可以包括用于将裸片 32 中或裸片 32 上的电路系统与裸片 34 中或裸片 34 上的电路系统电耦合的适合机构,例如,焊料球、焊料凸块、微凸块等。在焊接阶段期间,耦合机构 38 形成裸片 32 和裸片 34 之间的机械键合和电耦合。

[0020] 裸片 34 经由耦合机构 36 电耦合(并且机械键合)到衬底 30。耦合机构 36 可以包括用于将裸片 34 中或裸片 34 上的电路系统与衬底 30 中或衬底 30 上的电路系统或互连电耦合的适合机构。如本领域普通技术人员所明白的那样,一些示例包括焊料球、焊料凸块、倒装芯片凸块等。在焊接阶段期间,耦合机构 36 形成裸片 34 和衬底 30 之间的机械键合和电耦合。

[0021] 如下面详细描述的那样,在一些示例性实施例中,衬底 30 包括互连层和过孔(在图 1 中未示出)。耦合机构 36 为裸片 34 上或裸片 34 中的电路系统提供耦合到衬底 30 上或衬底 30 中的各种互连或过孔的方式。如下面详细描述的那样,在一些示例性实施例中,衬底 30 包括在其上或在其内形成互连或过孔的核芯(core)(在图 1 中未示出)。

[0022] 在一些示例性实施例中,衬底 30 可以耦合到电路载体、板或衬底 42。电路载体 42 可以是用于物理连接和电耦合到裸片 32、裸片 34 和 / 或衬底 30 中的电路系统、互连和 / 或过孔的适合器件。在一些示例性实施例中,如本领域普通技术人员所明白的那样,电路载体 42 可以是印刷电路板 (PCB)、厚膜衬底等。根据需要,取决于诸如待容纳的互连的复杂度之类的因素,电路载体 42 可以包括各种各样的层、过孔等。

[0023] 除了衬底 30 之外,电路载体 42 可以电耦合(根据需要,并且机械耦合)到各种各样的其它器件和电子电路系统(在图 1 中未示出)。一些示例包括集成电路(IC)、互连(例如,边缘连接器)、分立器件(有源器件(例如,晶体管、二极管)和无源器件(电阻器、电感器、电容器)二者)。以此方式,根据需要,电路载体和包括在裸片 32 和裸片 34 中或包括在裸片 32 和裸片 34 上的电路系统可以提供完整系统、子系统或块的功能。

[0024] 本公开的一个方面涉及用于制造如下器件的技术,该器件包括或使用图 1 中所示的在裸片 32 和裸片 34 之间的裸片到裸片耦合或键合,其中裸片 32 和裸片 34 布置在层叠配置中。图 2 至图 6 图示了根据一些示例性实施例的此类技术的各种步骤。更具体而言,图 2 至图 6 示出了在各种制造步骤或阶段期间的核芯、衬底、构建层等的横截面。

[0025] 如上面所指出的那样,在一些示例性实施例中,衬底 30(参见图 1)具有核芯。处理衬底 30 的核芯以便向衬底 30 的顶表面和 / 或底表面形成和添加构建层。如下面详细描述的那样,构建层可以包括一个或多个介电层、一个或多个金属层(用于互连)以及一个或多个焊料掩膜层(以及可能的其它层,取决于具体应用)。制造可以开始于使用已经包括核芯和制造的构建层的衬底 30,或者开始于使用基础核芯和制造构建层。

[0026] 图 2 示出了其中制造开始于用于衬底 30 的核芯 10 的情形(参见图 1)。参照图 2,核芯 10 可以具有期望的厚度并且由适合材料制成。一般而言,选择核芯 10 的厚度使得提供期望的机械特性,诸如刚性、对机械应力(例如,扭曲或弯曲)的阻性等。如本领域普通技术人员所明白的那样,核芯 10 可以由适合材料(诸如纤维玻璃)制成。

[0027] 在一些示例性实施例中,在核芯 10 的顶表面上制造或沉积介电层 12A(参见图 2)。类似地,在核芯 10 的底表面上制造或沉积介电层 12B。可以使用适合材料制造介电层 12A-12B,并且介电层 12A-12B 可以具有期望的或适合的厚度。在一些情形中,针对层 12A-12B 使用相同的厚度可以有助于提供改善的机械稳定性和避免或减少在制造、处理(例如,与电路载体 42 的连接或焊接(参见图 1))和 / 或使用期间对诸如核芯 10 的翘曲或扭曲之类的机械应力的易感性(susceptibility)。

[0028] 参照图 3,可以制造期望数目的过孔。图 3 示出了两个过孔 14A-14B 的示例,但可以制造其它数目的过孔。通过在介电层 12A-12B 和核芯 10 中制作开口形成或制造过孔 14A-14B。如本领域普通技术人员所明白的那样,可以使用适合技术(诸如光刻或通过使用激光(或其它技术)去除介电层 12A-12B 和核芯 10 的适当部分)制造过孔 14A-14B。

[0029] 此外,在介电层 12A 中制造空腔 22(如果有的话,可以是空腔 22 的可以驻留于介电层中的一部分)。更具体而言,去除介电层 12A 的一部分以打开空腔 22。如本领域普通技术人员所明白的那样,可以使用适合技术(诸如光刻或通过使用激光(或其它技术)去除介电层 12A 的适当部分)制造空腔 22。

[0030] 如上面所指出的那样,衬底 30 包括用于将半导体裸片耦合在一起和 / 或将半导体裸片耦合到电路载体、其它电路系统等机构或互连。在一些示例性实施例中,这样的互连

可以通过使用在核芯 10 的任一侧上的一个或更多个金属层来制造。在一些示例性实施例中,如下所述的那样,金属层制造在核芯 10 的顶侧和底侧二者上。

[0031] 参照图 4,在核芯 10 的顶表面上(即在介电层 12A 之上)制造或沉积金属层 16A。类似地,在核芯 10 的底表面上(即在介电层 12B 之上)制造或沉积金属层 16B(为了沉积金属层 16B,可以翻转核芯 10)。

[0032] 可以使用适合材料制造金属层 16A-16B,并且金属层 16A-16B 可以具有期望的或适合的厚度。在一些情形中,针对层 16A-16B 使用相同厚度可以有助于提供改善的机械稳定性并且避免或减少在制造、处理(例如,与电路载体 42 的连接或焊接(参见图 1))和/或使用期间对诸如核芯 10 的翘曲或扭曲之类的机械应力的易感性。

[0033] 可以对金属层 16A-16B 进行适当地构图以提供期望的互连或耦合机构。图案取决于期望的电路拓扑和互连。在图 4 中所示的示例性实施例中,在金属层 16A 中制作开口或孔洞 18A,以制作互连图案。类似地,在金属层 16B 中制作开口或孔洞 18B,以制作互连图案。在金属层 16A-16B 的制造期间,如本领域普通技术人员所明白的那样,过孔 14A-14B 可以镀覆有金属。如本领域普通技术人员所明白的那样,可以使用适合技术(诸如光刻或通过使用激光(或其它技术)去除金属层 16A-16B 的适当部分)构图金属层 16A-16B。

[0034] 如本领域普通技术人员所明白的那样,可以制造任何期望或适当数目的开口以对金属层 16A-16B 构图。图 4 示出了开口 18A 和 18B 以仅提供示例。如本领域普通技术人员所明白的那样,开口的数目和位置的选择取决于诸如电路拓扑、互连版图、可用金属层的数目之类的因素。如本领域普通技术人员所明白的那样,类似于开口 18A-18B,可以通过使用适合技术(诸如光刻或通过使用激光(或其它技术)去除金属层 16A-16B 的适当部分)制造期望数目的开口。

[0035] 此外,在金属层 16A 中制造空腔 22(如果有的话,为空腔 22 的驻留于金属层 16A 内的部分)。更具体而言,去除金属层 16A 的一部分以打开空腔 22。换句话说,随着图 1 中所示总体结构的制造进行,逐层地制造空腔 22。如本领域普通技术人员所明白的那样,可以使用适合技术(诸如光刻或通过使用激光(或其它技术)去除金属层 16A 的适当部分)制造空腔 22。

[0036] 如所指出的那样,在一些实施例中,可以通过沉积附加介电层和金属层以及制造期望的互连图案来制造附加金属层和/或过孔。如本领域普通技术人员所明白的那样,金属层和介电层的数目取决于诸如电路复杂度、过孔和互连的期望数目之类的因素。在此类实施例中,如上所述通过去除这些层的适当部分,将用于空腔 22(如果有的话,为空腔 22 的驻留于此类层内的部分)的开口扩展到附加介电层和金属层。

[0037] 参照图 5,在核芯 10 的顶表面上(即在金属层 16A 之上)制造或沉积焊料掩膜层 20A。类似地,在核芯 10 的底表面上(即在金属层 16B 之上)制造或沉积焊料掩膜层 20B(为了在底侧上制造,可以翻转核芯 10)。在一些示例性实施例中,焊料掩膜层 20A-20B 可以具有在大约 25 微米到大约 50 微米范围中的厚度,但可以使用其它值。

[0038] 焊料掩膜层 20A-20B 提供本领域普通技术人员完全理解的功能。例如,焊料掩膜层 20A-20B 有助于防止各种组件的焊接期间相邻互连走线之间的电短路和不希望的机械键合。

[0039] 可以使用适合材料制造焊料掩膜层 20A-20B,并且焊料掩膜层 20A-20B 可以具有

期望的或适当的厚度。在一些情形中,针对层 20A-20B 使用相同厚度可以有助于提供改善的机械稳定性和避免或减少在制造、处理(例如,与电路载体 42 的连接或焊接(参见图 1))和/或使用期间对诸如核芯 10 的翘曲或扭曲之类的机械应力的易感性。

[0040] 可以对焊料掩膜层 20A-20B 进行适当地构图以助于分别提供去往金属层 16A-16B 的期望的互连或耦合机构。如上面所指出的那样,图案取决于期望的电路拓扑和互连。在图 5 中所示的示例性实施例中,将开口 18A 和 18B 分别扩展到焊料掩膜层 20A-20B。可以在焊接阶段期间填充开口(以将裸片 34 耦合到裸片 32 以及将衬底 30 耦合到电路载体 42 等)。如本领域普通技术人员所明白的那样,可以使用适合技术(诸如光刻或通过使用激光(或其它技术)去除焊料掩膜层 20A-20B 的适当部分)来对焊料掩膜层 20A-20B 进行构图。

[0041] 此外,在焊料掩膜层 20A 中制造空腔 22(空腔 22 的驻留于焊料掩膜层 20A 内的部分)。更具体而言,去除焊料掩膜层 20A 的一部分以打开空腔 22。如本领域普通技术人员所明白的那样,可以使用适合技术(诸如光刻或通过使用激光(或其它技术)去除焊料掩膜层 20A 的适当部分)来制造空腔 22。

[0042] 在一些实施例中,可以在核芯 10 的顶部和底部上沉积多个焊料掩膜层。例如,如下面详细描述的那样,在一些实施例中,裸片 32(参见图 1)可以驻留于空腔 22 内,空腔 22 在多个焊料掩膜层中制造并且不扩展到底层金属和介电层。

[0043] 参照图 6,在一个或多个焊料掩膜层 20A 内形成空腔 22。更具体而言,空腔 22 存在于焊料掩膜层 20A 内,而不在金属层 16A 和介电层 12A 内。这种配置稍微简化了空腔 22 的制造。空腔 22 的制造涉及刻蚀或去除焊料掩膜层 20A 的部分,而不是除了金属层 16A 和介电层 12A 之外的焊料掩膜层 20A。

[0044] 在一些实施例中,可以层叠多于两个的裸片。此类实施例提供可以使用的电子电路系统的类型和配置的增加的灵活性。例如,一个层叠裸片可以包括数字电路系统,而另一个层叠裸片可以包括模拟电路系统。作为另一个示例,一个层叠裸片可以包括使用基于硅的技术实现的电路系统,而另一个层叠裸片可以包括使用另一半导体(诸如砷化镓(GaAs)、锗硅(SiGe)等)实现的电路系统。

[0045] 作为又一示例,一个裸片可以包括使用具有具体特征尺寸(例如,90nm)的制造技术实现的电路系统,而另一个层叠裸片可以包括使用具有不同特征尺寸(例如,45nm)的制造技术实现的电路系统。使用这些技术,可以提供用于按照各种半导体技术提供功能的灵活方式。

[0046] 在一些实施例中,使用层叠裸片实现的电路系统可以提供不同或互补的功能。例如,一个层叠裸片(例如,图 1 中的裸片 32)可以包括专用 IC(ASIC)电路系统、片上系统(SoC)等,而另一个层叠裸片(例如,图 1 中的裸片 34)可以包括现场可编程门阵列(FPGA)电路系统。以此方式,ASIC(或 SoC)可以提供具有较低面积和功耗开销的总体系统功能的一些部分(虽然具有较低灵活性),而 FPGA 提供具有增加的灵活性、可编程性或可配置性的总体系统功能的其它一些部分。

[0047] 图 7 示出了根据一个示例性实施例的一个裸片层叠在两个裸片之上。更具体而言,裸片 34 层叠在裸片 32A 和裸片 32B 之上。裸片 32A 和裸片 32B 分别驻留在空腔 22A 和空腔 22B 内。可以使用上述技术来制造空腔 22A-22B。

[0048] 耦合机构 38A 为裸片 34 提供与裸片 32A 上或裸片 32A 中的电路系统电耦合和通信的方式。类似地,耦合机构 38B 为裸片 34 提供与裸片 32B 上或裸片 32B 中的电路系统电耦合和通信的方式。图 7 中的器件的其它特征可以与图 1 中所示器件的特征类似。通过裸片 34 中或裸片 34 上形成的互连,裸片 32A 中的电路系统可以耦合到裸片 32B 中的电路系统。以此方式,可以按照灵活的方式提供完整系统、子系统或块。

[0049] 注意,如本领域普通技术人员所明白的那样,图 7 中所示的配置仅提供示例,并且许多变形是可能的。例如,代替两个裸片层叠在裸片 34 之下,可以使用更大数目的裸片。作为另一示例,代替使用一个裸片 34 层叠在裸片 32A-32B 之上,可以在两个裸片 32A-32B 之上分别层叠两个裸片 34A-34B。

[0050] 可以使用根据各种实施例的具有层叠半导体裸片的器件来制作具有期望功能的系统。通过使用包括具有宽广范围和类型的电路系统的电路系统的裸片,提供用于制作复杂系统的灵活机构。如图 8 图示的那样,耦合机构(例如参见图 1 和图 7 中的耦合机构 36、38 和 40)提供用于各种裸片之间的信号流的灵活机构。

[0051] 具体而言,互连或耦合机构 138(可以包括图 1 和图 7 中的耦合机构 36、38 和 40 中的一个或多个)允许裸片 32 中或裸片 32 上包括的电路系统与裸片 34 中或裸片 34 上包括的电路系统通信。根据需要,通信的方向可以是单向、半双向或全双向(如图 8 中所示)。在其中使用多个的裸片(例如,图 7 中的裸片 32A 和裸片 32B)的情形中,可以扩展互连 138 以提供这些裸片和裸片 34 之间的通信和耦合。

[0052] 参照图 8,在一些实施例中,互连 138 中的一些或全部可以是可配置的。因而,在包括裸片 32 和裸片 34 的器件的设计、制造和/或使用期间,可以确定或实现互连 138 中的线和信号的类型、功能、数目等。例如,在一些实施例中,可以在器件的设计阶段期间确定互连 138 的特性。在一些其它实施例中,可以在器件的制造阶段期间(例如,通过使用熔丝、反熔丝等)确定互连 138 的特性。

[0053] 在其它一些实施例中,可以在器件的使用期间确定互连 138 的特性。例如,如上面指出的那样,裸片 34(参见图 1 或图 7)可以包括 FPGA 电路系统。FPGA 电路系统的功能可以通过终端用户编程。更具体而言,终端用户可以对 FPGA 中的某些互连的功能进行编程。通过使用 FPGA 的资源实现互连 138 的部分,用户可以使用 FPGA 计算机辅助设计(CAD)软件流来确定互连 138 的至少一些特性和功能。

[0054] 当然,可以使用上述技术中的一种或多种技术的组合。换言之,可以在器件的设计、制造和使用阶段中的多个阶段期间确定互连 138 的特性。

[0055] 如上面指出的那样,在一些实施例中,层叠裸片中的一个或多个可以包括 FPGA 电路系统。图 9 图示了可以在此类实施例中使用的 FPGA 134 的通用框图。FPGA 134 包括配置电路系统 130、配置存储器(CRAM) 133、控制器 140、可编程逻辑 106、可编程互连 109 和 I/O 电路系统 112。此外,根据需要,FPGA 134 可以包括测试/调试电路系统 115、一个或多个处理器 118、一个或多个通信电路系统 121、一个或多个存储器 124、一个或多个控制器 127 和初始化电路 139。在一些实施例中,FPGA 134 也可以包括一个或多个电压调节器或电源电路(未示出)。

[0056] 注意,该图示出了 FPGA 134 的通用框图。因而,如本领域普通技术人员所明白的那样,FPGA 134 可以包括其它一些块和电路系统。这样的电路系统的示例包括时钟生成和

分布电路等。此外,根据需要,FPGA 134 可以包括模拟电路系统、其它数字电路系统和 / 或混合信号电路系统、熔丝、反熔丝等。

[0057] 可编程逻辑 106 包括可配置或可编程逻辑电路系统块,诸如查找表 (LUT)、乘积项逻辑、传输门、多路复用器 (MUX)、逻辑门、寄存器、存储器等。可编程互连 109 耦合到可编程逻辑 106 并且提供在可编程逻辑 106 内的各种块与 FPGA 134 内或外的其它电路系统之间的可配置互连 (耦合机构) (例如,通过使用传输门和 / 或 MUX)。在一些实施例中,可编程逻辑 106 和 / 或可编程互连 109 可以包括熔丝和 / 或反熔丝以提供附加的灵活性或可编程性。

[0058] 初始化电路 139 在 FPGA 134 的重置或加电时可以引起各种功能的执行。在加电时或在加电后,FPGA 134 通常从外部设备获得配置信息。基于该配置信息,对 FPGA 核心或架构内的各种块或器件或者 FPGA 134 中的其它块或资源进行配置或编程。示例包括可编程逻辑 106 和可编程互连 109。可以使用可编程互连 109 中的电路系统的一部分来实现图 8 中的互连 138,即与层叠裸片器件中的其它裸片的一个或多个互连。

[0059] 参照图 9,I/O 电路系统 112 可以构成各种各样的 I/O 器件或电路。I/O 电路系统 112 可以耦合到 FPGA 134 的各种部分,例如,可编程逻辑 106 和可编程互连 109。根据需要,I/O 电路系统 112 提供用于 FPGA 134 内的各种块的机构和电路系统以与外部电路系统或器件 (诸如器件中的其它裸片) 通信。

[0060] 测试 / 调试电路系统 115 有助于 FPGA 134 内的各种块和电路的测试和检修。测试 / 调试电路系统 115 可以包括本领域普通技术人员已知的各种块和电路。例如,根据需要,测试 / 调试电路系统 115 可以包括用于在 FPGA 134 加电或重置之后执行测试的电路。根据需要,测试 / 调试电路系统 115 也可以包括编码和奇偶校验电路。

[0061] FPGA 134 可以包括一个或多个处理器 118。处理器 118 可以耦合到 FPGA 134 内的其它块和电路。处理器 118 可以从 FPGA 134 内或外部的电路接收数据和信息,并按照各种各样的方式处理信息,如本领域普通技术人员所明白的那样。处理器 118 的一个或多个可以构图数字信号处理器 (DSP)。根据需要,DSP 允许执行各种各样的信号处理任务,诸如压缩、解压缩、音频处理、视频处理、滤波等。处理器 118 可以与层叠裸片器件内的其它裸片中包括的电路系统 (例如,包括在裸片中的 ASIC 电路系统) 协作操作。

[0062] FPGA 134 也可以包括一个或多个通信电路 121。如本领域普通技术人员所明白的那样,通信电路 121 可以有助于 FPGA 134 内的各种电路与 FPGA 134 外部的电路之间的数据和信息交换。通信电路 121 的示例包括收发器、网络接口电路等。

[0063] FPGA 134 可以进一步包括一个或多个存储器 124 和一个或多个存储器控制器 127。存储器 124 允许 FPGA 134 内的各种数据和信息 (诸如用户数据、中间结果、计算结果等) 的存储。根据需要,存储器 124 可以具有粒度或块形式。类似于存储器 118,存储器 124 可以与层叠裸片器件内的其它裸片中包括的电路系统 (例如,包括在裸片中的 ASIC 电路系统) 协作操作。

[0064] 存储器控制器 127 允许对接到 FPGA 外部的电路系统并且控制 FPGA 外部的电路系统的操作和各种功能。例如,存储器控制器 127 可以对接到外部的同步动态随机存取存储器 (SDRAM) 并控制该外部的同步动态随机存取存储器。外部 SDRAM 可以位于层叠裸片器件内的其它裸片中,例如,包括在裸片中的 ASIC 电路系统。

[0065] 通过使用 FPGA 134 的各种资源,与层叠裸片器件中的其它裸片中包括的电路系统一起,可以实现诸如整个系统的各种功能。此类系统可以与传感器、换能器、输入/输出设备(例如,显示器、键盘)等协作地操作(或者包括传感器、换能器、输入/输出设备(例如,显示器、键盘)等)。此外,此类系统可以产生、处理或提供各种各样的信号和信号类型,诸如模拟、数字和混合信号。

[0066] 如本领域普通技术人员所明白的那样,可以向各种类型的电路系统或裸片有效地应用所公开的概念。本文中所描述的示例仅构成说明性应用,并不旨在限制通过进行适当修改将所公开的概念的应用于其它类型的器件或裸片。这些修改落入本领域普通技术人员的知识和水平内。例如,代替在半导体裸片中实现 FPGA 电路系统,可以使用例如称为可编程逻辑器件(PLD)、复杂 PLD(CPLD)之类的其它类型的电路系统。

[0067] 参照附图,本领域普通技术人员将注意到,所示各种块可能主要描绘概念性功能和信号流。实际的电路实现可能包含或者可能不包含可单独标识的硬件以用于各种功能块,并且可能使用或者可能不使用所示具体电路系统。例如,根据需要,可以将各种块的功能组合到一个电路块中。此外,根据需要,可以在若干电路块中实现单个块的功能。电路实现的选择取决于各种因素,诸如针对给定实现的具体设计和执行规范。除了这里描述的之外其它修改和备选实施例对于本领域普通技术人员来说将是明显的。因此,本描述教导本领域技术人员实现所公开的概念的方式,并且将解释为仅是说明性的。

[0068] 应采用所示和所描述的形式和实施例作为说明性实施例。本领域技术人员可以在不脱离本文所公开的概念的范围的情况下对部件的形状、尺寸和布置进行各种改变。例如,本领域技术人员可以用等同元件替换这里图示和描述的元件。而且,受益于本公开的本领域技术人员可以独立于其它特征的使用来使用所公开概念的特定特征,而不脱离所公开的概念的范围。

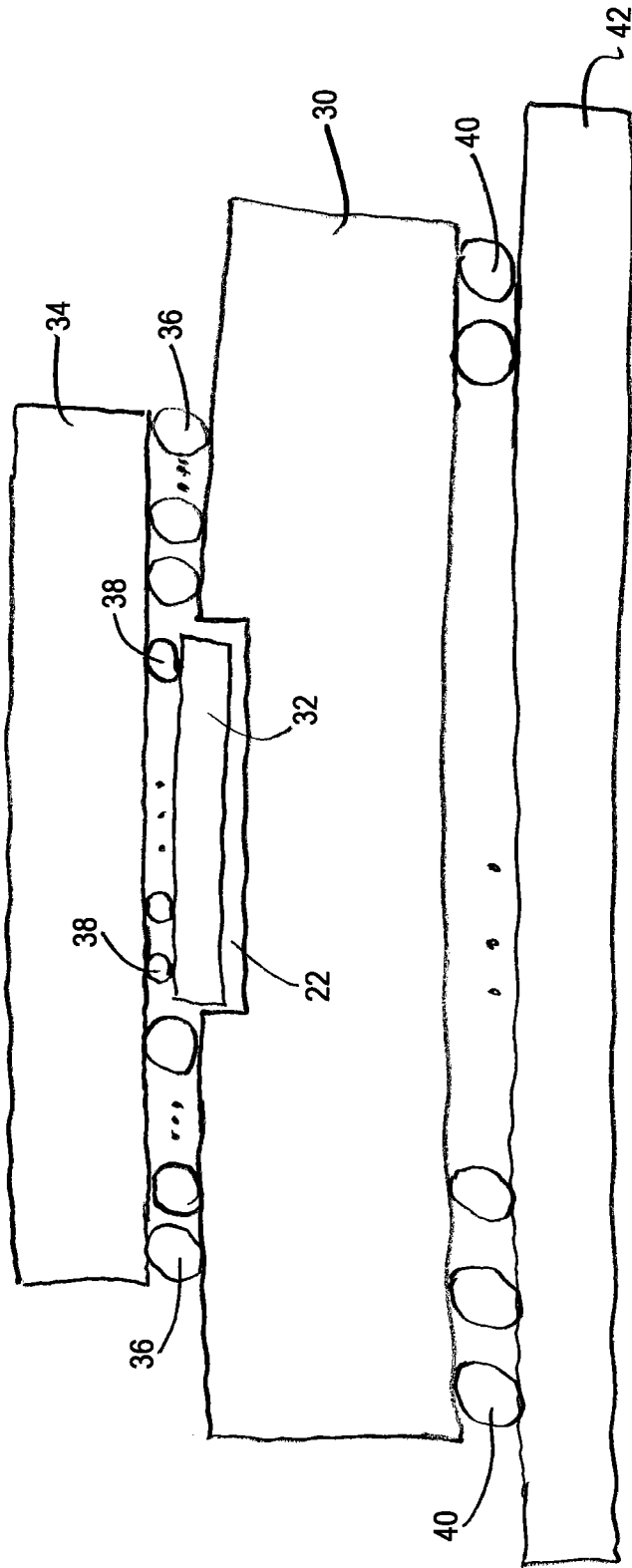


图 1

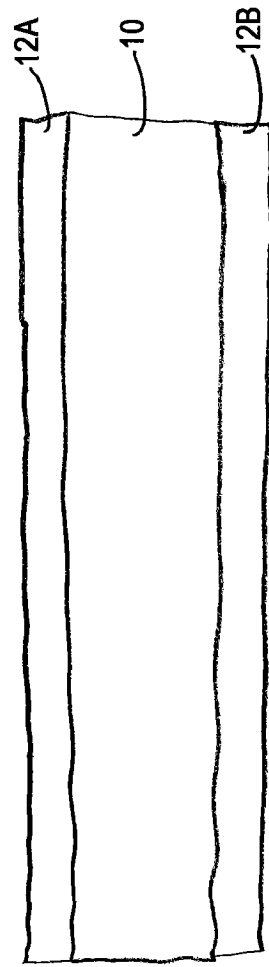


图 2

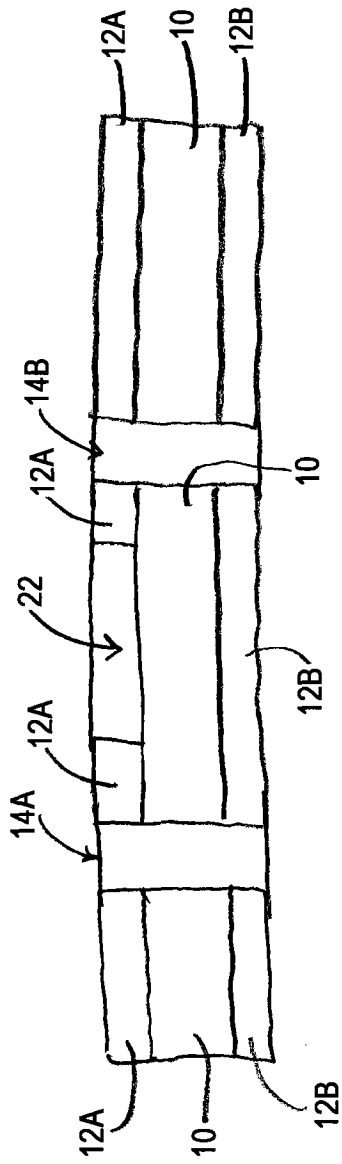


图 3

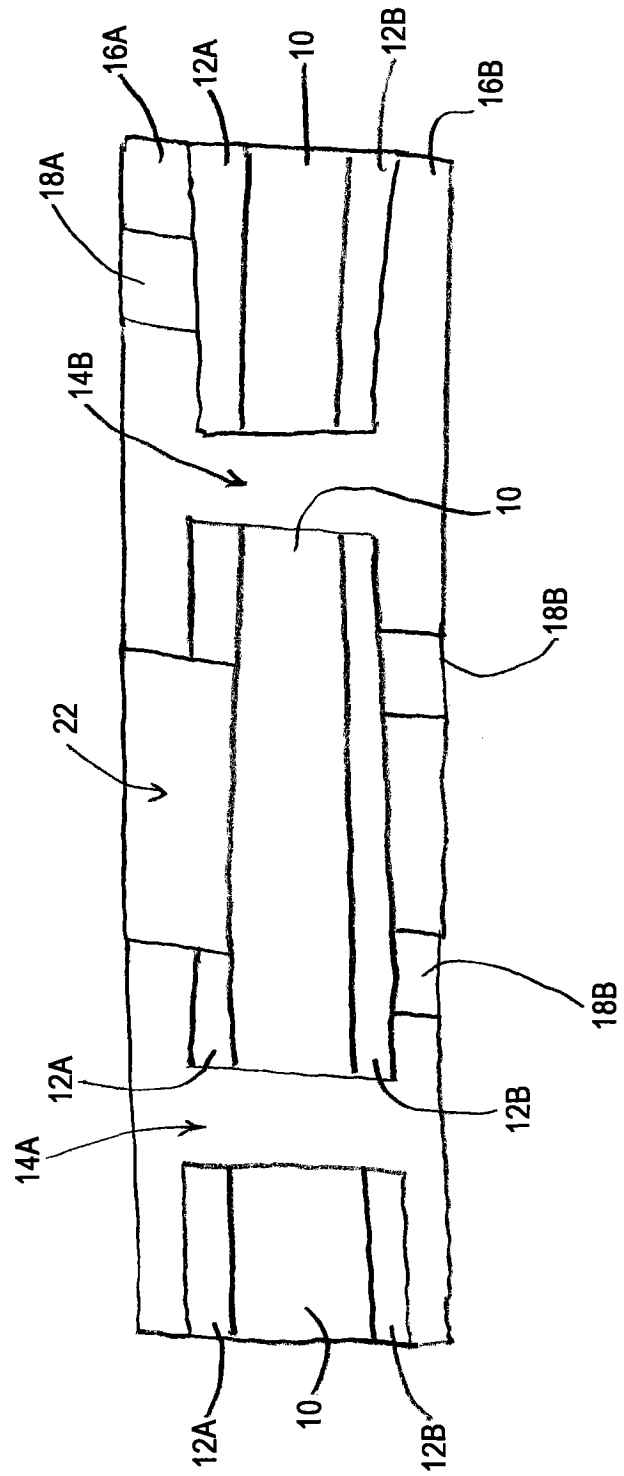


图 4

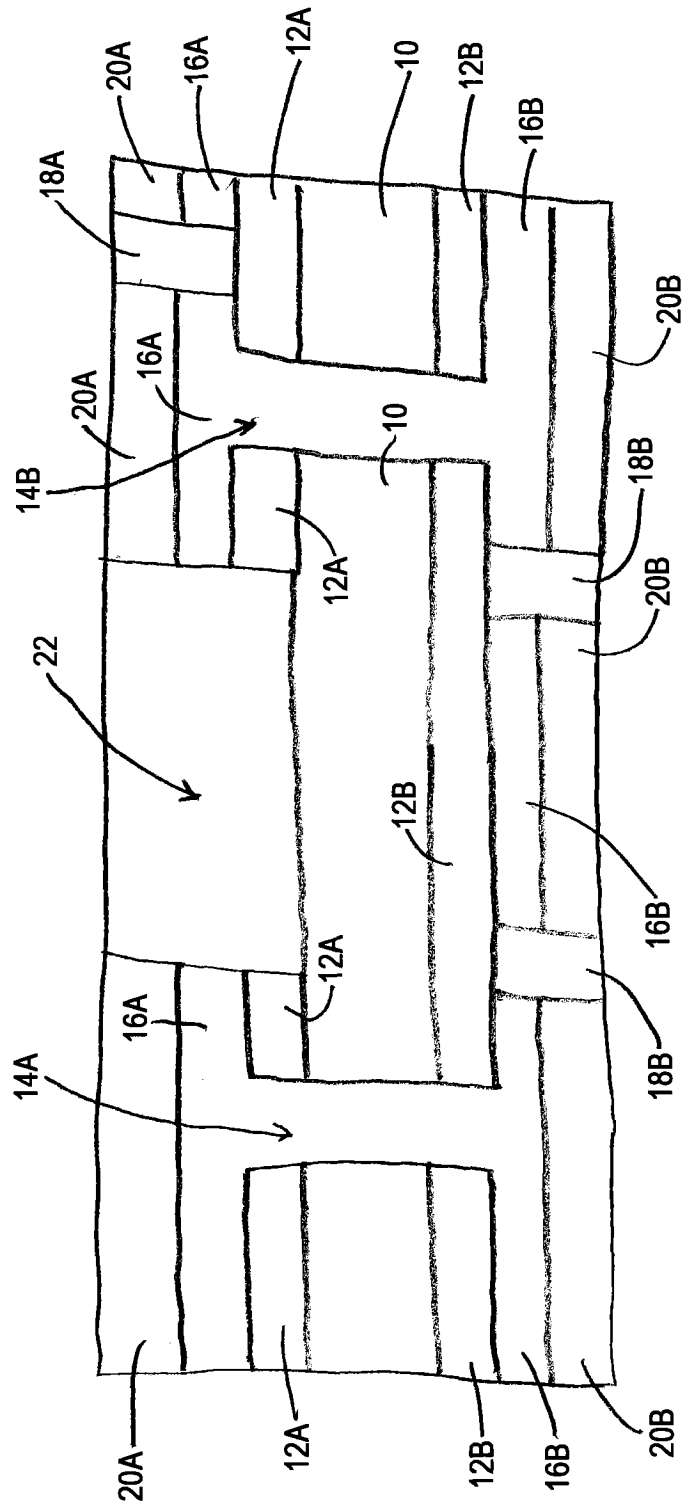


图 5

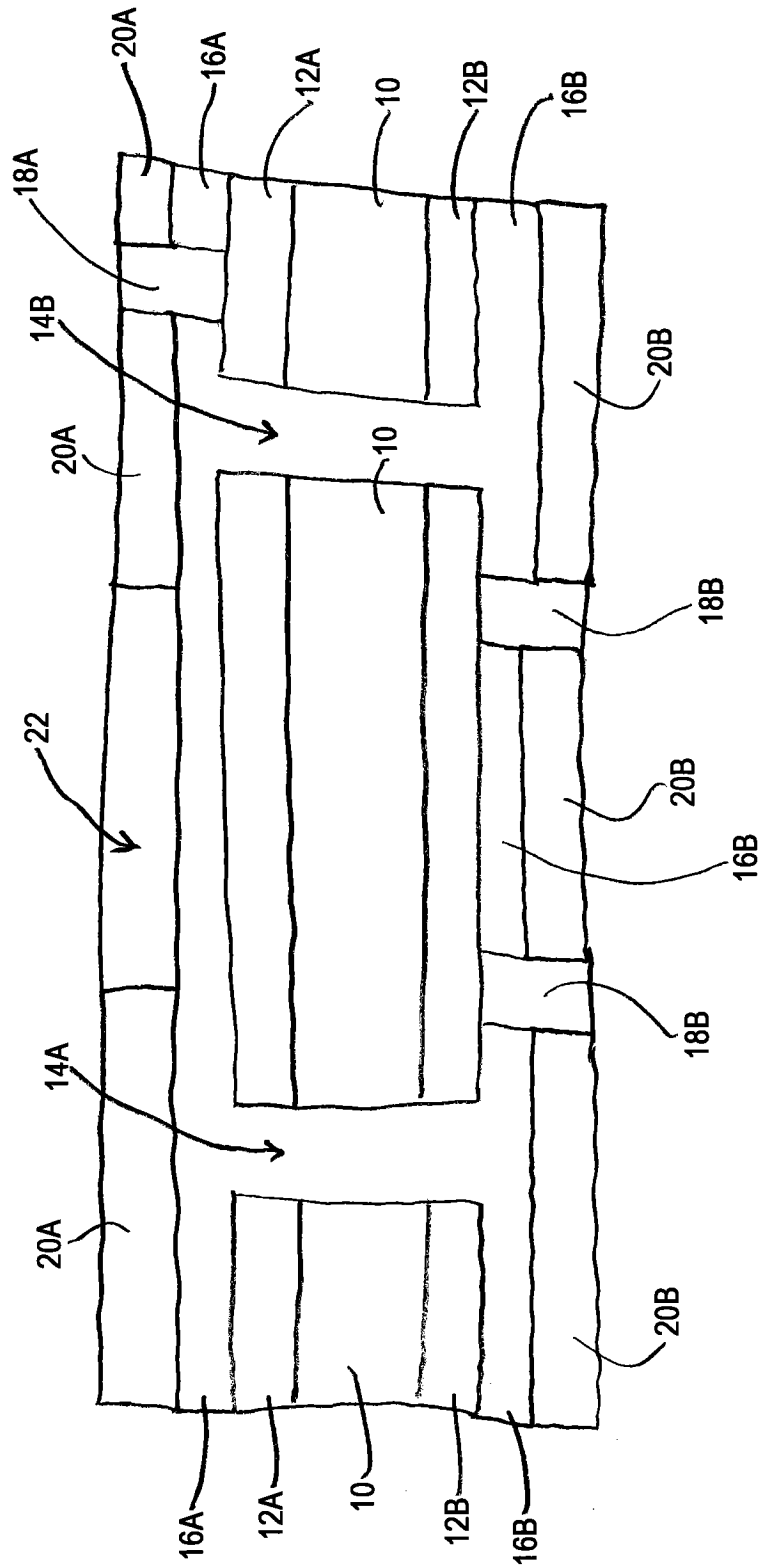


图 6

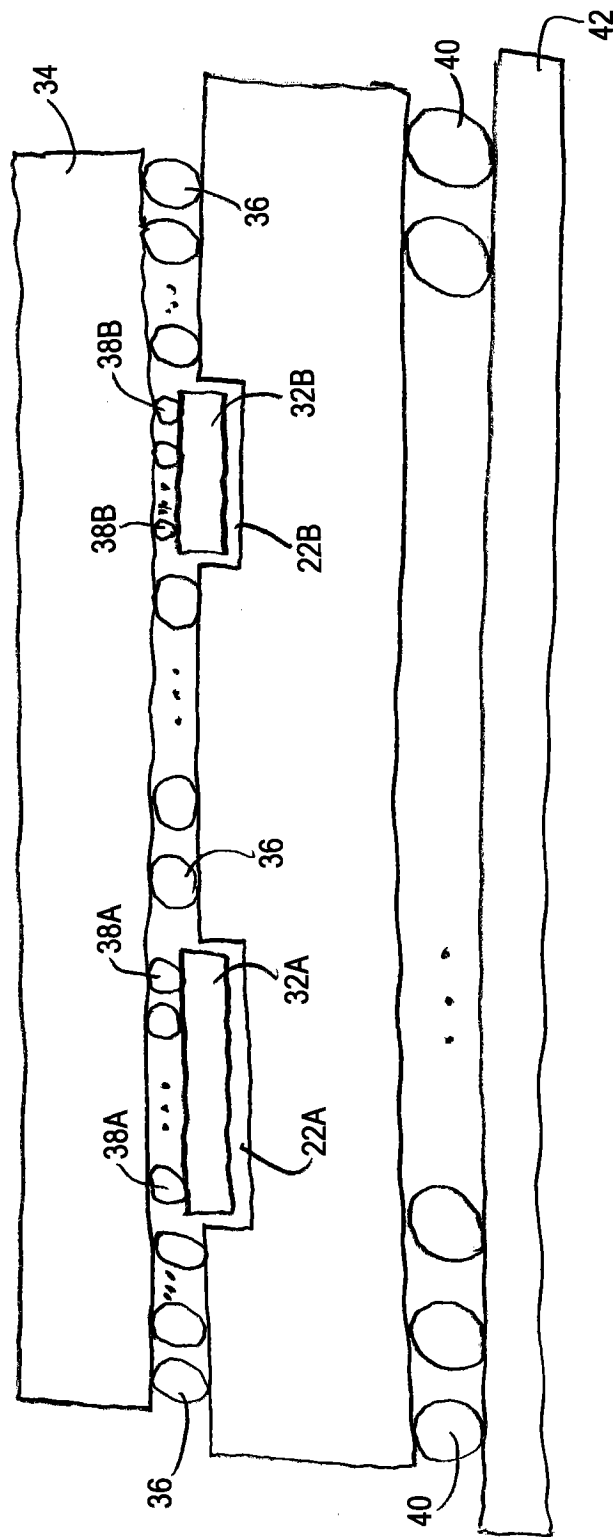


图 7

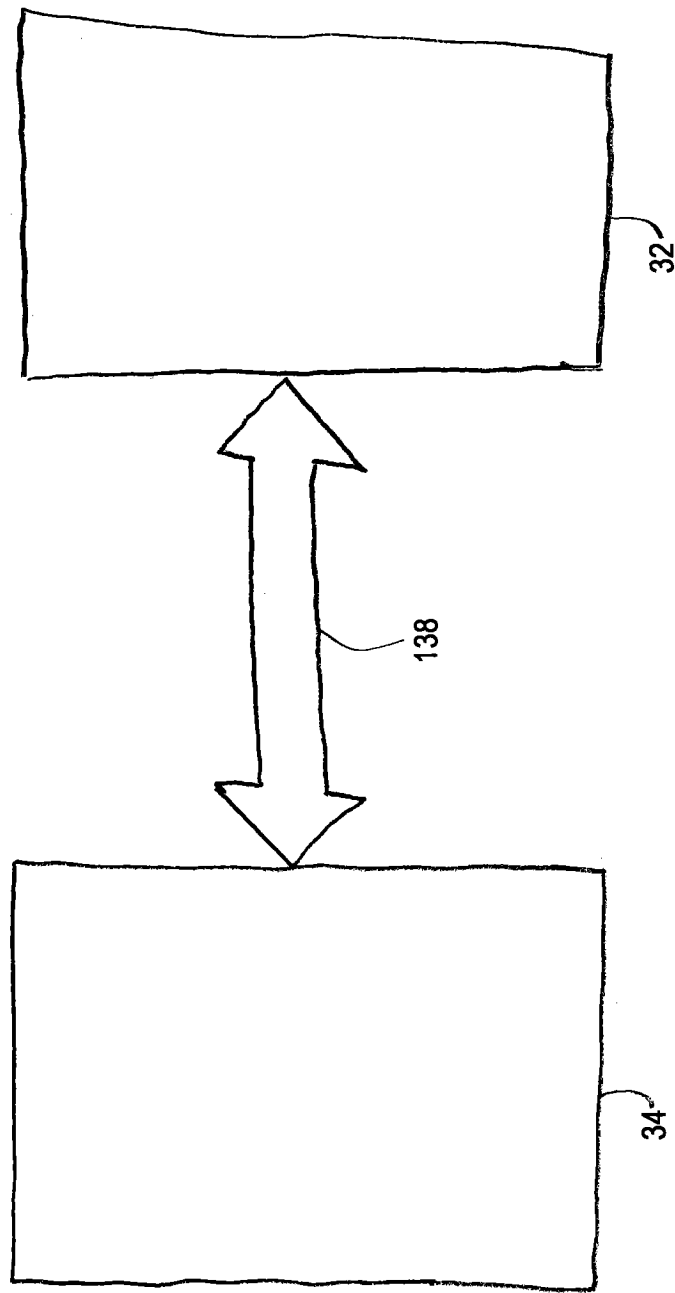


图 8

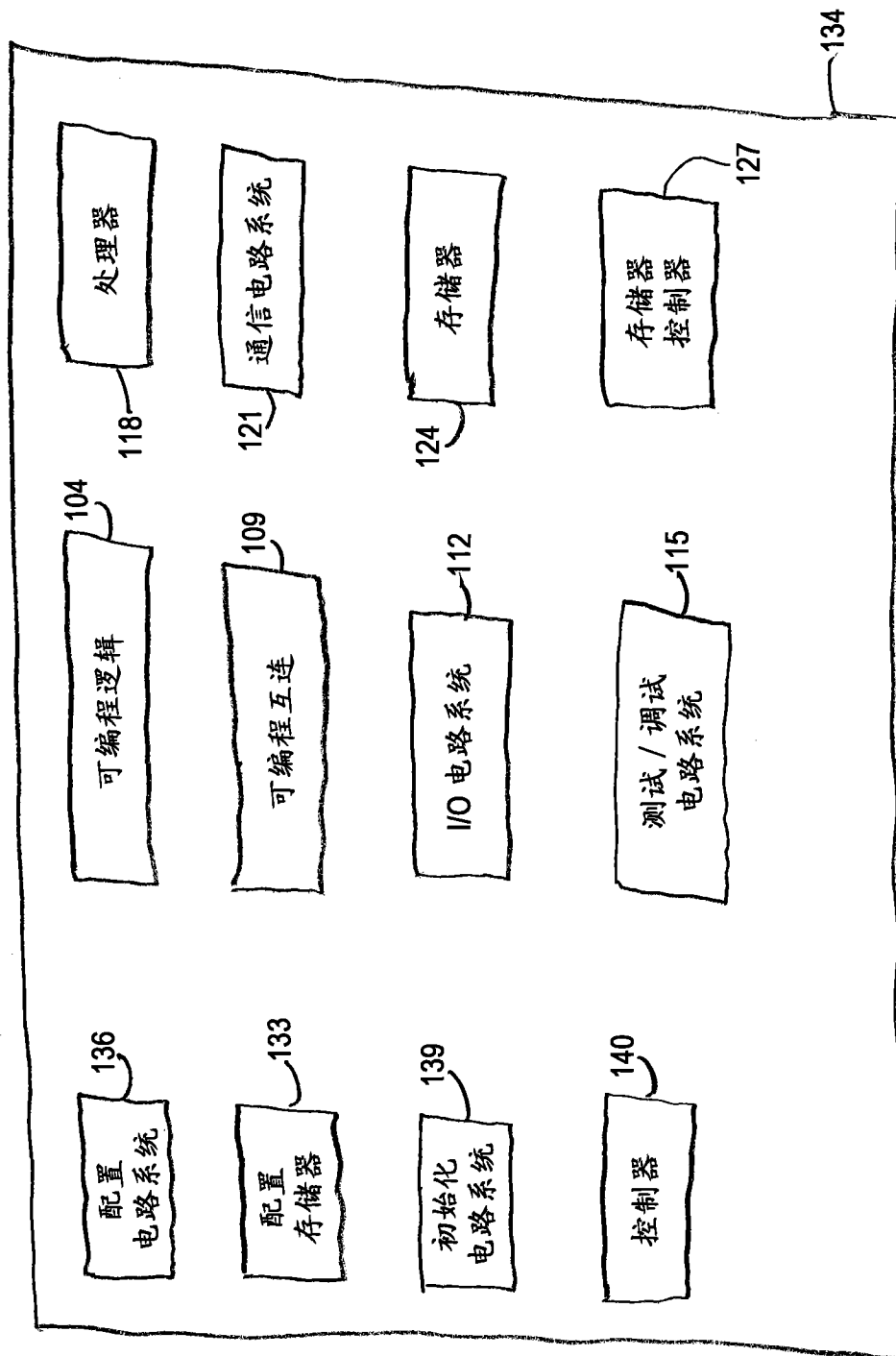


图 9