



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0077519
G11C 7/00 (2006.01) (43) 공개일자 2007년07월27일

(21) 출원번호 10-2006-0007050
(22) 출원일자 2006년01월24일
심사청구일자 없음

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 양동헌
충북 청주시 상당구 내덕2동 446-16 샘골1길 28호
(74) 대리인 강성배

전체 청구항 수 : 총 7 항

(54) 반도체 메모리 장치

(57) 요약

본 발명은 정전기 발생시 내부 소자를 보호할 수 있는 정전기 방전 보호 회로와 이에 연결된 패드를 포함하는 반도체 메모리 장치에 관한 것이다. 이 장치는 뱅크 영역(31,32)과 주변 회로 영역(37)으로 분할되고, 뱅크 영역(31,32)에 본딩 패드들(34)이 형성되며, 주변 회로 영역(37)에 ESD 보호 회로들(35)이 형성된다. 그리고, 본딩 패드들(34)은 메탈 라인(36)을 통하여 ESD 보호 회로들(35)과 대응되게 전기적으로 연결되며, 점프되는 배선을 이루는 본딩 와이어(33)를 통하여 칩의 핀들(도시되지 않음)과 전기적으로 접속된다.

대표도

도 3

특허청구의 범위

청구항 1.

다수의 뱅크 영역과 주변 회로 영역으로 나누어지는 반도체 메모리 장치에 있어서,

상기 주변 회로 영역에 위치하며, 정전기로부터 내부 회로를 보호하는 정전기 방전 보호 회로;

연결 수단을 통하여 상기 각 정전기 방전 보호 회로와 대응되게 연결되며, 상기 다수의 뱅크 영역과 상기 주변 회로 영역 중 최소한 하나에 배치되는 다수의 본딩 패드;를 포함함을 특징으로 하는 반도체 메모리 장치.

청구항 2.

제 1 항에 있어서,

상기 다수의 본딩 패드는 상기 주변 회로 영역에 인접한 어느 하나의 बैं크 영역에만 배치됨을 특징으로 하는 반도체 메모리 장치.

청구항 3.

제 1 항에 있어서,

상기 각 본딩 패드는 상기 다수의 बैं크 영역과 상기 주변 회로 영역에 분할 배치되며, 상기 주변 회로 영역에서는 상기 본딩 패드가 상기 정전기 방전 보호 회로에 오버랩되게 배치됨을 특징으로 하는 반도체 메모리 장치.

청구항 4.

제 3 항에 있어서,

상기 각 본딩 패드는 상기 주변 회로 영역에 인접한 बैं크 영역들과 상기 주변 회로 영역에 대응하여 인터레이스되게 배치됨을 특징으로 하는 반도체 메모리 장치.

청구항 5.

제 4 항에 있어서,

상기 각 본딩 패드는 상기 주변 회로 영역에 인접한 बैं크 영역들과 상기 주변 회로 영역에 하나씩 인터레이스되게 배치됨을 특징으로 하는 반도체 메모리 장치.

청구항 6.

제 4 항에 있어서,

상기 각 본딩 패드는 상기 주변 회로 영역에 인접한 बैं크 영역들과 상기 주변 회로 영역에 하나의 그룹 단위로 인터레이스되게 배치됨을 특징으로 하는 반도체 메모리 장치.

청구항 7.

제 1 항에 있어서,

상기 연결 수단은 상기 각 본딩 패드와 상기 각 정전기 보호 회로를 전기적으로 연결하는 수단임을 특징으로 하는 반도체 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 정전기 발생시 내부 소자를 보호할 수 있는 정전기 방전 보호 회로와 이에 연결된 패드를 포함하는 반도체 메모리 장치에 관한 것이다.

일반적으로, 반도체 집적회로는 외부에서 발생된 정전기에 의한 고전압에 대하여 매우 민감하게 영향을 받는다. 이러한 정전기 방전(electrostatic discharge : ESD, 이하 ESD 라고 함.) 현상으로 인해 일시에 고전압이 칩내로 유입될 경우, 유입된 고전압은 집적회로 내에 형성된 얇은 절연막, 채널 등을 파괴하여 칩 자체를 파괴한다. 따라서, 반도체 소자는 이러한 외부 ESD로부터 칩 내부를 보호하기 위하여, 외부 신호가 수신되는 패드(PAD) 마다 ESD 보호 회로를 내장한다.

이와 관련하여 도 1을 참조하여 살펴보면, ESD 보호 회로(12)는 전기적 경로 상에 있어서 패드(11)와 내부 회로(13) 사이에 위치하며, 패드(11)로부터 인가된 정전기의 방전 경로를 제공한다.

도 1과 같은 회로 결선 관계를 갖는 ESD 보호 회로(12)는 बैं크 영역과 주변 회로 영역으로 구분되는 칩 상에서 일반적으로 도 2와 같이 레이아웃된다.

구체적으로, 도 2에 도시된 바와 같이, 종래에는 본딩 패드(21)들을 포함하는 패드 영역(23)과 ESD 보호 회로들을 포함하는 ESD 보호 회로 영역(22)이 주변 회로 영역(24)의 중심부에 배치된다. 이때, 패드 영역(23)과 ESD 보호 회로 영역(22)은 전체 주변 회로 영역(24)의 약 5~12%에 해당하는 면적을 차지한다.

따라서, 종래의 반도체 메모리 장치는 이러한 주변 회로 영역(23)과 ESD 보호 회로 영역(22)의 비효율적 배치에 의해 신호 배선에 많은 제한 및 신호 지연이 발생할 수 있다.

즉, 반도체 소자가 고집적화되고 고속화되면서 많은 내부 배선이 필요해지고, 이에 따라, 주변 회로 영역(24)에 많은 배선들이 배치된다. 하지만, 종래의 반도체 메모리 장치는 주변 회로 영역(24)의 중심부에 패드 영역(23)과 ESD 보호 회로 영역(22)이 배치되므로 내부 배선들을 가장 짧은 거리로 배치할 수 없다.

이러한 내부 배선의 비효율적 배치에 의해 동작 신호 배선의 저항 및 캐패시턴스가 증가함으로써, 종래의 반도체 메모리 장치는 동작 성능이 저하될 수 있는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 본딩 패드를 유동적으로 배치함으로써, 주변 회로 영역에 위치하는 신호 배선들과 주변 회로들을 효율적으로 배치함에 있다.

또한, 본 발명의 다른 목적은 패키지 레벨에서 칩의 핀과 대응하여 본딩 패드를 배치하기 위한 유동성을 확보함에 있다.

발명의 구성

상기한 바와 같은 목적을 달성하기 위한 반도체 메모리 장치는, 다수의 बैं크 영역과 주변 회로 영역으로 나누어지는 반도체 메모리 장치에 있어서, 상기 주변 회로 영역에 위치하며, 정전기로부터 내부 회로를 보호하는 정전기 방전 보호 회로; 메탈 라인을 통하여 상기 각 정전기 방전 보호 회로와 대응되게 연결되며, 상기 다수의 बैं크 영역과 상기 주변 회로 영역 중 최소한 하나에 배치되는 다수의 본딩 패드;를 포함함을 특징으로 한다.

상기 구성에서, 상기 다수의 본딩 패드는 상기 주변 회로 영역에 인접한 어느 하나의 बैं크 영역에만 배치됨이 바람직하다.

상기 구성에서, 상기 각 본딩 패드는 상기 다수의 बैं크 영역과 상기 주변 회로 영역에 분할 배치되며, 상기 주변 회로 영역에서는 상기 본딩 패드가 상기 정전기 방전 보호 회로에 오버랩되게 배치됨이 바람직하다.

상기 구성에서, 상기 각 본딩 패드는 상기 주변 회로 영역에 인접한 बैं크 영역들과 상기 주변 회로 영역에 대응하여 인터레이스되게 배치됨이 바람직하다.

상기 구성에서, 상기 각 본딩 패드는 상기 주변 회로 영역에 인접한 बैं크 영역들과 상기 주변 회로 영역에 하나씩 인터레이스되게 배치됨이 바람직하다.

상기 구성에서, 상기 각 본딩 패드는 상기 주변 회로 영역에 인접한 बैं크 영역들과 상기 주변 회로 영역에 하나의 그룹 단위로 인터레이스되게 배치됨이 바람직하다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.

본 발명의 실시 예로써 도 3의 회로가 개시되며, 실시 예는 본딩 패드들(34)을 बैं크 영역(31,32)에 배치함으로써 배치의 유동성을 확보하고, 메탈 라인(36)을 통하여 बैं크 영역(31,32)의 본딩 패드들(34)과 주변 회로 영역(37)의 ESD 보호 회로들(35)을 서로 대응되게 연결한다.

구체적으로, 도 3의 실시 예는 बैं크 영역(31,32)과 주변 회로 영역(37)으로 분할되고, बैं크 영역(31,32)에 다수의 본딩 패드(34)가 형성되며, 주변 회로 영역(37)에 ESD 보호 회로(35)가 형성된다.

그리고, 본딩 패드들(34)은 메탈 라인(36)을 통하여 ESD 보호 회로(34)들과 전기적으로 연결되며, 점프되는 배선을 이루는 본딩 와이어(33)들을 통하여 칩의 핀들(도시되지 않음)과 전기적으로 접속된다.

이러한 본 발명의 실시 예에 따른 반도체 메모리 장치의 구성에서 하나의 본딩 패드(34)의 연결 관계를 예로 들어 살펴보면, 메모리 셀로 구성된 बैं크 영역(31,32)을 제외한 나머지 영역, 즉, 주변 회로 영역(37) 상에는 ESD 보호 회로(35)를 포함하는 주변 회로가 배치된다.

그리고, 본딩 패드(34)는 본딩 와이어(33)를 통하여 칩의 핀을 형성하기 위한 리드 프레임(lead frame) 또는 범프(Bump) 등과 전기적으로 연결되는 동시에 메탈 라인(36)을 통하여 ESD 보호 회로(35)를 포함하는 주변 회로와 전기적으로 연결된다.

이때, 본딩 패드(34)는 종래의 방법이나 본 발명의 방법을 선택적으로 이용하여 बैं크 영역(31,32)과 주변 회로 영역(37)을 포함하는 반도체 소자 내부의 전 영역에 배치될 수 있다. 즉, 본딩 패드(34)는 메탈 라인(36)을 통하여 ESD 보호 회로(35)를 포함하는 주변 회로와 전기적으로 연결되므로, 반도체 소자 내부의 전 영역에 유동적으로 배치될 수 있다.

예를 들어, 반도체 메모리 장치가 고속으로 동작하기 위해 신호 배선들이 가장 짧은 경로로 배치되어 할 경우, 본 발명의 실시 예에 따른 반도체 메모리 장치는 본딩 패드들(34)을 주변 회로 영역(37)의 가장자리에 배치함으로써, 주변 회로 영역(37)의 중심부에 신호 배선들을 배치할 수 있다.

이와 같이, 본딩 패드들(34)의 배치에 유동성이 필요한 경우, 본 발명의 실시 예에 따른 반도체 메모리 장치는 메탈 라인(36)에 의해 본딩 패드들(34)과 ESD 보호 회로들(35)을 포함하는 주변 회로들을 각각 전기적으로 연결함으로써, 본딩 패드들(34)을 유동적으로 배치할 수 있다.

따라서, 주변 회로 영역(37)에 배치되는 신호 배선들과 주변 회로들은 각 본딩 패드(34)의 위치에 따라 유동적으로 배치할 수 있으므로, 반도체 메모리 장치가 고속으로 동작하도록 신호 배선 및 주변 회로들을 배치할 수 있는 효과가 있다.

본 발명의 실시 예로 도 3과 같이 बैं크 영역(31,32)에 본딩 패드들(34)을 배치하는 것이 제시되었으나, 본 발명은 이에 국한되지 않고 각 본딩 패드를 बैं크 영역과 주변 회로 영역에 일정한 수로 분할 배치함으로써 배선의 효율화 및 본딩 패드 배치의 유동성이 확보될 수 있다.

뿐만 아니라, 상기와 같이 각 본딩 패드가 बैं크 영역과 주변 회로 영역에 분할되는 경우, 아래와 같이 본딩 패드들이 배치될 수 있다.

즉, 첫째 예로, 본딩 패드들이 칩의 센터에 형성될 경우, 주변 회로 영역에 인접하는 두 बैं크 영역 중 어느 하나의 बैं크 영역에만 본딩 패드들을 배치시킬 수 있다.

둘째 예로, 본딩 패드들이 칩의 센터에 형성될 경우, 하나씩 또는 다수의 본딩 패드들을 그룹화하여 하나의 그룹 단위로 인터레이스(interlace)되도록 배치시킬 수 있다.

단, 상기 둘째 예의 경우, 통상적으로 주변 회로 영역에 양측으로 बैं크 영역이 접하는 구조로 반도체 장치가 설계되는 것을 고려하면, 한 쌍의 본딩 패드 또는 한 쌍의 본딩 패드 그룹이 양측의 बैं크 영역에 대응하고, 상기 한 쌍의 본딩 패드 또는 한 쌍의 본딩 패드 그룹이 인터레이스되어 두 영역으로 분할 배치되는 방법이 제시될 수 있다.

셋째 예로, 본딩 패드들이 칩의 에지에 형성되는 경우, 각 본딩 패드는 주변 회로 영역과 인접한 बैं크 영역에 하나 또는 그룹 단위로 인터레이스되게 분할 배치될 수 있다.

발명의 효과

이와 같이, 본 발명은 बैं크 영역에 본딩 패드의 구현이 가능하여 본딩 패드의 유동성이 확보됨으로써, 반도체 메모리 장치의 고속 동작을 위해 신호 배선들과 주변 회로들을 효과적으로 배치할 수 있는 효과가 있다.

또한, 본딩 패드의 유동성이 확보됨에 따라 본딩 패드가 패키지 레벨에서 칩의 핀 정렬에 따른 대응성을 향상시킬 수 있다.

본 발명을 특정 실시 예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업자는 용이하게 알 수 있다.

도면의 간단한 설명

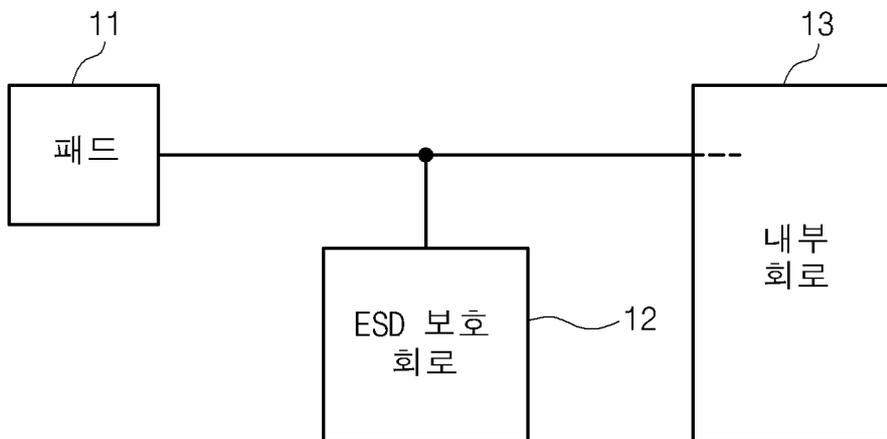
도 1은 반도체 메모리 장치에서 패드(11), ESD 보호 회로(12), 및 내부 회로(13)의 연결을 설명하기 위한 블록도.

도 2는 종래 기술에 따른 반도체 메모리 장치에서 패드 영역(23)과 ESD 보호 회로 영역(22)의 배치를 설명하기 위한 배치도.

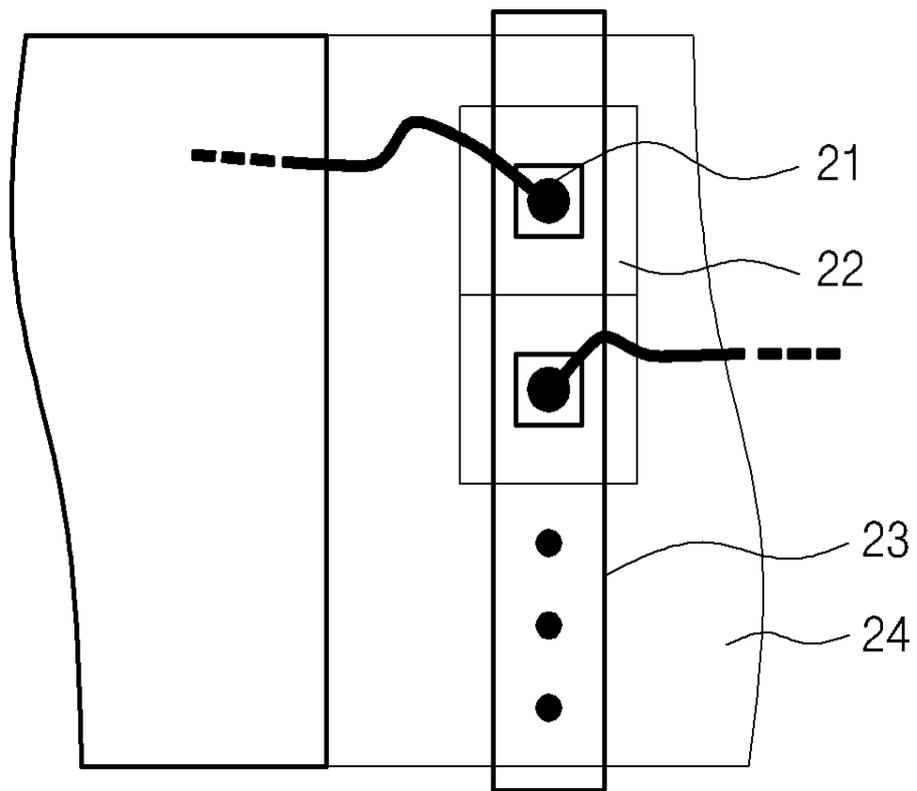
도 3은 본 발명의 실시 예에 따른 반도체 메모리 장치에서 본딩 패드들(34)과 ESD 보호 회로(35)의 배치를 설명하기 위한 배치도.

도면

도면1



도면2



도면3

