

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la  
Propriété Intellectuelle  
Bureau international



(10) Numéro de publication internationale

WO 2012/095582 A1

(43) Date de la publication internationale  
19 juillet 2012 (19.07.2012)

WIPO | PCT

- (51) Classification internationale des brevets :  
H04N 5/372 (2011.01) H04N 5/359 (2011.01)  
H04N 5/374 (2011.01) H04N 5/3745 (2011.01)
- (21) Numéro de la demande internationale :  
PCT/FR2012/000010
- (22) Date de dépôt international :  
9 janvier 2012 (09.01.2012)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :  
1100073 10 janvier 2011 (10.01.2011) FR
- (71) Déposant (pour tous les États désignés sauf US) : COM-  
MISSARIAT A L'ENERGIE ATOMIQUE ET AUX  
ENERGIES ALTERNATIVES [FR/FR]; 25 rue Leblanc,  
Bâtiment "Le Ponant D", F-75015 Paris (FR).
- (72) Inventeur; et
- (75) Inventeur/Déposant (pour US seulement) : CAZAUX,  
Yvon [FR/FR]; 13 rue Docteur Schweitzer, F-38100 Gre-  
noble (FR).
- (74) Mandataire : TALBOT, Alexandre; Cabinet HECKE,  
10, rue d'Arménie - Europole, BP 1537, F-38025 Grenoble  
Cedex 1 (FR).
- (81) États désignés (sauf indication contraire, pour tout titre  
de protection nationale disponible) : AE, AG, AL, AM,  
AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ,  
CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,  
HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR,  
KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME,  
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,  
OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD,  
SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,  
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre  
de protection régionale disponible) : ARIPO (BW, GH,

[Suite sur la page suivante]

(54) Title : CMOS LINEAR IMAGE SENSOR WITH MOTION-BLUR COMPENSATION

(54) Titre : CAPTEUR D'IMAGE LINEAIRE EN TECHNOLOGIE CMOS A COMPENSATION D'EFFET DE FILE

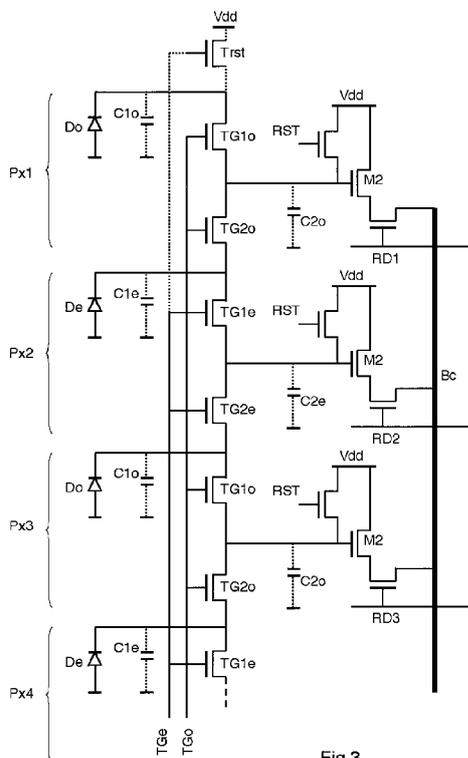


Fig 3

(57) Abstract : The invention relates to an image sensor with time delay and integration, including an array of light-sensitive pixels (Px) organized into rows and columns. Each pixel (Px1) of a column includes a light-sensitive element (Do), a storage node (C2o), and a first transfer transistor (TG1o) connecting the light-sensitive element to the storage node. Each pixel (Px1) of a column, except for the last, also includes a second transfer transistor (TG2o) that connects the storage node (C2o) of the pixel to the light-sensitive element (De) of the next pixel (Px2) in the column. Both transfer transistors are connected so as to be operative at the same time. With such a configuration, a sliding group of a plurality of consecutive pixels in a column is defined, the group of pixels is exposed, the information of the group of pixels is aggregated, and the process starts over after the group of pixels is shifted by one pixel.

(57) Abrégé : Capteur d'image à retard temporel et intégration comprenant une matrice de pixels photosensibles (Px) organisés en rangées et colonnes. Chaque pixel (Px1) d'une colonne comprend un élément photosensible (Do), un nœud de stockage (C2o), et un premier transistor de transfert (TG1o) reliant l'élément photosensible au nœud de stockage. Chaque pixel (Px1) d'une colonne, excepté le dernier, comprend en outre un deuxième transistor de transfert (TG2o) qui relie le nœud

[Suite sur la page suivante]

WO 2012/095582 A1

GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Publiée :**

- avec rapport de recherche internationale (Art. 21(3))
- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues (règle 48.2.h)

**Déclarations en vertu de la règle 4.17 :**

- relative à la qualité d'inventeur (règle 4.17.iv)

---

de stockage (C2o) du pixel à l'élément photosensible (De) du pixel suivant (Px2) de la colonne. Les deux transistors de transfert sont connectés pour être actifs en même temps. Avec une telle configuration, on parvient à définir un groupe glissant de plusieurs pixels consécutifs dans une colonne, à exposer le groupe de pixels, à agréger les informations des pixels du groupe, et à recommencer après avoir décalé le groupe de pixels d'un pixel.

## CAPTEUR D'IMAGE LINEAIRE EN TECHNOLOGIE CMOS A COMPENSATION D'EFFET DE FILE

### Domaine technique de l'invention

L'invention est relative à un capteur d'image linéaire destiné à saisir une image par balayage, notamment à un capteur à retard temporel et intégration, plus connu  
5 sous l'acronyme TDI (de l'anglais « Time Delay and Integration »).

### État de la technique

Les principes d'un capteur d'image TDI sont décrits, par exemple, dans l'article intitulé « A Large Area TDI Image Sensor for Low Light Level Imaging », par  
10 Michael G. Farrier et al - IEEE Journal of Solid-State Circuits, Vol. SC-15, No. 4, Août 1980.

Un capteur TDI est généralement utilisé pour saisir l'image d'un objet se déplaçant à vitesse élevée et observé sous de mauvaises conditions d'éclairage. Il est généralement réalisé en technologie CCD (de l'anglais « Charge-Coupled  
15 Device », ou dispositif à transfert de charges), qui a jusqu'à maintenant permis d'obtenir les meilleures performances en termes de sensibilité.

La figure 1 représente schématiquement un capteur TDI en technologie CCD, tel que décrit dans l'article susmentionné. Il comprend une matrice de sites photosensibles, ou photosites  
20 dont les rangées sont généralement, comme cela est représenté, nettement plus longues que les colonnes. Dans l'exemple de l'article susmentionné, une rangée comporte 1028 photosites, tandis qu'une colonne en comporte seulement 128. Pour la photographie terrestre par satellite, une rangée peut comporter de l'ordre de 12000 photosites, et la matrice comporte quelques dizaines de rangées.

25 Les rangées de la matrice sont disposées perpendiculairement au déplacement de l'objet dont on veut saisir l'image. Le déplacement de cette image, relatif au capteur, est représenté par des flèches descendantes. Ces flèches correspondent également au déplacement des charges électriques dans les registres CCD, en synchronisme avec le déplacement de l'image.

30 Chaque rangée saisit une tranche correspondante de l'objet pendant un temps d'exposition compatible avec la vitesse de l'image. Cela provoque une accumulation de charges négatives (électrons) dans les photosites de la rangée.

Lorsqu'une tranche de l'image saisie par une rangée  $i$  s'est déplacée au niveau de la rangée  $i+1$ , les charges accumulées dans la rangée  $i$  sont transférées dans la rangée  $i+1$ , qui continue, pendant un nouveau temps d'exposition, à accumuler des charges pour la même tranche. Les transferts de charges d'une rangée à la  
5 suivante s'opèrent donc en synchronisme avec le déplacement de l'image.

La dernière rangée de la matrice contient ainsi, à chaque cycle de transfert, la somme des charges accumulées par toutes les rangées pour une même tranche. La sensibilité du capteur est donc, en théorie, multipliée par le nombre de rangées.

A la fin de chaque cycle de transfert de charges et d'exposition, les charges de la  
10 dernière rangée de la matrice sont transférées dans un registre à décalage 12 servant à la lecture des informations de la dernière rangée. Les charges stockées dans les photosites de ce registre sont décalées photosite par photosite vers un convertisseur charge-tension 14 en bout de rangée, où une tension correspondant à la charge totale de chaque photosite peut être prélevée par un circuit de  
15 traitement, généralement externe au capteur.

La technologie CCD étant de moins en moins utilisée pour les capteurs d'image, au profit de la technologie CMOS, l'utilisation de cette dernière technologie est envisagée pour les capteurs TDI.

L'article [Time-Delay-Integration Architectures in CMOS Image Sensors, Gérald  
20 Lepage, Jan Bogaerts, and Guy Meynants – IEEE Transactions on Electron Devices, Vol. 56, NO. 11, November 2009] décrit des solutions pour obtenir la fonctionnalité TDI à l'aide d'un capteur d'image CMOS.

Dans un capteur d'image CMOS, la lumière est également captée sous forme de charges, au niveau de pixels. Par contre, chaque pixel étant muni de son propre  
25 circuit de lecture en tension, on ne peut pas transférer des charges d'un pixel à un autre.

La figure 2 représente schématiquement une architecture envisagée dans cet article de Lepage et al. À une matrice 10' de  $N \times M$  pixels  $P_x$  on associe une matrice 16 de cellules mémoire  $\Sigma$ , de même taille et configuration (ici  $N \times M = 5 \times 5$ ).

30 Dans le principe, la matrice de pixels 10' prend des vues à une cadence correspondant au temps (appelé « temps ligne »  $T_L$ ) que met une tranche d'image à balayer le pas des rangées de pixels. Ainsi, au bout de  $N$  temps ligne, la même tranche d'image aura été saisie par chacune des  $N$  rangées de la matrice de

pixels. Chaque rangée de la mémoire 16 est associée temporairement à une même tranche de l'image. On y accumule les niveaux de luminosité enregistrés pour cette tranche par toutes les rangées de pixels. Une fois que tous les niveaux ont été accumulés pour la tranche, la rangée mémoire est lue, réinitialisée, et associée de manière circulaire à une nouvelle tranche d'image.

On s'aperçoit qu'on doit ainsi procéder à l'accumulation de toutes les rangées de la matrice de pixels à chaque temps ligne.

Alors qu'en technologie CCD les opérations d'accumulation de niveaux de luminosité correspondent à de simples transferts de charges, en technologie CMOS ces opérations sont notablement plus complexes. Elles impliquent des multiplexages sur des bus de lecture des pixels, des conversions analogique-numérique, des opérations d'addition, et des opérations d'accès mémoire. Il en résulte qu'on a des difficultés en technologie CMOS à tenir les mêmes cadences de prise de vue (ou temps ligne  $T_L$ ) qu'en technologie CCD. Ainsi, la résolution en nombre de rangées de la matrice de pixels doit être adaptée au temps ligne minimal envisagé et au pas des pixels souhaité.

Dans certaines applications, comme cela est décrit notamment dans l'article susmentionné de Lepage et al., on souhaite suréchantillonner spatialement l'image dans le sens du déplacement afin d'améliorer ce qu'on appelle la fonction de transfert de modulation (FTM) de filé, représentative de la netteté de l'image reproduite. Cela revient à augmenter le nombre de rangées de pixels tout en diminuant le pas pour conserver les dimensions du capteur. Les contraintes temporelles augmentent ainsi avec le carré du facteur de subdivision.

Pour certaines applications, on souhaiterait en outre que les pixels disposent d'une fonction d'anti-éblouissement, permettant, dans des conditions de forte luminosité, d'évacuer des charges en excès.

### **Résumé de l'invention**

On constate qu'il existe un besoin de prévoir un capteur d'image de type TDI en technologie CMOS permettant d'améliorer la FTM de filé, sans augmenter notablement les contraintes temporelles, et permettant de réaliser une fonction d'anti-éblouissement.

On tend à satisfaire ce besoin en prévoyant un capteur d'image à retard temporel et intégration comprenant une matrice de pixels photosensibles organisés en

rangées et colonnes, chaque pixel d'une colonne comprenant un élément photosensible, un nœud de stockage, et un premier transistor de transfert reliant l'élément photosensible au nœud de stockage. Chaque pixel d'une colonne, excepté le dernier, comprend en outre un deuxième transistor de transfert qui relie  
5 le nœud de stockage du pixel à l'élément photosensible du pixel suivant de la colonne. Les deux transistors de transfert sont connectés pour être actifs en même temps. Chaque pixel comprend en outre un transistor de réinitialisation reliant le nœud de stockage du pixel à un potentiel d'alimentation.

On obtient la fonction d'anti-éblouissement en commandant ce capteur selon les  
10 étapes suivantes :

- a) activer périodiquement les premier et deuxième transistors de transfert de chaque pixel pour provoquer un transfert de charges vers le nœud de stockage du pixel ;
- b) lire le potentiel sur le nœud de stockage du pixel après chaque activation  
15 des premier et deuxième transistors de transfert ;
- c) dans un intervalle compris entre deux activations successives, porter la grille des transistors de transfert à un potentiel de polarisation définissant un seuil d'anti-éblouissement des éléments photosensibles ;
- d) rendre conducteur le transistor de réinitialisation du pixel pendant ledit  
20 intervalle ;
- e) bloquer le transistor de réinitialisation en dehors dudit intervalle.

Les étapes précédentes sont mises en œuvre en décalage d'une demi-période entre les pixels de rang pair et les pixels de rang impair d'une colonne.

Selon un mode de mise en œuvre, on procède à une première lecture du potentiel  
25 sur le nœud de stockage entre le début du blocage du transistor de réinitialisation et l'activation des transistors de transfert du pixel ; et on procède à une deuxième lecture du potentiel sur le nœud de stockage entre l'activation des transistors de transfert et la fin du blocage du transistor de réinitialisation.

La durée dudit intervalle est de préférence comprise entre une demi-période et  
30 une période.

## Description sommaire des dessins

D'autres avantages et caractéristiques ressortiront plus clairement de la description qui va suivre de modes particuliers de réalisation donnés à titre d'exemples non limitatifs et illustrés à l'aide des dessins annexés, dans lesquels :

- 5       - la figure 1, précédemment décrite, représente schématiquement un capteur d'image TDI classique, réalisé en technologie CCD ;
- la figure 2, précédemment décrite, représente schématiquement un capteur TDI classique réalisé en technologie CMOS ;
- la figure 3 représente schématiquement un mode de réalisation de capteur
- 10       TDI en technologie CMOS permettant d'améliorer la FTM de filé ;
- les figures 4a et 4b symbolisent un capteur du type de la figure 3 dans deux phases de mesure ;
- la figure 5 est un chronogramme illustrant un fonctionnement d'un capteur du type de la figure 3 ;
- 15       - la figure 6 représente un mode de réalisation de capteur d'image TDI permettant de relâcher davantage les contraintes temporelles ; et
- la figure 7 est un chronogramme illustrant une variante de fonctionnement d'un capteur du type de la figure 3, offrant une fonction d'anti-éblouissement.

## 20 Description d'un mode de réalisation préféré de l'invention

Afin d'augmenter la FTM de filé on propose de subdiviser chaque pixel en deux (voire plus), comme cela a déjà été proposé dans l'art antérieur, mais on prévoit en outre une architecture particulière de matrice de pixels limitant l'augmentation des contraintes temporelles à la valeur du facteur de subdivision, au lieu de les

25 augmenter avec le carré du facteur de subdivision. Ainsi, en subdivisant chaque pixel en deux, les contraintes temporelles augmentent d'un facteur 2 seulement, au lieu de 4.

On obtient cela en augmentant la résolution temporelle du capteur sans augmenter sa résolution spatiale. Par « résolution temporelle », on entend le

30 nombre de mesures prises par unité de temps, tandis que par « résolution spatiale », on entend le nombre de mesures prises par unité de distance. Le fait

d'augmenter la résolution temporelle permet d'améliorer la FTM de filé, tandis que le fait de conserver la résolution spatiale permet de limiter les ressources nécessaires à traiter l'image. La résolution temporelle est augmentée en subdivisant chaque pixel, dans le sens du déplacement, en plusieurs sous-pixels  
5 couvrant la même surface que le pixel. La résolution spatiale est conservée en agrégeant en une seule valeur les valeurs d'un groupe glissant de sous-pixels consécutifs correspondant à la taille d'un pixel. Ce groupe « glisse » à la vitesse de déplacement de l'image, c'est-à-dire qu'il se décale d'un pixel en un temps ligne. Afin d'effectivement augmenter la résolution temporelle, une nouvelle  
10 agrégation a lieu à chaque fois que le groupe s'est décalé d'un sous-pixel.

La figure 3 représente schématiquement les premiers pixels d'une colonne d'un mode de réalisation de capteur TDI en technologie CMOS permettant de mettre en œuvre ce principe. Ce capteur est de type à « obturateur global » (« snapshot » en anglais), c'est-à-dire que tous les pixels du capteur réalisent une intégration en  
15 même temps.

Dans les modes de réalisation de capteur décrits ci-après à titre d'exemple, on subdivise chaque pixel en deux dans le sens du déplacement pour passer d'une FTM de filé de 0,64 à 0,9.

Chaque pixel Px comprend une photodiode D, dont la capacité intrinsèque C1, ou capacité d'intégration, permet d'accumuler les charges générées par la lumière frappant le pixel. Un transistor de transfert TG1 relie la photodiode D1 à la grille d'un transistor suiveur M2. La capacité de grille du transistor M2 ainsi que les capacités des autres composants reliés à la grille du transistor M2 forment une capacité tampon C2, ou nœud de stockage. Un transistor de lecture RD relie la  
20 source du transistor suiveur M2 à un bus de colonne Bc. Les transistors de lecture RD des pixels d'une rangée sont commandés par une ligne de sélection commune à la rangée. Un transistor de réinitialisation RST relie la capacité C2 à une ligne d'alimentation positive Vdd.

Pour des raisons de commodité, les signaux de commande des transistors ont ci-  
30 après le même nom que les transistors. En outre, les références de certains éléments des pixels impairs ont un suffixe « o », tandis que les références des mêmes éléments des pixels pairs ont un suffixe « e ».

Ce type de pixel, tel que décrit jusqu'à maintenant, est un pixel classique de type « 4T » permettant de réaliser un capteur à obturateur global, c'est-à-dire un

capteur permettant d'exposer tous ses pixels en même temps et de lire les niveaux des pixels successivement après exposition. Le fonctionnement est en bref le suivant.

Initialement, les transistors TG1, RST et RD sont bloqués. La capacité C1 intègre  
5 les charges engendrées par la lumière frappant la photodiode D. Avant la fin de l'exposition, le transistor RST est actionné brièvement pour réinitialiser la capacité tampon C2. En fin d'exposition, le transistor TG est actionné brièvement pour transférer les charges de la capacité C1 vers la capacité tampon C2. Ce transfert est total dans le cas où la photodiode D est de type « verrouillé » (ou « pinned »  
10 en anglais), ce qui a pour résultat la réinitialisation de la capacité C1 pour une nouvelle phase d'exposition.

Pendant chaque phase d'exposition, le niveau de tension correspondant à l'exposition précédente est stocké sur la capacité tampon C2. Ce niveau de tension peut être transféré à tout moment sur le bus Bc en actionnant le transistor  
15 de lecture RD, ceci avant une nouvelle réinitialisation par le transistor RST.

Chaque pixel de la figure 3, par rapport à un pixel « 4T » classique, comprend un transistor de transfert supplémentaire TG2, reliant la capacité C2 du pixel à la photodiode D du pixel suivant de la colonne. (Le dernier pixel de la colonne sera dépourvu d'un tel transistor de transfert supplémentaire.) Les transistors de  
20 transfert TG1 et TG2 d'un même pixel sont commandés en synchronisme – leurs grilles reçoivent pour cela un même signal de commande. De préférence, les deux transistors de transfert TG1o et TG2o de tous les pixels impairs sont commandés en synchronisme par une ligne unique TGo, tandis que les deux transistors de transfert TG1e et TG2e de tous les pixels pairs sont commandés en synchronisme  
25 par une ligne unique TGe.

On peut souhaiter que le premier pixel Px1 de la colonne se comporte exactement comme les autres pixels. Pour cela, on prévoit par exemple un transistor de réinitialisation Trst relié entre la photodiode du pixel Px1 et la ligne Vdd. Ce transistor Trst est activé par la ligne TGe de commande des transistors de  
30 transfert des pixels pairs. Ainsi, la capacité C1 du pixel Px1, dont le charge n'est pas transférable dans une capacité C2 d'un pixel précédent, est réinitialisée au moment où on commande les transistors de transfert des pixels pairs.

Par ailleurs, le dernier pixel de la colonne est un pixel classique – il ne comprend pas de deuxième transistor de transfert TG2, puisqu'il n'y a pas de pixel suivant auquel connecter ce transistor.

5 Les figures 4a et 4b représentent une colonne de pixels du type de la figure 3 à deux phases de fonctionnement du capteur. La colonne est parallèle au déplacement de l'image. Les cercles représentent les capacités C2 et les triangles les circuits de lecture (transistors M2 et RD).

10 Le cas représenté correspond à celui où la résolution temporelle est divisée par deux. Ainsi, chaque pixel représenté est en fait un sous-pixel, et deux sous-pixels consécutifs de la colonne, que l'on désignera « paire de pixels », forment un seul pixel à la résolution spatiale d'origine. Comme cela est représenté, une paire de pixels occupe de préférence une surface carrée, et chaque pixel est deux fois plus large que haut, afin que le facteur de forme d'origine soit conservé.

15 En face de la colonne, sous la forme d'une barre verticale, on a représenté une image de référence, ou mire, défilant du haut vers le bas. La mire comprend une alternance de tranches claires et de tranches sombres au pas des paires de pixels, c'est-à-dire à la limite de Nyquist pour la résolution spatiale d'origine. Chaque tranche est ainsi de la hauteur d'une paire de pixels et balaye la paire de pixels en un temps ligne  $T_L$ .

20 A la figure 4a, la première tranche sombre de la mire a défilé devant les deux premiers pixels Px1 et Px2 de la colonne, tandis que la première tranche claire a défilé devant les deux pixels suivants Px3 et Px4 de la colonne. Cette configuration est répétée le long de la colonne.

25 Comme cela est représenté par des flèches, on active les deux transistors de transfert de chacun des pixels impairs, d'où il résulte que les charges intégrées par les photodiodes des pixels Px1 et Px2, tous deux ayant vu la première tranche sombre de la mire, sont sommées dans la première capacité C2, tandis que les charges intégrées par les photodiodes des pixels Px3 et Px4, tous deux ayant vu la première tranche claire de la mire, sont sommées dans la troisième capacité  
30 C2. Cette configuration se répète le long de la colonne, de sorte que chaque capacité C2 de rang impair, c'est-à-dire chaque capacité C2o, reçoit la somme des charges de la paire de pixels voisins.

Les niveaux de tension des capacités C2o seront lus à tour de rôle sur le bus de colonne Bc pendant le demi temps ligne suivant, au cours duquel commence une nouvelle intégration sur les photodiodes.

5 A la figure 4b, correspondant à un demi temps ligne plus tard, la première tranche sombre de la mire s'est décalée d'un pixel vers le bas et a balayé les pixels Px2 et Px3, tandis que la première tranche claire a balayé les deux pixels suivants Px4 et Px5. Cette configuration est répétée le long de la colonne.

10 Comme cela est représenté par des flèches, on active les deux transistors de transfert de chacun des pixels pairs, d'où il résulte que les charges intégrées par les photodiodes des pixels Px2 et Px3, tous deux ayant vu la première tranche sombre de la mire, sont sommées dans la deuxième capacité C2, tandis que les charges intégrées par les photodiodes des pixels Px4 et Px5, tous deux ayant vu la première tranche claire de la mire, sont sommées dans la quatrième capacité C2. Cette configuration se répète le long de la colonne, de sorte que chaque  
15 capacité C2 de rang pair, c'est-à-dire chaque capacité C2e, reçoit la somme des charges de la paire de pixels voisins.

Les niveaux de tension des capacités C2e seront lus à tour de rôle sur le bus de colonne Bc pendant le demi temps ligne suivant. Les niveaux de tension des capacités impaires C2o auront été lus pendant le demi temps ligne en cours.

20 On s'aperçoit qu'on parvient ainsi à échantillonner une même tranche d'image tous les demi temps ligne, c'est-à-dire qu'on atteint une résolution temporelle deux fois meilleure, en utilisant à chaque échantillonnage une paire de pixels dont les informations sont agrégées, c'est-à-dire qu'on n'augmente pas la résolution spatiale.

25 Il en résulte, comme on peut le constater à l'aide des figures 4a et 4b, que le nombre de niveaux à lire sur le bus pendant un temps ligne est proportionnel au facteur de subdivision, au lieu d'être proportionnel au carré du facteur de subdivision. Si les niveaux des pixels devaient être lus individuellement sur le bus Bc, on aurait deux fois plus de lectures à faire pour chacune des figures 4a et 4b,  
30 c'est-à-dire à chaque demi temps ligne.

La figure 5 est un chronogramme illustrant un exemple d'évolution des principaux signaux relatifs aux pixels Px1 et Px2 au cours des phases des figures 4a et 4b, et de phases ultérieures. Le chronogramme est subdivisé, par des traits mixtes verticaux, en des périodes égales à un demi temps ligne.

Le premier signal est représentatif de la moyenne des états de charge des capacités C1 des pixels Px1 et Px2. On remarquera qu'un niveau de charge nul des capacités C1 et C2 correspond à un potentiel haut (par exemple Vdd), tandis qu'un niveau de charge croissant, correspondant à un nombre d'électrons croissant, évolue en décroissant à partir du potentiel haut.

Au cours du premier demi temps ligne, correspondant à la figure 4a, le pixel Px1 voit une transition de la tranche sombre à une tranche claire et le pixel Px2 voit la tranche sombre pendant tout le demi temps ligne. Les capacités C1 des pixels Px1 et Px2 se chargent à des niveaux faibles.

10 Avant la fin du premier demi temps ligne, le signal RST est activé pour réinitialiser les capacités C2. Une telle réinitialisation se répète avec une période d'un temps ligne ou, de préférence, d'un demi temps ligne, comme cela est représenté.

L'activation du signal RST peut survenir à tout instant à l'intérieur d'un demi temps ligne. De préférence, on l'active, comme cela est représenté, vers le milieu de chaque demi temps ligne, ce qui permettra d'effectuer un double échantillonnage corrélé pour compenser le bruit du niveau de noir. Ainsi, entre l'activation du signal RST et la fin du demi temps ligne, on transfère les niveaux de noir des capacités C2 sur le bus Bc, de sorte à pouvoir retrancher ces niveaux aux niveaux utiles transférés à la phase suivante.

20 A la fin du premier demi temps ligne, on active les couples de transistors de transfert TGo des pixels impairs. Les charges des capacités C1 des pixels Px1 et Px2 sont transférées et sommées dans la capacité C2o du pixel Px1, dont le niveau de tension présente un échelon d'amplitude correspondante (faible ici).

25 Les transistors TGo sont par la suite activés périodiquement avec une période d'un temps ligne.

Au cours du deuxième demi temps ligne, correspondant à la figure 4b, les capacités C1 des pixels Px2 et Px3 voient ce qu'avaient vu les pixels Px1 et Px2 au demi temps ligne précédent. Les capacités C1 des ces pixels (niveau non représenté pour le pixel Px3) se chargent à des niveaux faibles. Le pixel Px1 voyant pendant toute cette durée une tranche claire, sa capacité C1 se charge à un niveau élevé.

A la fin du deuxième demi temps ligne, on active les couples de transistors de transfert TGe des pixels pairs. Les charges des capacités C1 des pixels Px2 et

Px3 sont sommées dans la capacité C2e du pixel Px2, dont le niveau de tension présente un échelon d'amplitude correspondante (de nouveau faible).

Les transistors TGe sont par la suite activés périodiquement avec une période d'un temps ligne.

- 5 Au cours du troisième demi temps ligne, les capacités C1 des pixels Px1 et Px2 qui voient défiler une tranche claire, se chargent à des niveaux élevés.

- A la fin du troisième demi temps ligne, on active de nouveau les couples de transistors de transfert TGo des pixels impairs. Les charges des capacités C1 des pixels Px1 et Px2 sont sommées dans la capacité C2o du pixel Px1, dont le niveau de tension présente un échelon d'amplitude correspondante (élevée cette fois).
- 10

Les demi temps ligne se succèdent ainsi de manière similaire. On s'aperçoit que les niveaux sur les capacités C2 présentent une variation sensible périodique avec une période d'un temps ligne, correspondant au pas du motif de la mire.

- En augmentant ainsi la résolution temporelle d'un facteur 2, sans affecter la résolution spatiale, on fait passer la FTM de filé de 0,64 à 0,9.
- 15

Le principe décrit est valable pour un facteur N quelconque, bien que des facteurs supérieurs à 2 ne permettent pas d'améliorer de manière notable la FTM de filé (on obtient 0,955 pour un facteur 3, et 0,975 pour un facteur 4).

- Pour augmenter la résolution temporelle d'un facteur N, qui augmentera les contraintes temporelles d'un facteur N également (au lieu de  $N^2$ ), chaque pixel de la figure 3 comprend un transistor de transfert TG1 reliant la photodiode D à la capacité de stockage C2 du pixel, et N-1 transistors de transfert supplémentaires (TG2, TG3... TGN) reliant la capacité de stockage C2 aux photodiodes respectives des N-1 pixels suivants. Ces N transistors de transfert du pixel sont
- 20
- 25 activables en même temps pour sommer dans la capacité de stockage C2 du pixel les charges des N photodiodes du N-uplet de pixels ainsi formé. On prévoit un bus de N lignes de commande des transistors de transfert, la ligne de rang i étant activée à un temps  $iT_L/N$  de chaque temps ligne, et commandant les transistors de transfert des pixels de rangs  $i + kN$ , où  $k = 0, 1, 2, \dots$

- 30 La figure 6 représente une architecture de capteur TDI en technologie CMOS, offrant une solution optionnelle permettant de relâcher les contraintes temporelles encore d'un facteur 2, dans le cadre d'un capteur à obturateur global. En

combinant cette solution à celle qui vient d'être décrite (avec  $N = 2$ ), on parvient à offrir un capteur TDI en technologie CMOS ayant une excellente FTM de filé sans avoir des contraintes temporelles plus difficiles à satisfaire que pour un capteur classique.

- 5 On propose à l'aide de cette architecture de diviser par deux le temps nécessaire aux opérations d'accumulation des niveaux de luminosité en mémoire. En effet, un facteur important dans les contraintes temporelles est le temps nécessaire pour accumuler un niveau de luminosité courant avec une valeur stockée en mémoire dans une architecture du type de la figure 2.
- 10 On prévoit, pour chaque colonne de pixels, deux voies d'accumulation indépendantes, chacune associée à une mémoire séparée, qu'on utilise de manière simultanée ou quasi-simultanée.

De façon générale, une mémoire d'accumulation 16a est associée à une première moitié des rangées, et une mémoire d'accumulation séparée 16b est associée à la

- 15 deuxième moitié des rangées. On peut ainsi écrire dans la mémoire 16a une valeur correspondant à un pixel de la première moitié en même temps que l'on écrit dans la mémoire 16b une valeur correspondant à un pixel de la deuxième moitié.

A la figure 6, la matrice de pixels photosensibles Px est représentée avec six

- 20 rangées et cinq colonnes, à titre d'exemple. La mémoire d'accumulation 16a est ici associée aux rangées de la moitié supérieure de la matrice de pixels, et la mémoire d'accumulation 16b est associée aux rangées de la moitié inférieure de la matrice de pixels. Les pixels de la moitié supérieure et les pixels de la moitié inférieure de chaque colonne sont reliés par des bus de lecture séparés à leurs
- 25 mémoires respectives 16a et 16b. Dans chacun de ces bus, on prévoit un convertisseur analogique-numérique ADC. Ainsi, les niveaux analogiques fournis par les pixels sont convertis en numérique avant d'être accumulés dans les mémoires 16a et 16b.

L'accumulation a lieu, par exemple, comme cela est schématisé au niveau des

- 30 mémoires, à l'aide d'un additionneur qui remplace le contenu d'une cellule mémoire par la somme de ce contenu et de la valeur fournie par le convertisseur ADC correspondant.

Les mémoires d'accumulation 16a et 16b et les pixels Px sont gérés par un circuit de commande 18, dont le fonctionnement sera décrit plus en détail ultérieurement.

Les contenus des mémoires 16a et 16b sont accessibles par des bus respectifs parvenant aux deux entrées d'un d'additionneur 20. On prévoit en fait un additionneur 20 par colonne, servant à compléter les accumulations partielles faites dans chacune des mémoires 16a et 16b.

- 5 Chacune des mémoires d'accumulation 16a et 16b a de préférence la même configuration que la matrice de pixels, c'est-à-dire qu'elle est sous la forme d'une matrice de cellules mémoire de six rangées par cinq colonnes dans l'exemple représenté. En outre, comme cela est représenté, les mémoires 16a et 16b sont de préférence disposées physiquement de part et d'autre de la matrice de pixels,  
10 dans le sens des colonnes. Cela facilite l'acheminement des connexions.

- Par rapport à la configuration classique de la figure 2, on double la taille mémoire. Cela n'a pas une influence notable sur l'encombrement du capteur, car ce dernier comporte généralement beaucoup moins de rangées que de colonnes. Ainsi, on ajoute un nombre relativement faible de rangées de mémoire qui affectent peu la  
15 largeur du capteur par rapport aux autres composants du capteur, notamment les plots d'entrée/sortie.

- Dans certaines applications, on souhaite que les pixels disposent d'une fonction d'anti-éblouissement, permettant, dans des conditions de forte luminosité, d'évacuer des charges en excès vers les lignes d'alimentation plutôt que de les  
20 laisser déborder vers des pixels voisins. Cette fonction est habituellement disponible dans les pixels classiques à cinq transistors, ou « 5T ». Dans un tel pixel, le cinquième transistor, de type N, est relié entre la photodiode et le potentiel d'alimentation Vdd, et sa grille est polarisée à un potentiel fixe réglé de sorte que le transistor entre en conduction dès que le potentiel de la photodiode (connectée  
25 à la source du transistor) passe en dessous d'un seuil d'éblouissement. Ce potentiel de polarisation, avec les technologies actuelles, est légèrement positif, de l'ordre de 200 mV.

- Un moyen simple de prévoir une fonction d'anti-éblouissement dans le capteur de la figure 3 est de rajouter dans chaque pixel un transistor entre la photodiode et le  
30 potentiel Vdd. Cela augmente néanmoins la complexité des pixels et réduit la taille de la photodiode.

On s'aperçoit que la structure de la figure 3 permet de se passer du transistor d'anti-éblouissement, en commandant de manière judicieuse les transistors de transfert TG et les transistors de réinitialisation RST.

En effet, on obtient la fonction d'anti-éblouissement en rendant conducteur le transistor RST du pixel, et en appliquant simultanément sur la grille du transistor TG1 du pixel la tension de polarisation réglant le seuil d'éblouissement. Les charges en excès de la photodiode peuvent alors être évacuées vers le potentiel Vdd par le transistor TG1 et le transistor RST.

Toutefois, cette commande des transistors TG1 et RST du pixel, du moins pendant l'ensemble de la période d'intégration de la photodiode où la fonction d'anti-éblouissement est souhaitable, n'est pas compatible avec le procédé de commande de l'ensemble du capteur, illustré en figure 5.

On s'aperçoit qu'il est toutefois possible d'assurer la fonction d'anti-éblouissement en permanence en exploitant le fait que les pixels de rang pair et les pixels de rang impair sont gérés en décalage.

La figure 7 illustre comment.

Au début d'une première phase d'intégration sur les photodiodes du capteur, les transistors RST des pixels impairs, notés RSTo, sont passants. Cela provoque le maintien à l'état déchargé des nœuds de stockage C2o des pixels impairs. Les transistors RST des pixels pairs, notés RSTe, sont bloqués, permettant le transfert de charges des photodiodes vers les nœuds de stockage pairs C2e, et la lecture de ceux-ci. En même temps, les grilles des transistors TG1o et TG2o des pixels impairs sont à leur niveau d'anti-éblouissement, de l'ordre de 200 mV avec les technologies actuelles. Le transistor TG1o assure donc la fonction d'anti-éblouissement pour le pixel impair, par l'intermédiaire du transistor RSTo du pixel.

Il s'avère que le transistor TG2o est polarisé comme le transistor TG1o, puisque les grilles de ces deux transistors sont reliées l'une à l'autre. Ainsi, ce transistor TG2o assure la fonction d'anti-éblouissement pour le pixel pair suivant, également par l'intermédiaire du transistor RSTo. Les transistors TG1e et TG2e de ce pixel pair suivant sont bloqués, et ne peuvent en tout cas servir de transistors d'anti-éblouissement, car le transistor RSTe de ce pixel est bloqué. Par contre, le nœud de stockage C2e peut recevoir les charges de la photodiode De/C1e et être lu par l'intermédiaire du transistor de lecture RD du pixel.

Ainsi, dans cette configuration où seuls les pixels impairs sont monopolisés par leurs transistors de réinitialisation actifs, on assure néanmoins la fonction d'anti-éblouissement pour tous les pixels sans ajouter de composant supplémentaire.

Au voisinage du milieu de la période d'intégration, les transistors RSTe pairs sont rendus conducteurs tandis que les transistors RSTo impairs sont bloqués. Les transistors TGo (TG1o et TG2o) impairs sont bloqués, tandis que les transistors TGe (TG1e et TG2e) sont à leur tour polarisés pour assurer la fonction d'anti-  
5 éblouissement.

De préférence, comme cela est représenté à une échelle dilatée, les transistors RSTo et RSTe présentent une phase de conduction commune de courte durée (entre 0,1 et 2  $\mu$ s), à l'intérieur de laquelle les transistors TGo et TGe ont une phase de polarisation commune au niveau d'anti-éblouissement. Cela permet de  
10 ne maintenir la fonction d'anti-éblouissement active que pendant la transition entre les intégrations des pixels impairs et pairs.

A la suite de cette transition, le capteur est dans une configuration où les rôles des pixels impairs et pairs sont échangés pour assurer l'anti-éblouissement. Les pixels pairs sont monopolisés par les transistors RSTe actifs et assurent la fonction  
15 d'anti-éblouissement pour tous les pixels, par les transistors TG1e et TG2e, tandis que les nœuds de stockage C2o des pixels impairs peuvent recevoir des charges et être lus.

A la fin de la première période d'intégration de charges dans les photodiodes, les transistors TGo sont brièvement activés, provoquant le transfert de charges des couples de photodiodes adjacentes vers les nœuds de stockage C2o des pixels  
20 impairs, comme cela a été décrit en relation avec la figure 5.

Les transistors RST et TG restent ensuite au même état jusqu'à la moitié de la deuxième période d'intégration, où ils basculent de nouveau dans la configuration décrite du début de la première période d'intégration.

25 A la fin de la deuxième période d'intégration, les transistors TGe sont brièvement activés, provoquant le transfert de charges des couples de photodiodes adjacentes vers les nœuds de stockage C2e des pixels pairs, comme cela a été décrit en relation avec la figure 5.

Les transistors TG et RST sont ainsi commandés de manière périodique, avec une  
30 période d'un temps ligne et un décalage d'une demi-période entre les pixels pairs et impairs. En d'autres termes, une période est l'intervalle de temps qui sépare deux activations successives des transistors de transfert (et donc deux lectures successives du niveau pixel) et une demi-période correspond à une moitié de cette période.

Avec le fonctionnement qui vient d'être décrit, le transfert de charges de la photodiode vers le nœud de stockage C2 de chaque pixel survient sensiblement au milieu d'un intervalle, correspondant sensiblement à une demi-période, où le transistor RST du pixel est bloqué. Cela permet d'opérer un double-  
5 échantillonnage corrélé. Pendant l'intervalle entre le blocage du transistor RST et l'activation des transistors de transfert TG, on lit les niveaux de noir stockés sur les capacités C2 des pixels de même parité. Pendant l'intervalle entre l'activation  
10 des transistors TG et la mise en conduction suivante des transistors RST, on lit les niveaux de signal stockés sur les capacités C2. En soustrayant hors pixel les niveaux de noir aux niveaux de signal correspondants, on obtient des niveaux ayant un meilleur rapport signal sur bruit par suppression du bruit de précharge des nœuds de lecture.

## Revendications

1. Procédé de commande d'un capteur d'image à retard temporel et intégration comprenant une matrice de pixels photosensibles (Px) organisés en rangées et colonnes, chaque pixel (Px1) d'une colonne comprenant :

- 5           • un élément photosensible (Do) ;
- un nœud de stockage (C2o) ;
- un premier transistor de transfert (TG1o) reliant l'élément photosensible au nœud de stockage ;
- 10           • un transistor de réinitialisation (RST) reliant le nœud de stockage (C2o) du pixel à un potentiel d'alimentation (Vdd) ;

chaque pixel (Px1) d'une colonne, excepté le dernier, comprenant en outre :

- 15           • un deuxième transistor de transfert (TG2o) qui relie le nœud de stockage (C2o) du pixel à l'élément photosensible (De) du pixel suivant (Px2) de la colonne, et qui est connecté pour être actif en même temps que le premier transistor de transfert ;

procédé comprenant les étapes suivantes :

- a) activer périodiquement les premier et deuxième transistors de transfert (TGo) de chaque pixel pour provoquer un transfert de charges vers le nœud de stockage (C2o) du pixel ;
- 20           b) lire le potentiel sur le nœud de stockage (C2o) du pixel après chaque activation des premier et deuxième transistors de transfert (TG1o, TG2o) ;
- c) dans un intervalle compris entre deux activations successives, porter la grille des transistors de transfert (TGo) à un potentiel de polarisation définissant un seuil d'anti-éblouissement des éléments photosensibles ;
- 25           d) rendre conducteur le transistor de réinitialisation (RST) du pixel pendant ledit intervalle ;
- e) bloquer le transistor de réinitialisation (RST) en dehors dudit intervalle ; et

dans lequel les étapes précédentes sont mises en œuvre en décalage d'une demi-période entre les pixels de rangée paire et les pixels de rangée impaire d'une colonne.

2. Procédé selon la revendication 1, comprenant les étapes suivantes :

- 5
- procéder à une première lecture du potentiel sur le nœud de stockage (C2o) entre le début du blocage du transistor de réinitialisation (RST) et l'activation des transistors de transfert du pixel ; et
  - procéder à une deuxième lecture du potentiel sur le nœud de stockage entre l'activation des transistors de transfert et la fin du blocage du
- 10 transistor de réinitialisation.

3. Procédé selon l'une des revendications 1 et 2, dans lequel la durée dudit intervalle est comprise entre une demi-période et une période.

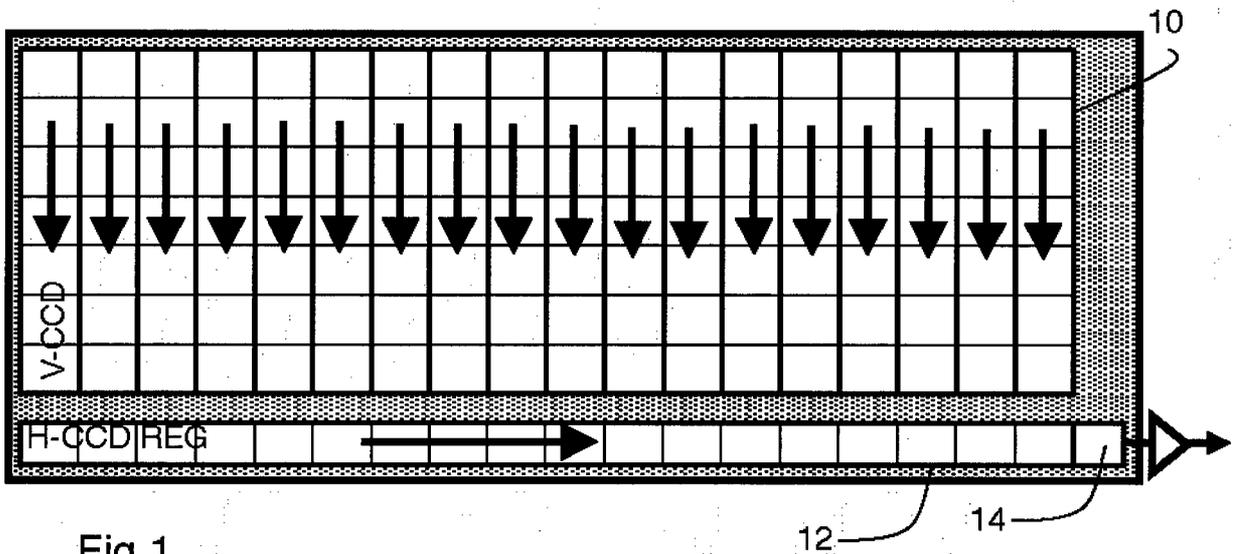
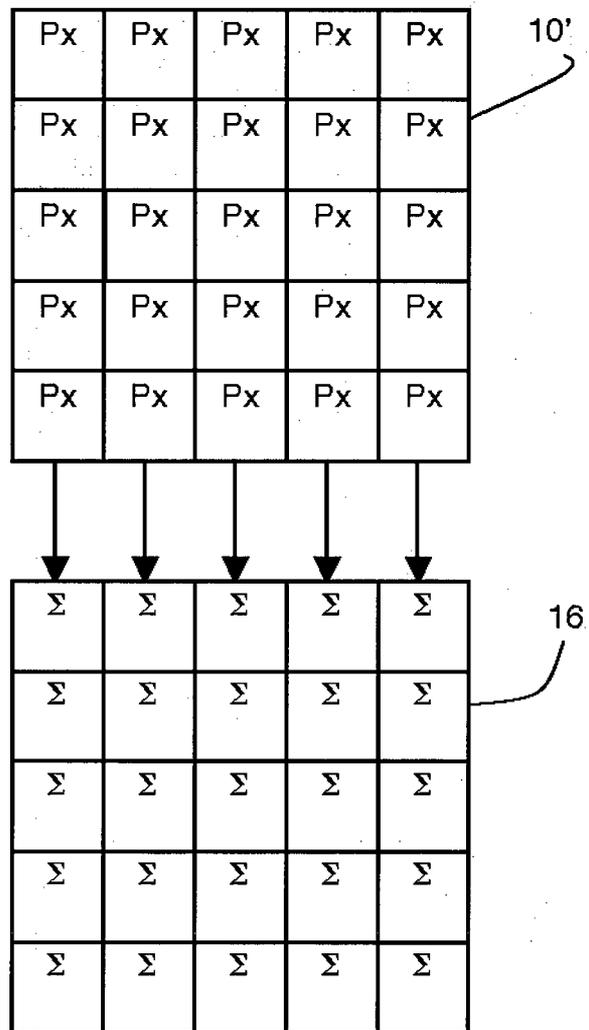


Fig 1

Fig 2



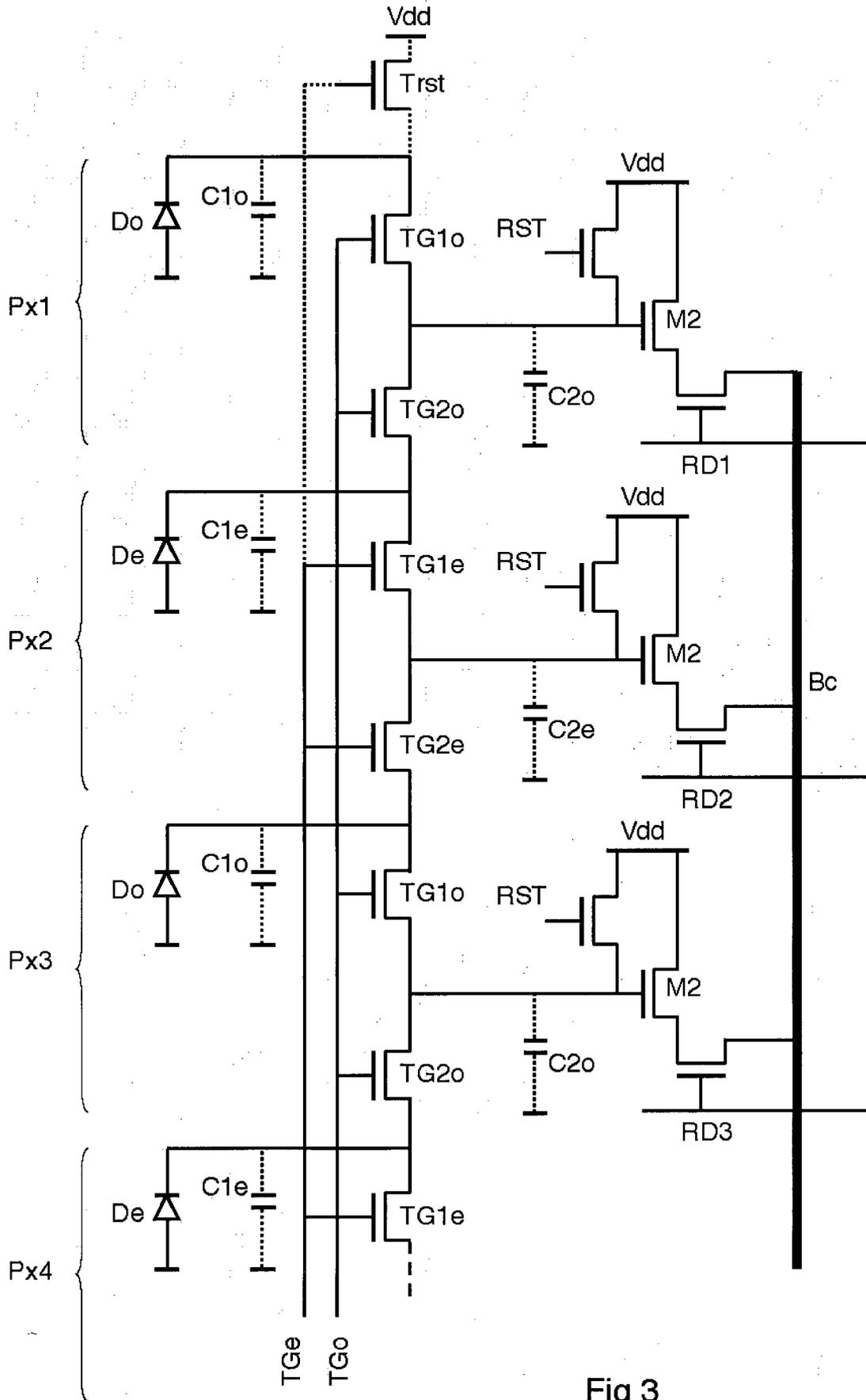


Fig 3

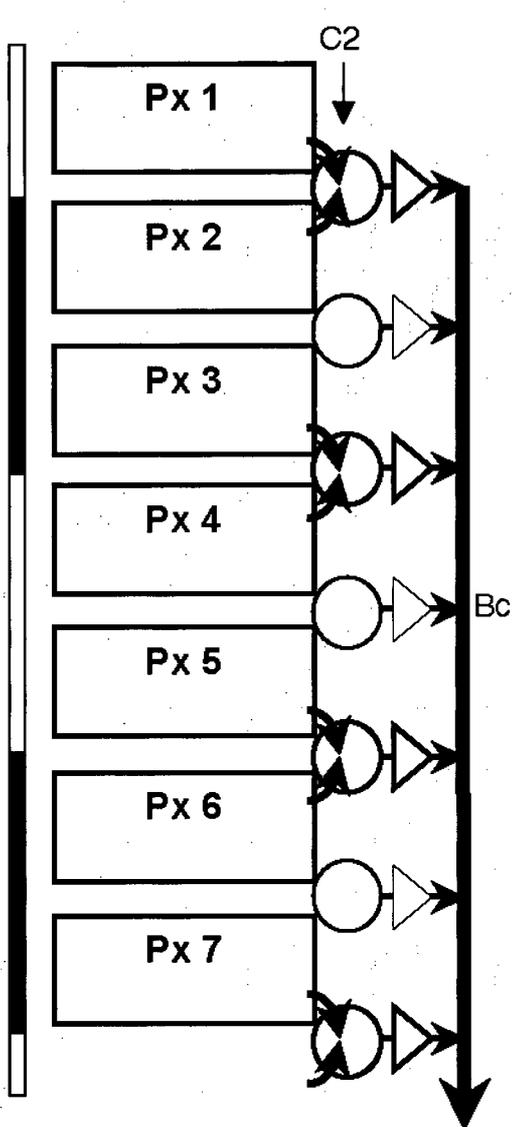


Fig 4a

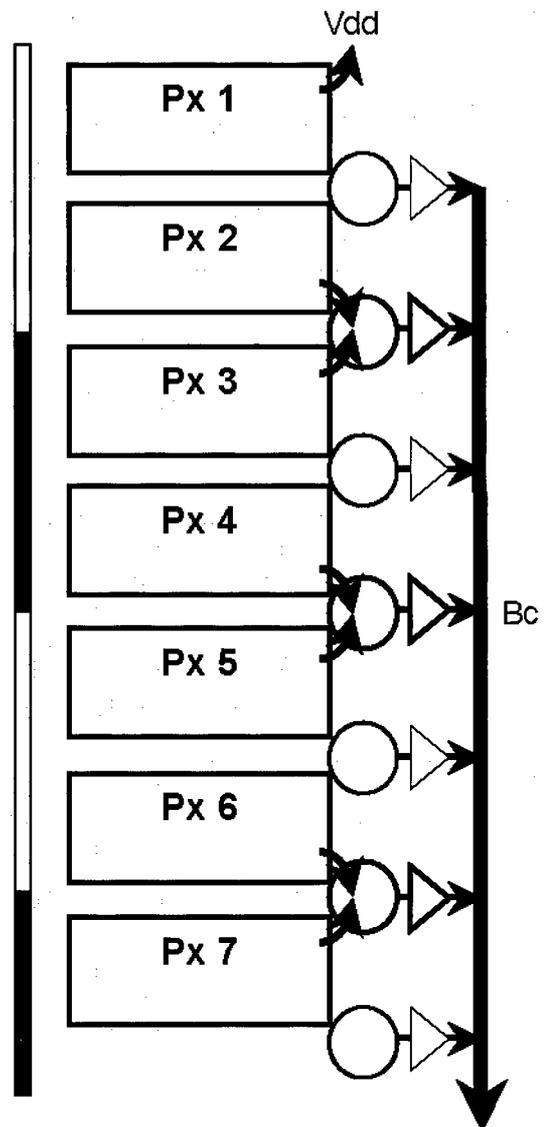
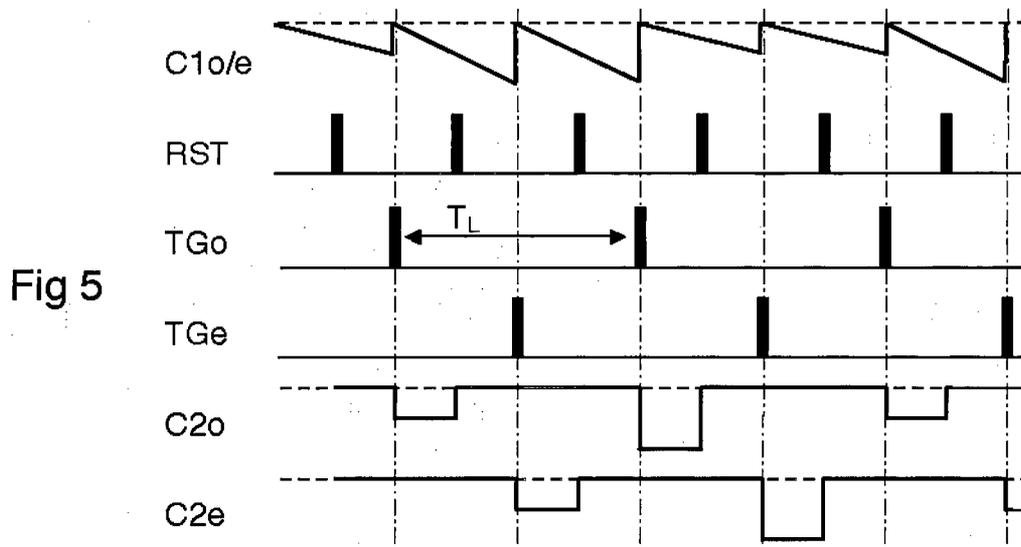


Fig 4b



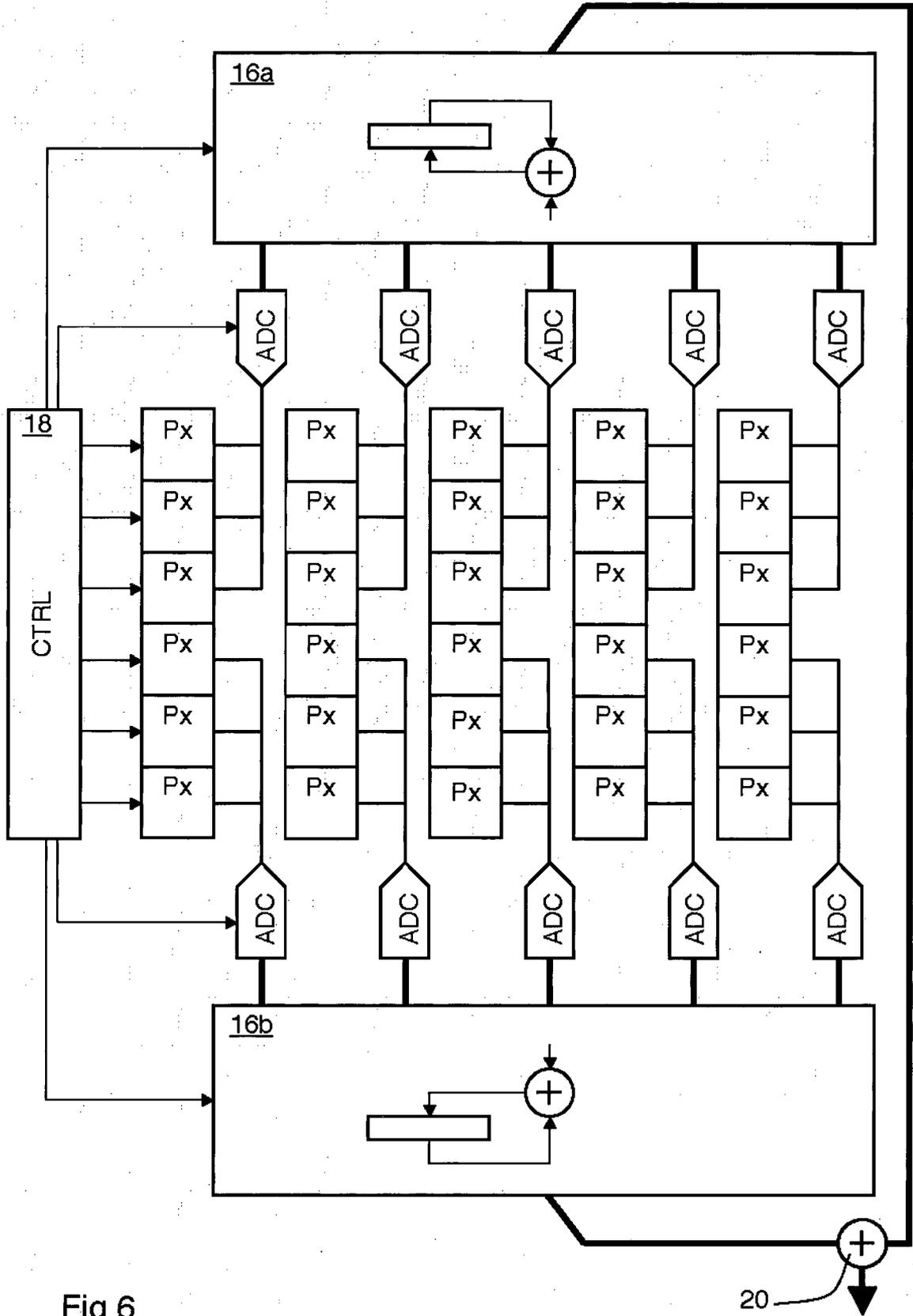


Fig 6

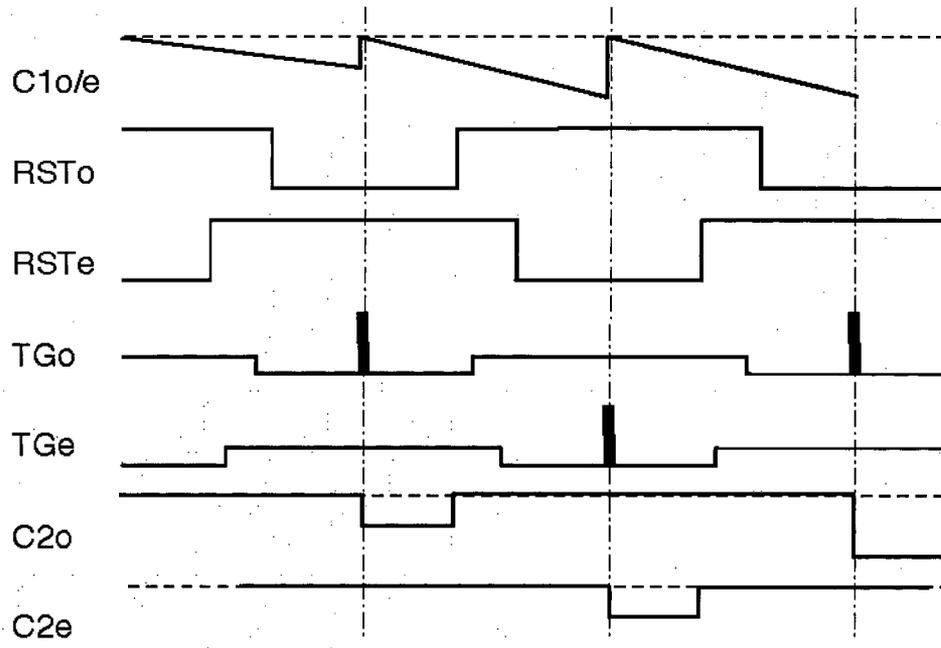


Fig 7

## INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2012/000010

A. CLASSIFICATION OF SUBJECT MATTER INV. H04N5/372 H04N5/374 H04N5/359 H04N5/3745 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2009/295971 A1 (TSUCHIYA HIROYUKI [JP]) 3 December 2009 (2009-12-03) paragraph [0129] - paragraph [0131]; figures 6,7,8,10 paragraph [0144] -----	1-3
Y	US 2007/012865 A1 (KATZIR YIGAL [IL] ET AL) 18 January 2007 (2007-01-18) paragraph [0034] - paragraph [0036] paragraph [0029] -----	1-3
Y	US 2006/146157 A1 (TOROS ZEYNEP [US] ET AL) 6 July 2006 (2006-07-06) paragraphs [0080], [0156] -----	1-3
A	FR 2 906 080 A1 (E2V SEMICONDUCTORS SOC PAR ACT [FR]) 21 March 2008 (2008-03-21) paragraphs [0062], [0047]; figure 2 -----	1-3
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search  9 May 2012	Date of mailing of the international search report  22/05/2012	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer  Bequet, Thierry	

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2012/000010

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009295971	A1	03-12-2009	CN 101594491 A
			JP 4582198 B2
			JP 2009290659 A
			KR 20090125006 A
			TW 200952478 A
			US 2009295971 A1
-----			
US 2007012865	A1	18-01-2007	NONE
-----			
US 2006146157	A1	06-07-2006	US 2006146157 A1
			WO 2006073798 A2
-----			
FR 2906080	A1	21-03-2008	EP 2064867 A1
			FR 2906080 A1
			JP 2010539733 A
			WO 2008034794 A1
-----			

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2012/000010

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H04N5/372 H04N5/374 H04N5/359 H04N5/3745 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) H04N		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 2009/295971 A1 (TSUCHIYA HIROYUKI [JP]) 3 décembre 2009 (2009-12-03) alinéa [0129] - alinéa [0131]; figures 6,7,8,10 alinéa [0144]	1-3
Y	US 2007/012865 A1 (KATZIR YIGAL [IL] ET AL) 18 janvier 2007 (2007-01-18) alinéa [0034] - alinéa [0036] alinéa [0029]	1-3
Y	US 2006/146157 A1 (TOROS ZEYNEP [US] ET AL) 6 juillet 2006 (2006-07-06) alinéas [0080], [0156]	1-3
A	FR 2 906 080 A1 (E2V SEMICONDUCTORS SOC PAR ACT [FR]) 21 mars 2008 (2008-03-21) alinéas [0062], [0047]; figure 2	1-3
<input type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée	"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets	
Date à laquelle la recherche internationale a été effectivement achevée 9 mai 2012		Date d'expédition du présent rapport de recherche internationale 22/05/2012
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Bequet, Thierry

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2012/000010

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2009295971 A1	03-12-2009	CN 101594491 A	02-12-2009
		JP 4582198 B2	17-11-2010
		JP 2009290659 A	10-12-2009
		KR 20090125006 A	03-12-2009
		TW 200952478 A	16-12-2009
		US 2009295971 A1	03-12-2009
-----			
US 2007012865 A1	18-01-2007	AUCUN	
-----			
US 2006146157 A1	06-07-2006	US 2006146157 A1	06-07-2006
		WO 2006073798 A2	13-07-2006
-----			
FR 2906080 A1	21-03-2008	EP 2064867 A1	03-06-2009
		FR 2906080 A1	21-03-2008
		JP 2010539733 A	16-12-2010
		WO 2008034794 A1	27-03-2008
-----			