

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-345341  
(P2006-345341A)

(43) 公開日 平成18年12月21日(2006.12.21)

(51) Int. Cl. F I テーマコード(参考)  
 H03F 1/07 (2006.01) H03F 1/07 5J500  
 H03F 3/68 (2006.01) H03F 3/68 B

審査請求 未請求 請求項の数 5 O L (全 23 頁)

(21) 出願番号	特願2005-170535 (P2005-170535)	(71) 出願人	000001122 株式会社日立国際電気 東京都千代田区外神田四丁目14番1号
(22) 出願日	平成17年6月10日(2005.6.10)	(71) 出願人	504173471 国立大学法人 北海道大学 北海道札幌市北区北8条西5丁目8番地
		(74) 代理人	100093104 弁理士 船津 暢宏
		(74) 代理人	100092772 弁理士 阪本 清孝
		(72) 発明者	武田 康弘 東京都中野区東中野三丁目14番20号 株式会社日立国際電気内

最終頁に続く

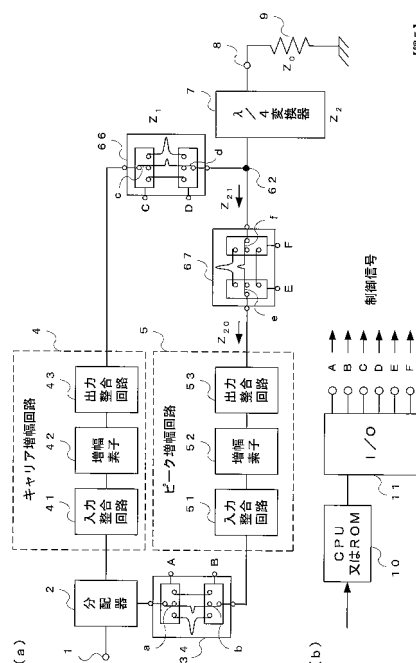
(54) 【発明の名称】 増幅器

(57) 【要約】

【課題】 従来のドハティ増幅器では、最適な整合がとれずに増幅効率が向上せず、また、周波数帯域を広くできないという問題点があったが、本発明は、増幅効率を向上させ、広い周波数帯域での使用を可能とする増幅器を提供する。

【解決手段】 AB級で動作する第1の増幅回路と、B級又はC級で動作する第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を  $\lambda/4$  以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、インピーダンス変換器が、それぞれ電気長の異なる複数の伝送線路を有し、入力信号の周波数に応じていずれかの伝送線路に接続を切り替え可能である増幅器としている。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

A B 級で動作する増幅素子を備えた第 1 の増幅回路と、  
 B 級又は C 級で動作する増幅素子を備えた第 2 の増幅回路と、  
 前記第 1 の増幅回路の出力と前記第 2 の増幅回路の出力を  $\pi/4$  以外の電気長の伝送線  
 路から成るインピーダンス変換器を介して合成する合成点とを備え、  
 前記インピーダンス変換器が、それぞれ電気長の異なる複数の伝送線路を備え、入力信  
 号の周波数に応じて、前記複数の伝送線路のいずれかに接続を切り替え可能なインピーダ  
 ンス変換器であることを特徴とする増幅器。

## 【請求項 2】

A B 級で動作する増幅素子を備えた第 1 の増幅回路と、  
 B 級又は C 級で動作する増幅素子を備えた第 2 の増幅回路と、  
 前記第 1 の増幅回路の出力と前記第 2 の増幅回路の出力を  $\pi/4$  以外の電気長の伝送線  
 路から成るインピーダンス変換器を介して合成する合成点とを備え、  
 前記第 1 の増幅回路と前記第 2 の増幅回路のいずれか又は両方の前段に、周波数に依存  
 する増幅器の特性の変動を補償する等化器を設けたことを特徴とする増幅器。

## 【請求項 3】

A B 級で動作する増幅素子を備えた第 1 の増幅回路と、  
 B 級又は C 級で動作する増幅素子を備えた第 2 の増幅回路と、  
 前記第 1 の増幅回路の出力と前記第 2 の増幅回路の出力を  $\pi/4$  以外の電気長の伝送線  
 路から成るインピーダンス変換器を介して合成する合成点とを備え、  
 前記第 1 の増幅回路と前記第 2 の増幅回路のいずれか又は両方の前段に、移相器及び減  
 衰器から成るベクトル変換器を設け、前記ベクトル変換器を、入力信号の周波数に応じて  
 調整可能としたことを特徴とする増幅器。

## 【請求項 4】

温度を測定する温度センサを備え、  
 前記温度センサで測定された温度に応じて、ベクトル変換器を調整可能としたことを特  
 徴とする請求項 3 記載の増幅器。

## 【請求項 5】

A B 級で動作する増幅素子を備えた第 1 の増幅回路と、  
 B 級又は C 級で動作する増幅素子を備えた第 2 の増幅回路と、  
 前記第 1 の増幅回路の出力と前記第 2 の増幅回路の出力を  $\pi/4$  以外の電気長の伝送線  
 路から成るインピーダンス変換器を介して合成する合成点とを備え、  
 入力信号の周波数に応じて、前記第 1 の増幅回路と前記第 2 の増幅回路のいずれか又は  
 両方の増幅素子のゲート電圧を調整可能としたことを特徴とする増幅器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、携帯電話システム等の基地局において用いられる増幅器に係り、特にドハティ  
 増幅器 (Doherty 増幅器) の適用周波数の広帯域化を図ることができる増幅器に  
 関する。

## 【背景技術】

## 【0002】

従来、CDMA 信号やマルチキャリア信号を電力増幅する場合、共通増幅器に歪補償手  
 段を付加し、共通増幅器の動作範囲を飽和領域付近まで広げることで低消費電力化を図っ  
 ていた。歪補償手段として、フィードフォワード歪補償やプリディストーション歪補償な  
 どがあるが、歪補償だけでは低消費電力化に限界が近づいている。そのため近年、高効率  
 増幅器としてドハティ増幅器が注目されている。

ところで、例えば、CDMA 用の帯域は 2 GHz 帯で 60 MHz の帯域があるが、実際  
 使用時は 20 MHz 程度となっている。周波数の使用帯域は各国毎に異なり、個々の通信

10

20

30

40

50

事業者へは20MHz以下程度が割り当てられている。そのため、国毎、通信事業者毎に合わせた増幅器を製造すると、生産性が上がらないため、使用可能な周波数帯域の共通化を図る必要がある。

#### 【0003】

従来のドハティ増幅器について図13を用いて説明する。図13は、従来のドハティ増幅器の構成ブロック図である。

図13に示すように、従来のドハティ増幅器は、入力端子1と、分配器2と、移相器3と、キャリア増幅回路4と、ピーク増幅回路5と、ドハティ合成部6と、 $\pi/4$ 変成器7と、出力端子8とから構成されている。

更に、キャリア増幅回路4は、入力整合回路41と、増幅素子42と、出力整合回路43とから構成され、ピーク増幅回路5は、入力整合回路51と、増幅素子52と、出力整合回路53とから構成され、ドハティ合成部6は、 $\pi/4$ 変成器61と、ノード(合成点)62とから構成されている。

10

#### 【0004】

各構成部分について説明する。

分配器2は、入力端子1から入力された信号を、2つに分配するものである。

移相器3は、分配器2で分配された一方の信号の位相を90°遅らせるものである。

キャリア増幅回路4の入力整合回路41は、分配器2で分配された一方の信号と増幅素子42の入力側との整合をとるものである。

増幅素子42は、AB級にバイアスされた増幅素子であり、入力電力レベルが低いときから動作するものである。

20

出力整合回路43は、増幅素子42からの出力側と $\pi/4$ 変成器61との整合をとるものである。

#### 【0005】

ピーク増幅回路5の入力整合回路51は、移相器3からの位相が90°遅らされた信号を、増幅素子52の入力側に整合させるものである。

増幅素子52は、B級又はC級にバイアスされた増幅素子であり、入力レベルが十分高いときに動作するものである。

出力整合回路53は、増幅素子52からの出力側とノード62との整合をとるものである。

30

#### 【0006】

また、ドハティ合成部6の $\pi/4$ 変成器61は、キャリア増幅回路4の出力をインピーダンス変換してノード62と整合をとるものである。

ノード62は、 $\pi/4$ 変成器61からの出力とピーク増幅回路5からの出力とを合成するものである。

$\pi/4$ 変成器7は、ノード62での合成信号をインピーダンス変換して、出力負荷9に整合させるものである。

#### 【0007】

上記構成のドハティ増幅器における動作について説明する。

入力端子1から入った信号は、分配器2で分配される。分配された一方の信号は、キャリア増幅器4に入力され、増幅素子42で増幅される。キャリア増幅器4の出力は、 $\pi/4$ 変成器61でインピーダンス変換される。

40

#### 【0008】

分配器2で分配されたもう一方の信号は、移相器3で位相を90度遅らされ、ピーク増幅器5に入力され、増幅素子52で増幅される。

$\pi/4$ 変成器61の出力及びピーク増幅器5の出力はノード62において合成される。合成された信号は、 $\pi/4$ 変成器7でインピーダンス変換され、出力端子8を介して出力負荷9に接続される。このようにして従来のドハティ増幅器における動作が行われるものである。

#### 【0009】

50

ここで、ドハティ増幅器の動作効率について説明する。

キャリア増幅器 4 とピーク増幅器 5 は、増幅素子 4 2 が A B 級にバイアスされ、増幅素子 5 2 が B 又は C 級にバイアスされている点で異なる。そのため、増幅素子 5 2 が動作する入力までは増幅素子 4 2 は単独で動作し、増幅素子 4 2 が飽和領域に入る（増幅素子 4 2 の線形性が崩れ始める）と、増幅素子 5 2 が動作し始め、増幅素子 5 2 の出力が負荷に供給され、増幅素子 4 2 とともに負荷を駆動する。このとき増幅出力整合回路 4 3 の負荷線は、高い抵抗から低い抵抗へ移動するが、増幅素子 4 2 は飽和領域にあるので効率は良い。入力端子 1 からの入力が増加すると、増幅素子 5 2 も飽和し始めるが、増幅素子 4 2、5 2 とともに飽和しているためこのときも効率は良い。

【0010】

10

次に、ドハティ増幅器の効率 - 出力電力特性について図 1 4 を用いて説明する。図 1 4 は、ドハティ増幅器と通常の B 級増幅器の効率 - 出力電力特性を示す説明図である。図 1 4 では、点線は、一般的な B 級増幅器の効率を示し、実線は、簡単なモデルにおけるドハティ増幅器の理論効率を示している。

図 1 4 に示すように、入力レベルが A 区間にあるときは、基本的にキャリア増幅器 4 のみが動作する。低入力レベルにおいては、ドハティ増幅器の効率は、通常の B 級増幅器の 2 倍の値を示す。後述するように、このときのキャリア増幅回路 4 は、その負荷インピーダンスが本来の値の 2 倍となっているので、出力は本来の半分となるものである。バックオフ（増幅器の平均出力電力に対する飽和出力電力）が 6 dB になる付近で、キャリア増幅器 4 は飽和し始め、効率は B 級増幅器の最大効率付近まで達する。ドハティ増幅器の最大出力を  $P_0$  とすると、このときキャリア増幅器 4 の出力は約  $P_0 / 4$  である。

20

【0011】

バックオフが 6 dB 以下の B 区間では、ピーク増幅器 5 が動作を開始する。そして、キャリア増幅器 4 とピーク増幅器 5 とが並列運転を行うことにより、入力レベルの増加に伴ってキャリア増幅器 4 の負荷インピーダンスが下がって本来の値に近づき、出力は約  $P_0 / 4$  から  $P_0 / 2$  へ増加する。また、ピーク増幅器 5 の出力はほぼ 0 から  $P_0 / 2$  へ増加する。

【0012】

このときキャリア増幅器 4 及びピーク増幅器 5 の出力電力の和は、入力端子 1 への入力電力に対し、区間 A のときと同じ比例定数で比例する。ピーク増幅器 5 が動作し始めると効率は一旦低下するが、キャリア増幅器 5 も飽和し始めるコンプレッションポイントで再びピークを迎える。コンプレッションポイントにおいて、キャリア増幅器 4 とキャリア増幅器 5 の出力は等しくなる。

30

【0013】

一般に、CDMA 信号やマルチキャリア信号は高いピークファクタ、すなわちピーク電力と平均電力の比を有するが、通常の増幅器では 7 ~ 12 dB のピークファクタに対応できるように、コンプレッション点からその分を下げた点を動作点としている。

【0014】

次に、図 1 3 を用いてドハティ増幅器の各部のインピーダンスについて説明する。

図 1 3 に示すように、出力負荷  $Z_0$  は一定に規定されているので、これを起点とする。

40

ノード 6 2 から / 4 変成器 7 をみたインピーダンス  $Z_7$  は、 / 4 変成器 7 の特性インピーダンスを  $Z_2$  とすると、

$$Z_7 = Z_2^2 / Z_0$$

となる。

出力整合回路 4 3 から / 4 変成器 6 1 をみたインピーダンス  $Z_4$  は、A 区間においては出力整合回路 5 3 の出力インピーダンスが実質的に無限大となるために上記と同様に求まり、C 区間においては負荷を等しく分担するため、インピーダンス  $Z_4$  と  $Z_5$  は、それぞれ  $2 Z_7$  となるので、

【0015】

【数 1】

【数 1】

$$Z_4 = \begin{cases} \frac{Z_1^2}{Z_7} = \frac{Z_1^2}{(Z_2^2/Z_0)} = Z_0 \frac{Z_1^2}{Z_2^2} & (\text{A区間}) \\ \frac{Z_1^2}{2Z_7} = \frac{Z_0 Z_1^2}{2 Z_2^2} & (\text{C区間}) \end{cases}$$

10

【0016】

【数 2】

【数 2】

$$Z_5 = \begin{cases} \infty & (\text{A区間}) \\ 2Z_7 & (\text{C区間}) \end{cases}$$

20

となる。また、 $Z_4$ 及び $Z_5$ は、B区間ではA区間の時の値とC区間の時の値との間をそれぞれ遷移する。

【0017】

ドハティ増幅器を周波数の高い領域に応用したときは、製造の容易性から、 $(Z_1^2 / 2 Z_7) = 2 Z_7 = 50$  となるように、 $Z_7 = 25$ 、 $Z_1 = 50$  とするのが一般的であり、 $Z_4$ は、 $100 \sim 50$  の間で変化する。いずれにしても、 $Z_4$ は2倍の負荷変動を起こすので、増幅素子42の負荷インピーダンスも変動している。

30

【0018】

尚、従来増幅回路としては、平成16年9月16日公開の特開2004-260232号「増幅回路」(出願人：株式会社日立国際電気、発明者：依田友也他)がある。

この従来技術は、阿級動作で使用される増幅素子で信号を増幅する際に、ドレイン電流レベルを検出し、ゲート印加電圧レベル制御手段が、ドレイン電流レベルが所定の値となるように、ゲート電圧を調整するものであり、これにより、増幅素子の特性の劣化を補償することができるものである。

40

【0019】

【特許文献1】特開2004-260232号公報(第8-15頁)

【発明の開示】

【発明が解決しようとする課題】

【0020】

しかしながら従来ドハティ増幅器では、半導体の増幅素子を用いて周波数の高い領域に応用した場合、増幅素子から見たインピーダンスをドハティ理論に合致させることが困難であった。図13の増幅素子42から見た負荷線は、整合回路43の挙動により変わるためである。

【0021】

50

ここで、増幅素子の負荷インピーダンス変動について図 1 3 及び図 1 5 を用いて説明する。図 1 5 は、図 1 3 の増幅素子 4 2 の負荷インピーダンスの変動の一例を示すスミスチャート図である。

図 1 5 に示すように、 $Z_A$ 、 $Z_B$ 、 $Z_C$  は図 1 3 の増幅素子 4 2 の負荷インピーダンスで、通常は数 から十数 あるいはそれ以下の値であり、 $Z_4$  に比べかなり小さく、純抵抗ではない。このスミスチャートは、 $Z_A$  と  $Z_4$  の間の任意の抵抗で正規化してある。 $Z_A$  を中心に 3 重に描かれた閉曲線は、内側からそれぞれ  $0.9 P_0$ 、 $0.5 P_0$ 、 $0.25 P_0$  に対応する等出力電力線であり、 $Z_A$  の時に最大出力  $P_0$  が得られ、マッチングがずれると得られる出力が減少していくことを示している。また、等出力電力線を横切るように描かれた 4 本の点線は、等効率線であり、効率 a から効率 d の順で効率が高いことを示す。

#### 【 0 0 2 2 】

出力整合回路 4 3 は、増幅素子 4 2 の負荷インピーダンスを  $Z_4$  変成器 6 1 の入力インピーダンス  $Z_4$  に変換する。出力整合回路 4 3 を、例えば分布定数回路で構成すると、スミスチャート上では等レジスタンス円や等コンダクタンス円に沿ってインピーダンスを変換する。変換の仕方は任意であるので、図 1 5 では簡略化して破線で示してある。

#### 【 0 0 2 3 】

入力レベルの増加に伴い、図 1 3 に示したインピーダンス  $Z_4$  が  $Z_0 Z_1^2 / Z_2^2$  すなわち図 1 5 の  $Z_4 (A)$  から  $Z_0 Z_1^2 / 2 Z_2^2$  すなわち図 1 5 の  $Z_4 (C)$  に減少するので、図 1 4 の C 区間で最大出力が得られるように、図 1 5 の  $Z_4 (C)$  を図 1 5 の  $Z_A$  に整合させると、 $Z_4 (A)$  は  $Z_B$  に整合される。しかし、等電力線内であればどのようなインピーダンスでも  $P_0 / 4$  が得られるので、 $Z_B$  よりも  $Z_C$  に整合されたほうが効率はよい。つまり、図 1 3 の増幅素子 4 2 の負荷インピーダンスが、入力レベルの増加と共に図 1 5 の  $Z_C$  から  $Z_A$  に推移するように整合されたときに、図 1 3 の増幅素子 4 2 は最も効率よく動作する。

#### 【 0 0 2 4 】

以上の説明は、出力及び効率のみ考慮したものであるが、一般に増幅器の性能を示す指標として、出力、効率、ゲイン及び歪がある。任意の増幅素子のこれらの性能を満足するような整合を考えた場合においても、図 1 3 の増幅素子 4 2 の負荷インピーダンスは、入力レベルの増加とともに図 1 5 のようにスミスチャートの中心に対し外側から内側に移動するよりも、内側から外側に移動したほうがよい場合がある。また、更に特性の良い任意の点から図 1 5 の  $Z_A$  へ動かした方がよい場合もある。

しかし、外側から内側に移動する図 1 3 の  $Z_4$  を、内側から外側に移動するインピーダンスに変換すること、つまり図 1 5 の破線がクロスするような整合を行うことは、通常の整合回路では困難な場合がある。

そのため、従来のドハティ増幅器では、図 1 3 の出力整合回路 4 3 は図 1 5 の  $Z_B$  と  $Z_A$  の間を移動するような整合を行うことしかできず、第 1 の問題点として、増幅器の効率が向上しないという問題点があった。

#### 【 0 0 2 5 】

また、世界的に使用されている CDMA システムでは、60 MHz に亘るバンド幅があり、通信事業者はその中の狭い帯域を使用しているが、増幅器は 60 MHz 内の任意の周波数帯で性能を確保する必要がある。

しかしながら、従来のドハティ増幅器では、第 2 の問題点として、周波数に依存して特性の変動が発生することがあり、広い帯域での使用が困難であるという問題点があった。特に、プレディストーション等の歪補償と組み合わせた場合は、増幅器側（主信号系）で周波数特性を持つ歪が発生すると、十分な歪補償が行われぬ恐れがある。

#### 【 0 0 2 6 】

ここで、従来のドハティ増幅器における入出力特性について図 1 6 を用いて説明する。図 1 6 は、従来のドハティ増幅器における入出力特性を示す説明図である。

図 1 6 に示すように、従来のドハティ増幅器では、周波数が変わると飽和電力が変わってしまうため、種々の周波数帯に適用した場合に、常に安定した増幅特性を示すことは困

10

20

30

40

50

難であった。

【0027】

更にまた、図13に示したノード62において、キャリア増幅回路4からの出力とピーク増幅回路5からの出力とを合成する場合、合成ポイントがずれた場合には、期待通りの増幅機能が得られなくなってしまう。特にピーク増幅回路はCクラスで動作するため、帯域を広くとることはABクラスよりも困難となる。

従来のドハティ増幅器における周波数帯域とドハティ増幅器の出力レベルの関係について図17を用いて説明する。図17は、従来のドハティ増幅器における入力信号の周波数帯域と出力レベルとの関係の一例を示す説明図である。

ドハティ増幅器の出力レベルは入力信号の周波数帯域の変化に対して一定にはならず、例えば図17に示すように変化する。図17に示すように、増幅器をa点で最適化した場合、a1点からa2点のAA帯域では、どの周波数が入力されても、出力レベルにさほど大きい変動は生じないが、BB帯域では、b1点とb2点のゲイン差(G)が大きく、合成ポイントがb1かb2かによって増幅器の特性が大きく変化してしまい、安定した動作が得られない。

10

【0028】

更に、従来のドハティ増幅器では、第3の問題点として、周囲の環境温度等の変化により、増幅器の性能が不安定になることがあるという問題点があった。

ここで、従来のドハティ増幅器における温度による特性の変化について図18を用いて説明する。図18は、一般的なFETを用いた増幅器におけるゲート電圧-ドレイン電流の特性を示す説明図である。

20

図18に示すように、周辺温度が変化すると、ゲート電圧-ドレイン電流の特性が変化することがわかる。

【0029】

本発明は上記実状に鑑みて為されたもので、適切な整合を取ることで増幅効率を向上させ、また、周波数依存性を小さくして広い帯域での使用を可能とし、更に、温度変化に対して安定に動作することができる増幅器を提供することを目的とする。

【課題を解決するための手段】

【0030】

上記従来例の問題点を解決するための本発明は、AB級で動作する増幅素子を備えた第1の増幅回路と、B級又はC級で動作する増幅素子を備えた第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を1/4以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、インピーダンス変換器が、それぞれ電気長の異なる複数の伝送線路を備え、入力信号の周波数に応じて、複数の伝送線路のいずれかに接続を切り替え可能なインピーダンス変換器であることを特徴としている。

30

【0031】

また、本発明は、AB級で動作する増幅素子を備えた第1の増幅回路と、B級又はC級で動作する増幅素子を備えた第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を1/4以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、第1の増幅回路と第2の増幅回路のいずれか又は両方の前段に、周波数に依存する増幅器の特性の変動を補償する等化器を設けたことを特徴としている。

40

【0032】

また、本発明は、AB級で動作する増幅素子を備えた第1の増幅回路と、B級又はC級で動作する増幅素子を備えた第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を1/4以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、第1の増幅回路と第2の増幅回路のいずれか又は両方の前段に、移相器及び減衰器から成るベクトル変換器を設け、ベクトル変換器を、入力信号の周波数に応じて調整可能としたことを特徴としている。

【0033】

また、本発明は、上記増幅器において、温度を測定する温度センサを備え、前記温度セ

50

ンサで測定された温度に応じて、ベクトル変換器を調整可能としたことを特徴としている。

【0034】

また、本発明は、A B級で動作する増幅素子を備えた第1の増幅回路と、B級又はC級で動作する増幅素子を備えた第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を / 4以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、入力信号の周波数に応じて、第1の増幅回路と第2の増幅回路のいずれか又は両方の増幅素子のゲート電圧を調整可能としたことを特徴としている。

【発明の効果】

【0035】

本発明によれば、A B級で動作する増幅素子を備えた第1の増幅回路と、B級又はC級で動作する増幅素子を備えた第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を / 4以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、インピーダンス変換器が、それぞれ電気長の異なる複数の伝送線路を備え、入力信号の周波数に応じて、複数の伝送線路のいずれかに接続を切り替え可能な増幅器としているので、使用される周波数に応じて最適な電気長となる長さの伝送線路を簡単に選択でき、最適な整合を実現して増幅器の効率を向上させることができると共に、広い周波数帯域に適用可能とすることができる効果がある。

10

【0036】

本発明によれば、A B級で動作する増幅素子を備えた第1の増幅回路と、B級又はC級で動作する増幅素子を備えた第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を / 4以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、第1の増幅回路と第2の増幅回路のいずれか又は両方の前段に、周波数に依存する増幅器の特性の変動を補償する等化器を設けた増幅器としているので、入力周波数によらず安定した増幅動作を行って、適用可能な周波数帯域を拡大することができる効果がある。

20

【0037】

本発明によれば、A B級で動作する増幅素子を備えた第1の増幅回路と、B級又はC級で動作する増幅素子を備えた第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を / 4以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、第1の増幅回路と第2の増幅回路のいずれか又は両方の前段に、移相器及び減衰器から成るベクトル変換器を設け、ベクトル変換器を、入力信号の周波数に応じて調整可能とした増幅器としているので、周波数に依存する増幅器の特性の変動をベクトル調整で補償することができ、入力周波数によらず安定した増幅動作を行って、適用可能な周波数帯域を拡大することができる効果がある。

30

【0038】

本発明によれば、上記増幅器において、温度を測定する温度センサを備え、温度センサで測定された温度に応じて、ベクトル変換器を調整可能とした増幅器としているので、温度変化に伴う増幅器の特性の変動をベクトル調整で補償することができ、周囲の温度変化によらず安定した増幅動作を行うことができる効果がある。

40

【0039】

本発明によれば、A B級で動作する増幅素子を備えた第1の増幅回路と、B級又はC級で動作する増幅素子を備えた第2の増幅回路と、第1の増幅回路の出力と第2の増幅回路の出力を / 4以外の電気長の伝送線路から成るインピーダンス変換器を介して合成する合成点とを備え、入力信号の周波数に応じて、第1の増幅回路と第2の増幅回路のいずれか又は両方の増幅素子のゲート電圧を調整可能とした増幅器としているので、周波数に依存する増幅器の特性の変動をゲート電圧の調整で補償することができ、入力周波数によらず安定した増幅動作を行って、適用可能な周波数帯域を拡大することができる効果がある。

【発明を実施するための最良の形態】

50



## 【0040】

本発明の実施の形態について図面を参照しながら説明する。

本発明の増幅器は、従来のドハティ合成部に設けられていた  $\pi/4$  変換器の代わりに  $\pi/4$  以外の電気長で、周波数に応じて最適な電気長となるよう長さを調節可能な伝送線路を有するインピーダンス変換器を備えたものであり、適切な整合を行ってドハティ増幅器の効率を向上させることができるものである。

ここで、電気長とは、伝送路の長さを、伝送線路中での波長を基準に規定するものであり、線路定数（誘電体の比誘電率等）を考慮した長さである。

## 【0041】

本発明の増幅器は、従来のドハティ合成部に設けられていた  $\pi/4$  変換器の代わりに  $\pi/4$  以外の電気長でそれぞれ電気長の異なる複数の伝送線路と、制御部からの制御信号でいずれかの伝送線路に接続を切り替えるスイッチを備えたインピーダンス変換器を備え、制御部が、入力信号の周波数に応じて、最適な長さの伝送線路に切り替える制御信号をスイッチに出力するものであり、ドハティ増幅器の適応可能な周波数帯域を容易に拡大できるものである。

10

## 【0042】

また、本発明の増幅器は、キャリア増幅回路及びピーク増幅回路の前段に等化器又はベクトル調整器を設け、制御部が入力信号の周波数に応じて最適な調整量を与えるようにしており、周波数に依存する特性のばらつきを抑え、適応可能な周波数帯域を拡大できるものである。

20

## 【0043】

また、本発明の増幅器は、温度センサによって周辺温度を検出し、制御部が温度の変動に依存する増幅特性の変動をベクトル調整やゲート電圧の調整によって補償するようにしており、周辺温度が変動しても安定した動作を行うことができるものである。

## 【0044】

図1は、本発明の第1の実施の形態に係る増幅器（第1の増幅器）の構成ブロック図である。尚、図13と同様の構成をとる部分については同一の符号を付して説明する。

図1に示すように、本発明の第1の実施の形態に係る増幅器（第1の増幅器）は、図13に示した従来のドハティ増幅器と基本的な構成はほぼ同様であり、従来と同じ部分として、入力端子1と、分配器2と、キャリア増幅回路4と、ピーク増幅回路5と、 $\pi/4$ 変換器7と、出力端子8と、出力負荷9とを備え、更に、キャリア増幅回路4は、入力整合回路41と、増幅素子42と、出力整合回路43とから構成され、ピーク増幅回路5は、入力整合回路51と、増幅素子52と、出力整合回路53とから構成されている。

30

上記構成部分は、定数等の違いはあるものの、図13に示した従来のドハティ増幅器における構成部分と基本的に同様の構成及び動作である。

## 【0045】

また、第1の増幅器は、特徴部分として、ドハティ合成部6と、移相器31とを備えており、更に、ドハティ合成部6は、インピーダンス変換器64と、ノード62とから構成されている。

ここで、第1の増幅器の各構成部分について説明する。

40

入力端子1は、増幅器への入力信号が入力される端子である。

分配器2は、入力端子1～入力された信号を分配するものであり、例えば配線板上に形成されたT字分岐ライン、或いは3dBカプラ等で構成される。

## 【0046】

移相器31は、原理的にはインピーダンス変換器64に相当する遅延を発生する伝送線路であるが、合成を同相で行うために設けられたものであり、キャリア増幅回路4とピーク増幅回路5との位相差も吸収しなければならないため、インピーダンス変換器64の遅延とは異なる場合もある。

## 【0047】

キャリア増幅回路4の入力整合回路41は、分配器2で分配された信号のインピーダン

50

スを、後段の増幅素子 4 2 の入力インピーダンスに変換するものである。

キャリア増幅回路 4 の増幅素子 4 2 は、信号を増幅する増幅素子であり、A B 級にバイアスされている。

キャリア増幅回路 4 の出力整合回路 4 3 は、インピーダンス変換器 6 4 と共に増幅素子 4 2 の負荷インピーダンスを変換するものである。変換の仕方については、図 2 を用いて後で説明するが、入力レベルが十分低い時 (図 1 4 の A 区間) においては、増幅素子 4 2 の負荷インピーダンスを  $Z_A$  を中心としてほぼ円上のインピーダンスに変換し、図 1 4 の C 区間においては  $Z_A$  に変換するものである。

#### 【0048】

ピーク増幅回路 5 の入力整合回路 5 1 は、移相器 3 1 から出力された信号のインピーダンスを、後段の増幅素子 5 2 の入力インピーダンスに変換するものである。 10

ピーク増幅回路 5 の増幅素子 5 2 は、信号を増幅する増幅素子であり、B 級または C 級にバイアスされる。

キャリア増幅回路 4 の増幅素子 4 2 及びピーク増幅回路 5 の増幅素子 5 2 は通常、L D - M O S (Lateral Double-diffused MOS)、G a A s - F E T、H E M T、H B T 等の 1 つの半導体デバイスで構成される。

出力整合回路 5 3 は、増幅素子 5 2 の負荷インピーダンスを図 1 4 の A 区間においては実質的に無限大に変換し、C 区間においては  $Z_5$  に整合する回路である。

キャリア増幅回路 4 の入力整合回路 4 1、出力整合回路 4 3、ピーク増幅回路 5 の入力整合回路 5 1、出力整合回路 5 3 は、集中定数回路、分布定数回路、或いはそれらの組み合わせのいずれで構成されてもよい。 20

#### 【0049】

ノード 6 2 は、出力整合回路 4 3 及び出力整合回路 5 3 からの出力信号を結合するノード (合成点) であり、伝送線路 6 4 で結合している。

$\Gamma/4$  変成器 7 は、ノード 6 2 から見たインピーダンス  $Z_7$  を出力負荷  $Z_0$  に変換するものである。 $\Gamma/4$  変成器 7 は、その特性インピーダンス  $Z_2$  に相当する線幅及び  $\Gamma/4$  に相当する長さを有する導体パターンとして配線板上に形成させることが可能である。通常は、 $\Gamma/4$  変成器 7 で十分な帯域幅で整合が取れるが、カスケード接続された複数の  $\Gamma/4$  変成器や、不均一分布定数線路を用いた  $\Gamma/4$  変成器、あるいは整合さえ取れば  $\Gamma/4$  変成器以外の整合手段を用いてもよい。 30

#### 【0050】

インピーダンス変換器 6 4 は、 $0 \sim \Gamma/2$  の電気長を有する伝送線路であり、その特性インピーダンス  $Z_1$  は  $2 Z_7 = 2 Z_2^2 / Z_0$  に等しい。つまり、伝送線路の長さを 1 とすると、 $0 \sim \Gamma/2$  の範囲で可変となっており、第 1 の増幅器の特性が最適となるよう 1 を決定するようになっている。

#### 【0051】

次に、キャリア増幅器 4 の出力整合回路 4 3 及びインピーダンス変換器 6 4 による整合について図 2 及び図 1 4 を用いて説明する。図 2 は、出力整合回路 4 3 及びインピーダンス変換器 6 4 による整合を示すスミスチャート図である。

図 2 に示すように、まず出力整合回路 4 3 を、出力整合回路 4 3 の負荷  $Z_9$  が  $Z_1$  の時に  $P_0$  を出力できる (キャリア増幅器 4 単体としても最大出力となる) ように構成する。つまり、図 1 4 の C 区間において、増幅素子 4 2 の負荷インピーダンスは  $Z_A$  に整合され、このときインピーダンス変換器 6 4 は単なる伝送路となる。 40

#### 【0052】

図 1 4 の A 区間において、出力整合回路 5 3 の出力インピーダンス  $Z_9$  が無限大となるので、 $Z_9$  は、インピーダンス変換器 6 4 の長さ  $l = 0$  または  $\Gamma/2$  のときは、点 a で示される  $Z_7$  となり、インピーダンス変換器 6 4 の長さ  $l = \Gamma/4$  のときは、点 b で示される  $Z_1^2 / Z_7$  となる。そしてインピーダンス変換器 6 4 の長さ  $l$  を  $0 \sim \Gamma/2$  の範囲で動かすと、 $Z_9$  は、 $Z_1$  を中心とする円上を右回りに変化する。

#### 【0053】

この $Z_1$ を中心とする円上のインピーダンスは、出力整合回路43及びインピーダンス変換器64により $Z_A$ を中心とするほぼ円上に写像される。点a、b、cと点 $a'$ 、 $b'$ 、 $c'$ はそれぞれ対応しており、 $l$ を変化させると、インピーダンスを点 $a'$ 、 $b'$ 、 $c'$ と変換できることを示している。従って、点 $c'$ が最も性能の優れた位置(高い効率を得られる位置)になるように、長さ $l$ を設定すればよい。

【0054】

インピーダンス変換器64の長さ $l$ の最適値は、例えば試行(試作)により決定する。試行は、キャリア増幅回路4単体について行ってもよいが、増幅器全体を対象とし、増幅器全体の性能が最高になるように行ったほうがよい。

【0055】

また、増幅素子42の状況によって、インピーダンス変換器64における損失を無くしたほうがよい場合には、インピーダンス変換器64の長さ $l$ を0としてもよい。

インピーダンス変換器64の長さ $l$ を0とした場合について図3を用いて説明する。図3は、インピーダンス変換器64の長さ $l$ を0とした増幅器の構成ブロック図である。

図3に示すように、この増幅器は、図1に示した第1の増幅器においてキャリア増幅回路4の後段に設けられていたインピーダンス変換器64を単なる伝送線路としたものであり、インピーダンス変換器64の長さ $l$ を0としている。そのため、第1の増幅器においてインピーダンス変換器64に相当する遅延を発生させてピーク増幅回路5側の位相を合わせるために設けられていた移相器31は、図3に示した増幅器には設けられていない。

反対に、増幅素子が大きく、実装上、出力整合回路43と出力整合回路53との間の長さを $l/2$ 以下にできない場合も考えられるので、その場合にはインピーダンス変換回路64の長さ $l$ を $l/2$ 以上としても問題はない。

【0056】

本発明の第1の実施の形態に係る増幅器によれば、 $l/4$ 変換器の代わりに、伝送路の長さ $l$ を、増幅器の効率が最もよくなる最適な長さに調節可能なインピーダンス変換器64を備えているので、インピーダンスの最適位置が $Z_A$ を中心とする略円周上のどこに変化するものであっても、増幅素子の種類に依存することなく、インピーダンス変換器64の長さ $l$ を変えることにより、最適な整合を行うことができ、ドハティ増幅器の増幅効率を向上させることができる効果がある。

【0057】

本発明の第2の実施の形態に係る増幅器について、図4を用いて説明する。図4は、本発明の第2の実施の形態に係る増幅器(第2の増幅器)の構成ブロック図である。尚、図1と同様の構成部分は同一の符号を付して説明する。

図4に示すように、第2の増幅器の基本的な構成は、図1に示した第1の増幅器と同様であるが、キャリア増幅回路4側のインピーダンス変換器64に加えて、ピーク増幅回路5側にもインピーダンス変換器65を設けた点が特徴となっている。

従来の増幅器では、入力レベルが小さい時に、出力整合回路53の出力インピーダンスが十分大きくなり、キャリア増幅回路4の損失の一因となってしまうことがあったが、第2の増幅器ではこれを防ぐためにインピーダンス変換器65を設けている。

【0058】

インピーダンス変換器65は、入力レベルが低く増幅素子52が動作していない時に、キャリア増幅回路4の出力信号が流れないように、出力整合回路53の出力インピーダンス $Z_{20}$ を、より大きなインピーダンス $Z_{21}$ に変換するインピーダンス変換器である。イオンピーダンス変換器65は、例えば、インピーダンス変換器64と同様の任意長の伝送線路で構成することができる。

【0059】

また、移相器33は、インピーダンス変換器65と同じ位相回転(遅延)を発生して、ノード62において合成される信号の位相を合わせる移相器である。ここでは移相器33をピーク増幅回路5側に設けているが、キャリア増幅回路4とピーク増幅回路5の位相量が大きく異なる場合、移相器33をキャリア増幅回路4側の経路上に設けることもある。

10

20

30

40

50

## 【0060】

本発明の第2の実施の形態に係る増幅器によれば、ピーク増幅回路5の出力整合回路53の後段にインピーダンス変換器65を設けているので、ノード62側からみたインピーダンス $Z_{20}$ を、より大きなインピーダンス $Z_{21}$ に変換することができ、入力レベルが小さい場合でもキャリア増幅器4からの信号が流れないようにして、キャリア増幅回路4の損失を抑えることができる効果がある。

## 【0061】

次に、本発明の第3の実施の形態に係る増幅器について図5を用いて説明する。図5(a)は、本発明の第3の実施の形態に係る増幅器(第3の増幅器)の構成ブロック図であり、(b)は、第3の増幅器の制御を行う制御部の構成ブロック図である。尚、図2と同様の構成をとる部分については同一の符号を付して説明する。

10

図5(a)に示すように、第3の増幅器の基本的な構成は図4に示した第2の増幅器とほぼ同様であるが、移相器34、インピーダンス変換器66、インピーダンス変換器67の構成及び動作が図4の第2の増幅器とは異なっている。

## 【0062】

図1又は図4に示した本発明の増幅器は、使用される周波数に応じて、最適な整合が得られるように、移相器33、インピーダンス変換器64、インピーダンス変換器65の伝送線路の長さを最適化するものであったが、図5(a)に示した移相器34、インピーダンス変換器66、インピーダンス変換器67は、いずれも、長さの異なる複数の伝送線路(ここでは3種類)とスイッチとを組み合わせたものである。

20

各伝送線路は、予め使用が予想される複数の周波数に合わせて増幅器の性能が最も良くなるよう最適化された長さとなっており、また、配線板上に導体パターンをして形成されるものに限らず、装置毎に長さの微調整が容易なセミリジッドケーブルを用いてもよい。

## 【0063】

移相器34には、スイッチa、b及び端子A、Bが設けられ、インピーダンス変換器66には、スイッチc、d及び端子C、Dが設けられ、インピーダンス変換器67には、スイッチe、f及び端子E、Fが設けられており、各スイッチa~fは、それぞれ対応する端子A~Fから入力される制御信号に従っていずれかの伝送線路に接続するよう切り替えられるようになっている。

## 【0064】

更に、図5(a)に示した第3の増幅器の制御を行う制御部は、図5(b)に示すように、制御信号を発生するCPU(又はROM)10と、I/Oコントローラ(I/O)11とを備えており、図5(a)に示した第3の増幅器の各端子A~Fは、I/Oコントローラ(I/O)11に接続されている。また、CPU(又はROM)10には、図示は省略するが、例えばテーブルとして、予め使用が予想される周波数とそれに対応する長さの伝送線路に接続するための各端子毎の制御信号のデータが記憶されている。

30

## 【0065】

そして、CPU(又はROM)10に、周波数を指定する信号が入力されると、CPU(又はROM)10が、指定された周波数に対応して記憶されている制御信号を読み出して、端子A~Fに出力する。そして、スイッチa~fは、それぞれ端子A~Fに入力された制御信号に基づいて切り替えられ、使用される周波数に応じた最適な長さの伝送線路が選択されるものである。

40

## 【0066】

次に、第3の増幅器における入力周波数が異なる場合の入出力特性について図6を用いて説明する。図6は、第3の増幅器における周波数毎の入出力特性を示す特性図である。

図6に示すように、第3の増幅器を用いた場合、図16に示した従来の増幅器における入出力特性と比較して、異なる周波数1, 2, 3での入出力特性が一致しており、周波数による特性のばらつきが無いことがわかる。

## 【0067】

本発明の第3の実施の形態に係る増幅器によれば、使用周波数に応じて容易に最適な長

50

さの伝送線路を選択して移相器 3 4、インピーダンス変換器 6 6、6 7を構成するので、移相器 3 4、インピーダンス変換器 6 6、インピーダンス変換器 6 7の周波数特性に起因する最適値からのずれが緩和され、周波数にかかわらず最適な整合を行ってドハティ増幅器の増幅効率を向上させることができ、適用可能な周波数帯を拡大できる効果があり、また、各周波数帯用に専用の配線板を準備する場合に比べ、コストを大幅に削減できる効果がある。

尚、スイッチとしては、電氣的に切り替えるものに限らず、手動により機械的に切り替えてもよい。あるいは、配線板に予め設けられた複数の配線パターンの内、任意のものを製造時の半田付けにより接続して電気長を選択可能にした切り替え手段をも含む。

#### 【0068】

次に、本発明の第4の実施の形態に係る増幅器について図7を用いて説明する。図7は、本発明の第4の実施の形態に係る増幅器(第4の増幅器)の構成ブロック図である。尚、図4と同様の構成をとる部分については同一の符号を付してあり、定数等を除いて同様のものであるため、ここでは説明を省略する。

図7に示すように、第4の増幅器の基本的な構成は、図4に示した第2の増幅器とほぼ同様であるが、キャリア増幅回路4の入力整合回路41の前段と、ピーク増幅回路5の入力整合回路51の前段に、それぞれ等化器44、等化器54を設けた点が特徴となっている。

#### 【0069】

等化器44, 54は周波数帯毎に減衰量及び位相を調節可能とするものであり、例えば図16に示したような増幅器の周波数特性に応じて、周波数に依存しない平坦な出力特性となるように周波数帯毎のゲインが設定されている。つまり、等化器は、増幅器等の周波数特性を相殺するように動作するものである。

#### 【0070】

等化器44はキャリア増幅器4(及びインピーダンス変換器64)の周波数特性を平坦にし、等化器54はピーク増幅器5(及び移相器31)の周波数特性を平坦にするので、ノード62においてキャリア増幅回路4とピーク増幅回路5からの出力を合成する時の合成ポイント(合成時のそれぞれの利得及び位相の関係)が安定し、発生する歪の周波数特性が抑えられる。尚、図7の例では、等化器を両増幅系に挿入したが、キャリア増幅回路4及びピーク増幅回路5の性能に応じて、いずれか一方のみに等化器を挿入してもよい。

#### 【0071】

本発明の第4の実施の形態に係る増幅器によれば、キャリア増幅回路4の入力整合回路41の前段に等化器44を設け、ピーク増幅回路5の入力整合回路51の前段に等化器54を設けた増幅器としているので、増幅回路の出力特性を周波数に依存しない平坦な特性とすることができ、入力周波数の違いによる出力の変動を防ぎ、増幅器の特性を安定させることができ、適用可能な周波数帯域を拡大できる効果がある。

#### 【0072】

次に、本発明の第5の実施の形態に係る増幅器について図8を用いて説明する。図8は、本発明の第5の実施の形態に係る増幅器(第5の増幅器)の構成ブロック図である。尚、図7と同様の構成部分は同一の符号を付してあり、説明は省略する。

図8に示すように、第5の増幅器の基本的な構成は、図7に示した第4の増幅器とほぼ同様であるが、第4の増幅器の等化器44, 54の代わりにベクトル調整器45及びベクトル調整器55を設けた点が異なっている。また、第5の増幅器には、ベクトル調整器45及びベクトル調整器55に対してベクトル調整量を指示する制御部12が設けられている。

#### 【0073】

ベクトル調整器45, 55は、具体的には移相器及び減衰器から成り(図示せず)、入力された信号の位相及び振幅を制御部12からの指示に従って調整するものである。端子46、端子56は、制御部12からのベクトル調整量をを入力する端子である。

#### 【0074】

10

20

30

40

50

また、制御部 1 2 は、CPU 等の処理手段と、ROM 等の記憶手段とを備え、端子 4 6、端子 5 6 を介して、ベクトル調整器 4 5 及びベクトル調整器 5 5 に周波数に応じたベクトル調整量を与えるものである。

制御部 1 2 内部の ROM 等には、周波数とそれに応じた最適ベクトル調整量とが記憶されたベクトル調整量テーブル 1 2 a が設けられている。そして、第 5 の増幅器においては、例えば図 1 7 に示した BB 帯域 ( b 1 ~ b 2 ) が使用周波数となった場合、使用周波数帯域の中心周波数 b 3 において最適な特性が得られるよう、ベクトル調整量テーブル 1 2 a を参照して、b 3 に対応する最適ベクトル調整量を端子 4 6 及び端子 5 6 に出力する。ベクトル調整量は、キャリア増幅回路 4 及びピーク増幅回路 5 の特性に応じて決められ、予めベクトル調整量テーブル 1 2 a に記憶されているものであり、ベクトル調整器 4 5 に出力する調整量とベクトル調整器 5 5 に出力する調整量とが異なる調整量としてそれぞれ独立に記憶されていてもよい。尚、ベクトル調整量とは、位相調整量と減衰量である。

#### 【 0 0 7 5 】

具体的には、使用周波数帯域が決定された場合、入力部 ( 図示せず ) から制御部 1 2 内部の ROM 等に当該帯域の最低周波数 b 1 と最高周波数 b 2 の情報を書き込んでおき、立ち上がり時に制御部 1 2 が中心周波数 b 3 を求め、ベクトル調整量テーブル 1 2 a から b 3 に対応する最適ベクトル調整量を読み出して端子 4 6 及び 5 6 を介してベクトル調整器 4 5、5 5 に出力するようになっている。

また、ここではキャリア増幅回路 4 及びピーク増幅回路 5 の両増幅回路の経路にベクトル調整器を設けたが、増幅器の特性によってはいずれか一方だけでも構わない。

#### 【 0 0 7 6 】

更に、図示は省略するが、増幅器の温度を検出して制御部 1 2 に温度データを出力する温度センサを設け、制御部 1 2 に、温度による変動を補償するためのベクトル調整量を温度に対応付けて記憶するテーブルを設けておき、制御部 1 2 が、入力された温度データに応じて最適なベクトル調整量をベクトル調整器 4 5 及び 5 5 に出力するようにしてもよい。

尚、温度のみを検出してベクトル調整することも考えられ、この場合にはアナログ回路で構成しても構わない。

#### 【 0 0 7 7 】

本発明の第 5 の実施の形態に係る増幅器によれば、キャリア増幅回路 4 及びピーク増幅回路 5 の前段にベクトル調整器 4 5、5 5 を設け、制御部 1 2 が、入力信号の周波数に応じて最適なベクトル調整量をベクトル調整器 4 5、5 5 に出力して、入力信号の位相及び振幅を調整するようにしているので、周波数による特性の変動を少なくし、使用周波数帯において最適な合成ポイントを得ることができ、広い周波数帯域に対応可能な増幅器とすることができる効果がある。

#### 【 0 0 7 8 】

また、第 5 の増幅器によれば、制御部 1 2 に温度による変動を補償するベクトル調整量を記憶しておき、温度センサからの温度データに基づいて、当該温度に対応するベクトル調整量をベクトル調整器 4 5、5 5 に出力して、入力信号の位相及び振幅を調整するようにしているので、温度による特性の変動を少なくし、増幅器の動作を安定させることができる効果がある。

#### 【 0 0 7 9 】

次に、本発明の第 6 の実施の形態に係る増幅器 ( 第 6 の増幅器 ) について説明する。

第 6 の増幅器は、増幅素子に印可するゲート電圧を変えることにより、入出力特性を調節するものである。

増幅素子におけるゲート電圧の違いによる入出力特性について図 9 を用いて説明する。図 9 は、ゲート電圧を変えた場合の増幅素子の入出力特性を示す説明図である。

図 9 に示すように、ゲート電圧が変化すると、入力レベル - 出力レベルの特性が変化することがわかる。第 6 の増幅器では、このことを利用して、使用周波数に応じて最適なゲート電圧を印可し、広範囲の周波数帯域で安定して動作可能とするものである。

10

20

30

40

50

## 【0080】

図10は、本発明の第6の実施の形態に係る増幅器（第6の増幅器）の構成ブロック図である。尚、図4と同様の構成部分は同一の符号を付してあり、説明は省略する。

図10に示すように、第5の増幅器の基本的な構成は、図4に示した第2の増幅器とほぼ同様であるが、キャリア増幅回路4の増幅素子42と、ピーク増幅回路5の増幅素子52のゲート電圧を制御する制御部13が設けられている。

## 【0081】

制御部13は、CPU等の処理手段と、ROM等の記憶手段とを備え、端子47、端子57に、増幅素子42及び増幅素子52に周波数に応じたゲート電圧を印可するゲート制御情報を出力するものである。

制御部13内部のROM等には、周波数とそれに応じた最適ゲート電圧とが記憶されたゲート電圧テーブル13aが設けられている。そして、第6の増幅器においては、例えば図17に示したBB帯域（b1～b2）が使用周波数となった場合、使用周波数帯域の中心周波数b3において最適な特性が得られるよう、ゲート電圧テーブル13aを参照して、b3に対応する最適ベクトル調整量を端子47及び端子57に出力する。ゲート電圧は、キャリア増幅回路4及びピーク増幅回路5の特性に応じて決められ、予めゲート電圧テーブル13aに記憶されているものであり、増幅素子42のゲート電圧と増幅素子52のゲート電圧とが異なってもよい。

## 【0082】

そして、使用周波数が決定されると、上述した第5の増幅器と同様にして、立ち上がり時に制御部13が中心周波数b3を求め、ゲート電圧テーブル13aからb3に対応する最適ゲート電圧を読み出して端子47及び57に最適なゲート電圧を印可するようゲート制御情報を出力し、増幅素子42及び52に最適なゲート電圧が印可されるようになっている。

また、ここではキャリア増幅回路4とピーク増幅回路5の両方の増幅素子のゲート電圧を制御するようにしたが、増幅器の特性によってはいずれか一方だけでも構わない。

## 【0083】

また、温度センサを設け（図示せず）、温度に関する最適ゲート電圧も予め書き込んでおき、温度を考慮したゲート電圧で補償するようにしてもよい。更に温度に関してはアナログ回路で作成してもよいし、温度だけをゲート電圧で補償する制御としてもよい。

## 【0084】

本発明の第6の実施の形態に係る増幅器によれば、制御部13に予め周波数に対応する最適なゲート電圧を記憶しておき、制御部13が、入力信号の周波数に応じて最適なゲート電圧をキャリア増幅回路4の増幅素子42とピーク増幅回路5の増幅素子52のゲート電圧に印可するよう、ゲート制御情報を出力するようにしているので、増幅素子42及び52に周波数に応じた最適のゲート電圧が印可され、周波数による特性の変動を少なくし、使用周波数帯において最適な合成ポイントを得ることができ、増幅器の適用可能周波数帯を拡大できる効果がある。

## 【0085】

本発明の第7の実施の形態に係る増幅器について図11を用いて説明する。図11は、本発明の第7の実施の形態に係る増幅器（第7の増幅器）の構成ブロック図である。

図11に示すように、第7の増幅器は、上述した第4、第5、第6の増幅器を組み合わせた構成となっており、具体的には、キャリア増幅回路4の入力整合回路41の前段に等化器44及びベクトル調整器45を設け、ピーク増幅回路5の入力整合回路51の前段に等化器54及びベクトル調整器55を設け、更にベクトル調整器45、55と増幅素子42、52のゲート電圧を調節する制御部14を設けている。等化器44、54は、予め使用周波数に応じて調整されており、周波数毎に適切な増幅を行う。

## 【0086】

そして、図示は省略するが、上述した第4、第5、第6の増幅器と同様に、制御部14に、周波数に対応する最適なベクトル調整量を記憶するベクトル調整量テーブルと、周波

10

20

30

40

50

数に対応する最適なゲート電圧を記憶するゲート電圧テーブルとが設けられている。

そして、制御部 14 が、各テーブルから入力信号の周波数帯域の中心周波数に対応する最適なベクトル調整量及び最適なゲート電圧を読みとってベクトル調整器 45、55 と増幅素子 42、52 に出力し、入力信号のベクトル調整を行うと共にゲート電圧を調節する。

#### 【0087】

本発明の第7の実施の形態に係る増幅器によれば、キャリア増幅器 44 に等化器 41 とベクトル調整器 45 を設け、ピーク増幅器 5 に等化器 54 とベクトル調整器 55 とを設け、制御部 14 が、入力信号の周波数に応じて最適なベクトル調整量を与えてベクトル調整させ、また、制御部 14 が増幅素子 42 及び 52 のゲート電圧を周波数に応じた最適のゲート電圧となるよう制御するようにしているので、周波数による特性の変動を少なくし、使用周波数帯において最適な合成ポイントを得ることができ、増幅器の適用可能周波数帯を拡大できる効果がある。

10

#### 【0088】

次に、本発明の第8の実施の形態に係る増幅器について図12を用いて説明する。図12は、本発明の第8の実施の形態に係る増幅器(第8の増幅器)の構成ブロック図である。尚、図4と同様の構成部分は同一の符号を付してあり、説明は省略する。

ところで、上述した第4の増幅器(図7参照)や第5の増幅器(図8参照)のように、等化器やベクトル調整器を使用すると損失が発生する。増幅器のゲインが有ったとしても高効率にするには無駄な損失である。

20

また、分配器2によって、ピーク増幅回路5の経路に分配された電力は、ピーク増幅回路5が動作しないC区間では有効に使われず反射される。つまり、入力端子1から入力された電力は、最悪で3dB損失され総合効率の劣化となるおそれがある。

#### 【0089】

そこで、図12に示すように、第8の増幅器は、キャリア増幅回路4の入力整合回路41の前段にプリアンプ48及び等化器(又はノ及びベクトル調整器)49を備え、ピーク増幅回路5の入力整合回路51の前段にプリアンプ58及び等化器(又はノ及びベクトル調整器)59を備えている。プリアンプ48、58は入出力整合回路を含むものであるが、プリアンプの出力整合回路を増幅素子42、52の入力整合回路を使用してもよい。

更にまた、増幅素子42及び52のゲート電圧を可変としても構わない。また、プリアンプを複数直接に接続してもよい。

30

#### 【0090】

本発明の第8の実施の形態に係る増幅器によれば、入力整合回路41の前段にプリアンプ48及び等化器(又はノ及びベクトル調整器)49を備え、ピーク増幅回路5の入力整合回路51の前段にプリアンプ58及び等化器(又はノ及びベクトル調整器)59を備えており、無駄な損失を防いで増幅効率を向上させ、更にプリアンプを複数接続した構成も可能であるので、一層高ゲイン、高効率の増幅器を実現できる効果がある。

#### 【産業上の利用可能性】

#### 【0091】

本発明は、ドハティ増幅器の適用周波数の広帯域化を図ることができる増幅器に関する。

40

#### 【図面の簡単な説明】

#### 【0092】

【図1】本発明の第1の実施の形態に係る増幅器(第1の増幅器)の構成ブロック図である。

【図2】出力整合回路43及びインピーダンス変換器64による整合を示すスミスチャート図である。

【図3】インピーダンス変換器64の長さ1を0とした増幅器の構成ブロック図である。

【図4】本発明の第2の実施の形態に係る増幅器(第2の増幅器)の構成ブロック図である。

50



【図 5】( a ) は、本発明の第 3 の実施の形態に係る増幅器 ( 第 3 の増幅器 ) の構成ブロック図であり、( b ) は、第 3 の増幅器の制御を行う制御部の構成ブロック図である。

【図 6】第 3 の増幅器における周波数毎の入出力特性を示す特性図である。

【図 7】本発明の第 4 の実施の形態に係る増幅器 ( 第 4 の増幅器 ) の構成ブロック図である。

【図 8】本発明の第 5 の実施の形態に係る増幅器 ( 第 5 の増幅器 ) の構成ブロック図である。

【図 9】ゲート電圧を変えた場合の増幅素子の入出力特性を示す説明図である。

【図 10】本発明の第 6 の実施の形態に係る増幅器 ( 第 6 の増幅器 ) の構成ブロック図である。

10

【図 11】本発明の第 7 の実施の形態に係る増幅器 ( 第 7 の増幅器 ) の構成ブロック図である。

【図 12】本発明の第 8 の実施の形態に係る増幅器 ( 第 8 の増幅器 ) の構成ブロック図である。

【図 13】従来のドハティ増幅器の構成ブロック図である。

【図 14】ドハティ増幅器と通常の B 級増幅器の効率 - 出力電力特性を示す説明図である。

【図 15】図 13 の増幅素子 42 の負荷インピーダンスの変動の一例を示すスミスチャート図である。

【図 16】従来のドハティ増幅器における入出力特性を示す説明図である。

20

【図 17】従来のドハティ増幅器における入力信号の周波数帯域と出力レベルとの関係の一例を示す説明図である。

【図 18】一般的な F E T を用いた増幅器におけるゲート電圧 - ドレイン電流の特性を示す説明図である。

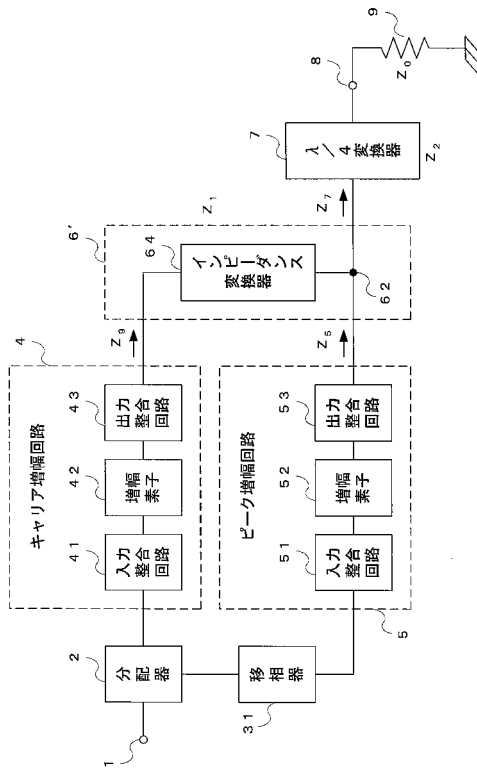
【符号の説明】

【0093】

1 ... 入力端子、 10 ... CPU 又は ROM、 11 ... I / O コントローラ、 12、13、14 ... 制御部、 2 ... 分配器、 3、33 ... 移相器、 4 ... キャリア増幅回路、 5 ... ピーク増幅回路、 6 ... ドハティ合成部、 7 ... / 4 変換器、 8 ... 出力端子、 9 ... 出力負荷、 41、51 ... 入力整合回路、 42、52 ... 増幅素子、 43、53 ... 出力整合回路、 62 ... ノード ( 合成点 )、 64、65、66、67 ... インピーダンス変換器、 44、54 ... 等化器、 45、55 ... ベクトル調整器、 46、56 ... 端子、 47、57 ... 端子

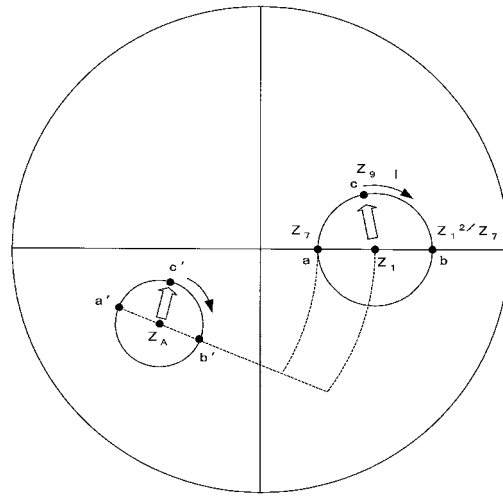
30

【 図 1 】



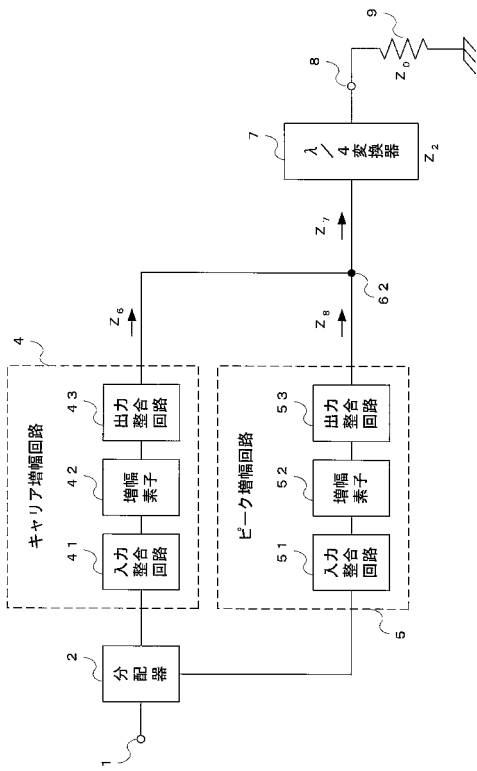
【 図 1 】

【 図 2 】



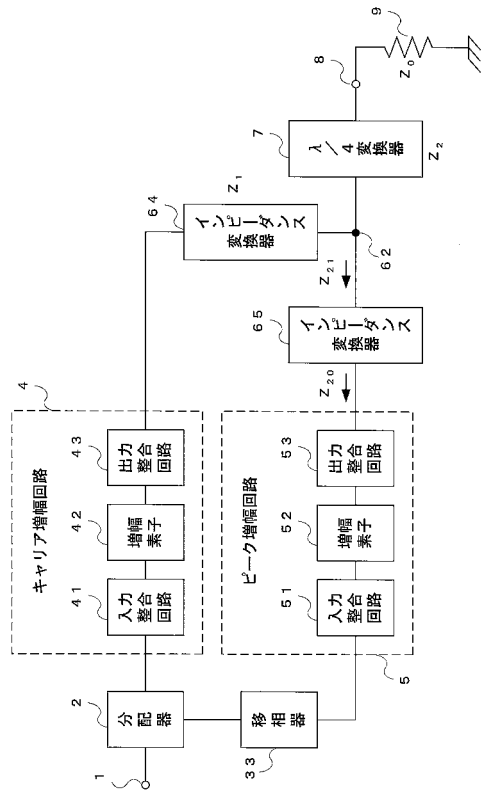
【 図 2 】

【 図 3 】



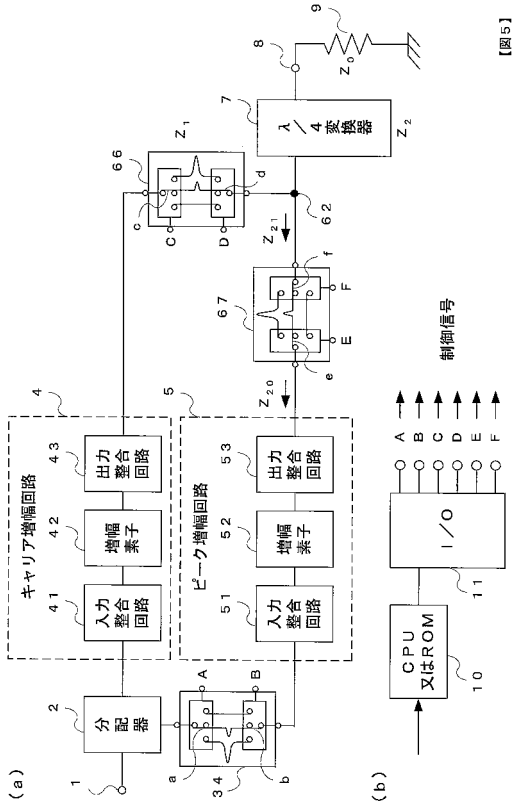
【 図 3 】

【 図 4 】



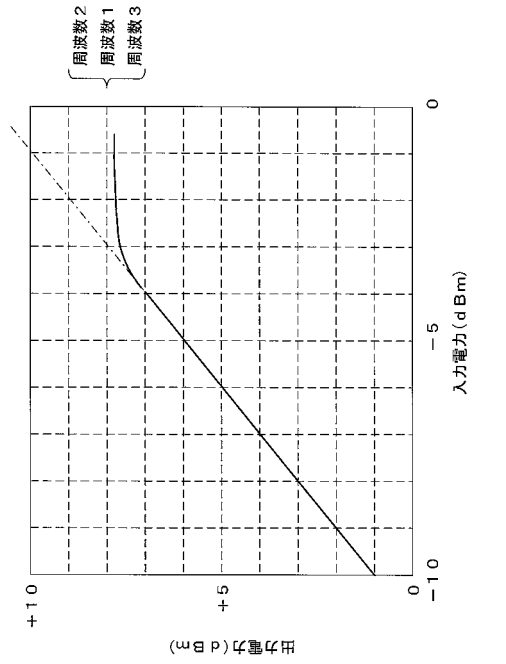
【 図 4 】

【図5】



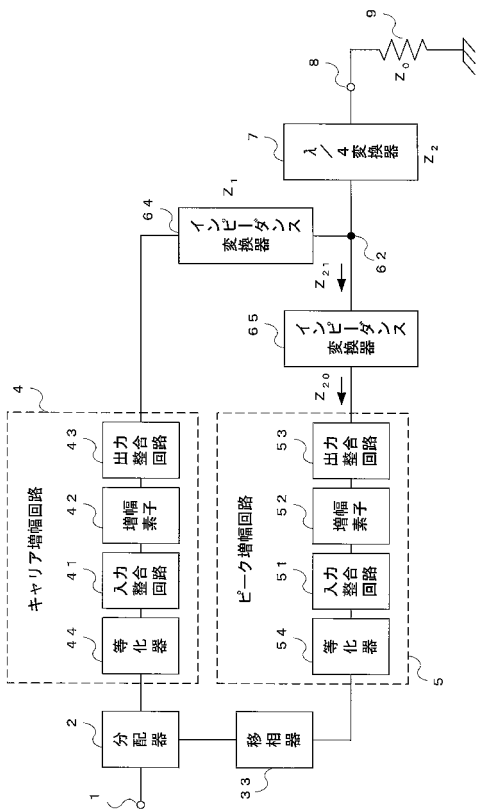
【図5】

【図6】



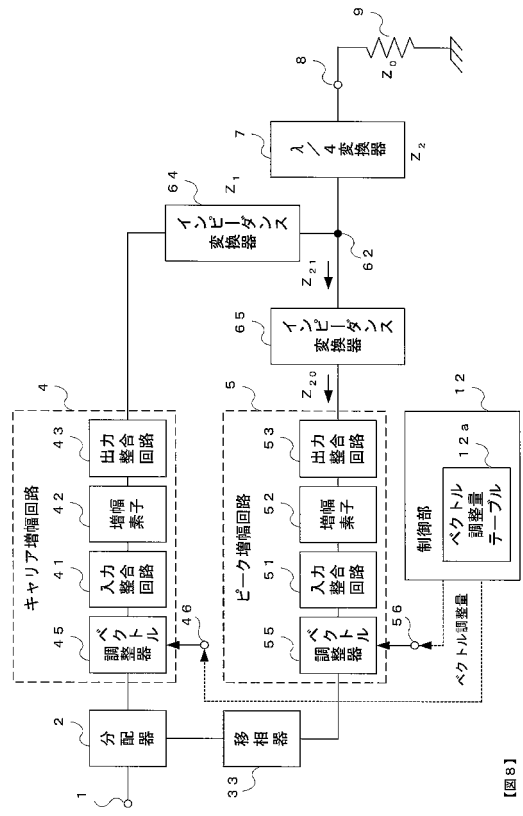
【図6】

【図7】



【図7】

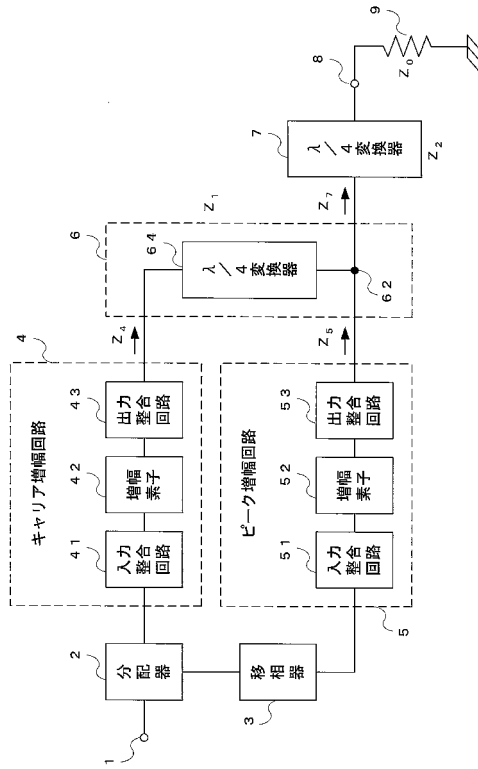
【図8】



【図8】

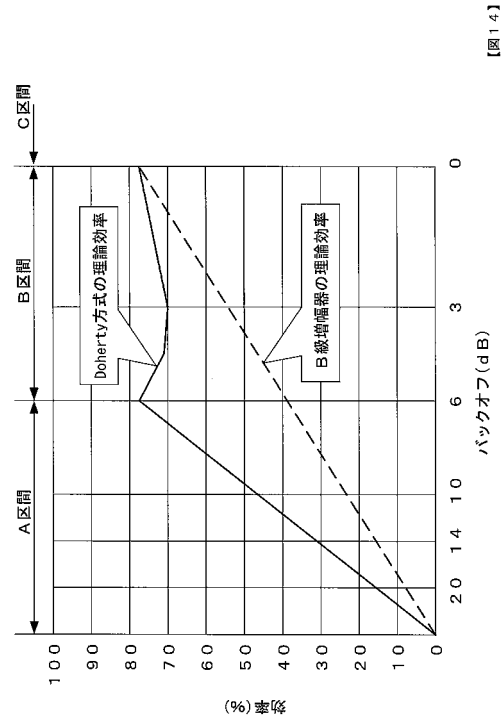


【 図 1 3 】



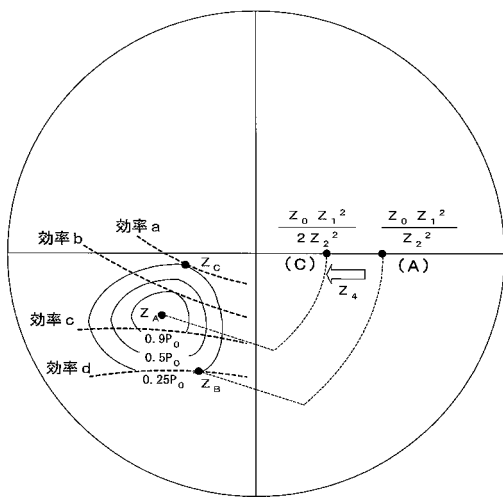
【 図 1 3 】

【 図 1 4 】



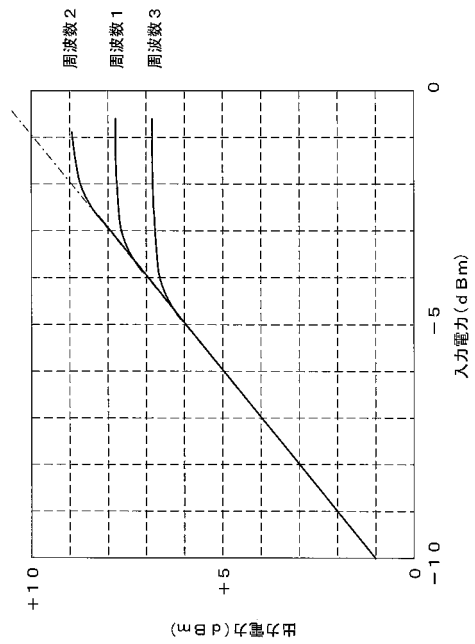
【 図 1 4 】

【 図 1 5 】



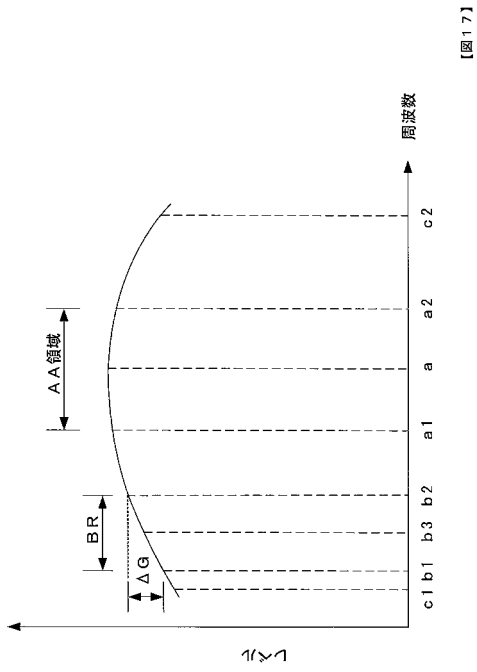
【 図 1 5 】

【 図 1 6 】



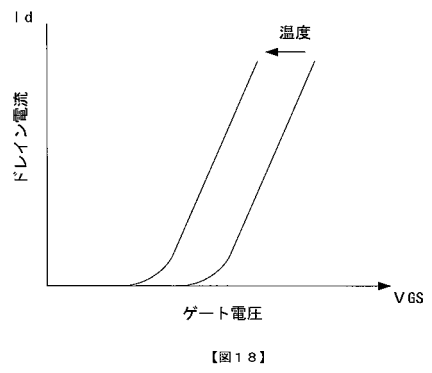
【 図 1 6 】

【 図 1 7 】



【 図 1 7 】

【 図 1 8 】



【 図 1 8 】

---

フロントページの続き

(72)発明者 大久保 陽一

東京都中野区東中野三丁目14番20号 株式会社日立国際電気内

(72)発明者 安達 勝

東京都中野区東中野三丁目14番20号 株式会社日立国際電気内

(72)発明者 野島 俊雄

北海道札幌市北区北8条西5丁目8番地 北海道大学内

Fターム(参考) 5J500 AA04 AA21 AA41 AA63 AA64 AA65 AC36 AC62 AF15 AF19

AH09 AK03 AK16 AK29 AK33 AK68 AS13 AT01 AT02 AT05

CK03 CK06 RG07