

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2021년 6월 3일 (03.06.2021)



(10) 국제공개번호

WO 2021/107578 A1

- (51) 국제특허분류:
H04L 1/00 (2006.01) H04N 21/438 (2011.01)
H04L 5/00 (2006.01) H04L 27/26 (2006.01)
- (21) 국제출원번호: PCT/KR2020/016738
- (22) 국제출원일: 2020년 11월 24일 (24.11.2020)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2019-0153973 2019년 11월 27일 (27.11.2019) KR
10-2020-0044611 2020년 4월 13일 (13.04.2020) KR
10-2020-0157761 2020년 11월 23일 (23.11.2020) KR
- (71) 출원인: 한국전자통신연구원 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) [KR/KR]; 34129 대전광역시 유성구 가정로 218 (가정동), Daejeon (KR).
- (72) 발명자: 박성익 (PARK, Sung-Ik); 34118 대전시 유성구 가정로 43, 110동 1203호, Daejeon (KR). 권선형 (KWON, Sun-Hyoung); 35214 대전시 서구 대덕대로 319, 510호, Daejeon (KR). 이재영 (LEE, Jae-Young); 34094 대전시 유성구 노은로426번길 15, 602동 1101호, Daejeon (KR).
- (74) 대리인: 한양특허법인 (HANYANG PATENT FIRM); 06296 서울시 강남구 논현로38길 12, 한양빌딩, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,

AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

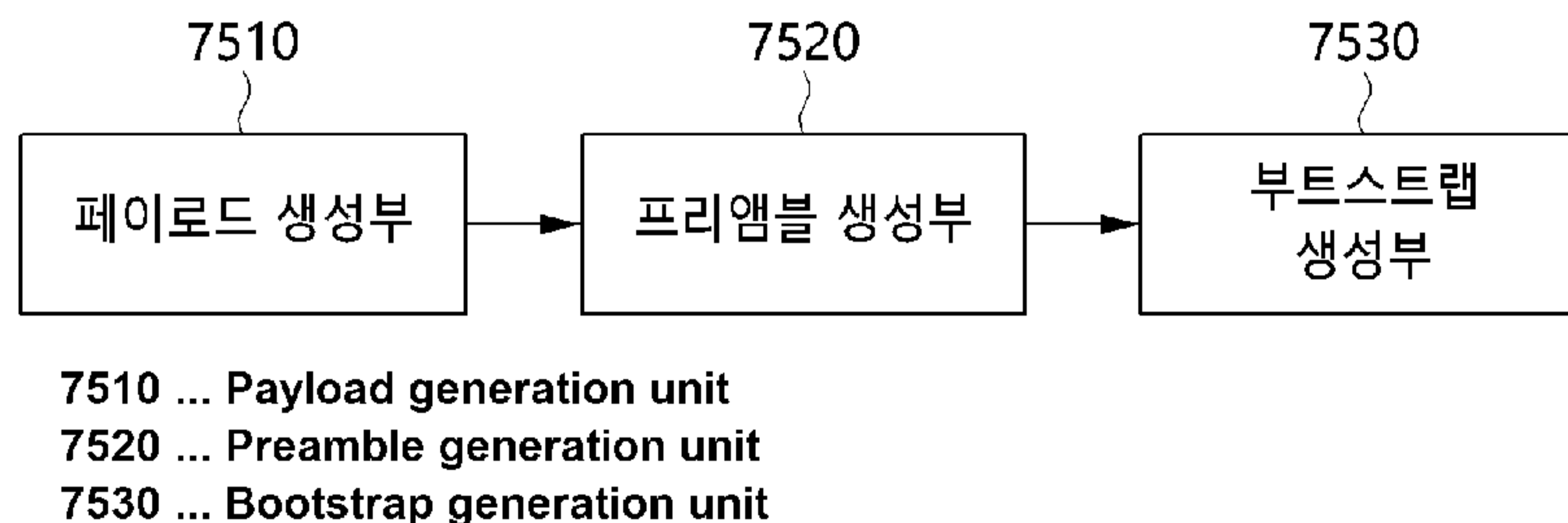
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: BROADCAST SIGNAL TRANSMISSION DEVICE AND BROADCAST SIGNAL TRANSMISSION METHOD USING BROADCAST SIGNAL FRAME FOR SIGNALING BASEBAND SAMPLING RATE COEFFICIENT

(54) 발명의 명칭: 베이스밴드 샘플링 레이트 계수를 시그널링하는 방송 신호 프레임 이용한 방송 신호 송신 장치 및 방송 신호 송신 방법



(57) Abstract: A broadcast signal transmission device according to one embodiment of the present invention comprises: a bootstrap generation unit for generating a bootstrap for signaling a baseband sampling rate coefficient and a system bandwidth field corresponding to a system bandwidth for a post-bootstrap; a preamble generation unit for generating a preamble located immediately following the bootstrap on a broadcast signal frame; and a payload generation unit for generating one or more subframes located immediately following the preamble on the broadcast signal frame.

(57) 요약서: 본 발명의 일실시예에 따른 방송 신호 송신 장치는, 포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드 및 베이스밴드 샘플링 레이트 계수를 시그널링하는 부트스트랩을 생성하는 부트스트랩 생성부; 방송 신호 프레임에서 상기 부트스트랩의 바로 다음에 위치(located immediately following the bootstrap)하는 프리앰블을 생성하는 프리앰블 생성부; 및 상기 방송 신호 프레임에서 상기 프리앰블의 바로 다음에 위치(located immediately following the preamble)하는 하나 이상(one or more)의 서브프레임들을 생성하는 페이로드 생성부를 포함한다.



WO 2021/107578 A1

명세서

발명의 명칭: 베이스밴드 샘플링 레이트 계수를 시그널링하는 방송 신호 프레임을 이용한 방송 신호 송신 장치 및 방송 신호 송신 방법

기술분야

- [1] 본 발명은 방송 시스템에서 사용되는 방송 신호 송/수신 기술에 관한 것으로, 특히 베이스밴드 샘플링 레이트 계수를 시그널링하는 방송 신호 송/수신 시스템에 관한 것이다.

배경기술

- [2] BICM(Bit-Interleaved Coded Modulation)은 대역-효율적인(bandwidth-efficient) 전송기술로 오류정정 부호화기(error-correction coder), 비트단위 인터리버(bit-by-bit interleaver) 및 높은 차수의 변조기(modulator)가 결합된 형태이다.
- [3] BICM은 오류정정 부호화기로 LDPC(Low-Density Parity Check) 부호기 또는 터보 부호기를 이용함으로써, 간단한 구조로 뛰어난 성능을 제공할 수 있다. 또한, BICM은 변조 차수(modulation order)와 오류정정 부호의 길이 및 부호율 등을 다양하게 선택할 수 있기 때문에, 높은 수준의 플렉서빌리티(flexibility)를 제공한다. 이와 같은 장점 때문에, BICM은 DVB-T2나 DVB-NGH 와 같은 방송표준에서 사용되고 있을 뿐만 아니라 다른 차세대 방송시스템에서도 사용될 가능성이 높다.
- [4] 여러 개의 다중 서비스를 동시에 지원하기 위해서는 다수개의 신호들을 섞어 주는 과정인 멀티플렉싱(multiplexing)이 필요하다. 이러한 멀티플렉싱 기법 중 현재 널리 사용되는 기법으로는 시간 자원을 나누어 사용하는 TDM(Time Division Multiplexing)과 주파수 자원을 나누어 사용하는 FDM(Frequency Division Multiplexing)이 있다. 즉, TDM은 서비스 별로 분할된 시간을 할당하는 방식이며, FDM은 서비스 별로 분할된 주파수 자원을 할당하여 사용하는 기법이다. 최근에는 차세대 방송 시스템에 적용 가능한 TDM 및 FDM보다 높은 수준의 플렉서빌리티(flexibility)와 우수한 성능을 제공하는 새로운 멀티플렉싱 기법에 대한 필요성이 절실하게 대두되고 있다.
- [5] 한편, 방송과 통신을 융합하기 위한 요구는 날이 갈수록 증가하고 있는데, ATSC 3.0 등의 방송 표준과 LTE 또는 5G 등의 통신 표준은 독립적으로 표준화를 추진하므로 그 시스템 주파수들이 일치하지 않는 경우가 흔하다.
- [6] ATSC 3.0 등의 방송 시스템과 4G/5G 등의 통신 시스템이 서로 다른 시스템 주파수 대역을 사용하는 경우에는, 방송과 통신을 융합한 서비스가 제공될 때 일부 주파수 대역을 사용할 수 없으므로 그만큼 주파수 효율성이 낮아지게 된다.
- [7] 따라서, 방송 시스템과 통신 시스템이 융합된 서비스 제공시에도, 주파수 효율성이 낮아지는 것을 방지할 수 있는 새로운 기술의 필요성이 절실하게

대두된다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명의 목적은 방송 시스템과 통신 시스템이 융합된 서비스를 위해, 방송 시스템에서 사용되는 시스템 주파수 대역이 통신 시스템에서 사용되는 시스템 주파수 대역을 커버할 수 있도록 하는 것이다.
- [9] 또한, 본 발명의 목적은 기존 방송 표준에 따른 방송 신호 송/수신 시스템에 호환가능하면서도 새로운 시스템 주파수 대역을 사용가능하도록 하는, 새로운 방송 신호 시그널링 기법을 제공하는 것이다.

과제 해결 수단

- [10] 상기한 목적을 달성하기 위한 본 발명에 따른 방송 신호 송신 장치는, 포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드 및 베이스밴드 샘플링 레이트 계수를 시그널링하는 부트스트랩을 생성하는 부트스트랩 생성부; 방송 신호 프레임에서 상기 부트스트랩의 바로 다음에 위치(located immediately following the bootstrap)하는 프리앰블을 생성하는 프리앰블 생성부; 및 상기 방송 신호 프레임에서 상기 프리앰블의 바로 다음에 위치(located immediately following the preamble)하는 하나 이상(one or more)의 서브프레임들을 생성하는 페이로드 생성부를 포함한다. 이 때, 상기 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한 범위의 적어도 일부에서(in at least one part of a range which is settable with assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정 식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다.
- [11] 이 때, 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일할 수 있다.
- [12] 이 때, 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이할 수 있다.
- [13] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [14] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 50MHz인 경우를 위하여 134인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 60MHz인 경우를 위하여 164인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 80MHz인 경우를 위하여 224인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 90MHz인 경우를 위하여 254인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 100MHz인 경우를 위하여 284인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [15] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 6MHz인 경우를 위하여 2인

산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 7MHz인 경우를 위하여 5인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 8MHz인 경우를 위하여 8인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

[16] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 10MHz인 경우를 위하여 14인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 15MHz인 경우를 위하여 29인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 20MHz인 경우를 위하여 44인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 25MHz인 경우를 위하여 59인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 30MHz인 경우를 위하여 74인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

[17] 이 때, 상기 샘플링 레이트 결정 식은 (샘플 레이트) = $(N + 16) * 0.384 \text{ MHz}$ (N은 상기 산출 변수)일 수 있다.

[18] 또한, 본 발명의 일실시예에 따른 방송 신호 송신 방법은, 하나 이상(one or more)의 서브프레임들을 생성하는 단계; 상기 하나 이상의 서브프레임들에 상응하는 프리앰블을 생성하는 단계; 및 포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드 및 베이스밴드 샘플링 레이트 계수를 시그널링하는 부트스트랩을 생성하는 단계를 포함한다. 이 때, 상기 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한 범위의 적어도 일부에서(in at least one part of a range which is settable with assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정 식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다.

[19] 이 때, 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일할 수 있다.

[20] 이 때, 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이할 수 있다.

[21] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

[22] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 50MHz인 경우를 위하여 134인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 60MHz인 경우를 위하여 164인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 80MHz인 경우를 위하여 224인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 90MHz인 경우를 위하여 254인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 100MHz인 경우를 위하여 284인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

[23] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 6MHz인 경우를 위하여 2인

산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 7MHz인 경우를 위하여 5인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 8MHz인 경우를 위하여 8인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

[24] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 10MHz인 경우를 위하여 14인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 15MHz인 경우를 위하여 29인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 20MHz인 경우를 위하여 44인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 25MHz인 경우를 위하여 59인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 30MHz인 경우를 위하여 74인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

[25] 이 때, 상기 샘플링 레이트 결정 식은 (샘플 레이트) = $(N + 16) * 0.384 \text{ MHz}$ (N은 상기 산출 변수)일 수 있다.

[26] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 수신 장치는, 포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드 및 베이스밴드 샘플링 레이트 계수를 시그널링하는 부트스트랩을 복원하는 부트스트랩 복원부; 방송 신호 프레임에서 상기 부트스트랩의 바로 다음에 위치(located immediately following the bootstrap)하는 프리앰블을 복원하는 프리앰블 복원부; 및 상기 방송 신호 프레임에서 상기 프리앰블의 바로 다음에 위치(located immediately following the preamble)하는 하나 이상(one or more)의 서브프레임들을 복원하는 페이로드 복원부를 포함한다. 이 때, 상기 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한 범위의 적어도 일부에서(in at least one part of a range which is settable with assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정 식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다.

[27] 이 때, 상기 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일할 수 있다.

[28] 이 때, 상기 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이할 수 있다.

[29] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

발명의 효과

[30] 본 발명에 따르면, 방송 시스템과 통신 시스템이 융합된 서비스를 위해, 방송 시스템에서 사용되는 시스템 주파수 대역이 통신 시스템에서 사용되는 시스템 주파수 대역을 커버할 수 있다.

[31] 또한, 본 발명은 기존 방송 표준에 따른 방송 신호 송/수신 시스템에

호환가능하면서도 새로운 시스템 주파수 대역을 사용가능하도록 하는, 새로운 방송 신호 시그널링 기법을 제공할 수 있다.

도면의 간단한 설명

- [32] 도 1은 본 발명의 일실시예에 따른 방송 신호 송/수신 시스템을 나타낸 블록도이다.
- [33] 도 2는 본 발명의 일실시예에 따른 방송 신호 송/수신 방법을 나타낸 동작 흐름도이다.
- [34] 도 3은 도 1에 도시된 방송 신호 프레임 생성 장치의 일 예를 나타낸 블록도이다.
- [35] 도 4는 방송 신호 프레임 구조의 일 예를 나타낸 도면이다.
- [36] 도 5는 도 4에 도시된 방송 신호 프레임이 수신되는 과정의 일 예를 나타낸 도면이다.
- [37] 도 6은 도 4에 도시된 방송 신호 프레임이 수신되는 과정의 다른 예를 나타낸 도면이다.
- [38] 도 7는 도 1에 도시된 방송 신호 프레임 생성 장치의 다른 예를 나타낸 블록도이다.
- [39] 도 8는 도 1에 도시된 신호 디멀티플렉싱 장치의 일 예를 나타낸 블록도이다.
- [40] 도 9은 도 8에 도시된 코어 레이어 BICM 디코더 및 인핸스드 레이어 심볼 추출기의 일 예를 나타낸 블록도이다.
- [41] 도 10은 도 8에 도시된 코어 레이어 BICM 디코더 및 인핸스드 레이어 심볼 추출기의 다른 예를 나타낸 블록도이다.
- [42] 도 11는 도 8에 도시된 코어 레이어 BICM 디코더 및 인핸스드 레이어 심볼 추출기의 또 다른 예를 나타낸 블록도이다.
- [43] 도 12은 도 1에 도시된 신호 디멀티플렉싱 장치의 다른 예를 나타낸 블록도이다.
- [44] 도 13은 코어 레이어 신호 및 인핸스드 레이어 신호의 결합으로 인한 파워 상승을 나타낸 도면이다.
- [45] 도 14는 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법을 나타낸 동작 흐름도이다.
- [46] 도 15는 본 발명의 일실시예에 따른 방송 신호 프레임을 포함하는 슈퍼프레임 구조를 나타낸 도면이다.
- [47] 도 16은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 일 예를 나타낸 도면이다.
- [48] 도 17은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 다른 예를 나타낸 도면이다.
- [49] 도 18은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 활용 예를 나타낸 도면이다.

- [50] 도 19는 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 다른 활용 예를 나타낸 도면이다.
- [51] 도 20은 컨벌루셔널 타임 인터리버가 사용되는 경우의 일 예를 나타낸 도면이다.
- [52] 도 21은 컨벌루셔널 타임 인터리버가 사용되는 경우의 다른 예를 나타낸 도면이다.
- [53] 도 22는 하이브리드 타임 인터리버가 사용되는 경우의 일 예를 나타낸 도면이다.
- [54] 도 23은 도 22에 도시된 예에서 타임 인터리버 그룹을 나타낸 도면이다.
- [55] 도 24 내지 도 26은 도 23에 도시된 예에서 불완전한 FEC 블록의 사이즈를 계산하는 과정을 도시한 도면이다.
- [56] 도 27은 L1D_plp_TI_mode="00"인 경우에 L1D_plp_fec_block_start에 필요한 비트수를 설명하기 위한 도면이다.
- [57] 도 28 및 29는 L1D_plp_TI_mode="01"인 경우에 L1D_plp_CTI_fec_block_start에 필요한 비트수를 설명하기 위한 도면들이다.
- [58] 도 30은 레이어드 디비전 멀티플렉싱과 함께 HTI 모드가 사용되는 경우 인핸스드 레이어 더미 값들의 삽입을 나타낸 도면이다.
- [59] 도 31은 본 발명의 일실시예에 따른 더미 값들의 생성에 사용되는 쉬프트 레지스터의 일 예를 나타낸 도면이다.
- [60] 도 32는 타임 인터리빙 모드의 유형을 나타낸 도면이다.
- [61] 도 33은 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙이 동시에 사용되는 경우를 나타낸 도면이다.
- [62] 도 34는 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙이 동시에 사용되는 경우의 서브프레임들을 나타낸 도면이다.
- [63] 도 35는 서로 다른 타임 인터리빙 유닛들이 동시에 사용되는 경우를 나타낸 도면이다.
- [64] 도 36은 동일한 타임 인터리빙 유닛이 동시에 사용되는 경우의 서브프레임들을 나타낸 도면이다.
- [65] 도 37은 하나의 완전한 전송 프로덕트가 복수개의 피지컬 레이어 피지컬 레이어 파이프들로 이루어진 경우를 나타낸 도면이다.
- [66] 도 38은 도 3 또는 도 7에 도시된 타임 인터리버의 일 예를 나타낸 블록도이다.
- [67] 도 39는 도 38에 도시된 트위스티드 블록 인터리버의 쓰기 동작을 나타낸 도면이다.
- [68] 도 40은 도 38에 도시된 트위스티드 블록 인터리버의 읽기 동작을 나타낸 도면이다.
- [69] 도 41은 도 38에 도시된 컨벌루셔널 딜레이 라인의 일 예를 나타낸 블록도이다.
- [70] 도 42는 도 38에 도시된 트위스티드 블록 인터리버의 동작의 일 예를 나타낸 도면이다.

- [71] 도 43은 도 38에 도시된 컨벌루셔널 딜레이 라인의 동작의 일 예를 나타낸 도면이다.
- [72] 도 44는 도 43에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [73] 도 45는 도 42에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [74] 도 46은 도 38에 도시된 트위스티드 블록 인터리버의 동작의 다른 예를 나타낸 도면이다.
- [75] 도 47은 도 38에 도시된 컨벌루셔널 딜레이 라인의 동작의 다른 예를 나타낸 도면이다.
- [76] 도 48은 도 47에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [77] 도 49는 도 46에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [78] 도 50은 컨벌루셔널 딜레이 라인에 포함된 FIFO 레지스터 초기값들을 나타낸 도면이다.
- [79] 도 51은 도 8 또는 도 12에 도시된 타임 디인터리버의 일 예를 나타낸 블록도이다.
- [80] 도 52는 본 발명의 일실시예에 따른 타임 인터리빙 방법을 나타낸 동작 흐름도이다.
- [81] 도 53은 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 타임 인터리빙 이전을 기준으로 나타낸 도면이다.
- [82] 도 54는 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 타임 인터리빙 이후를 기준으로 나타낸 도면이다.
- [83] 도 55는 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 포함하는 서브프레임을 나타낸 도면이다.
- [84] 도 56은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 첫 번째 타이밍을 나타낸 도면이다.
- [85] 도 57은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 두 번째 타이밍을 나타낸 도면이다.
- [86] 도 58은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 세 번째 타이밍을 나타낸 도면이다.
- [87] 도 59는 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 첫 번째 타이밍을 나타낸 도면이다.

- [88] 도 60은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 두 번째 타이밍을 나타낸 도면이다.
- [89] 도 61은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 세 번째 타이밍을 나타낸 도면이다.
- [90] 도 62는 L1D_plp_start 및 L1D_plp_size의 시그널링 정의들을 나타낸 도면이다.
- [91] 도 63은 멀티플 코어 피지컬 레이어 파이프들을 위한 타임 인터리빙 그룹 할당을 나타낸 도면이다.
- [92] 도 64는 하나의 코어 레이어 피지컬 레이어 파이프에 삽입된 두 개의 인핸스드 레이어 피지컬 레이어 파이프들을 나타낸 도면이다.
- [93] 도 65는 바람직하지 않은 LDM 구성 예를 나타낸 도면이다.
- [94] 도 66은 바람직하지 않은 LDM 구성의 다른 예를 나타낸 도면이다.
- [95] 도 67은 CTI 모드에서 허용되는 LDM 구성의 일 예를 나타낸 도면이다.
- [96] 도 68은 CTI 모드에서 허용되는 LDM 구성의 다른 예를 나타낸 도면이다.
- [97] 도 69는 HTI 모드에서 허용되는 LDM 구성의 일 예를 나타낸 도면이다.
- [98] 도 70은 HTI 기반의 LTDM이나 LFDM 구성들을 위한 타임 인터리빙 블록들의 사용 예를 나타낸 도면이다.
- [99] 도 71은 FLDM 구성의 일 예를 나타낸 도면이다.
- [100] 도 72는 LFDM 구성의 일 예를 나타낸 도면이다.
- [101] 도 73은 통신망이 5MHz 주파수 대역을 사용하고, 방송망이 6MHz 주파수 대역을 사용하는 경우를 나타낸 도면이다.
- [102] 도 74는 본 발명의 일실시예에 따른 방송 신호 프레임의 주파수 대역의 일 예를 나타낸 도면이다.
- [103] 도 75는 본 발명의 일실시예에 따른 방송 신호 송신 장치를 나타낸 블록도이다.
- [104] 도 76은 본 발명의 일실시예에 따른 방송 신호 송신 방법을 나타낸 동작 흐름도이다.
- [105] 도 77은 본 발명의 일실시예에 따른 방송 신호 수신 장치를 나타낸 블록도이다.
- [106] 도 78은 본 발명의 일실시예에 따른 컴퓨터 시스템을 나타낸 도면이다.

발명의 실시를 위한 형태

- [107] 본 발명을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다. 여기서, 반복되는 설명, 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능, 및 구성에 대한 상세한 설명은 생략한다. 본 발명의 실시형태는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [108] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게

설명한다.

[109] 도 1은 본 발명의 일실시예에 따른 방송 신호 송/수신 시스템을 나타낸 블록도이다.

[110] 도 1을 참조하면, 본 발명의 일실시예에 따른 방송 신호 송/수신 시스템은 방송 신호 송신 장치(110), 무선 채널(120) 및 방송 신호 수신 장치(130)를 포함한다.

[111] 방송 신호 송신 장치(110)는 코어 레이어 데이터 및 인핸스드 레이어 데이터를 멀티플렉싱하여 방송 신호 프레임 생성하는 방송 신호 프레임 생성 장치(111) 및 OFDM 송신기(113)를 포함한다.

[112] 방송 신호 프레임 생성 장치(111)는 코어 레이어 데이터에 상응하는 코어 레이어 신호 및 인핸스드 레이어 데이터에 상응하는 인핸스드 레이어 신호를 결합(combine)하고, 결합된 신호의 파워를 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하고, 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성한다. 이 때, 코어 레이어 신호 및 인핸스드 레이어 신호는 서로 다른 파워 레벨로 결합될 수 있다. 이 때, 타임 인터리빙은 코어 레이어 신호 및 인핸스드 레이어 신호에 함께 적용되는 것일 수 있다. 이 때, 방송 신호 프레임 생성 장치(111)는 타임 인터리빙된 신호를 이용하여 부트스트랩 및 프리앰블이 포함된 방송 신호 프레임을 생성할 수 있다. 이 때, 방송 신호 프레임은 ATSC 3.0 프레임일 수 있다.

[113] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 것일 수 있다.

[114] 이 때, 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다.

[115] 이 때, 상기 인핸스드 레이어 신호에 상응하는 인젝션 레벨 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프에 상응하여 시그널링될 수 있다.

[116] 실시예에 따라, 방송 신호 프레임 생성 장치(111)는 두 개의 레이어 신호들을 결합하지 않고, 하나의 레이어 신호(BICM 출력 신호)를 타임 인터리빙하고, 방송 신호 프레임을 생성할 수도 있다.

[117] 이 때, 프리앰블은 타임 인터리버에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링할 수 있다.

[118] 이 때, 피지컬 레이어 파이프들은 하나의 인핸스드 레이어 피지컬 레이어 파이프 및 상기 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함할 수 있다.

[119] 이 때, 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 타임 인터리빙 모드는 상기 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들과 동일할 수 있다.

- [120] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들은 모두 노 타임 인터리빙 모드이거나, 모두 하이브리드 타임 인터리빙 모드일 수 있다.
- [121] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [122] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들 각각은 각각의 서브프레임 내에서 정수개의 FEC 블록들로 이루어질 수 있다.
- [123] 이 때, 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [124] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [125] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [126] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [127] 이 때, 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)에 상응하는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 코어 레이어 피지컬 레이어 파이프들은 레이어드 디비전 멀티플렉싱되지 않을 수 있다.
- [128] 이 때, 코어 레이어 피지컬 레이어 파이프들은 각각 노 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나의 타임 인터리빙 모드를 사용하고, 컨벌루션 타임 인터리빙 모드는 사용하지 않을 수 있다.
- [129] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용하거나 모두 인터-서브프레임 인터리빙 모드를 사용할 수 있다.

- [130] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 동일한 $L1D_plp_HTI_inter_subframe$ 값을 가질 수 있다.
- [131] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드이고 상기 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙 모드를 사용하는 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 동일한 타임 인터리빙 유닛(N_{IU})을 사용할 수 있다.
- [132] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들 중 적어도 하나가 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 파이프들 중 하이브리드 타임 인터리빙 모드로 구성된 코어 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [133] 이 때, 하나의 완전한 전송 프로덕트는 하나 이상의 서브프레임에 상응하고, 상기 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [134] 이 때, 타임 인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 사이의 경계(boundary)는 상기 코어 레이어 신호에 상응하는 코어 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 사이의 경계일 수 있다. 즉, 코어 레이어의 피지컬 레이어 파이프들 사이의 경계들 중 하나가 타임 인터리버 그룹들 사이의 경계일 수 있다.
- [135] 이 때, 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들(dummy values)이 포함될 수 있다.
- [136] 이 때, 더미 값들은 PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 상기 PLP 그룹 내의 코어 레이어 셀들의 총 수와 동일해지도록 상기 PLP 그룹 내의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에(after the actual data cells of the last Enhanced PLP) 삽입될 수 있다.
- [137] 이 때, 더미 값들은 코어 레이어 데이터에는 삽입되지 않을 수 있다.
- [138] 이 때, 더미 값들은 코어 레이어 BICM 및 인핸스드 레이어 BICM이 완료된 이후, 상기 코어 레이어 신호 및 인핸스드 레이어 신호가 결합되기 이전에 삽입될 수 있다.
- [139] 이 때, 더미 값들은 기설정된 스크램블링 시퀀스에 상응하는 것일 수 있다.
- [140] 이 때, 스크램블링 시퀀스는 상기 마지막 인핸스드 PLP를 위해 사용된 컨스틸레이션 맵핑을 이용하여 변조될 수 있다.
- [141] 이 때, 더미 값들은 상기 마지막 인핸스드 PLP와 동일한 파워를 가질 수 있다.
- [142] 이 때, 스크램블링 시퀀스는 기설정된 제너레이터 폴리노미얼에 상응하는 16-비트 쉬프트 레지스터를 이용하여 생성될 수 있다.
- [143] 이 때, 스크램블링 시퀀스는 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에

상응하는 제너레이터 폴리노미얼을 이용하여 생성될 수 있다.

- [144] 이 때, 스크램블링 시퀀스는 0xF180(1111 0001 1000 0000) 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [145] OFDM 송신기(113)는 생성된 방송 신호 프레임(113)을 OFDM 통신 방식을 이용하여 안테나(117)를 통해 송신하여 송신된 OFDM 신호가 무선 채널(120)을 통해 방송 신호 수신 장치(130)의 안테나(137)를 통해 수신되도록 한다.
- [146] 방송 신호 수신 장치(130)는 OFDM 수신기(133) 및 신호 디멀티플렉싱 장치(131)를 포함한다. 무선 채널(120)을 통해 전송된 신호가 안테나(137)를 통해 수신되면, OFDM 수신기(133)는 동기(synchronization), 채널 추정(channel estimation) 및 등화(equalization) 과정 등을 통해 OFDM 신호를 수신한다.
- [147] 이 때, OFDM 수신기(133)는 상기 OFDM 신호로부터 부트스트랩을 검출하여 복조하고, 부트스트랩에 포함된 정보를 이용하여 프리앰블을 복조하고, 프리앰블에 포함된 정보를 이용하여 수퍼 임포우즈드 페이로드를 복조할 수도 있다.
- [148] 신호 디멀티플렉싱 장치(131)는 OFDM 수신기(133)를 통해 수신된 신호(수퍼 임포우즈드 페이로드)로부터 먼저 코어 레이어 데이터를 복원하고, 복원된 코어 레이어 데이터에 상응하는 캔슬레이션(cancellation)을 통해 인헨스드 레이어 데이터를 복원한다. 이 때, 신호 디멀티플렉싱 장치(131)는 먼저 방송 신호 프레임을 생성하고, 방송 신호 프레임으로부터 부트스트랩을 복원하고, 부트스트랩에 포함된 정보를 이용하여 프리앰블을 복원한 후 프리앰블에 포함된 시그널링 정보 데이터 신호의 복원에 활용할 수 있다. 이 때, 시그널링 정보는 L1 시그널링 정보일 수 있고, 인젝션 레벨 정보, 노멀라이징 팩터 정보 등을 포함할 수 있다.
- [149] 이 때, 프리앰블은 모든 피지컬 레이어 파이프들 각각에 대하여 타임 인터리버에 상응하는 타임 인터리빙 모드를 포함할 수 있다.
- [150] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)을 식별하기 위한 PLP 식별 정보; 및 계층적인 분할에 상응하는 레이어들을 식별하기 위한 레이어 식별 정보를 포함할 수 있다.
- [151] 이 때, PLP 식별 정보 및 레이어 식별 정보는 별개의 필드들로 상기 프리앰블에 포함될 수 있다.
- [152] 이 때, 타임 인터리버 정보는 코어 레이어를 기준으로 상기 프리앰블에 포함될 수 있다.
- [153] 이 때, 프리앰블은 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 상기 인젝션 레벨 컨트롤러에 상응하는 인젝션 레벨 정보를 포함할 수 있다.

- [154] 이 때, 프리앰블은 피지컬 레이어 파이프들의 타입 정보, 시작 위치 정보 및 사이즈 정보를 포함할 수 있다.
- [155] 이 때, 타입 정보는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [156] 이 때, 분산되지 않은 피지컬 레이어 파이프는 연속적인 데이터 셀 인덱스들(contiguous data cell indices)에 대하여 할당되고, 상기 분산된 피지컬 레이어 파이프는 둘 이상의 서브슬라이스들로 이루어질 수 있다.
- [157] 이 때, 타입 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 시그널링될 수 있다.
- [158] 이 때, 타입 정보는 코어 레이어에 대해서만 시그널링될 수 있다.
- [159] 이 때, 시작 위치 정보는 피지컬 레이어 파이프의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [160] 이 때, 시작 위치 정보는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 상기 피지컬 레이어 파이프의 시작 위치(start position)를 지시(indicate)할 수 있다.
- [161] 이 때, 시작 위치 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [162] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [163] 이 때, 사이즈 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [164] 이 때, 타임 인터리버 정보는 상기 코어 레이어를 기준으로 시그널링될 수 있다.
- [165] 이 때, 타임 인터리버는 하이브리드 타임 인터리버(hybrid time interleaver)에 상응하는 것일 수 있다. 이 때, 코어 레이어 및 인핸스드 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)은 온전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [166] 이 때, 프리앰블은 상기 타임 인터리버 그룹들의 경계가 상기 인핸스드 레이어의 FEC 블록들의 경계에 상응하지 않는 경우, 상기 타임 인터리버 그룹들의 경계에 상응하는 상기 인핸스드 레이어의 FEC 블록의 일부분을 식별하기 위한 정보를 시그널링할 수 있다.
- [167] 이 때, FEC 블록의 일부분을 식별하기 위한 정보는 상기 코어 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어에 상응하는 모듈레이션 정보 및 상기 인핸스드 레이어에 상응하는 FEC 타입 정보 중 어느 하나 이상을 포함할 수 있다.
- [168] 이 때, 피지컬 레이어 파이프의 시작 위치 정보는 상기 피지컬 레이어 파이프의

- 첫 번째 데이터 셀의 인덱스에 상응하는 것일 수 있다.
- [169] 이 때, 모듈레이션 정보는 상기 FEC 타입 정보가 기설정된 조건을 만족하는 경우에만 시그널링되는 것일 수 있다.
- [170] 이 때, 인핸스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있다.
- [171] 이 때, 타임 인터리버는 컨벌루셔널 타임 인터리버(convolutional time interleaver)에 상응하고, 상기 타임 인터리버 그룹들은 완전하지 않은 FEC 블록(incomplete FEC block)을 포함하는 피지컬 레이어 파이프(Physical Layer Pipe; PLP)를 포함하고, 상기 프리앰블은 상기 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보를 시그널링하는 것일 수 있다.
- [172] 이 때, 타임 인터리버는 복수의 동작 모드들 중 하나로 상기 인터리빙을 수행할 수 있다.
- [173] 이 때, 상기 동작 모드들은 타임 인터리빙을 생략하는 제1 모드, 컨벌루셔널 타임 인터리빙(Convolutional time interleaving)을 수행하는 제2 모드 및 하이브리드 타임 인터리빙(Hybrid time interleaving)을 수행하는 제3 모드를 포함할 수 있다.
- [174] 이 때, 프리앰블은 상기 제1 모드 및 제2 모드에 대해서는 현재 피지컬 레이어 파이프(Physical Layer Pipe)에 상응하는 첫 번째 온전한 FEC 블록(first complete FEC block)의 시작 위치를 나타내는 필드를 포함하고, 상기 제3 모드에 대해서는 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드를 포함하지 않을 수 있다. 이 때, 시작 위치를 나타내는 필드는 현재 서브프레임 동안 현재 피지컬 레이어 파이프 내에서 시작되는 첫 번째 FEC 블록의 시작 위치를 나타내는 것일 수 있다.
- [175] 이 때, 첫 번째 FEC 블록의 시작 위치를 나타내는 필드는 상기 제1 모드에서 사용되는 제1 필드 및 상기 제2 모드에서 사용되는 제2 필드 중 어느 하나이고, 상기 제1 필드 및 제2 필드는 길이가 상이할 수 있다.
- [176] 이 때, 제2 필드의 길이는 제1 필드의 길이보다 길 수 있다.
- [177] 이 때, 제1 필드의 길이는 LDPC 부호어의 길이와 모듈레이션 오더에 기반하여 결정되고, 상기 제2 필드의 길이는 상기 LDPC 부호어의 길이와 모듈레이션 오더뿐만 아니라 컨벌루셔널 타임 인터리버의 뎀스(depth)를 더 고려하여 결정될 수 있다.
- [178] 이 때, 제1 필드의 길이는 15비트이고, 상기 제2 필드의 길이는 22비트일 수 있다.
- [179] 이 때, 제1 필드 및 제2 필드는 각각 상기 코어 레이어 신호에 상응하는 코어 레이어 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 각각에 대하여 별개로 시그널링될 수 있다.
- [180] 후술하겠지만, 도 1에 도시된 방송 신호 프레임 생성 장치(111)는 코어 레이어

신호 및 인핸스드 레이어 신호를 결합(combine)하여 멀티플렉싱된 신호를 생성하는 결합기; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하는 파워 노멀라이저; 상기 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임 생성하는 프레임 빌더를 포함할 수 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다. 이 때, 상기 인핸스드 레이어 신호에 상응하는 인젝션 레벨 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프에 상응하여 시그널링될 수 있다. 이 때, 상기 타임 인터리버는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함될 수 있다. 이 때, 도 1에 도시된 방송 신호 송신 장치(110)는 코어 레이어 신호 및 인핸스드 레이어 신호를 결합(combine)하여 멀티플렉싱된 신호를 생성하는 결합기; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하는 파워 노멀라이저; 상기 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 프레임 빌더; 및 상기 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나를 통해 송신하는 OFDM 송신기를 포함하는 것으로 볼 수 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다. 이 때, 상기 인핸스드 레이어 신호에 상응하는 인젝션 레벨 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프에 상응하여 시그널링될 수 있다. 이 때, 상기 타임 인터리버는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함될 수 있다.

- [181] 실시예에 따라, 도 1에 도시된 방송 신호 프레임 생성 장치(111)는 싱글 레이어의 경우에 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 프레임 빌더를 포함할 수도 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는

인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다. 이 때, 상기 인핸스드 레이어 신호에 상응하는 인젝션 레벨 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프에 상응하여 시그널링될 수 있다. 이 때, BICM 출력 신호는 후술할 BICM 장치의 출력 신호일 수 있다. 이 때, 도 1에 도시된 방송 신호 송신 장치(110)는 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임 생성하는 프레임 빌더; 및 상기 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나를 통해 송신하는 OFDM 송신기를 포함하는 것으로 볼 수 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다. 이 때, 상기 인핸스드 레이어 신호에 상응하는 인젝션 레벨 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프에 상응하여 시그널링될 수 있다.

- [182] 후술하겠지만, 도 1에 도시된 신호 디멀티플렉싱 장치는 방송 신호 프레임에 상응하는 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 타임 디인터리버; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 디-노멀라이저; 상기 디-노멀라이저에 의해 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 코어 레이어 BICM 디코더; 상기 코어 레이어 BICM 디코더의 코어 레이어 FEC 디코더의 출력 신호를 이용하여, 상기 디-노멀라이저에 의해 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인핸스드 레이어 신호를 추출하는 인핸스드 레이어 심볼 추출기; 상기 인핸스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 디-인젝션 레벨 컨트롤러; 및 상기 디-인젝션 레벨 컨트롤러의 출력 신호를 이용하여 인핸스드 레이어 데이터를 복원하는 인핸스드 레이어 BICM 디코더를 포함할 수 있다. 이 때, 도 1에 도시된 방송 신호 수신 장치(130)는 방송 신호 프레임에 상응하는 전송된 신호에 대한 동기, 채널추정 및 등화 중 어느 하나 이상을 수행하여 수신 신호를 생성하는 OFDM 수신기; 상기 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 타임 디인터리버; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 디-노멀라이저; 상기 디-노멀라이저에 의해 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 코어 레이어 BICM 디코더; 상기 코어 레이어 BICM 디코더의 코어 레이어 FEC 디코더의 출력 신호를 이용하여, 상기 디-노멀라이저에 의해 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인핸스드 레이어 신호를 추출하는 인핸스드 레이어 심볼 추출기; 상기 인핸스드 레이어

신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 다-인젝션 레벨 컨트롤러; 및 상기 다-인젝션 레벨 컨트롤러의 출력 신호를 이용하여 인핸스드 레이어 데이터를 복원하는 인핸스드 레이어 BICM 디코더를 포함하는 것으로 볼 수 있다.

[183] 이 때, 타임 디인터리버는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함되어 있을 수 있다.

[184] 이 때, 타임 디인터리버는 타임 인터리빙 모드에 상응할 수 있다.

[185] 이 때, 프리앰블은 모든 피지컬 레이어 파이프들 각각에 대하여 타임 인터리빙에 상응하는 타임 인터리빙 모드를 포함할 수 있다.

[186] 도 1에는 명시적으로 도시되지 아니하였으나, 본 발명의 일실시예에 따른 방송 신호 송/수신 시스템은 코어 레이어 데이터 및 인핸스드 레이어 데이터 이외에도 하나 이상의 확장 레이어 데이터를 멀티플렉싱/디멀티플렉싱할 수 있다. 이 때, 확장 레이어 데이터는 코어 레이어 데이터 및 인핸스드 레이어 데이터보다 낮은 파워 레벨로 멀티플렉싱될 수 있다. 나아가, 둘 이상의 확장 레이어들이 포함되는 경우, 첫 번째 확장 레이어의 인젝션 파워 레벨보다 두 번째 확장 레이어의 인젝션 파워 레벨이 낮고, 두 번째 확장 레이어의 인젝션 파워 레벨보다 세 번째 확장 레이어의 인젝션 파워 레벨이 낮을 수 있다.

[187] 도 2는 본 발명의 일실시예에 따른 방송 신호 송/수신 방법을 나타낸 동작 흐름도이다.

[188] 도 2를 참조하면, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 코어 레이어 신호 및 인핸스드 레이어 신호를 결합하여 멀티플렉싱하여 방송 신호 프레임(S210)을 생성한다(S210). 이 때, 코어 레이어 신호 및 인핸스드 레이어 신호는 서로 다른 파워 레벨로 결합될 수 있다. 이 때, 방송 신호 프레임은 타임 인터리빙을 수행하여 생성될 수 있고, 상기 프리앰블은 모든 피지컬 레이어 파이프들 각각에 대하여 타임 인터리빙에 상응하는 타임 인터리빙 모드를 포함할 수 있다.

[189] 실시예에 따라, 단계(S210)는 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하고, 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수도 있다.

[190] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 것일 수 있다. 이 때, 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다.

[191] 이 때, 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)에 상응하는 복수개의 코어 레이어 피지컬 레이어 파이프들을

- 포함하고, 상기 코어 레이어 피지컬 레이어 파이프들은 레이어드 디비전 멀티플렉싱되지 않을 수 있다.
- [192] 이 때, 코어 레이어 피지컬 레이어 파이프들은 각각 노 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나의 타임 인터리빙 모드를 사용하고, 컨벌루셔널 타임 인터리빙 모드는 사용하지 않을 수 있다.
- [193] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용하거나 모두 인터-서브프레임 인터리빙 모드를 사용할 수 있다.
- [194] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 동일한 $L1D_plp_HTI_inter_subframe$ 값을 가질 수 있다.
- [195] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드이고 상기 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙 모드를 사용하는 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 동일한 타임 인터리빙 유닛(N_{IU})을 사용할 수 있다.
- [196] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들 중 적어도 하나가 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 파이프들 중 하이브리드 타임 인터리빙 모드로 구성된 코어 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [197] 이 때, 하나의 완전한 전송 프로덕트는 하나 이상의 서브프레임에 상응하고, 상기 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [198] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [199] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [200] 이 때, 피지컬 레이어 파이프들은 하나의 인핸스드 레이어 피지컬 레이어 파이프 및 상기 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함할 수 있다.
- [201] 이 때, 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 타임 인터리빙 모드는 상기 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들과 동일할 수 있다.

- [202] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들은 모두 노 타임 인터리빙 모드이거나, 모두 하이브리드 타임 인터리빙 모드일 수 있다.
- [203] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [204] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들 각각은 각각의 서브프레임 내에서 정수개의 FEC 블록들로 이루어질 수 있다.
- [205] 이 때, 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [206] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [207] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [208] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [209] 이 때, 단계(S210)에 의하여 생성되는 방송 신호 프레임은 부트스트랩, 프리앰블 및 수퍼-임포우즈드 페이로드를 포함할 수 있다. 이 때, 부트스트랩 및 프리앰블 중 어느 하나 이상은 L1 시그널링 정보를 포함할 수 있다. 이 때, L1 시그널링 정보는 인젝션 레벨 정보 및 노멀라이징 팩터 정보를 포함할 수 있다.
- [210] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)을 식별하기 위한 PLP 식별 정보; 및 계층적인 분할에 상응하는 레이어들을 식별하기 위한 레이어 식별 정보를 포함할 수 있다.
- [211] 이 때, PLP 식별 정보 및 레이어 식별 정보는 별개의 필드들로 상기 프리앰블에 포함될 수 있다.
- [212] 이 때, 타임 인터리버 정보는 코어 레이어를 기준으로 상기 프리앰블에 포함될 수 있다.

- [213] 이 때, 프리앰블은 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 상기 인젝션 레벨 컨트롤러에 상응하는 인젝션 레벨 정보를 포함할 수 있다.
- [214] 이 때, 프리앰블은 피지컬 레이어 파이프들의 타입 정보, 시작 위치 정보 및 사이즈 정보를 포함할 수 있다.
- [215] 이 때, 타입 정보는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [216] 이 때, 분산되지 않은 피지컬 레이어 파이프는 연속적인 데이터 셀 인덱스들(contiguous data cell indices)에 대하여 할당되고, 상기 분산된 피지컬 레이어 파이프는 둘 이상의 서브슬라이스들로 이루어질 수 있다.
- [217] 이 때, 타입 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 시그널링될 수 있다.
- [218] 이 때, 타입 정보는 코어 레이어에 대해서만 시그널링될 수 있다.
- [219] 이 때, 시작 위치 정보는 피지컬 레이어 파이프의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [220] 이 때, 시작 위치 정보는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 상기 피지컬 레이어 파이프의 시작 위치(start position)를 지시(indicate)할 수 있다.
- [221] 이 때, 시작 위치 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [222] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [223] 이 때, 사이즈 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [224] 이 때, 타임 인터리버 정보는 상기 코어 레이어를 기준으로 시그널링될 수 있다.
- [225] 이 때, 타임 인터리빙된 신호를 생성하는 단계는 하이브리드 타임 인터리버(hybrid time interleaver)를 이용하여 상기 인터리빙을 수행할 수 있다. 이 때, 코어 레이어 및 인핸스드 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)은 온전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [226] 이 때, 프리앰블은 상기 타임 인터리버 그룹들의 경계가 상기 인핸스드 레이어의 FEC 블록들의 경계에 상응하지 않는 경우, 상기 타임 인터리버 그룹들의 경계에 상응하는 상기 인핸스드 레이어의 FEC 블록의 일부분을 식별하기 위한 정보를 시그널링할 수 있다.
- [227] 이 때, FEC 블록의 일부분을 식별하기 위한 정보는 상기 코어 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어의 피지컬 레이어

파이프의 시작 위치 정보, 상기 인핸스드 레이어에 상응하는 모듈레이션 정보 및 상기 인핸스드 레이어에 상응하는 FEC 타입 정보 중 어느 하나 이상을 포함할 수 있다.

[228] 이 때, 피지컬 레이어 파이프의 시작 위치 정보는 상기 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스에 상응하는 것일 수 있다.

[229] 이 때, 모듈레이션 정보는 상기 FEC 타입 정보가 기설정된 조건을 만족하는 경우에만 시그널링될 수 있다.

[230] 이 때, 인핸스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있다.

[231] 이 때, 타임 인터리빙된 신호를 생성하는 단계는 컨벌루셔널 타임 인터리버(convolutional time interleaver)를 이용하여 상기 인터리빙을 수행하고, 상기 타임 인터리버 그룹들은 완전하지 않은 FEC 블록(incomplete FEC block)을 포함하는 피지컬 레이어 파이프(Physical Layer Pipe; PLP)를 포함하고, 상기 프리앰블은 상기 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보를 시그널링할 수 있다.

[232] 이 때, 상기 인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함될 수 있다.

[233] 이 때, 더미 값들은 PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 상기 PLP 그룹 내의 코어 레이어 셀들의 총 수와 동일해지도록 상기 PLP 그룹 내의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에(after the actual data cells of the last Enhanced PLP) 삽입될 수 있다.

[234] 이 때, 더미 값들은 코어 레이어 데이터에는 삽입되지 않을 수 있다.

[235] 이 때, 더미 값들은 코어 레이어 BICM 및 인핸스드 레이어 BICM이 완료된 이후, 상기 코어 레이어 신호 및 인핸스드 레이어 신호가 결합되기 이전에 삽입될 수 있다.

[236] 이 때, 더미 값들은 기설정된 스크램블링 시퀀스에 상응하는 것일 수 있다.

[237] 이 때, 스크램블링 시퀀스는 상기 마지막 인핸스드 PLP를 위해 사용된 컨스틸레이션 맵핑을 이용하여 변조될 수 있다.

[238] 이 때, 더미 값들은 상기 마지막 인핸스드 PLP와 동일한 파워를 가질 수 있다.

[239] 이 때, 스크램블링 시퀀스는 기설정된 제너레이터 폴리노미얼에 상응하는 16-비트 쉬프트 레지스터를 이용하여 생성될 수 있다.

[240] 이 때, 스크램블링 시퀀스는 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성될 수 있다.

[241] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트

- 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [242] 이 때, 상기 인터리빙은 복수의 동작 모드들 중 하나를 이용하여 수행될 수 있다.
- [243] 이 때, 동작 모드들은 타임 인터리빙을 생략하는 제1 모드, 컨벌루셔널 타임 인터리빙(Convolutional time interleaving)을 수행하는 제2 모드 및 하이브리드 타임 인터리빙(Hybrid time interleaving)을 수행하는 제3 모드를 포함할 수 있다.
- [244] 이 때, 프리앰블은 상기 제1 모드 및 제2 모드에 대해서는 현재 피지컬 레이어 파이프(Physical Layer Pipe)에 상응하는 첫 번째 온전한 FEC 블록(first complete FEC block)의 시작 위치를 나타내는 필드를 포함하고, 상기 제3 모드에 대해서는 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드를 포함하지 않을 수 있다.
- [245] 이 때, 첫 번째 FEC 블록의 시작 위치를 나타내는 필드는 상기 제1 모드에서 사용되는 제1 필드 및 상기 제2 모드에서 사용되는 제2 필드 중 어느 하나이고, 상기 제1 필드 및 제2 필드는 길이가 상이할 수 있다.
- [246] 이 때, 제2 필드의 길이는 제1 필드의 길이보다 길 수 있다.
- [247] 이 때, 제1 필드의 길이는 LDPC 부호어의 길이와 모듈레이션 오더에 기반하여 결정되고, 상기 제2 필드의 길이는 상기 LDPC 부호어의 길이와 모듈레이션 오더뿐만 아니라 컨벌루셔널 타임 인터리버의 뎀스(depth)를 더 고려하여 결정될 수 있다.
- [248] 이 때, 제1 필드의 길이는 15비트이고, 상기 제2 필드의 길이는 22비트일 수 있다.
- [249] 이 때, 제1 필드 및 제2 필드는 각각 상기 코어 레이어 신호에 상응하는 코어 레이어 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 각각에 대하여 별개로 시그널링될 수 있다.
- [250] 또한, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 방송 신호 프레임을 OFDM 전송한다(S220).
- [251] 또한, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 전송된 신호를 OFDM 수신한다(S230).
- [252] 이 때, 단계(S230)는 동기(synchronization), 채널 추정(channel estimation) 및 등화(equalization) 과정 등을 수행할 수 있다.
- [253] 이 때, 단계(S230)는 부트스트랩을 복원하고, 복원된 부트스트랩에 포함된 신호를 이용하여 프리앰블을 복원하고, 프리앰블에 포함된 시그널링 정보를 이용하여 데이터 신호를 복원할 수 있다.
- [254] 또한, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 수신된 신호에서 코어 레이어 데이터를 복원한다(S240).
- [255] 또한, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 코어 레이어 신호 캔슬레이션을 통해 인핸스드 레이어 데이터를 복원한다(S250).
- [256] 특히, 도 2에 도시된 단계(S240) 및 단계(S250)는 단계(S210)에 상응하는

디멀티플렉싱 동작에 해당하는 것일 수 있다.

[257] 후술하겠지만, 도 2에 도시된 단계(S210)는 싱글 레이어의 경우 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 및 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임 생성하는 단계를 포함하는 것으로 볼 수 있다. 이 때, 단계(S210) 및 단계(S220)의 방송 신호 송신 방법은, 싱글 레이어의 경우 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 단계; 및 상기 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나를 통해 송신하는 단계를 포함하는 것으로 볼 수 있다.

[258] 후술하겠지만, 도 2에 도시된 단계(S210)는 코어 레이어 신호 및 인핸스드 레이어 신호를 결합하여 멀티플렉싱된 신호를 생성하는 단계; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하는 단계; 상기 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 및 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 단계를 포함할 수 있다. 이 때, 상기 타임 인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함될 수 있다. 이 때, 단계(S210) 및 단계(S220)의 방송 신호 송신 방법은, 코어 레이어 신호 및 인핸스드 레이어 신호를 결합하여 멀티플렉싱된 신호를 생성하는 단계; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하는 단계; 상기 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 단계; 및 상기 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나를 통해 송신하는 단계를 포함하는 것으로 볼 수 있다. 이 때, 상기 타임 인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함될 수 있다.

[259] 후술하겠지만, 도 2에 도시된 단계들(S240, S250)은 방송 신호 프레임에 상응하는 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 단계; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 단계; 상기 파워 조절된

신호로부터 코어 레이어 데이터를 복원하는 단계; 상기 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인핸스드 레이어 신호를 추출하는 단계; 상기 인핸스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 단계; 및 파워 조절된 상기 인핸스드 레이어 신호를 이용하여 인핸스드 레이어 데이터를 복원하는 단계를 포함할 수 있다. 이 때, 본 발명의 일실시예에 따른 방송 신호 수신 방법은, 방송 신호 프레임에 상응하는 전송된 신호에 대한 동기, 채널추정 및 등화 중 어느 하나 이상을 수행하여 수신 신호를 생성하는 단계; 상기 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 단계; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 단계; 상기 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 단계; 상기 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인핸스드 레이어 신호를 추출하는 단계; 상기 인핸스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 단계; 및 파워 조절된 상기 인핸스드 레이어 신호를 이용하여 인핸스드 레이어 데이터를 복원하는 단계를 포함하는 것으로 볼 수 있다.

- [260] 이 때, 타임 디인터리빙은 타임 인터리빙 모드에 상응할 수 있다.
- [261] 이 때, 프리앰블은 모든 피지컬 레이어 파이프들 각각에 대하여 타임 인터리빙에 상응하는 타임 인터리빙 모드를 포함할 수 있다.
- [262] 이 때, 타임 디인터리빙은 복수의 동작 모드들 중 하나로 상기 디인터리빙을 수행할 수 있다.
- [263] 이 때, 타임 디인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함되어 있을 수 있다.
- [264] 도 3은 도 1에 도시된 방송 신호 프레임 생성 장치의 일 예를 나타낸 블록도이다.
- [265] 도 3을 참조하면, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 장치는 코어 레이어 BICM부(310), 인핸스드 레이어 BICM부(320), 인젝션 레벨 컨트롤러(330), 결합기(340), 파워 노멀라이저(345), 타임 인터리버(350), 시그널링 생성부(360) 및 프레임 빌더(370)를 포함할 수 있다.
- [266] 일반적으로, BICM(Bit-Interleaved Coded Modulation) 장치는 오류정정 부호화기, 비트 인터리버 및 심볼 맵퍼로 구성되며, 도 3에 도시된 코어 레이어 BICM부(310) 및 인핸스드 레이어 BICM부(320)도 각각 오류정정 부호화기, 비트 인터리버 및 심볼 맵퍼를 포함할 수 있다. 특히, 도 3에 도시된 오류정정 부호화기(CORE LAYER FEC ENCODER, ENHANCED LAYER FEC ENCODER)는 각각 BCH 인코더 및 LDPC 인코더가 직렬로 결합된 것일 수 있다. 이 때, 오류정정 부호화기의 입력은 BCH 인코더로 입력되고, BCH 인코더의 출력은 LDPC 인코더로 입력되며, LDPC 인코더의 출력은 오류정정 부호화기의

출력이 될 수 있다.

- [267] 도 3에 도시된 바와 같이, 코어 레이어 데이터(Core Layer data) 및 인핸스드 레이어 데이터(Enhanced Layer data)는 각각 서로 다른 BICM부를 통과한 후 결합기(340)를 통해 합쳐진다. 즉, 본 발명에서 레이어드 디비전 멀티플렉싱(Layered Division Multiplexing; LDM)이라 함은 다수 개의 계층을 파워 차이를 이용하여 하나로 결합하여 전송하는 것을 의미할 수 있다.
- [268] 즉, 코어 레이어 데이터는 코어 레이어 BICM부(310)를 통과하고, 인핸스드 레이어 데이터는 인핸스드 레이어 BICM부(320)를 통과한 후 인젝션 레벨 컨트롤러(330)를 거쳐서 결합기(340)에서 결합된다. 이 때, 인핸스드 레이어 BICM부(320)는 코어 레이어 BICM부(310)와는 상이한 BICM 인코딩을 수행할 수 있다. 즉, 인핸스드 레이어 BICM부(320)는 코어 레이어 BICM부(310)보다 높은 비트율에 상응하는 오류정정 부호화나 심볼 맵핑을 수행할 수 있다. 또한, 인핸스드 레이어 BICM부(320)는 코어 레이어 BICM부(310)보다 덜 강인한(less robust) 오류정정 부호화나 심볼 맵핑을 수행할 수 있다.
- [269] 예를 들어, 코어 레이어 오류정정 부호화기가 인핸스드 레이어 오류정정 부호화기보다 비트율이 낮을 수 있다. 이 때, 인핸스드 레이어 심볼 맵핑은 코어 레이어 심볼 맵핑보다 덜 강인(less robust)할 수 있다.
- [270] 결합기(340)는 코어 레이어 신호 및 인핸스드 레이어 신호를 결합(combine)하는 것으로 볼 수 있다. 이 때, 결합기(340)는 코어 레이어 신호 및 인핸스드 레이어 신호를 서로 다른 파워 레벨로 결합할 수 있다. 실시예에 따라, 파워 레벨 조절은 인핸스드 레이어 신호가 아닌 코어 레이어 신호에 대하여 수행될 수도 있다. 이 때, 코어 레이어 신호에 대한 파워는 인핸스드 레이어 신호의 파워보다 커지도록 조절될 수 있다.
- [271] 코어 레이어 데이터는 강인한(robust) 수신을 위해 낮은 부호율(low code rate)의 FEC(Forward error correction) 코드를 사용하는 반면, 인핸스드 레이어 데이터는 높은 데이터 전송률을 위해 높은 부호율의 FEC 코드를 사용할 수 있다.
- [272] 즉, 코어 레이어 데이터는 인핸스드 레이어 데이터와 비교하여 동일한 수신환경에서 더 넓은 방송구역(coverage)을 가질 수 있다.
- [273] 인핸스드 레이어 BICM부(320)를 통과한 인핸스드 레이어 데이터는 인젝션 레벨 컨트롤러(330)를 통해 그 게인(또는 파워)가 조절되어 결합기(340)에 의해 코어 레이어 데이터와 결합된다.
- [274] 즉, 인젝션 레벨 컨트롤러(330)는 인핸스드 레이어 신호의 파워를 줄여서 파워 리듀스드 인핸스드 레이어 신호를 생성한다. 이 때, 인젝션 레벨 컨트롤러(330)에서 조절되는 신호의 크기는 인젝션 레벨(injection level)에 따라 결정될 수 있다. 이 때, 신호 A에 신호 B를 삽입하는 경우의 인젝션 레벨은 하기 수학적 식 1과 같이 정의될 수 있다.
- [275] [수학적 식 1]

[276]
$$\text{Injection level(dB)} = -10 \log_{10} \left(\frac{\text{Signal Power of B}}{\text{Signal Power of A}} \right)$$

[277] 예를 들어, 코어 레이어 신호에 인핸스드 레이어 신호를 삽입할 때 인젝션 레벨을 3dB라고 가정하면, 인핸스드 레이어 신호는 코어 레이어 신호의 절반에 해당하는 파워 크기를 가지는 것을 의미한다.

[278] 이 때, 인젝션 레벨 컨트롤러(330)는 인핸스드 레이어 신호의 파워 레벨을 0dB에서 25.0dB까지 0.5dB 또는 1dB 간격으로 조절할 수 있다.

[279] 일반적으로, 코어 레이어에 할당되는 전송 파워가 인핸스드 레이어에 할당되는 전송 파워에 비해 크게 할당되며, 이를 통해 수신기에서 코어 레이어에 대한 우선적인 복호가 가능하다.

[280] 이 때, 결합기(340)는 코어 레이어 신호 및 파워 리듀스드 인핸스드 레이어 신호를 결합하여 멀티플렉싱된 신호를 생성하는 것으로 볼 수 있다.

[281] 결합기(340)에 의해 결합된 신호는 코어 레이어 신호와 인핸스드 레이어 신호의 결합에 의하여 발생한 파워 상승만큼 파워를 낮추기 위해 파워 노멀라이저(345)로 제공되어 파워 조절이 수행된다. 즉, 파워 노멀라이저(345)는 결합기(340)에 의해 멀티플렉싱된 신호의 파워를, 코어 레이어 신호에 상응하는 파워 레벨로 낮춘다. 결합된 신호의 레벨이 한 레이어 신호의 레벨보다 높기 때문에 방송 신호 송/수신 시스템의 나머지 부분에서 진폭 클리핑(amplitude clipping) 등을 방지하기 위해서 파워 노멀라이저(345)의 파워 노멀라이징이 필요하다.

[282] 이 때, 파워 노멀라이저(345)는 하기 수학적 2의 노멀라이징 팩터(normalizing factor)를 결합된 신호의 크기에 곱하여 알맞은 신호의 크기로 조절할 수 있다. 하기 수학적 2를 계산하기 위한 인젝션 레벨 정보는 시그널링 플로우(signaling flow)를 통해 파워 노멀라이저(345)로 전달될 수 있다.

[283] [수학적 2]

[284]
$$\text{Normalizing factor} = \left(\sqrt{(1+10^{-\text{InjectionLevel(dB)}/10})} \right)^{-1}$$

[285] 인핸스드 레이어 신호 S_E 가 코어 레이어 신호 S_C 에 기설정된 인젝션 레벨에 의해 인젝션될 때 코어 레이어 신호 및 인핸스드 레이어 신호의 파워 레벨이 1로 노멀라이즈된다고 가정하면, 결합 신호는 $S_C + \alpha S_E$ 와 같이 표현될 수 있다.

[286] 이 때, α 는 다양한 인젝션 레벨들에 상응하는 스케일링 팩터(scaling factor)를 나타낸다. 즉, 인젝션 레벨 컨트롤러(330)는 스케일링 팩터에 상응하는 것일 수 있다.

[287] 예를 들어, 인핸스드 레이어의 인젝션 레벨이 3dB이면, 결합된 신호는 $S_C + \sqrt{\frac{1}{2}} S_E$ 와 같이 표현될 수 있다.

$$S_C + \sqrt{\frac{1}{2}} S_E$$

[288] 결합된(combined) 신호(멀티플렉싱된 신호)의 파워가 코어 레이어 신호와 비교하여 증가하였기 때문에, 파워 노멀라이저(345)는 이와 같은 파워 증가를 완화(mitigate)시켜야 한다.

[289] 파워 노멀라이저(345)의 출력은 $\beta(S_c + \alpha S_E)$ 와 같이 표현될 수 있다.

[290] 이 때, β 는 인핸스드 레이어의 다양한 인젝션 레벨에 따른 노멀라이징 팩터(normalizing factor)를 나타낸다.

[291] 인핸스드 레이어의 인젝션 레벨이 3dB인 경우, 코어 레이어 신호 대비 결합 신호의 파워 증가는 50%이다. 따라서, 파워 노멀라이저(345)의 출력은
와 같이 표현될 수 있다.

$$\sqrt{\frac{2}{3}} \left(S_c + \sqrt{\frac{1}{2}} S_E \right)$$

[292] 하기 표 1은 다양한 인젝션 레벨에 따른 스케일링 팩터 α 와 노멀라이징 팩터 β 를 나타낸다(CL: Core Layer, EL: Enhanced Layer). 인젝션 레벨과 스케일링 팩터 α 및 노멀라이징 팩터 β 와의 관계는 아래와 같이 정의될 수 있다.

[293] [수학식 3]

$$[294] \begin{cases} \alpha = 10^{\left(\frac{-\text{Injection level}}{20}\right)} \\ \beta = \frac{1}{\sqrt{1 + \alpha^2}} \end{cases}$$

[295] [표 1]

EL Injection level relative to CL	Scaling factor α	Normalizing factor β
3.0 dB	0.7079458	0.8161736
3.5 dB	0.6683439	0.8314061
4.0 dB	0.6309573	0.8457262
4.5 dB	0.5956621	0.8591327
5.0 dB	0.5623413	0.8716346
5.5 dB	0.5308844	0.8832495
6.0 dB	0.5011872	0.8940022
6.5 dB	0.4731513	0.9039241
7.0 dB	0.4466836	0.9130512
7.5 dB	0.4216965	0.9214231
8.0 dB	0.3981072	0.9290819
8.5 dB	0.3758374	0.9360712
9.0 dB	0.3548134	0.9424353
9.5 dB	0.3349654	0.9482180
10.0 dB	0.3162278	0.9534626

- [296] 실시예에 따라, 인젝션 레벨은 0dB에서 25dB까지의 값일 수 있다. 인젝션 레벨이 0dB인 경우, 코어 레이어 신호와 인핸스드 레이어 신호는 동일한 파워로 결합될 수 있다. 이 때, 스케일링 팩터는 1이고, 노멀라이징 팩터는 0.7071068일 수 있다.
- [297] 즉, 파워 노멀라이저(345)는 노멀라이징 팩터(normalizing factor)에 반응하고, 멀티플렉싱된 신호의 파워를 결합기(340)에 의하여 상승된 만큼 낮추는 것으로 볼 수 있다.
- [298] 이 때, 노멀라이징 팩터 및 스케일링 팩터는 각각 0보다 크고 1보다 작은 유리수일 수 있다.
- [299] 이 때, 스케일링 팩터는 인젝션 레벨 컨트롤러(330)에 반응하는 파워 감소가 클수록 감소하고, 노멀라이징 팩터는 인젝션 레벨 컨트롤러(330)에 반응하는 파워 감소가 클수록 증가할 수 있다.
- [300] 파워 노멀라이징된 신호는 채널에서 발생하는 군집오류(burst error)를 분산시키기 위한 타임 인터리버(time interleaver)(350)를 통과한다.
- [301] 이 때, 타임 인터리버(350)는 코어 레이어 신호 및 인핸스드 레이어 신호에 함께

적용되는 인터리빙을 수행하는 것으로 볼 수 있다. 즉, 코어 레이어와 인핸스드 레이어가 타임 인터리버를 공유함으로써 불필요한 메모리 사용을 방지하고, 수신기에서의 레이턴시를 줄일 수 있다.

- [302] 후술하겠지만, 인핸스드 레이어 신호는 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있고, 결합기(340)는 코어 레이어 신호 및 인핸스드 레이어 신호보다 낮은 파워 레벨의 하나 이상의 확장 레이어(extension layer) 신호를 상기 코어 레이어 신호 및 인핸스드 레이어 신호와 함께 결합할 수 있다.
- [303] 한편, 인젝션 레벨 정보를 포함하는 L1 시그널링 정보는 시그널링 전용의 BICM을 포함하는 시그널링 생성부(360)에서 부호화된다. 이 때, 시그널링 생성부(360)는 인젝션 레벨 컨트롤러(330)로부터 인젝션 레벨 정보(IL INFO)를 제공 받아서 L1 시그널링 신호를 생성할 수 있다.
- [304] L1 시그널링에서 L1은 ISO 7 레이어 모델의 최하위 레이어(lowest layer)인 레이어 1(Layer-1)을 나타낸다. 이 때, L1 시그널링은 프리앰블(preamble)에 포함될 수도 있다.
- [305] 일반적으로, L1 시그널링은 OFDM 송신기의 주요 파라미터인 FFT 사이즈, 가드 인터벌 사이즈(guard interval size) 등과 BICM 주요 파라미터인 채널 코드 레이트(channel code rate), 모듈레이션 정보 등을 포함할 수 있다. 이러한 L1 시그널링 신호는 데이터 신호와 결합하여 방송 신호 프레임 구성한다.
- [306] 프레임 빌더(370)는 L1 시그널링 신호와 데이터 신호를 결합하여 방송 신호 프레임을 생성한다. 이 때, 프레임 빌더(370)는 타임 인터리빙된 신호를 이용하여 상기 코어 레이어 신호와 상기 인핸스드 레이어 신호에 공유되는 타임 인터리버 정보 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)의 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수 있다. 이 때, 방송 신호 프레임은 부트스트랩을 더 포함할 수 있다.
- [307] 이 때, 프레임 빌더(370)는 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수 있다. 이 때, 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다. 이 때, 인핸스드 레이어 신호에 상응하는 인젝션 레벨 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프에 상응하여 시그널링될 수 있다.
- [308] 즉, 인젝션 레벨 정보는 코어 레이어 피지컬 레이어 파이프에 대해서는 시그널링되지 않고, 인핸스드 레이어 피지컬 레이어 파이프에 대해서만 시그널링될 수 있다.
- [309] 이 때, 피지컬 레이어 파이프들은 상기 코어 레이어 피지컬 레이어 파이프가 둘 이상의 인핸스드 레이어 피지컬 레이어 파이프들과 레이어드 디비전

멀티플렉싱되는 경우, 상기 둘 이상의 인핸스드 레이어 피지컬 레이어 파이프들을 포함하고, 상기 둘 이상의 인핸스드 레이어 피지컬 레이어 파이프들은 동일한 상기 인젝션 레벨 정보(L1D_plp_ldm_injection_level)를 가질 수 있다.

- [310] 이 때, 인젝션 레벨 정보는 상기 수학식 10을 통하여 설명한 바와 같이 LDM 결합 전 상기 코어 레이어 신호에 상응하는 요구 SNR(required SNR)값보다 3dB 이상 큰 값에 상응할 수 있다.
- [311] 이 때, 상기 피지컬 레이어 파이프들은 프리컨시 디비전 멀티플렉싱(Frequency Division Multiplexing; FDM)에 의하여 멀티플렉싱될 수 있고, 상기 프리컨시 디비전 멀티플렉싱에 상응하는 시그널링 정보는 코어 레이어 피지컬 레이어 파이프들에 대해서만(with respect to) 시그널링되고 인핸스드 레이어 피지컬 레이어 파이프들에 대해서는 시그널링되지 않을 수 있다.
- [312] 이 때, 상기 프리컨시 디비전 멀티플렉싱에 상응하는 시그널링 정보는 피지컬 레이어 파이프 타입 정보(L1D_plp_type), 피지컬 레이어 파이프 서브슬라이스 인터벌 정보(L1D_plp_subslice_interval) 및 피지컬 레이어 파이프 서브슬라이스 개수 정보(L1D_plp_num_subslices) 중 어느 하나 이상을 포함할 수 있다.
- [313] 이 때, 상기 인핸스드 레이어 피지컬 레이어 파이프는 상기 프리컨시 디비전 멀티플렉싱될 때, 레이어드 디비전 멀티플렉싱되는 상기 코어 레이어 피지컬 레이어 파이프의, 상기 프리컨시 디비전 멀티플렉싱에 상응하는 시그널링 정보에 상응하는 셀 라이팅 오더(cell writing order)를 따를 수 있다.
- [314] 이 때, 상기 프리컨시 디비전 멀티플렉싱되는 상기 인핸스드 레이어 피지컬 레이어 파이프들은 토탈 2^{20} 셀들을 넘지 않는 사이즈를 가질 수 있다.
- [315] 또한, 상기 피지컬 레이어 파이프들은 상기 인핸스드 레이어 피지컬 레이어 파이프가 둘 이상의 코어 레이어 피지컬 레이어 파이프들과 레이어드 디비전 멀티플렉싱되는 경우, 상기 둘 이상의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드는 하이브리드 타임 인터리빙 모드 또는 노 타임 인터리빙 모드 중 하나일 수 있다.
- [316] 이 때, 상기 둘 이상의 코어 레이어 피지컬 레이어 파이프들은 상기 노 타임 인터리빙 모드가 사용될 때, 정수개의 FEC 블록들을 포함할 수 있다.
- [317] 이 때, 상기 둘 이상의 코어 레이어 피지컬 레이어 파이프들은 상기 하이브리드 타임 인터리빙 모드가 사용될 때, 동일하거나 차이가 기설정된 값 미만의 타임 인터리빙 블록 사이즈들을 가질 수 있다.
- [318] 또한, 상기 피지컬 레이어 파이프들은 상기 인핸스드 레이어 피지컬 레이어 파이프와 레이어드 디비전 멀티플렉싱되는 상기 코어 레이어 피지컬 레이어 파이프에, 레이어드 디비전 멀티플렉싱되지 않는 구간(duration)이 없도록 설정된 상기 시작 위치 정보 및 사이즈 정보를 가질 수 있다.
- [319] 이 때, 상기 코어 레이어 피지컬 레이어 파이프는 QPSK, 16 QAM 및 64 QAM 중 어느 하나의 기법으로 모듈레이션되고, 64 QAM이 사용될 때 최대 7/15 코드

레이트로 인코딩될 수 있다.

- [320] 이 때, 상기 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)를 위해 최대 4개까지 사용될 수 있다.
- [321] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에, 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우와는 다른 생성 방식으로 생성될 수 있다.
- [322] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우 제1 기준 타이밍을 기반으로 생성되고, 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우 상기 제1 기준 타이밍과 상이한 제2 기준 타이밍을 기반으로 생성될 수 있다.
- [323] 이 때, 제1 기준 타이밍은 타임 인터리빙 이후에 상응하고, 제2 기준 타이밍은 상기 타임 인터리빙 이전에 상응할 수 있다.
- [324] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이전을 기준(with respect to)으로 정의될 수 있다.
- [325] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 현재 서브프레임 내에서 정의(defined within the current subframe)될 수 있다.
- [326] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이후를 기준(with respect to)으로 정의될 수 있다.
- [327] 이 때, 상기 사이즈 정보는 상기 피지컬 레이어 파이프들 각각에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [328] 이 때, 상기 시작 위치 정보는 상기 피지컬 레이어 파이프들 각각의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [329] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [330] 이 때, 프레임 빌더(370)는 타임 인터리버(350)에 상응하는 타임 인터리빙 모드를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 것으로 볼 수 있다.
- [331] 이 때, 타임 인터리빙 모드는 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링될 수 있다.
- [332] 이 때, 피지컬 레이어 파이프들은 하나의 인핸스드 레이어 피지컬 레이어 파이프 및 상기 하나의 인핸스드 레이어 피지컬 레이어 파이프들에 레이어드 디비전 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함할 수 있다.
- [333] 이 때, 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 타임 인터리빙

모드는 상기 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들과 동일할 수 있다.

- [334] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들은 모두 노 타임 인터리빙 모드이거나, 모두 하이브리드 타임 인터리빙 모드일 수 있다.
- [335] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [336] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들 각각은 각각의 서브프레임 내에서 정수개의 FEC 블록들로 이루어질 수 있다.
- [337] 이 때, 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [338] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [339] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [340] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [341] 싱글 레이어의 경우, 인핸스드 레이어 BICM부(320), 인젝션 레벨 컨트롤러(330), 결합기(340) 및 파워 노멀라이저(345)는 생략될 수 있다. 이 때, 타임 인터리버(350)는 코어 레이어 BICM부(310)의 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성할 수 있다. 또한, 프레임 빌더(370)는 타임 인터리버(350)에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수 있다.
- [342] 이 때, 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete

delivered product)에 상응하는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 코어 레이어 피지컬 레이어 파이프들은 레이어드 디비전 멀티플렉싱되지 않을 수 있다.

[343] 이 때, 코어 레이어 피지컬 레이어 파이프들은 각각 노 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나의 타임 인터리빙 모드를 사용하고, 컨벌루셔널 타임 인터리빙 모드는 사용하지 않을 수 있다.

[344] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용하거나 모두 인터-서브프레임 인터리빙 모드를 사용할 수 있다.

[345] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 동일한 L1D_plp_HTI_inter_subframe 값을 가질 수 있다.

[346] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드이고 상기 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙 모드를 사용하는 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 동일한 타임 인터리빙 유닛(N_{IU})을 사용할 수 있다.

[347] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들 중 적어도 하나가 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 파이프들 중 하이브리드 타임 인터리빙 모드로 구성된 코어 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.

[348] 이 때, 하나의 완전한 전송 프로덕트는 하나 이상의 서브프레임에 상응하고, 상기 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.

[349] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.

[350] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.

[351] 이 때, 타임 인터리버(350)는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 사이의 경계(boundary)는 상기 코어 레이어 신호에 상응하는 코어 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 사이의 경계일 수 있다. 즉, 코어 레이어의 피지컬 레이어 파이프들 사이의 경계들 중 하나가 타임 인터리버 그룹들 사이의 경계가 될 수 있다.

[352] 이 때, 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함될 수 있다.

- [353] 이 때, 더미 값들은 PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 상기 PLP 그룹 내의 코어 레이어 셀들의 총 수와 동일해지도록 상기 PLP 그룹 내의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에(after the actual data cells of the last Enhanced PLP) 삽입될 수 있다.
- [354] 이 때, 더미 값들은 코어 레이어 데이터에는 삽입되지 않을 수 있다.
- [355] 이 때, 더미 값들은 코어 레이어 BICM 및 인핸스드 레이어 BICM이 완료된 이후, 상기 코어 레이어 신호 및 인핸스드 레이어 신호가 결합되기 이전에 삽입될 수 있다.
- [356] 이 때, 더미 값들은 기설정된 스크램블링 시퀀스에 반응하는 것일 수 있다.
- [357] 이 때, 상기 스크램블링 시퀀스는 상기 마지막 인핸스드 PLP를 위해 사용된 컨스틸레이션 맵핑을 이용하여 변조될 수 있다.
- [358] 이 때, 더미 값들은 상기 마지막 인핸스드 PLP와 동일한 파워를 가질 수 있다.
- [359] 이 때, 스크램블링 시퀀스는 기설정된 제너레이터 폴리노미얼에 반응하는 16-비트 쉬프트 레지스터를 이용하여 생성될 수 있다.
- [360] 이 때, 스크램블링 시퀀스는 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 반응하는 제너레이터 폴리노미얼을 이용하여 생성될 수 있다.
- [361] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [362] 이 때, 타임 인터리버 정보는 상기 코어 레이어를 기준으로 시그널링될 수 있다.
- [363] 실시예에 따라 타임 인터리버 정보 중 일부는 코어 레이어를 기준으로 시그널링되고, 타임 인터리버 정보 중 다른 일부는 레이어와 무관하게 시그널링될 수 있다.
- [364] 즉, 타임 인터리버 정보는 코어 레이어에 반응하는 레이어 식별 정보에 기반하여 시그널링될 수 있다.
- [365] 이 때, 타임 인터리버(350)는 하이브리드 타임 인터리버(hybrid time interleaver)에 반응하는 것일 수 있다. 이 때, 코어 레이어 및 인핸스드 레이어의 피지컬 레이어 파이프들은 온전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [366] 이 때, 프리앰블은 상기 타임 인터리버 그룹들의 경계가 상기 인핸스드 레이어의 FEC 블록들의 경계에 반응하지 않는 경우, 상기 타임 인터리버 그룹들의 경계에 반응하는 상기 인핸스드 레이어의 FEC 블록의 일부분을 식별하기 위한 정보를 시그널링할 수 있다.
- [367] 이 때, FEC 블록의 일부분을 식별하기 위한 정보는 상기 코어 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어에 반응하는 모듈레이션 정보 및

- 상기 인핸스드 레이어에 상응하는 FEC 타입 정보 중 어느 하나 이상을 포함할 수 있다.
- [368] 이 때, 피지컬 레이어 파이프의 시작 위치 정보는 상기 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스에 상응하는 것일 수 있다.
- [369] 이 때, 모듈레이션 정보는 상기 FEC 타입 정보가 기설정된 조건을 만족하는 경우에만 시그널링될 수 있다.
- [370] 이 때, 인핸스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있다.
- [371] 이 때, 타임 인터리버(350)는 컨벌루셔널 타임 인터리버(convolutional time interleaver)에 상응하고, 상기 타임 인터리버 그룹들은 완전하지 않은 FEC 블록(incomplete FEC block)을 포함하는 피지컬 레이어 파이프(Physical Layer Pipe; PLP)를 포함하고, 상기 프리앰블은 상기 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보를 시그널링할 수 있다.
- [372] 이 때, 타임 인터리버(350)는 복수의 동작 모드들 중 하나로 상기 인터리빙을 수행할 수 있다.
- [373] 이 때, 상기 동작 모드들은 타임 인터리빙을 생략하는 제1 모드(L1D_plp_TI_mode=00), 컨벌루셔널 타임 인터리빙(Convolutional time interleaving)을 수행하는 제2 모드(L1D_plp_TI_mode=01) 및 하이브리드 타임 인터리빙(Hybrid time interleaving)을 수행하는 제3 모드(L1D_plp_TI_mode=10)를 포함할 수 있다.
- [374] 이 때, 상기 프리앰블은 상기 제1 모드 및 제2 모드에 대해서는 현재 피지컬 레이어 파이프(Physical Layer Pipe)에 상응하는 첫 번째 온전한 FEC 블록(first complete FEC block)의 시작 위치를 나타내는 필드를 포함하고, 상기 제3 모드에 대해서는 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드를 포함하지 않을 수 있다.
- [375] 이 때, 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드는 상기 제1 모드(L1D_plp_TI_mode=00)에서 사용되는 제1 필드(L1D_plp_fec_block_start) 및 상기 제2 모드(L1D_plp_TI_mode=01)에서 사용되는 제2 필드(L1D_plp_CTI_fec_block_start) 중 어느 하나이고, 상기 제1 필드 및 제2 필드는 길이가 상이할 수 있다. 이 때, 제1 필드(L1D_plp_fec_block_start)는 현재 서브프레임 동안 현재 피지컬 레이어 파이프 내에서 시작되는 첫 번째 FEC 블록의 시작 위치를 나타내고, 제2 필드(L1D_plp_CTI_fec_block_start)는 현재 또는 후속하는(current or subsequent) 서브프레임들에서 컨벌루셔널 타임 인터리버를 떠나는 현재 피지컬 레이어 파이프의 첫 번째 온전한 FEC 블록의 시작 위치를 나타낼 수 있다. 이 때, 제1 필드(L1D_plp_fec_block_start) 및 제2 필드(L1D_plp_CTI_fec_block_start)는 모두 인터리빙 이후를 기준으로 시그널링될 수 있다. 특히, 제2 필드(L1D_plp_CTI_fec_block_start)의 경우

인터리빙 이후를 기준으로 시그널링하면 시그널링에 필요한 비트수가 증가할 수 있다.

[376] 이 때, 제2 필드의 길이는 제1 필드의 길이보다 길 수 있다.

[377] 이 때, 1 필드의 길이는 LDPC 부호어의 길이와 모듈레이션 오더에 기반하여 결정되고, 상기 제2 필드의 길이는 상기 LDPC 부호어의 길이와 모듈레이션 오더뿐만 아니라 컨벌루션 타임 인터리버의 뎁스(depth)를 더 고려하여 결정될 수 있다.

[378] 이 때, 제1 필드의 길이는 15비트이고, 제2 필드의 길이는 22비트일 수 있다.

[379] 이 때, 제1 필드 및 제2 필드는 각각 상기 코어 레이어 신호에 상응하는 코어 레이어 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 각각에 대하여 별개로 시그널링될 수 있다.

[380] 이 때, 프레임 빌더(370)는 상기 부트스트랩을 생성하는 부트스트랩 생성부; 상기 프리앰블을 생성하는 프리앰블 생성부; 및 상기 타임 인터리빙된 신호에 상응하는 수퍼 임포우즈드 페이로드를 생성하는 수퍼 임포우즈드 페이로드 생성부를 포함할 수 있다.

[381] 이 때, 부트스트랩은 상기 프리앰블보다 짧고, 고정된 길이를 가질 수 있다.

[382] 이 때, 부트스트랩은 상기 프리앰블의 구조를 나타내는 심볼을 포함하고,

[383] 상기 심볼은 상기 프리앰블의 변조방법/부호율, FFT 사이즈, 가드 인터벌 길이 및 파일럿 패턴의 조합을 나타내는 고정(fixed-length) 비트열(bit string)에 상응하는 것일 수 있다.

[384] 이 때, 심볼은 상기 변조방법/부호율이 동일한 경우, 제1 FFT 사이즈에 상응하는 프리앰블 구조보다, 상기 제1 FFT 사이즈보다 작은 제2 FFT 사이즈에 상응하는 프리앰블 구조가 우선적으로 할당되고, 상기 변조방법/부호율 및 상기 FFT 사이즈가 동일한 경우, 제1 가드 인터벌 길이에 상응하는 프리앰블 구조보다, 상기 제1 가드 인터벌 길이보다 큰 제2 가드 인터벌 길이에 상응하는 프리앰블 구조가 우선적으로 할당되는 룩업 테이블에 상응하는 것일 수 있다.

[385] 방송 신호 프레임은 멀티패스(multi-path) 및 도플러(Doppler)에 강인한 OFDM 송신기를 거쳐서 전송된다. 이 때, OFDM 송신기는 차세대 방송시스템의 전송신호 생성을 담당하는 것으로 볼 수 있다.

[386] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)을 식별하기 위한 PLP 식별 정보; 및 계층적인 분할에 상응하는 레이어들을 식별하기 위한 레이어 식별 정보를 포함할 수 있다.

[387] 이 때, PLP 식별 정보 및 레이어 식별 정보는 별개의 필드들로 상기 프리앰블에 포함될 수 있다.

[388] 이 때, 타임 인터리버 정보는 코어 레이어를 기준으로 상기 프리앰블에 포함될 수 있다.

[389] 이 때, 프리앰블은 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교(IF(j>0))한 결과에 따라 선택적으로 상기 인젝션

- 레벨 컨트롤러에 상응하는 인젝션 레벨 정보를 포함할 수 있다.
- [390] 이 때, 프리앰블은 피지컬 레이어 파이프들의 타입 정보, 시작 위치 정보 및 사이즈 정보를 포함할 수 있다.
- [391] 이 때, 타입 정보는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [392] 이 때, 분산되지 않은 피지컬 레이어 파이프는 연속적인 데이터 셀 인덱스들(contiguous data cell indices)에 대하여 할당되고, 상기 분산된 피지컬 레이어 파이프는 둘 이상의 서브슬라이스들로 이루어질 수 있다.
- [393] 이 때, 타입 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 시그널링될 수 있다.
- [394] 이 때, 타입 정보는 코어 레이어에 대해서만 시그널링될 수 있다.
- [395] 이 때, 시작 위치 정보는 피지컬 레이어 파이프의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [396] 이 때, 시작 위치 정보는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 상기 피지컬 레이어 파이프의 시작 위치(start position)를 지시(indicate)할 수 있다.
- [397] 이 때, 시작 위치 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [398] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [399] 이 때, 사이즈 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [400] 도 4는 방송 신호 프레임 구조의 일 예를 나타낸 도면이다.
- [401] 도 4를 참조하면, 방송 신호 프레임은 부트스트랩(410), 프리앰블(420) 및 수퍼-임포우스트 페이로드(super-imposed payload)(430)를 포함한다.
- [402] 도 4에 도시된 프레임은 수퍼프레임(super-frame)에 포함될 수 있다.
- [403] 이 때, 방송 신호 프레임은 하나 이상의 OFDM 심볼들로 구성될 수 있다. 방송 신호 프레임은 레퍼런스 심볼 또는 파일럿 심볼을 포함할 수도 있다.
- [404] LDM(Layered Division Multiplexing)이 적용된 프레임 구조는 도 4에 도시된 바와 같이 부트스트랩(410) 및 프리앰블(420) 및 수퍼-임포우스트 페이로드(430)를 포함한다.
- [405] 이 때, 부트스트랩(410) 및 프리앰블(420)은 두 개의 프리앰블들이 계층화된(hierarchical) 것으로 볼 수 있다.
- [406] 이 때, 부트스트랩(410)은 빠른(fast) 획득(acquisition) 및 검출(detection)을 위해 프리앰블(420)보다 짧은 길이를 가질 수 있다. 이 때, 부트스트랩(410)은 고정된 길이를 가질 수 있다. 이 때, 부트스트랩(410)은 고정된 길이의 심볼을 포함할 수

있다. 예를 들어, 부트스트랩(410)은 각각 0.5ms 길이의 OFDM 심볼들 4개로 구성되어 총 2ms의 고정된 시간길이를 가질 수 있다.

[407] 이 때, 부트스트랩(410)은 고정된 대역폭(bandwidth)을 가지고, 프리앰블(420) 및 슈퍼-임포우스트 페이로드(430)는 부트스트랩(410)보다 넓고 가변적인 대역폭을 가질 수 있다.

[408] 프리앰블(420)은 강인(robust)한 LDPC 코드를 사용하여 상세한 시그널링 정보를 전송할 수 있다. 이 때, 프리앰블(420)은 시그널링 정보에 따라 길이가 가변될 수 있다.

[409] 이 때, 부트스트랩(410) 및 페이로드(430)는 모두 여러 레이어들이 공유하는 공통 신호에 상응하는 것으로 볼 수 있다.

[410] 슈퍼-임포우스트 페이로드(430)는 두 개 이상의 계층(layer) 신호들이 멀티플렉싱된 신호에 상응하는 것일 수 있다. 이 때, 슈퍼-임포우스트 페이로드(430)는 코어 레이어 페이로드 및 인핸스드 레이어 페이로드가 서로 다른 파워 레벨로 결합된 것일 수 있다. 이 때, 코어 레이어 페이로드에는 인-밴드 시그널링부(in-band signaling section)가 포함될 수 있다. 이 때, 인-밴드 시그널링부는 인핸스드 레이어 서비스를 위한 시그널링 정보를 포함할 수 있다.

[411] 이 때, 부트스트랩(410)은 프리앰블의 구조(preamble structure)를 나타내는 심볼을 포함할 수 있다.

[412] 이 때, 프리앰블의 구조를 나타내기 위해 부트스트랩에 포함되는 심볼은 하기 표 2와 같이 설정될 수 있다.

[413] [圖2]

preamble_structure	L1-Basic Mode	FFT Size	GI Length (samples)	Pilot Pattern (D _x)
0	L1-Basic Mode 1	8192	2048	3
1	L1-Basic Mode 1	8192	1536	4
2	L1-Basic Mode 1	8192	1024	3
3	L1-Basic Mode 1	8192	768	4
4	L1-Basic Mode 1	16384	4096	3
5	L1-Basic Mode 1	16384	3648	4
6	L1-Basic Mode 1	16384	2432	3
7	L1-Basic Mode 1	16384	1536	4
8	L1-Basic Mode 1	16384	1024	6
9	L1-Basic Mode 1	16384	768	8
10	L1-Basic Mode 1	32768	4864	3
11	L1-Basic Mode 1	32768	3648	3
12	L1-Basic Mode 1	32768	3648	8
13	L1-Basic Mode 1	32768	2432	6
14	L1-Basic Mode 1	32768	1536	8
15	L1-Basic Mode	32768	1024	12

	1			
16	L1-Basic Mode 1	32768	768	16
17	L1-Basic Mode 2	8192	2048	3
18	L1-Basic Mode 2	8192	1536	4
19	L1-Basic Mode 2	8192	1024	3
20	L1-Basic Mode 2	8192	768	4
21	L1-Basic Mode 2	16384	4096	3
22	L1-Basic Mode 2	16384	3648	4
23	L1-Basic Mode 2	16384	2432	3
24	L1-Basic Mode 2	16384	1536	4
25	L1-Basic Mode 2	16384	1024	6
26	L1-Basic Mode 2	16384	768	8
27	L1-Basic Mode 2	32768	4864	3
28	L1-Basic Mode 2	32768	3648	3
29	L1-Basic Mode 2	32768	3648	8
30	L1-Basic Mode 2	32768	2432	6
31	L1-Basic Mode 2	32768	1536	8
32	L1-Basic Mode	32768	1024	12

	2			
33	L1-Basic Mode 2	32768	768	16
34	L1-Basic Mode 3	8192	2048	3
35	L1-Basic Mode 3	8192	1536	4
36	L1-Basic Mode 3	8192	1024	3
37	L1-Basic Mode 3	8192	768	4
38	L1-Basic Mode 3	16384	4096	3
39	L1-Basic Mode 3	16384	3648	4
40	L1-Basic Mode 3	16384	2432	3
41	L1-Basic Mode 3	16384	1536	4
42	L1-Basic Mode 3	16384	1024	6
43	L1-Basic Mode 3	16384	768	8
44	L1-Basic Mode 3	32768	4864	3
45	L1-Basic Mode 3	32768	3648	3
46	L1-Basic Mode 3	32768	3648	8
47	L1-Basic Mode 3	32768	2432	6
48	L1-Basic Mode 3	32768	1536	8
49	L1-Basic Mode	32768	1024	12

	3			
50	L1-Basic Mode 3	32768	768	16
51	L1-Basic Mode 4	8192	2048	3
52	L1-Basic Mode 4	8192	1536	4
53	L1-Basic Mode 4	8192	1024	3
54	L1-Basic Mode 4	8192	768	4
55	L1-Basic Mode 4	16384	4096	3
56	L1-Basic Mode 4	16384	3648	4
57	L1-Basic Mode 4	16384	2432	3
58	L1-Basic Mode 4	16384	1536	4
59	L1-Basic Mode 4	16384	1024	6
60	L1-Basic Mode 4	16384	768	8
61	L1-Basic Mode 4	32768	4864	3
62	L1-Basic Mode 4	32768	3648	3
63	L1-Basic Mode 4	32768	3648	8
64	L1-Basic Mode 4	32768	2432	6
65	L1-Basic Mode 4	32768	1536	8
66	L1-Basic Mode	32768	1024	12

	4			
67	L1-Basic Mode 4	32768	768	16
68	L1-Basic Mode 5	8192	2048	3
69	L1-Basic Mode 5	8192	1536	4
70	L1-Basic Mode 5	8192	1024	3
71	L1-Basic Mode 5	8192	768	4
72	L1-Basic Mode 5	16384	4096	3
73	L1-Basic Mode 5	16384	3648	4
74	L1-Basic Mode 5	16384	2432	3
75	L1-Basic Mode 5	16384	1536	4
76	L1-Basic Mode 5	16384	1024	6
77	L1-Basic Mode 5	16384	768	8
78	L1-Basic Mode 5	32768	4864	3
79	L1-Basic Mode 5	32768	3648	3
80	L1-Basic Mode 5	32768	3648	8
81	L1-Basic Mode 5	32768	2432	6
82	L1-Basic Mode 5	32768	1536	8
83	L1-Basic Mode	32768	1024	12

	5			
84	L1-Basic Mode 5	32768	768	16
85	L1-Basic Mode 6	8192	2048	3
86	L1-Basic Mode 6	8192	1536	4
87	L1-Basic Mode 6	8192	1024	3
88	L1-Basic Mode 6	8192	768	4
89	L1-Basic Mode 6	16384	4096	3
90	L1-Basic Mode 6	16384	3648	4
91	L1-Basic Mode 6	16384	2432	3
92	L1-Basic Mode 6	16384	1536	4
93	L1-Basic Mode 6	16384	1024	6
94	L1-Basic Mode 6	16384	768	8
95	L1-Basic Mode 6	32768	4864	3
96	L1-Basic Mode 6	32768	3648	3
97	L1-Basic Mode 6	32768	3648	8
98	L1-Basic Mode 6	32768	2432	6
99	L1-Basic Mode 6	32768	1536	8
100	L1-Basic Mode	32768	1024	12

	6			
101	L1-Basic Mode 6	32768	768	16
102	L1-Basic Mode 7	8192	2048	3
103	L1-Basic Mode 7	8192	1536	4
104	L1-Basic Mode 7	8192	1024	3
105	L1-Basic Mode 7	8192	768	4
106	L1-Basic Mode 7	16384	4096	3
107	L1-Basic Mode 7	16384	3648	4
108	L1-Basic Mode 7	16384	2432	3
109	L1-Basic Mode 7	16384	1536	4
110	L1-Basic Mode 7	16384	1024	6
111	L1-Basic Mode 7	16384	768	8
112	L1-Basic Mode 7	32768	4864	3
113	L1-Basic Mode 7	32768	3648	3
114	L1-Basic Mode 7	32768	3648	8
115	L1-Basic Mode 7	32768	2432	6
116	L1-Basic Mode 7	32768	1536	8
117	L1-Basic Mode	32768	1024	12

	7			
118	L1-Basic Mode 7	32768	768	16
119	Reserved	Reserved	Reserved	Reserved
120	Reserved	Reserved	Reserved	Reserved
121	Reserved	Reserved	Reserved	Reserved
122	Reserved	Reserved	Reserved	Reserved
123	Reserved	Reserved	Reserved	Reserved
124	Reserved	Reserved	Reserved	Reserved
125	Reserved	Reserved	Reserved	Reserved
126	Reserved	Reserved	Reserved	Reserved
127	Reserved	Reserved	Reserved	Reserved

- [414] 예를 들어, 상기 표 2에 표시된 프리앰블 구조를 나타내기 위해, 7비트의 고정된 심볼이 할당될 수 있다.
- [415] 상기 표 2에 기재된 L1-Basic Mode 1, L1-Basic Mode 2 및 L1-Basic Mode 3은 QPSK 및 3/15 LDPC에 상응하는 것일 수 있다.
- [416] 상기 표 2에 기재된 L1-Basic Mode 4는 16-NUC(Non Uniform Constellation) 및 3/15 LDPC에 상응하는 것일 수 있다.
- [417] 상기 표 2에 기재된 L1-Basic Mode 5는 64-NUC(Non Uniform Constellation) 및 3/15 LDPC에 상응하는 것일 수 있다.
- [418] 상기 표 2에 기재된 L1-Basic Mode 6 및 L1-Basic Mode 7은 256-NUC(Non Uniform Constellation) 및 3/15 LDPC에 상응하는 것일 수 있다. 이하에서 설명하는 변조방법/부호율은 QPSK 및 3/15 LDPC와 같이 변조방법과 부호율의 조합을 나타낸다.
- [419] 상기 표 2에 기재된 FFT size는 Fast Fourier Transform 크기를 나타내는 것일 수 있다.
- [420] 상기 표 2에 기재된 GI length는 가드 인터벌 길이(Guard Interval Length)를 나타내는 것으로, 시간 영역에서 데이터가 아닌 가드 인터벌의 길이를 나타내는 것일 수 있다. 이 때, 가드 인터벌 길이가 길수록 시스템은 강인(robust)해진다.
- [421] 상기 표 2에 기재된 Pilot Pattern은 파일럿 패턴의 D_x 를 나타내는 것일 수 있다. 표 2에는 명시적으로 기재하지 않았으나 표 2에 기재된 예에서 D_y 는 모두 1일 수 있다. 예를 들어, $D_x = 3$ 은 채널 추정을 위한 파일럿이 x축 방향으로 3개 중 하나 포함됨을 의미할 수 있다. 예를 들어, $D_y = 1$ 은 y축 방향으로 매 번 파일럿이 포함됨을 의미할 수 있다.
- [422] 표 2의 예에서 알 수 있는 바와 같이, 제1 변조방법/부호율보다 강인한 제2

- 변조방법/부호율에 상응하는 프리앰블 구조가 상기 제1 변조방법/부호율에 상응하는 프리앰블 구조보다 우선적으로 록업테이블에 할당될 수 있다.
- [423] 이 때, 우선적으로 할당된다 함은 록업테이블에 보다 작은 수의 인덱스에 상응하여 저장되는 것일 수 있다.
- [424] 또한, 같은 변조방법/부호율의 경우 제1 FFT 사이즈보다 작은 제2 FFT 사이즈에 상응하는 프리앰블 구조가 상기 제1 FFT 사이즈에 상응하는 프리앰블 구조보다 우선적으로 록업테이블에 할당될 수 있다.
- [425] 또한, 같은 변조방법/부호율 및 FFT 사이즈의 경우 제1 가드 인터벌보다 큰 제2 가드 인터벌에 상응하는 프리앰블 구조가 상기 제1 가드 인터벌에 상응하는 프리앰블 구조보다 우선적으로 록업테이블에 할당될 수 있다.
- [426] 표 2에 기재된 바와 같이 록업테이블에 프리앰블 구조가 할당되는 순서를 설정함으로써 부트스트랩을 이용한 프리앰블 구조 식별이 보다 효율적으로 수행될 수 있다.
- [427] 도 5는 도 4에 도시된 방송 신호 프레임이 수신되는 과정의 일 예를 나타낸 도면이다.
- [428] 도 5를 참조하면, 부트스트랩(510)이 검출되어 복조되고, 복조된 정보를 이용하여 프리앰블(520)이 복조되어 시그널링 정보가 복원된다.
- [429] 시그널링 정보를 이용하여 코어 레이어 데이터(530)가 복조되고, 코어 레이어 데이터에 상응하는 캔슬레이션 과정을 거쳐서 인핸스드 레이어 신호가 복조된다. 이 때, 코어 레이어 데이터에 상응하는 캔슬레이션에 대해서는 이후 보다 상세히 설명한다.
- [430] 도 6은 도 4에 도시된 방송 신호 프레임이 수신되는 과정의 다른 예를 나타낸 도면이다.
- [431] 도 6을 참조하면, 부트스트랩(610)이 검출되어 복조되고, 복조된 정보를 이용하여 프리앰블(620)이 복조되어 시그널링 정보가 복원된다.
- [432] 시그널링 정보를 이용하여 코어 레이어 데이터(630)가 복조된다. 이 때, 코어 레이어 데이터(630)에는 인-밴드 시그널링부(650)가 포함된다. 인-밴드 시그널링부(650)는 인핸스드 레이어 서비스를 위한 시그널링 정보를 포함한다. 인-밴드 시그널링부(650)를 통해, 보다 효율적인 대역폭(bandwidth) 활용이 가능하다. 이 때, 인-밴드 시그널링부(650)는 인핸스드 레이어보다 강인한 코어 레이어에 포함되는 것이 바람직하다.
- [433] 도 6에 도시된 예에서, 프리앰블(620)을 통해 기본적인 시그널링 정보 및 코어 레이어 서비스를 위한 정보가 전달되고, 인-밴드 시그널링부(650)를 통해 인핸스드 레이어 서비스를 위한 시그널링 정보가 전달될 수 있다.
- [434] 코어 레이어 데이터에 상응하는 캔슬레이션 과정을 거쳐서 인핸스드 레이어 신호가 복조된다.
- [435] 이 때, 시그널링 정보는 L1(Layer-1) 시그널링 정보일 수 있다. L1 시그널링 정보는 물리 계층 파라미터들을 구성하기 위해 필요한 정보를 포함할 수 있다.

- [436] 도 4를 참조하면, 방송 신호 프레임은 L1 시그널링 신호 및 데이터 신호를 포함한다. 예를 들어, 방송 신호 프레임은 ATSC 3.0 프레임일 수 있다.
- [437] 도 7는 도 1에 도시된 방송 신호 프레임 생성 장치의 다른 예를 나타낸 블록도이다.
- [438] 도 7를 참조하면, 방송 신호 프레임 생성 장치가 코어 레이어 데이터 및 인핸스드 레이어 데이터 이외에도 N개(N은 1이상의 자연수)의 확장 레이어들(Extension Layers)에 상응하는 데이터를 함께 멀티플렉싱하는 것을 알 수 있다.
- [439] 즉, 도 7에 도시된 방송 신호 프레임 생성 장치는 코어 레이어 BICM부(310), 인핸스드 레이어 BICM부(320), 인젝션 레벨 컨트롤러(330), 결합기(340), 파워 노멀라이저(345), 타임 인터리버(350), 시그널링 생성부(360) 및 프레임 빌더(370) 이외에도 N개의 확장 레이어 BICM부들(410, ..., 430) 및 인젝션 레벨 컨트롤러들(440, ..., 460)을 포함한다.
- [440] 도 7에 도시된 코어 레이어 BICM부(310), 인핸스드 레이어 BICM부(320), 인젝션 레벨 컨트롤러(330), 결합기(340), 파워 노멀라이저(345), 타임 인터리버(350), 시그널링 생성부(360) 및 프레임 빌더(370)에 대해서는 도 3을 통하여 이미 상세히 설명한 바 있다.
- [441] N개의 확장 레이어 BICM부들(410, ..., 430)은 각각 독립적으로 BICM 인코딩을 수행하고, 인젝션 레벨 컨트롤러들(440, ..., 460)은 각각의 확장 레이어에 상응하는 파워 리듀싱을 수행하여 파워 리듀싱된 확장 레이어 신호가 결합기(340)를 통해 다른 레이어 신호들과 결합되도록 한다.
- [442] 이 때, 확장 레이어 BICM부들(410, ..., 430) 각각의 오류정정 부호화기는 BCH 인코더와 LDPC 인코더가 직렬연결된 것일 수 있다.
- [443] 특히, 인젝션 레벨 컨트롤러들(440, ..., 460) 각각에 상응하는 파워 감소는 인젝션 레벨 컨트롤러(330)의 파워 감소보다 큰 것이 바람직하다. 즉, 도 7에 도시된 인젝션 레벨 컨트롤러들(330, 440, ..., 460)은 아래로 내려올수록 큰 파워 감소에 상응할 수 있다.
- [444] 도 7에 도시된 인젝션 레벨 컨트롤러들(330, 440, 460)로부터 제공된 인젝션 레벨 정보는 시그널링 생성부(360)를 거쳐서 프레임 빌더(370)의 방송 신호 프레임에 포함되어 수신기로 전송된다. 즉, 각 계층의 인젝션 레벨은 L1 시그널링 정보에 담겨, 수신기로 전달된다.
- [445] 본 발명에서 파워 조절은 입력 신호의 파워를 증가 또는 감소시키는 것일 수도 있고, 입력 신호의 계인을 증가 또는 감소시키는 것일 수도 있다.
- [446] 파워 노멀라이저(345)는 결합기(340)에 의하여 복수의 레이어 신호들이 결합됨으로써 야기되는 파워 증가를 완화(mitigate)시킨다.
- [447] 도 7에 도시된 예에서, 파워 노멀라이저(345)는 하기 수학식 4를 이용하여 노멀라이징 팩터를 각 계층(layer)들의 신호가 결합된 신호의 크기에 곱하여 알맞은 신호 크기로 신호 파워를 조절할 수 있다.

[448] [수학식 4]

[449] Normalizing Factor =

[450]
$$\left(\sqrt{1 + 10^{-\text{InjectionLevel}\#1(\text{dB})/10} + 10^{-\text{InjectionLevel}\#2(\text{dB})/10} + \dots + 10^{-\text{InjectionLevel}\#(N+1)(\text{dB})/10}} \right)^{-1}$$

[451] 타임 인터리버(350)는 결합기(340)에 의하여 결합된 신호에 대한 인터리빙을 수행함으로써, 레이어들의 신호들에 함께 적용되는 인터리빙을 수행한다.

[452] 도 8은 도 1에 도시된 신호 디멀티플렉싱 장치의 일 예를 나타낸 블록도이다.

[453] 도 8를 참조하면, 본 발명의 일실시예에 따른 신호 디멀티플렉싱 장치는 타임 디인터리버(510), 다-노멀라이저(1010), 코어 레이어 BICM 디코더(520), 인핸스드 레이어 심볼 추출기(530), 다-인젝션 레벨 컨트롤러(1020) 및 인핸스드 레이어 BICM 디코더(540)를 포함한다.

[454] 이 때, 도 8에 도시된 신호 디멀티플렉싱 장치는 도 3에 도시된 방송 신호 프레임 생성 장치에 상응하는 것일 수 있다.

[455] 타임 디인터리버(510)는 시간/주파수 동기(synchronization), 채널추정(channel estimation) 및 등화(equalization) 등의 동작을 수행하는 OFDM 수신기로부터 수신 신호를 제공 받고, 채널에서 발생한 군집오류(burst error) 분산에 관한 동작을 수행한다. 이 때, L1 시그널링 정보는 OFDM 수신기에서 우선적으로 복호되어, 데이터 복호에 활용될 수 있다. 특히, L1 시그널링 정보 중 인젝션 레벨 정보는 다-노멀라이저(1010)와 다-인젝션 레벨 컨트롤러(1020)에 전달될 수 있다. 이 때, OFDM 수신기는 수신 신호를 방송 신호 프레임(예를 들어, ATSC 3.0 프레임)의 형태로 복호화한 후, 프레임의 데이터 심볼 부분을 추출하여 타임 디인터리버(510)로 제공할 수 있다. 즉, 타임 디인터리버(510)는 데이터 심볼을 통과시키면서 역인터리빙 과정을 수행하여 채널에서 발생한 군집오류를 분산시킨다.

[456] 이 때, 타임 디인터리버(510)는 타임 인터리버에 대응되는 동작을 수행할 수 있다. 이 때, 타임 디인터리버(510)는 복수의 동작 모드들 중 하나로 디인터리빙을 수행할 수 있고, 타임 인터리버의 동작과 관련하여 시그널링되는 타임 인터리버 정보를 이용하여 디인터리빙을 수행할 수 있다.

[457] 다-노멀라이저(1010)는 송신기의 파워 노멀라이저에 상응하는 것으로, 파워 노멀라이저에서 감소시킨 만큼 파워를 높인다. 즉, 다-노멀라이저(1010)는 수신 신호를 상기 수학식 2의 노멀라이징 팩터로 나눈다.

[458] 도 8에 도시된 예에서, 다-노멀라이저(1010)는 타임 인터리버(510)의 출력 신호의 파워를 조절하는 것으로 도시되었으나, 실시예에 따라 다-노멀라이저(1010)는 타임 인터리버(510)의 앞에 위치하여 인터리빙 되기 전에 파워 조절이 수행되도록 할 수도 있다.

[459] 즉, 다-노멀라이저(1010)는 타임 인터리버(510)의 앞 또는 뒤에 위치하여 코어 레이어 심볼 디맵퍼의 LLR 계산 등을 위해 신호의 크기를 증폭하는 것으로 볼 수 있다.

- [460] 타임 디인터리버(510)의 출력(또는 디-노멀라이저(1010)의 출력)은 코어 레이어 BICM 디코더(520)로 제공되고, 코어 레이어 BICM 디코더(520)는 코어 레이어 데이터를 복원한다.
- [461] 이 때, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼, 코어 레이어 비트 디인터리버 및 코어 레이어 오류정정 복호화기를 포함한다. 코어 레이어 심볼 디맵퍼는 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 코어 레이어 비트 디인터리버는 계산된 LLR 값들을 균집오류에 강하게 섞으며, 코어 레이어 오류정정 복호화기는 채널에서 발생한 오류를 정정한다.
- [462] 이 때, 코어 레이어 심볼 디맵퍼는 미리 결정된 정상도를 이용하여 비트별로 LLR 값을 계산할 수 있다. 이 때 코어 레이어 심볼 맵퍼에서 이용하는 정상도는 송신기에서 사용되는 코드 레이트와 모듈레이션 차수(modulation order)의 조합에 따라 상이할 수 있다.
- [463] 이 때, 코어 레이어 비트 디인터리버는 계산된 LLR 값들에 대하여 LDPC 코드워드 단위로 역인터리빙을 수행할 수 있다.
- [464] 특히, 코어 레이어 오류정정 복호화기는 정보(information) 비트들만을 출력할 수도 있고, 정보 비트들과 패리티 비트들이 결합된 전체 비트들을 출력할 수도 있다. 이 때, 코어 레이어 오류정정 복호화기는 정보 비트들만을 코어 레이어 데이터로 출력하고, 정보 비트들에 패리티 비트들이 결합된 전체 비트들을 인핸스드 레이어 심볼 추출기(530)로 출력할 수 있다.
- [465] 코어 레이어 오류 정정 복호화기는 코어 레이어 LDPC 복호화기와 코어 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 코어 레이어 오류 정정 복호화기의 입력이 코어 레이어 LDPC 복호화기로 입력되고, 코어 레이어 LDPC 복호화기의 출력이 코어 레이어 BCH 복호화기로 입력되고, 코어 레이어 BCH 복호화기의 출력이 코어 레이어 오류 정정 복호화기의 출력이 될 수 있다. 이 때, LDPC 복호화기는 LDPC 복호를 수행하고, BCH 복호화기는 BCH 복호를 수행한다.
- [466] 나아가, 인핸스드 레이어 오류 정정 복호화기도 인핸스드 레이어 LDPC 복호화기와 인핸스드 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 인핸스드 레이어 오류 정정 복호화기의 입력이 인핸스드 레이어 LDPC 복호화기로 입력되고, 인핸스드 레이어 LDPC 복호화기의 출력이 인핸스드 레이어 BCH 복호화기로 입력되고, 인핸스드 레이어 BCH 복호화기의 출력이 인핸스드 레이어 오류정정 복호화기의 출력이 될 수 있다.
- [467] 인핸스드 레이어 심볼 추출기(530)는 코어 레이어 BICM 디코더(520)의 코어 레이어 오류정정 복호화기로부터 전체 비트들을 제공 받아서 타임 디인터리버(510) 또는 디-노멀라이저(1010)의 출력 신호로부터 인핸스드 레이어 심볼들을 추출할 수 있다. 실시예에 따라 인핸스드 레이어 심볼 추출기(530)는 코어 레이어 BICM 디코더(520)의 오류정정 복호화기로부터 전체 비트들을 제공 받지 않고, LDPC의 정보비트들(information bits)을 제공 받거나, BCH 정보

비트들을 제공 받을 수 있다.

[468] 이 때, 인핸스드 레이어 심볼 추출기(530)는 버퍼, 감산기(subtractor), 코어 레이어 심볼 맵퍼 및 코어 레이어 비트 인터리버를 포함한다. 버퍼는 타임 디인터리버(510) 또는 다-노멀라이저(1010)의 출력 신호를 저장한다. 코어 레이어 비트 인터리버는 코어 레이어 BICM 디코더의 전체 비트들(정보 비트들+패리티 비트들)을 입력 받아 송신기와 동일한 코어 레이어 비트 인터리빙을 수행한다. 코어 레이어 심볼 맵퍼는 인터리빙된 신호로부터 송신기와 동일한 코어 레이어 심볼을 생성한다. 감산기는 버퍼에 저장된 신호에서 코어 레이어 심볼 맵퍼의 출력 신호를 감산함으로써, 인핸스드 레이어 심볼을 획득하고 이를 다-인젝션 레벨 컨트롤러(1020)에 전달한다. 특히, LDPC 정보비트들을 제공 받는 경우 인핸스드 레이어 심볼 추출기(530)는 코어 레이어 LDPC 인코더를 더 포함할 수 있다. 또한, BCH 정보 비트들을 제공 받는 경우 인핸스드 레이어 심볼 추출기(530)는 코어 레이어 LDPC 인코더뿐만 아니라 코어 레이어 BCH 인코더를 더 포함할 수 있다.

[469] 이 때, 인핸스드 레이어 심볼 추출기(530)에 포함되는 코어 레이어 LDPC 인코더, 코어 레이어 BCH 인코더, 코어 레이어 비트 인터리버 및 코어 레이어 심볼 맵퍼는 도 3을 통하여 설명한 코어 레이어의 LDPC 인코더, BCH 인코더, 비트 인터리버 및 심볼 맵퍼와 동일한 것일 수 있다.

[470] 다-인젝션 레벨 컨트롤러(1020)는 인핸스드 레이어 심볼을 입력 받아서 송신기의 인젝션 레벨 컨트롤러에 의하여 떨어진 파워만큼 파워를 증가시킨다. 즉, 다-인젝션 레벨 컨트롤러(1020)는 입력 신호를 증폭하여 인핸스드 레이어 BICM 디코더(540)로 제공한다. 예를 들어, 송신기에서 인핸스드 레이어 신호의 파워를 코어 레이어 신호의 파워보다 3dB 작게 결합하였다면, 다-인젝션 레벨 컨트롤러(1020)는 입력 신호의 파워를 3dB 증가시키는 역할을 한다.

[471] 이 때, 다-인젝션 레벨 컨트롤러(1020)는 OFDM 수신기로부터 인젝션 레벨 정보를 받아서 추출된 인핸스드 레이어 신호에 하기 수학식 5의 인핸스드 레이어 게인을 곱하는 것으로 볼 수 있다.

[472] [수학식 5]

[473]
$$\text{Enhanced Layer Gain} = \left(\sqrt{10^{-\text{InjectionLevel(dB)}/10}} \right)^{-1}$$

[474] 인핸스드 레이어 BICM 디코더(540)는 다-인젝션 레벨 컨트롤러(1020)에 의하여 파워가 상승된 인핸스드 레이어 심볼을 입력 받아서 인핸스드 레이어 데이터를 복원한다.

[475] 이 때, 인핸스드 레이어 BICM 디코더(540)는 인핸스드 레이어 심볼 디맵퍼, 인핸스드 레이어 비트 디인터리버 및 인핸스드 레이어 오류정정 복호화기를 포함할 수 있다. 인핸스드 레이어 심볼 디맵퍼는 인핸스드 레이어 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 인핸스드 레이어 비트 디인터리버는 계산된 LLR 값들을 균집오류에 강하게 섞으며, 인핸스드 레이어

오류정정 복호화기는 채널에서 발생한 오류를 정정한다.

- [476] 인핸스드 레이어 BICM 디코더(540)는 코어 레이어 BICM 디코더(520)와 유사한 작업을 수행하지만, 일반적으로 인핸스드 레이어 LDPC 디코더는 6/15 이상인 코드레이트에 대한 LDPC 복호를 수행한다.
- [477] 예를 들어, 코어 레이어는 5/15 이하의 코드 레이트를 가지는 LDPC 코드를 사용하고, 인핸스드 레이어는 6/15 이상의 코드 레이트를 가지는 LDPC 코드를 사용할 수 있다. 이 때, 인핸스드 레이어 데이터의 복호가 가능한 수신 환경에서는 코어 레이어 데이터는 적은 수의 LDPC 디코딩 이터레이션(iteration)만으로도 복호가 가능하다. 이러한 성질을 이용하면 수신기 하드웨어는 하나의 LDPC 디코더를 코어 레이어와 인핸스드 레이어가 공유하여 하드웨어 구현시 발생하는 비용을 줄일 수 있다. 이 때, 코어 레이어 LDPC 디코더는 약간의 시간자원(LDPC 디코딩 이터레이션)만을 사용하고 대부분의 시간자원을 인핸스드 레이어 LDPC 디코더가 사용할 수 있다.
- [478] 도 8에 도시된 신호 디멀티플렉싱 장치는 먼저 코어 레이어 데이터를 복원하고, 수신 신호 심볼에서 코어 레이어 심볼들을 캔슬레이션(cancellation)하여 인핸스드 레이어 심볼들만 남긴 후, 인핸스드 레이어 심볼의 파워를 증가시켜서 인핸스드 레이어 데이터를 복원한다. 도 3 및 5를 통해 이미 설명한 바와 같이, 각각의 레이어에 상응하는 신호들이 서로 다른 파워레벨로 결합되므로 가장 강한 파워로 결합된 신호부터 복원되어야 가장 오류가 적은 데이터 복원이 가능하다.
- [479] 결국 도 8에 도시된 예에서 신호 디멀티플렉싱 장치는, 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 타임 디인터리버(510); 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 디-노멀라이저(1010); 상기 디-노멀라이저(1010)에 의해 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 코어 레이어 BICM 디코더(520); 상기 코어 레이어 BICM 디코더(520)의 코어 레이어 FEC 디코더의 출력 신호를 이용하여, 상기 디-노멀라이저(1010)에 의해 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인핸스드 레이어 신호를 추출하는 인핸스드 레이어 심볼 추출기(530); 상기 인핸스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 디-인젝션 레벨 컨트롤러(1020); 및 상기 디-인젝션 레벨 컨트롤러(1020)의 출력 신호를 이용하여 인핸스드 레이어 데이터를 복원하는 인핸스드 레이어 BICM 디코더(540)를 포함할 수 있다.
- [480] 이 때, 인핸스드 레이어 심볼 추출기는 상기 코어 레이어 BICM 디코더의 코어 레이어 LDPC 디코더로부터 전체 코드워드를 입력 받고, 상기 전체 코드워드를 바로 비트 인터리빙할 수 있다.
- [481] 이 때, 인핸스드 레이어 심볼 추출기는 상기 코어 레이어 BICM 디코더의 코어

레이어 LDPC 디코더로부터 정보 비트들을 입력 받고, 상기 정보 비트들을 코어 레이어 LDPC 인코딩한 후 비트 인터리빙을 수행할 수 있다.

[482] 이 때, 인핸스드 레이어 심볼 추출기는 상기 코어 레이어 BICM 디코더의 코어 레이어 BCH 디코더로부터 정보 비트들을 입력 받고, 상기 정보 비트들을 코어 레이어 BCH 인코딩 및 코어 레이어 LDPC 인코딩한 후 비트 인터리빙을 수행할 수 있다.

[483] 이 때, 상기 다-노멀라이저 및 상기 다-인젝션 레벨 컨트롤러는 L1 시그널링에 기반하여 제공된 인젝션 레벨 정보(IL INFO)를 제공 받고, 상기 인젝션 레벨 정보에 기반하여 파워 컨트롤을 수행할 수 있다.

[484] 이 때, 상기 코어 레이어 BICM 디코더는 상기 인핸스드 레이어 BICM 디코더보다 낮은 비트율을 가지고, 상기 인핸스드 레이어 BICM 디코더보다 강인할(robust) 수 있다.

[485] 이 때, 상기 다-노멀라이저는 노멀라이징 팩터의 역수에 상응할 수 있다.

[486] 이 때, 상기 다-인젝션 레벨 컨트롤러는 스케일링 팩터의 역수에 상응할 수 있다.

[487] 이 때, 인핸스드 레이어 데이터는 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션에 기반하여 복원될 수 있다.

[488] 이 때, 신호 디멀티플렉싱 장치는 이전 레이어 데이터에 상응하는 캔슬레이션을 수행하여 확장 레이어 신호를 추출하는 하나 이상의 확장 레이어 심볼 추출기; 상기 확장 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 하나 이상의 다-인젝션 레벨 컨트롤러 및 상기 하나 이상의 다-인젝션 레벨 컨트롤러의 출력 신호를 이용하여 하나 이상의 확장 레이어 데이터를 복원하는 하나 이상의 확장 레이어 BICM 디코더를 더 포함할 수 있다.

[489] 도 8에 도시된 구성을 통해 본 발명의 일실시예에 따른 신호 디멀티플렉싱 방법은, 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 단계; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 단계; 상기 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 단계; 상기 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인핸스드 레이어 신호를 추출하는 단계; 상기 인핸스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 단계; 및 파워 조절된 상기 인핸스드 레이어 신호를 이용하여 인핸스드 레이어 데이터를 복원하는 단계를 포함함을 알 수 있다.

[490] 이 때, 인핸스드 레이어 신호를 추출하는 단계는 코어 레이어 BICM 디코더의 코어 레이어 LDPC 디코더로부터 전체 코드워드를 입력 받고, 상기 전체 코드워드를 바로 비트 인터리빙할 수 있다.

[491] 이 때, 인핸스드 레이어 신호를 추출하는 단계는 코어 레이어 BICM 디코더의

코어 레이어 LDPC 디코더로부터 정보 비트들을 입력 받고, 상기 정보 비트들을 코어 레이어 LDPC 인코딩한 후 비트 인터리빙을 수행할 수 있다.

- [492] 이 때, 인핸스드 레이어 신호를 추출하는 단계는 코어 레이어 BICM 디코더의 코어 레이어 BCH 디코더로부터 정보 비트들을 입력 받고, 상기 정보 비트들을 코어 레이어 BCH 인코딩 및 코어 레이어 LDPC 인코딩한 후 비트 인터리빙을 수행할 수 있다.
- [493] 도 9는 도 8에 도시된 코어 레이어 BICM 디코더(520) 및 인핸스드 레이어 심볼 추출기(530)의 일 예를 나타낸 블록도이다.
- [494] 도 9을 참조하면, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼, 코어 레이어 비트 디인터리버, 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.
- [495] 즉, 도 9에 도시된 예에서 코어 레이어 오류정정 복호화기는 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.
- [496] 또한, 도 9에 도시된 예에서 코어 레이어 LDPC 디코더는 패리티 비트들이 포함된 전체 코드워드(whole codeword)를 인핸스드 레이어 심볼 추출기(530)로 제공한다. 즉, 일반적으로 LDPC 디코더는 전체 LDPC 코드워드 중에서 정보 비트들(information bits)만을 출력하나, 전체 코드워드를 출력하는 것도 가능하다.
- [497] 이 경우, 인핸스드 레이어 심볼 추출기(530)는 별도로 코어 레이어 LDPC 인코더나 코어 레이어 BCH 인코더를 구비할 필요가 없어서 구현이 간단하나, LDPC 코드 패리티 부분에 잔여 오류가 남아 있을 가능성이 존재한다.
- [498] 도 10은 도 8에 도시된 코어 레이어 BICM 디코더(520) 및 인핸스드 레이어 심볼 추출기(530)의 다른 예를 나타낸 블록도이다.
- [499] 도 10을 참조하면, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼, 코어 레이어 비트 디인터리버, 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.
- [500] 즉, 도 10에 도시된 예에서 코어 레이어 오류정정 복호화기는 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.
- [501] 또한, 도 10에 도시된 예에서 코어 레이어 LDPC 디코더는 패리티 비트들이 포함되지 않은 정보 비트들(information bits)을 인핸스드 레이어 심볼 추출기(530)로 제공한다.
- [502] 이 경우, 인핸스드 레이어 심볼 추출기(530)는 별도로 코어 레이어 BCH 인코더를 구비할 필요가 없으나, 코어 레이어 LDPC 인코더를 포함하여야 한다.
- [503] 도 10에 도시된 예는 도 9에 도시된 예에 비하여 LDPC 코드 패리티 부분에 남아 있을 수 있는 잔여 오류를 제거할 수 있다.
- [504] 도 11는 도 8에 도시된 코어 레이어 BICM 디코더(520) 및 인핸스드 레이어 심볼 추출기(530)의 또 다른 예를 나타낸 블록도이다.
- [505] 도 11를 참조하면, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼,

코어 레이어 비트 디인터리버, 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.

[506] 즉, 도 11에 도시된 예에서 코어 레이어 오류정정 복호화기는 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.

[507] 도 11에 도시된 예에서는 코어 레이어 데이터에 해당하는 코어 레이어 BCH 디코더의 출력을 인핸스드 레이어 심볼 추출기(530)로 제공한다.

[508] 이 경우, 인핸스드 레이어 심볼 추출기(530)는 코어 레이어 LDPC 인코더 및 코어 레이어 BCH 인코더를 모두 포함하여야 하므로 복잡도가 높지만, 도 9 및 도 10의 예와 비교하여 가장 높은 성능을 보장한다.

[509] 도 12은 도 1에 도시된 신호 디멀티플렉싱 장치의 다른 예를 나타낸 블록도이다.

[510] 도 12을 참조하면, 본 발명의 일실시예에 따른 신호 디멀티플렉싱 장치는 타임 디인터리버(510), 디-노멀라이저(1010), 코어 레이어 BICM 디코더(520), 인핸스드 레이어 심볼 추출기(530), 인핸스드 레이어 BICM 디코더(540), 하나 이상의 확장 레이어 심볼 추출기들(650, 670), 하나 이상의 확장 레이어 BICM 디코더들(660, 680) 및 디-인젝션 레벨 컨트롤러들(1020, 1150, 1170)을 포함한다.

[511] 이 때, 도 12에 도시된 신호 디멀티플렉싱 장치는 도 7에 도시된 방송 신호 프레임 생성 장치에 상응하는 것일 수 있다.

[512] 타임 디인터리버(510)는 동기(synchronization), 채널추정(channel estimation) 및 등화(equalization) 등의 동작을 수행하는 OFDM 수신기로부터 수신 신호를 제공 받고, 채널에서 발생한 군집오류(burst error) 분산에 관한 동작을 수행한다. 이 때, L1 시그널링 정보는 OFDM 수신기에서 우선적으로 복호되어, 데이터 복호에 활용될 수 있다. 특히, L1 시그널링 정보 중 인젝션 레벨 정보는 디-노멀라이저(1010)와 디-인젝션 레벨 컨트롤러들(1020, 1150, 1170)에 전달될 수 있다.

[513] 이 때, 디-노멀라이저(1010)는 모든 레이어의 인젝션 레벨 정보를 취득하여 하기 수학식 6을 이용하여 디-노멀라이징 팩터를 구한 후, 입력신호에 곱할 수 있다.

[514] [수학식 6]

[515] De-Normalizing factor = (Normalizing factor)⁻¹ =

$$[516] \left(\sqrt{(1+10^{-\text{InjectionLevel}\#1(\text{dB})/10} + 10^{-\text{InjectionLevel}\#2(\text{dB})/10} + \dots + 10^{-\text{InjectionLevel}\#(N+1)(\text{dB})/10})} \right)$$

[517] 즉, 디-노멀라이징 팩터는 상기 수학식 4에 의하여 표현된 노멀라이징 팩터의 역수이다.

[518] 실시예에 따라, N1 시그널링에 인젝션 레벨 정보뿐만 아니라 노멀라이징 팩터 정보가 포함된 경우 디-노멀라이저(1010)는 인젝션 레벨을 이용하여 디-노멀라이징 팩터를 계산할 필요 없이 노멀라이징 팩터의 역수를 취하여 간단히 디-노멀라이징 팩터를 구할 수 있다.

- [519] 다-노멀라이저(1010)는 송신기의 파워 노멀라이저에 상응하는 것으로, 파워 노멀라이저에서 감소시킨 만큼 파워를 높인다.
- [520] 도 12에 도시된 예에서, 다-노멀라이저(1010)는 타임 인터리버(510)의 출력 신호의 파워를 조절하는 것으로 도시되었으나, 실시예에 따라 다-노멀라이저(1010)는 타임 인터리버(510)의 앞에 위치하여 인터리빙 되기 전에 파워 조절이 수행되도록 할 수도 있다.
- [521] 즉, 다-노멀라이저(1010)는 타임 인터리버(510)의 앞 또는 뒤에 위치하여 코어 레이어 심볼 디맵퍼의 LLR 계산 등을 위해 신호의 크기를 증폭하는 것으로 볼 수 있다.
- [522] 타임 디인터리버(510)의 출력(또는 다-노멀라이저(1010)의 출력)은 코어 레이어 BICM 디코더(520)로 제공되고, 코어 레이어 BICM 디코더(520)는 코어 레이어 데이터를 복원한다.
- [523] 이 때, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼, 코어 레이어 비트 디인터리버 및 코어 레이어 오류정정 복호화기를 포함한다. 코어 레이어 심볼 디맵퍼는 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 코어 레이어 비트 디인터리버는 계산된 LLR 값들을 균집오류에 강하게 섞으며, 코어 레이어 오류정정 복호화기는 채널에서 발생한 오류를 정정한다.
- [524] 특히, 코어 레이어 오류정정 복호화기는 정보(information) 비트들만을 출력할 수도 있고, 정보 비트들과 패리티 비트들이 결합된 전체 비트들을 출력할 수도 있다. 이 때, 코어 레이어 오류정정 복호화기는 정보 비트들만을 코어 레이어 데이터로 출력하고, 정보 비트들에 패리티 비트들이 결합된 전체 비트들을 인핸스드 레이어 심볼 추출기(530)로 출력할 수 있다.
- [525] 코어 레이어 오류 정정 복호화기는 코어 레이어 LDPC 복호화기와 코어 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 코어 레이어 오류 정정 복호화기의 입력이 코어 레이어 LDPC 복호화기로 입력되고, 코어 레이어 LDPC 복호화기의 출력이 코어 레이어 BCH 복호화기로 입력되고, 코어 레이어 BCH 복호화기의 출력이 코어 레이어 오류 정정 복호화기의 출력이 될 수 있다. 이 때, LDPC 복호화기는 LDPC 복호를 수행하고, BCH 복호화기는 BCH 복호를 수행한다.
- [526] 인핸스드 레이어 오류 정정 복호화기도 인핸스드 레이어 LDPC 복호화기와 인핸스드 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 인핸스드 레이어 오류 정정 복호화기의 입력이 인핸스드 레이어 LDPC 복호화기로 입력되고, 인핸스드 레이어 LDPC 복호화기의 출력이 인핸스드 레이어 BCH 복호화기로 입력되고, 인핸스드 레이어 BCH 복호화기의 출력이 인핸스드 레이어 오류정정 복호화기의 출력이 될 수 있다.
- [527] 나아가, 확장 레이어 오류 정정 복호화기도 확장 레이어 LDPC 복호화기와 확장 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 확장 레이어 오류 정정 복호화기의 입력이 확장 레이어 LDPC 복호화기로 입력되고, 확장 레이어

- LDPC 복호화기의 출력이 확장 레이어 BCH 복호화기로 입력되고, 확장 레이어 BCH 복호화기의 출력이 확장 레이어 오류정정 복호화기의 출력이 될 수 있다.
- [528] 특히, 도 9, 도 10 및 도 11를 통하러 설명한 오류정정 복호화기의 출력 중 어느 것을 사용할지에 따른 구현의 복잡성과 성능 사이의 트레이드 오프(trade off)는 도 12의 코어 레이어 BICM 디코더(520)와 인핸스드 레이어 심볼 추출기(530)뿐만 아니라, 확장 레이어 심볼 추출기들(650, 670), 확장 레이어 BICM 디코더들(660, 680)에도 적용된다.
- [529] 인핸스드 레이어 심볼 추출기(530)는 코어 레이어 BICM 디코더(520)의 코어 레이어 오류정정 복호화기로부터 전체 비트들을 제공 받아서 타임 디인터리버(510) 또는 디-노멀라이저(1010)의 출력 신호로부터 인핸스드 레이어 심볼들을 추출할 수 있다. 실시예에 따라 인핸스드 레이어 심볼 추출기(530)는 코어 레이어 BICM 디코더(520)의 오류정정 복호화기로부터 전체 비트들을 제공 받지 않고, LDPC의 정보비트들(information bits)을 제공 받거나, BCH 정보 비트들을 제공 받을 수 있다.
- [530] 이 때, 인핸스드 레이어 심볼 추출기(530)는 버퍼, 감산기(subtractor), 코어 레이어 심볼 맵퍼 및 코어 레이어 비트 인터리버를 포함한다. 버퍼는 타임 디인터리버(510) 또는 디-노멀라이저(1010)의 출력 신호를 저장한다. 코어 레이어 비트 인터리버는 코어 레이어 BICM 디코더의 전체 비트들(정보 비트들+패리티 비트들)을 입력 받아 송신기와 동일한 코어 레이어 비트 인터리빙을 수행한다. 코어 레이어 심볼 맵퍼는 인터리빙된 신호로부터 송신기와 동일한 코어 레이어 심볼을 생성한다. 감산기는 버퍼에 저장된 신호에서 코어 레이어 심볼 맵퍼의 출력 신호를 감산함으로써, 인핸스드 레이어 심볼을 획득하고 이를 디-인젝션 레벨 컨트롤러(1020)에 전달한다.
- [531] 이 때, 인핸스드 레이어 심볼 추출기(530)에 포함되는 코어 레이어 비트 인터리버 및 코어 레이어 심볼 맵퍼는 도 7에 도시된 코어 레이어의 비트 인터리버 및 심볼 맵퍼와 동일한 것일 수 있다.
- [532] 디-인젝션 레벨 컨트롤러(1020)는 인핸스드 레이어 심볼을 입력 받아서 송신기의 인젝션 레벨 컨트롤러에 의하여 떨어진 파워만큼 파워를 증가시킨다. 즉, 디-인젝션 레벨 컨트롤러(1020)는 입력 신호를 증폭하여 인핸스드 레이어 BICM 디코더(540)로 제공한다.
- [533] 인핸스드 레이어 BICM 디코더(540)는 디-인젝션 레벨 컨트롤러(1020)에 의하여 파워가 상승된 인핸스드 레이어 심볼을 입력 받아서 인핸스드 레이어 데이터를 복원한다.
- [534] 이 때, 인핸스드 레이어 BICM 디코더(540)는 인핸스드 레이어 심볼 디맵퍼, 인핸스드 레이어 비트 디인터리버 및 인핸스드 레이어 오류정정 복호화기를 포함할 수 있다. 인핸스드 레이어 심볼 디맵퍼는 인핸스드 레이어 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 인핸스드 레이어 비트 디인터리버는 계산된 LLR 값들을 균집오류에 강하게 섞으며, 인핸스드 레이어

오류정정 복호화기는 채널에서 발생한 오류를 정정한다.

[535] 특히, 인핸스드 레이어 오류정정 복호화기는 정보(information) 비트들만을 출력할 수도 있고, 정보 비트들과 패리티 비트들이 결합된 전체 비트들을 출력할 수도 있다. 이 때, 인핸스드 레이어 오류정정 복호화기는 정보 비트들만을 인핸스드 레이어 데이터로 출력하고, 정보 비트들에 패리티 비트들이 결합된 전체 비트들을 확장 레이어 심볼 추출기(650)로 출력할 수 있다.

[536] 확장 레이어 심볼 추출기(650)는 인핸스드 레이어 BICM 디코더(540)의 인핸스드 레이어 오류정정 복호화기로부터 전체 비트들을 제공 받아서 다-인젝션 레벨 컨트롤러(1020)의 출력 신호로부터 확장(extension) 레이어 심볼들을 추출한다.

[537] 이 때, 다-인젝션 레벨 컨트롤러(1020)는 인핸스드 레이어 심볼 추출기(530)의 감산기의 출력 신호의 파워를 증폭시킬 수 있다.

[538] 이 때, 확장 레이어 심볼 추출기(650)는 버퍼, 감산기(subtractor), 인핸스드 레이어 심볼 맵퍼 및 인핸스드 레이어 비트 인터리버를 포함한다. 버퍼는 다-인젝션 레벨 컨트롤러(1020)의 출력 신호를 저장한다. 인핸스드 레이어 비트 인터리버는 인핸스드 레이어 BICM 디코더의 전체 비트들(정보 비트들+패리티 비트들)을 입력 받아 송신기와 동일한 인핸스드 레이어 비트 인터리빙을 수행한다. 인핸스드 레이어 심볼 맵퍼는 인터리빙된 신호로부터 송신기와 동일한 인핸스드 레이어 심볼을 생성한다. 감산기는 버퍼에 저장된 신호에서 인핸스드 레이어 심볼 맵퍼의 출력 신호를 감산함으로써, 확장 레이어 심볼을 획득하고 이를 다-인젝션 레벨 컨트롤러(1150)에 전달한다.

[539] 이 때, 확장 레이어 심볼 추출기(650)에 포함되는 인핸스드 레이어 비트 인터리버 및 인핸스드 레이어 심볼 맵퍼는 도 7에 도시된 인핸스드 레이어의 비트 인터리버 및 심볼 맵퍼와 동일한 것일 수 있다.

[540] 다-인젝션 레벨 컨트롤러(1150)는 송신기에서 해당 레이어의 인젝션 레벨 컨트롤러에 의하여 감소된 만큼 파워를 증가시킨다.

[541] 이 때, 다-인젝션 레벨 컨트롤러는 하기 수학식 7의 확장 레이어 게인을 곱하는 동작을 수행하는 것으로 볼 수 있다. 이 때, 0번째 인젝션 레벨은 0dB로 간주할 수 있다.

[542] [수학식 7]

[543]
$$n\text{-th Extension Layer Gain} = \frac{10^{-\text{Injection level}\#(n-1)(\text{dB})/10}}{10^{-\text{Injection level}\#n(\text{dB})/10}}$$

[544]

[545] *확장 레이어 BICM 디코더(660)는 다-인젝션 레벨 컨트롤러(1150)에 의하여 파워가 증가된 확장 레이어 심볼을 입력 받아서 확장 레이어 데이터를 복원한다.

[546] 이 때, 확장 레이어 BICM 디코더(660)는 확장 레이어 심볼 디맵퍼, 확장 레이어 비트 디인터리버 및 확장 레이어 오류정정 복호화기를 포함할 수 있다. 확장

레이어 심볼 디맵퍼는 확장 레이어 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 확장 레이어 비트 디인터리버는 계산된 LLR 값들을 균집오류에 강하게 섞으며, 확장 레이어 오류정정 복호화기는 채널에서 발생한 오류를 정정한다.

- [547] 특히, 확장 레이어 심볼 추출기 및 확장 레이어 BICM 디코더는 확장 레이어가 둘 이상인 경우 각각 둘 이상 구비될 수 있다.
- [548] 즉, 도 12에 도시된 예에서, 확장 레이어 BICM 디코더(660)의 확장 레이어 오류정정 복호화기는 정보(information) 비트들만을 출력할 수도 있고, 정보 비트들과 패리티 비트들이 결합된 전체 비트들을 출력할 수도 있다. 이 때, 확장 레이어 오류정정 복호화기는 정보 비트들만을 확장 레이어 데이터로 출력하고, 정보 비트들에 패리티 비트들이 결합된 전체 비트들을 다음 확장 레이어 심볼 추출기(670)로 출력할 수 있다.
- [549] 확장 레이어 심볼 추출기(670), 확장 레이어 BICM 디코더(680) 및 다-인젝션 레벨 컨트롤러(1170)의 구조 및 동작은 전술한 확장 레이어 심볼 추출기(650), 확장 레이어 BICM 디코더(660) 및 다-인젝션 레벨 컨트롤러(1150)의 구조 및 동작으로부터 쉽게 알 수 있다.
- [550] 도 12에 도시된 다-인젝션 레벨 컨트롤러들(1020, 1150, 1170)은 아래로 내려갈수록 더 큰 파워 상승에 상응하는 것일 수 있다. 즉, 다-인젝션 레벨 컨트롤러(1020)보다 다-인젝션 레벨 컨트롤러(1150)가 파워를 더 크게 증가시키고, 다-인젝션 레벨 컨트롤러(1150)보다 다-인젝션 레벨 컨트롤러(1170)가 더 파워를 크게 증가시킬 수 있다.
- [551] 도 12에 도시된 신호 멀티플렉싱 장치는 가장 먼저 코어 레이어 데이터를 복원하고, 코어 레이어 심볼의 캔슬레이션을 이용하여 인핸스드 레이어 데이터를 복원하고, 인핸스드 레이어 심볼의 캔슬레이션을 이용하여 확장 레이어 데이터를 복원하는 것을 알 수 있다. 확장 레이어는 둘 이상 구비될 수 있고, 이 경우 더 높은 파워 레벨로 결합된 확장 레이어부터 복원된다.
- [552] 도 13은 코어 레이어 신호 및 인핸스드 레이어 신호의 결합으로 인한 파워 상승을 나타낸 도면이다.
- [553] 도 13을 참조하면, 코어 레이어 신호에 인젝션 레벨(injection level)만큼 파워 감소된 인핸스드 레이어 신호가 결합되어 멀티플렉싱된 신호가 생성된 경우 멀티플렉싱된 신호의 파워 레벨이 코어 레이어 신호나 인핸스드 레이어 신호의 파워 레벨보다 높은 것을 알 수 있다.
- [554] 이 때, 도 3 및 도 7에 도시된 인젝션 레벨 컨트롤러(injection level controller)에 의해 조절되는 인젝션 레벨은 0dB부터 25.0dB까지 0.5dB 또는 1dB 간격으로 조절될 수 있다. 인젝션 레벨이 3.0dB인 경우 인핸스드 레이어 신호의 파워가 코어 레이어 신호의 파워보다 3dB 만큼 낮다. 인젝션 레벨이 10.0dB인 경우 인핸스드 레이어 신호의 파워가 코어 레이어 신호의 파워보다 10dB 만큼 낮다. 이와 같은 관계는 코어 레이어 신호와 인핸스드 레이어 신호 사이에만 적용되는

것이 아니라, 인핸스드 레이어 신호와 확장 레이어 신호 또는 확장 레이어 신호들 사이에도 적용될 수 있다.

- [555] 도 3 및 도 7에 도시된 파워 노멀라이저는 결합 후의 파워 레벨을 조절하여 결합으로 인한 파워 증가로 야기될 수 있는 신호의 왜곡 등의 문제를 해결할 수 있다.
- [556] 도 14는 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법을 나타낸 동작 흐름도이다.
- [557] 도 14를 참조하면, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 코어 레이어 데이터에 BICM을 적용한다(S1210).
- [558] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 인핸스드 레이어 데이터에 BICM을 적용한다(S1220).
- [559] 단계(S1220)에서 적용되는 BICM과 단계(S1210)에서 적용되는 BICM은 상이한 것일 수 있다. 이 때, 단계(S1220)에서 적용되는 BICM이 단계(S1210)에서 적용되는 BICM보다 덜 강인한 것일 수 있다. 이 때, 단계(S1220)에서 적용되는 BICM의 비트율이 단계(S1210)에서 적용되는 비트율보다 클 수 있다.
- [560] 이 때, 인핸스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있다.
- [561] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 인핸스드 레이어 신호의 파워를 줄여서 파워 리듀스드 인핸스드 레이어 신호를 생성한다(S1230).
- [562] 이 때, 단계(S1230)는 인젝션 레벨을 0dB에서 25.0dB 사이에서 0.5dB 또는 1dB 간격으로 변화시킬 수 있다.
- [563] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 코어 레이어 신호 및 파워 리듀스드 인핸스드 레이어 신호를 결합하여 멀티플렉싱된 신호를 생성한다(S1240).
- [564] 이 때, 단계(S1240)는 코어 레이어 신호 및 인핸스드 레이어 신호를 서로 다른 파워 레벨로 결합하되, 인핸스드 레이어 신호의 파워 레벨이 코어 레이어 신호의 파워 레벨보다 낮도록 하여 결합할 수 있다.
- [565] 이 때, 단계(S1240)는 상기 코어 레이어 신호 및 상기 인핸스드 레이어 신호보다 낮은 파워 레벨의 하나 이상의 확장 레이어(extension layer) 신호를 상기 코어 레이어 신호 및 상기 인핸스드 레이어 신호와 함께 결합할 수 있다.
- [566] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 단계(S1250)에 의하여 멀티플렉싱된 신호의 파워를 낮추기 위한 파워 노멀라이징을 수행한다(S1250).
- [567] 이 때, 단계(S1250)는 멀티플렉싱된 신호의 파워를 상기 코어 레이어 신호의 파워만큼 낮출 수 있다. 이 때, 단계(S1250)는 상기 멀티플렉싱된 신호의 파워를 상기 단계(S1240)에 의하여 상승된 만큼 낮출 수 있다.

- [568] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성한다(S1260).
- [569] 이 때, 단계(S1260)는 코어 레이어 신호 및 인핸스드 레이어 신호에 함께 적용되는 타임 인터리빙을 수행하여 상기 타임 인터리빙된 신호를 생성할 수 있다.
- [570] 실시예에 따라, 싱글 레이어의 경우에 단계(S1260)는 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성할 수 있다.
- [571] 이 때, 단계(S1260)는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 사이의 경계(boundary)는 상기 코어 레이어 신호에 상응하는 코어 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 사이의 경계일 수 있다.
- [572] 이 때, 단계(S1260)는 하이브리드 타임 인터리버(hybrid time interleaver)를 이용하여 상기 인터리빙을 수행할 수 있다. 이 때, 코어 레이어 및 인핸스드 레이어의 피지컬 레이어 파이프들은 온전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [573] 이 때, 단계(S1260)는 컨벌루셔널 타임 인터리버(convolutional time interleaver)를 이용하여 상기 인터리빙을 수행하고, 상기 타임 인터리버 그룹들은 완전하지 않은 FEC 블록(incomplete FEC block)을 포함하는 피지컬 레이어 파이프(Physical Layer Pipe; PLP)를 포함하고, 상기 프리앰블은 상기 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보를 시그널링할 수 있다.
- [574] 이 때, 단계(S1260)는 복수의 동작 모드들 중 하나를 이용하여 수행될 수 있다.
- [575] 이 때, 상기 동작 모드들은 타임 인터리빙을 생략하는 제1 모드, 컨벌루셔널 타임 인터리빙(Convolutional time interleaving)을 수행하는 제2 모드 및 하이브리드 타임 인터리빙(Hybrid time interleaving)을 수행하는 제3 모드를 포함할 수 있다.
- [576] 이 때, 동작 모드는 타임 인터리빙 모드에 상응하는 것일 수 있다. 이 때, 타임 인터리빙에 상응하는 타임 인터리빙 모드는 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링될 수 있다. 이 때, 타임 인터리빙 모드는 프리앰블에 포함될 수 있다.
- [577] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성한다(S1270).
- [578] 이 때, 단계(S1270)는 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어

파이프 및 상기 인핸스드 레이어 신호에 반응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다.

[579] 이 때, 인핸스드 레이어 신호에 반응하는 인젝션 레벨 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프에 반응하여 시그널링될 수 있다.

[580] 이 때, 피지컬 레이어 파이프들은 상기 코어 레이어 피지컬 레이어 파이프가 둘 이상의 인핸스드 레이어 피지컬 레이어 파이프들과 레이어드 디비전 멀티플렉싱되는 경우, 상기 둘 이상의 인핸스드 레이어 피지컬 레이어 파이프들을 포함하고, 상기 둘 이상의 인핸스드 레이어 피지컬 레이어 파이프들은 동일한 상기 인젝션 레벨 정보(L1D_plp_ldm_injection_level)를 가질 수 있다.

[581] 이 때, 인젝션 레벨 정보는 상기 수학식 10을 통해 설명한 바와 같이 LDM 결합 전 상기 코어 레이어 신호에 반응하는 요구 SNR(required SNR)값보다 3dB 이상 큰 값에 반응할 수 있다.

[582] 이 때, 상기 피지컬 레이어 파이프들은 프리컨시 디비전 멀티플렉싱(Frequency Division Multiplexing; FDM)에 의하여 멀티플렉싱될 수 있고, 상기 프리컨시 디비전 멀티플렉싱에 반응하는 시그널링 정보는 코어 레이어 피지컬 레이어 파이프들에 대해서만(with respect to) 시그널링되고 인핸스드 레이어 피지컬 레이어 파이프들에 대해서는 시그널링되지 않을 수 있다.

[583] 이 때, 상기 프리컨시 디비전 멀티플렉싱에 반응하는 시그널링 정보는 피지컬 레이어 파이프 타입 정보(L1D_plp_type), 피지컬 레이어 파이프 서브슬라이스 인터벌 정보(L1D_plp_subslice_interval) 및 피지컬 레이어 파이프 서브슬라이스 개수 정보(L1D_plp_num_subslices) 중 어느 하나 이상을 포함할 수 있다.

[584] 이 때, 상기 인핸스드 레이어 피지컬 레이어 파이프는 상기 프리컨시 디비전 멀티플렉싱될 때, 레이어드 디비전 멀티플렉싱되는 상기 코어 레이어 피지컬 레이어 파이프의, 상기 프리컨시 디비전 멀티플렉싱에 반응하는 시그널링 정보에 반응하는 셀 라이팅 오더(cell writing order)를 따를 수 있다.

[585] 이 때, 상기 프리컨시 디비전 멀티플렉싱되는 상기 인핸스드 레이어 피지컬 레이어 파이프들은 토탈 2^{20} 셀들을 넘지 않는 사이즈를 가질 수 있다.

[586] 또한, 상기 피지컬 레이어 파이프들은 상기 인핸스드 레이어 피지컬 레이어 파이프가 둘 이상의 코어 레이어 피지컬 레이어 파이프들과 레이어드 디비전 멀티플렉싱되는 경우, 상기 둘 이상의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 타임 인터리빙에 반응하는 타임 인터리빙 모드는 하이브리드 타임 인터리빙 모드 또는 노 타임 인터리빙 모드 중 하나일 수 있다.

[587] 이 때, 상기 둘 이상의 코어 레이어 피지컬 레이어 파이프들은 상기 노 타임 인터리빙 모드가 사용될 때, 정수개의 FEC 블록들을 포함할 수 있다.

[588] 이 때, 상기 둘 이상의 코어 레이어 피지컬 레이어 파이프들은 상기 하이브리드 타임 인터리빙 모드가 사용될 때, 동일하거나 차이가 기설정된 값 미만의 타임 인터리빙 블록 사이즈들을 가질 수 있다.

- [589] 또한, 상기 피지컬 레이어 파이프들은 상기 인핸스드 레이어 피지컬 레이어 파이프와 레이어드 디비전 멀티플렉싱되는 상기 코어 레이어 피지컬 레이어 파이프에, 레이어드 디비전 멀티플렉싱되지 않는 구간(duration)이 없도록 설정된 상기 시작 위치 정보 및 사이즈 정보를 가질 수 있다.
- [590] 이 때, 상기 코어 레이어 피지컬 레이어 파이프는 QPSK, 16 QAM 및 64 QAM 중 어느 하나의 기법으로 모듈레이션되고, 64 QAM이 사용될 때 최대 7/15 코드 레이트로 인코딩될 수 있다.
- [591] 이 때, 상기 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)를 위해 최대 4개까지 사용될 수 있다.
- [592] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에, 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우와는 다른 생성 방식으로 생성될 수 있다.
- [593] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우 제1 기준 타이밍을 기반으로 생성되고, 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우 상기 제1 기준 타이밍과 상이한 제2 기준 타이밍을 기반으로 생성될 수 있다.
- [594] 이 때, 제1 기준 타이밍은 타임 인터리빙 이후에 상응하고, 제2 기준 타이밍은 상기 타임 인터리빙 이전에 상응할 수 있다.
- [595] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이전을 기준(with respect to)으로 정의될 수 있다.
- [596] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 현재 서브프레임 내에서 정의(defined within the current subframe)될 수 있다.
- [597] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이후를 기준(with respect to)으로 정의될 수 있다.
- [598] 이 때, 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)에 상응하는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 코어 레이어 피지컬 레이어 파이프들은 레이어드 디비전 멀티플렉싱되지 않을 수 있다.
- [599] 이 때, 코어 레이어 피지컬 레이어 파이프들은 각각 노 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나의 타임 인터리빙 모드를 사용하고, 컨벌루션형 타임 인터리빙 모드는 사용하지 않을 수 있다.
- [600] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용하거나 모두 인터-서브프레임 인터리빙 모드를 사용할 수 있다.

- [601] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 동일한 $L1D_plp_HTI_inter_subframe$ 값을 가질 수 있다.
- [602] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드이고 상기 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙 모드를 사용하는 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 동일한 타임 인터리빙 유닛(N_{IU})을 사용할 수 있다.
- [603] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들 중 적어도 하나가 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 파이프들 중 하이브리드 타임 인터리빙 모드로 구성된 코어 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [604] 이 때, 하나의 완전한 전송 프로덕트는 하나 이상의 서브프레임에 상응하고, 상기 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [605] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [606] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [607] 이 때, 피지컬 레이어 파이프들은 하나의 인핸스드 레이어 피지컬 레이어 파이프 및 상기 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함할 수 있다.
- [608] 이 때, 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 타임 인터리빙 모드는 상기 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들과 동일할 수 있다.
- [609] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들은 모두 노 타임 인터리빙 모드이거나, 모두 하이브리드 타임 인터리빙 모드일 수 있다.
- [610] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.

- [611] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들 각각은 각각의 서브프레임 내에서 정수개의 FEC 블록들로 이루어질 수 있다.
- [612] 이 때, 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [613] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [614] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [615] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [616] 이 때, 타임 인터리버 정보는 상기 코어 레이어를 기준으로 시그널링될 수 있다.
- [617] 이 때, 프리앰블은 상기 타임 인터리버 그룹들의 경계가 상기 인핸스드 레이어의 FEC 블록들의 경계에 상응하지 않는 경우, 상기 타임 인터리버 그룹들의 경계에 상응하는 상기 인핸스드 레이어의 FEC 블록의 일부분을 식별하기 위한 정보를 시그널링할 수 있다.
- [618] 이 때, FEC 블록의 일부분을 식별하기 위한 정보는 상기 코어 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어에 상응하는 모듈레이션 정보 및 상기 인핸스드 레이어에 상응하는 FEC 타입 정보 중 어느 하나 이상을 포함할 수 있다.
- [619] 이 때, 피지컬 레이어 파이프의 시작 위치 정보는 상기 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스에 상응하는 것일 수 있다.
- [620] 이 때, 모듈레이션 정보는 상기 FEC 타입 정보가 기설정된 조건을 만족하는 경우에만 시그널링될 수 있다.
- [621] 이 때, 인핸스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있다.
- [622] 이 때, 단계(S1270)는 상기 부트스트랩을 생성하는 단계; 상기 프리앰블을 생성하는 단계; 및 상기 타임 인터리빙된 신호에 상응하는 수퍼 임포우즈드 페이로드를 생성하는 단계를 포함할 수 있다.

- [623] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)을 식별하기 위한 PLP 식별 정보; 및 계층적인 분할에 상응하는 레이어들을 식별하기 위한 레이어 식별 정보를 포함할 수 있다.
- [624] 이 때, PLP 식별 정보 및 레이어 식별 정보는 별개의 필드들로 상기 프리앰블에 포함될 수 있다.
- [625] 이 때, 타임 인터리버 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교(IF(j>0))한 결과에 따라 선택적으로 상기 프리앰블에 포함될 수 있다.
- [626] 이 때, 프리앰블은 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교(IF(j>0))한 결과에 따라 선택적으로 상기 인젝션 레벨 컨트롤러에 상응하는 인젝션 레벨 정보를 포함할 수 있다.
- [627] 이 때, 부트스트랩은 상기 프리앰블보다 짧고, 고정된 길이를 가지는 것일 수 있다.
- [628] 이 때, 부트스트랩은 상기 프리앰블의 구조를 나타내는 심볼을 포함하고, 상기 심볼은 상기 프리앰블의 변조방법/부호율, FFT 사이즈, 가드 인터벌 길이 및 파일럿 패턴의 조합을 나타내는 고정 비트열에 상응하는 것일 수 있다.
- [629] 이 때, 심볼은 상기 변조방법/부호율이 동일한 경우, 제1 FFT 사이즈에 상응하는 프리앰블 구조보다, 상기 제1 FFT 사이즈보다 작은 제2 FFT 사이즈에 상응하는 프리앰블 구조가 우선적으로 할당되고, 상기 변조방법/부호율 및 상기 FFT 사이즈가 동일한 경우, 제1 가드 인터벌 길이에 상응하는 프리앰블 구조보다 상기 제1 가드 인터벌 길이보다 큰 제2 가드 인터벌 길이에 상응하는 프리앰블 구조가 우선적으로 할당되는 룩업 테이블에 상응하는 것일 수 있다.
- [630] 이 때, 방송 신호 프레임은 ATSC 3.0 프레임일 수 있다.
- [631] 이 때, L1 시그널링 정보는 인젝션 레벨 정보 및/또는 노멀라이징 팩터 정보를 포함할 수 있다.
- [632] 이 때, 프리앰블은 피지컬 레이어 파이프들의 타입 정보, 시작 위치 정보 및 사이즈 정보를 포함할 수 있다.
- [633] 이 때, 타입 정보는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [634] 이 때, 분산되지 않은 피지컬 레이어 파이프는 연속적인 데이터 셀 인덱스들(contiguous data cell indices)에 대하여 할당되고, 상기 분산된 피지컬 레이어 파이프는 둘 이상의 서브슬라이스들로 이루어질 수 있다.
- [635] 이 때, 타입 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 시그널링될 수 있다.
- [636] 이 때, 타입 정보는 코어 레이어에 대해서만 시그널링될 수 있다.
- [637] 이 때, 시작 위치 정보는 피지컬 레이어 파이프의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.

- [638] 이 때, 시작 위치 정보는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 상기 피지컬 레이어 파이프의 시작 위치(start position)를 지시(indicate)할 수 있다.
- [639] 이 때, 시작 위치 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [640] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [641] 이 때, 사이즈 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [642] 이 때, 프리앰블은 상기 제1 모드 및 제2 모드에 대해서는 현재 피지컬 레이어 파이프(Physical Layer Pipe)에 상응하는 첫 번째 온전한 FEC 블록(first complete FEC block)의 시작 위치를 나타내는 필드를 포함하고, 상기 제3 모드에 대해서는 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드를 포함하지 않을 수 있다.
- [643] 이 때, 첫 번째 FEC 블록의 시작 위치를 나타내는 필드는 상기 제1 모드에서 사용되는 제1 필드 및 상기 제2 모드에서 사용되는 제2 필드 중 어느 하나이고, 상기 제1 필드 및 제2 필드는 길이가 상이할 수 있다.
- [644] 이 때, 상기 제2 필드의 길이는 제1 필드의 길이보다 길 수 있다.
- [645] 이 때, 상기 제1 필드의 길이는 LDPC 부호어의 길이와 모듈레이션 오더에 기반하여 결정되고, 상기 제2 필드의 길이는 상기 LDPC 부호어의 길이와 모듈레이션 오더뿐만 아니라 컨벌루션 타임 인터리버의 뎀스(depth)를 더 고려하여 결정될 수 있다.
- [646] 이 때, 제1 필드의 길이는 15비트이고, 제2 필드의 길이는 22비트일 수 있다.
- [647] 이 때, 제1 필드 및 제2 필드는 각각 상기 코어 레이어 신호에 상응하는 코어 레이어 및 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 각각에 대하여 별개로 시그널링될 수 있다.
- [648] 도 14에는 명시적으로 도시되지 아니하였지만, 방송 신호 프레임 생성 방법은 단계(S1230)에 상응하는 인젝션 레벨 정보를 포함하는 시그널링 정보를 생성하는 단계를 더 포함할 수 있다. 이 때, 시그널링 정보는 L1 시그널링 정보일 수 있다.
- [649] 도 14에 도시된 방송 신호 프레임 생성 방법은 도 2에 도시된 단계(S210)에 상응하는 것일 수 있다.
- [650] 도 14에는 명시적으로 도시되지 아니하였지만, 방송 신호 프레임 생성 방법은 단계(S1220) 및 단계(S1230) 사이에 인핸스드 레이어 데이터에 더미 값들을 삽입하는 단계를 더 포함할 수 있다.
- [651] 이 때, 더미 값들은 PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 상기 PLP 그룹 내의 코어 레이어 셀들의 총 수와 동일해지도록 상기 PLP 그룹 내의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에(after the actual data cells of the last

Enhanced PLP) 삽입될 수 있다.

- [652] 이 때, 더미 값들은 코어 레이어 데이터에는 삽입되지 않을 수 있다.
- [653] 이 때, 더미 값들은 코어 레이어 BICM 및 인핸스드 레이어 BICM이 완료된 이후, 상기 코어 레이어 신호 및 인핸스드 레이어 신호가 결합되기 이전에 삽입될 수 있다.
- [654] 이 때, 더미 값들은 기설정된 스크램블링 시퀀스에 상응하는 것일 수 있다.
- [655] 이 때, 스크램블링 시퀀스는 상기 마지막 인핸스드 PLP를 위해 사용된 컨스틸레이션 맵핑을 이용하여 변조될 수 있다.
- [656] 이 때, 더미 값들은 상기 마지막 인핸스드 PLP와 동일한 파워를 가질 수 있다.
- [657] 이 때, 스크램블링 시퀀스는 기설정된 제너레이터 폴리노미얼에 상응하는 16-비트 쉬프트 레지스터를 이용하여 생성될 수 있다.
- [658] 이 때, 스크램블링 시퀀스는 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성될 수 있다.
- [659] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [660] 도 15는 본 발명의 일실시예에 따른 방송 신호 프레임에 포함하는 슈퍼프레임(super-frame) 구조를 나타낸 도면이다.
- [661] 도 15를 참조하면, 레이어드 디비전 멀티플렉싱(Layered Division Multiplexing; LDM) 기반의 슈퍼프레임은 하나 이상의 프레임들로 구성되고, 하나의 프레임은 하나 이상의 OFDM 심볼들로 구성되는 것을 알 수 있다.
- [662] 이 때, 각각의 OFDM 심볼들은 하나 이상의 프리앰블 심볼로 시작될 수 있다. 또한, 프레임은 레퍼런스 심볼이나 파일럿 심볼을 포함할 수도 있다.
- [663] 도 15에 도시된 슈퍼프레임(1510)은 LDM 프레임(1520), LDM을 하지 않은 싱글-레이어(single-layer) 프레임(1530) 및 퓨처 익스텐서빌리티(future extensibility)를 위한 퓨처 익스텐션 프레임(Future Extension Frame; FEF)(1540) 등을 포함하여, 타임 디비전 멀티플렉싱(Time Division Multiplexing; TDM) 방식으로 구성될 수 있다.
- [664] LDM 프레임(1520)은 2개의 레이어(layer)가 적용되었을 때, 어퍼 레이어(Upper Layer; UL)(1553)와 로어 레이어(Lower Layer; LL)(1555)로 구성될 수 있다.
- [665] 이 때, 어퍼 레이어는(1553) 코어 레이어에 상응하는 것일 수 있고, 로어 레이어(1555)는 인핸스드 레이어에 상응하는 것일 수 있다.
- [666] 이 때, 어퍼 레이어(1553) 및 로어 레이어(1555)를 포함하는 LDM 프레임(1520)은 부트스트랩(1552) 및 프리앰블(1551)을 포함할 수 있다.
- [667] 이 때, 어퍼 레이어(1553) 데이터 및 로어 레이어(1555) 데이터는 복잡도(complexity) 및 메모리 사이즈를 줄이기 위해, 타임 인터리버를 공유하며

- 같은 프레임 길이(frame length) 및 FFT 사이즈를 사용할 수 있다.
- [668] 또한, 싱글-레이어(single-layer) 프레임(1530)도 부트스트랩(1562) 및 프리앰블(1561)을 포함할 수 있다.
- [669] 이 때, 싱글-레이어(single-layer) 프레임(1530)은 LDM 프레임(1520)과는 다른 FFT 사이즈, 타임 인터리버 및 프레임 길이를 사용할 수 있다. 이 때, 싱글-레이어 프레임(1530)은 슈퍼프레임(1510) 내에서 LDM 프레임(1520)과 TDM 방식으로 멀티플렉싱되는 것으로 볼 수 있다.
- [670] 도 16은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프(PLP; Physical Layer Pipe)를 적용한 LDM 프레임의 일 예를 나타낸 도면이다.
- [671] 도 16을 참조하면, LDM 프레임은 시스템의 버전(version) 정보나 일반적인 시그널링 정보를 포함하는 부트스트랩 신호로 시작되는 것을 알 수 있다. 부트스트랩 이후 코드 레이트(code rate), 모듈레이션 정보, 피지컬 레이어 파이프(Physical Layer Pipe) 개수 정보 등을 포함하는 L1 시그널링 신호가 프리앰블로써 뒤따를 수 있다.
- [672] 프리앰블(L1 SIGNAL)에 이어서 버스트(burst) 형태의 공통 피지컬 레이어 파이프(Physical Layer Pipe; PLP)가 전송될 수 있다. 이 때, 공통 피지컬 레이어 파이프는 프레임 내의 다른 피지컬 레이어 파이프들과 공유될 수 있는 데이터를 전송할 수 있다.
- [673] 공통 피지컬 레이어 파이프 이후 서로 다른 방송 신호를 서비스하기 위한 멀티플-피지컬 레이어 파이프(Multiple-Physical Layer Pipe)가 2개 레이어들의 LDM 방식으로 전송된다. 이 때, 인도어/모바일 등 견고(robust)한 수신을 요구하는 서비스(720p나 1080p HD 등)는 코어 레이어(어퍼 레이어) 데이터 피지컬 레이어 파이프들을 통하여, 높은 전송률을 요구하는 고정 수신 서비스(4K-UHD나 멀티플 HD 등)는 인핸스드 레이어(로어 레이어) 데이터 피지컬 레이어 파이프들을 통하여 전송될 수 있다.
- [674] 멀티플-피지컬 레이어 파이프들이 레이어드 디비전 멀티플렉싱되면, 결과적으로 멀티플-피지컬 레이어 파이프들의 총 개수(total number)가 증가하는 것으로 볼 수 있다.
- [675] 이 때, 코어 레이어 데이터 피지컬 레이어 파이프와 인핸스드 레이어 데이터 피지컬 레이어 파이프는 복잡도(complexity) 및 메모리 사이즈를 줄이기 위하여 타임 인터리버를 공유할 수 있다. 이 때, 코어 레이어 데이터 피지컬 레이어 파이프와 인핸스드 레이어 데이터 피지컬 레이어 파이프는 같은 피지컬 레이어 파이프 사이즈(PLP size)를 가질 수도 있고, 다른 피지컬 레이어 파이프 사이즈를 가질 수도 있다.
- [676] 실시예에 따라, 레이어로 분할된 피지컬 레이어 파이프들은 서로 다른 PLP 사이즈를 가질 수도 있고, 이 경우 PLP의 시작 위치(start position)나 PLP의 사이즈를 식별하기 위한 정보를 시그널링할 수 있다.

- [677] 도 17은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프(PLP; Physical Layer Pipe)를 적용한 LDM 프레임의 다른 예를 나타낸 도면이다.
- [678] 도 17을 참조하면, LDM 프레임은 부트스트랩, 프리앰블(L1 SIGNAL) 이후 공통 피지컬 레이어 파이프를 포함할 수 있는 것을 알 수 있다. 공통 피지컬 레이어 파이프 이후, 코어 레이어 데이터 피지컬 레이어 파이프들과 인핸스드 레이어 데이터 피지컬 레이어 파이프들이 2-레이어 LDM 방식으로 전송될 수 있다.
- [679] 특히, 도 17에 도시된 코어 레이어 데이터 피지컬 레이어 파이프들 및 인핸스드 레이어 데이터 피지컬 레이어 파이프들은 타입1과 타입2 중 어느 하나의 타입을 가질 수 있고, 타입1과 타입2는 다음과 같이 정의될 수 있다.
- [680]
- [681] *- 타입1 PLP
- [682] 공통 PLP가 존재할 경우, 공통 PLP 이후에 전송됨
- [683] 프레임 안에서 하나의 버스트(burst) 형태 (one slice)로 전송됨
- [684]
- [685] -타입2 PLP
- [686] 타입1 PLP가 존재할 경우, 타입1 PLP 이후에 전송됨
- [687] 프레임 안에서 두 개 이상의 서브-슬라이스(sub-slice) 형태로 분산되어 전송됨
- [688] 서브-슬라이스 개수가 증가함에 따라 타임 다이버서티(time diversity)가 증가하며, 파워 소모(power consumption)의 효과를 가짐
- [689] 이 때, 타입1 PLP는 분산되지 않은(non-dispersed) PLP에 상응할 수 있고, 타입2 PLP는 분산된(dispersed) PLP에 상응할 수 있다. 이 때, 분산되지 않은 PLP는 연속적인 데이터 셀 인덱스(contiguous data cell indices)에 할당될 수 있다. 이 때, 분산된 PLP는 둘 이상의 서브슬라이스에 나뉘어 할당될 수 있다.
- [690] 도 18은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프(PLP; Physical Layer Pipe)를 적용한 LDM 프레임의 활용 예를 나타낸 도면이다.
- [691] 도 18을 참조하면, LDM 프레임은 부트스트랩, 프리앰블 이후 공통 피지컬 레이어 파이프(PLP(1,1))를 포함할 수 있고, 로버스트한 오디오 서비스를 위한 데이터 피지컬 레이어 파이프(PLP(2,1))를 타임-디비전(time-division) 방식으로 포함할 수 있다.
- [692] 또한, 모바일/인도어 서비스(720p 또는 1080p HD)를 위한 코어 레이어 데이터 피지컬 레이어 파이프(PLP(3,1))와, 하이 데이터 레이트 서비스(4K-UHD 또는 멀티플 HD)를 위한 인핸스드 레이어 데이터 피지컬 레이어 파이프(PLP(3,2))가 2-레이어 LDM 방식으로 전송될 수 있다.
- [693] 도 19는 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 다른 활용 예를 나타낸 도면이다.

- [694] 도 19를 참조하면, LDM 프레임은 부트스트랩, 프리앰블, 공통 피지컬 레이어 파이프(PLP(1,1))를 포함할 수 있다. 이 때, 로버스트한 오디오 서비스와 모바일/인도어 서비스(720p 또는 1080p HD)는 코어 레이어 데이터 피지컬 레이어 파이프들(PLP(2,1), PLP(3,1))에 나뉘어 전송되고, 하이 데이터 레이트 서비스(4K-UHD 또는 멀티플 HD)는 인핸스드 레이어 데이터 피지컬 레이어 파이프들(PLP(2,2), PLP(3,2))에 의하여 전송될 수 있다.
- [695] 이 때, 코어 레이어 데이터 피지컬 레이어 파이프와 인핸스드 레이어 데이터 피지컬 레이어 파이프는 동일한 타임 인터리버를 사용할 수 있다.
- [696] 이 때, 같은 서비스를 제공하는 피지컬 레이어 파이프들(PLP(2,2), PLP(3,2))은 동일한 PLP 그룹을 나타내는 PLP_GROUP_ID를 이용하여 동일한 서비스를 제공하는 것임을 시그널링할 수 있다.
- [697] 실시예에 따라, LDM 레이어 각각에 대하여 서로 다른 사이즈의 피지컬 레이어 파이프들이 사용되는 경우, PLP_GROUP_ID 없이 피지컬 레이어 파이프들 각각의 시작 위치, 사이즈에 따라 서비스가 식별될 수도 있다.
- [698] 도 18 및 19에서 PLP(i,j)에 의해 멀티플 피지컬 레이어 파이프들 및 레이어드 디비전 멀티플렉싱에 상응하는 레이어들을 식별하는 경우를 예로 들었으나, PLP 식별 정보 및 레이어 식별 정보는 각각 별개의 필드로 시그널링될 수도 있다.
- [699] 실시예에 따라, 레이어마다 서로 다른 크기의 PLP가 사용될 수도 있다. 이 경우, PLP 식별자를 통해 각각의 서비스를 식별할 수 있다.
- [700] 레이어마다 서로 다른 크기의 PLP가 사용되는 경우, PLP마다 PLP 시작 위치 및 PLP 길이를 시그널링할 수 있다.
- [701] 하기 수도코드는 본 발명의 일실시예에 따른 프리앰블에 포함되는 필드들의 일 예를 나타낸 것이다. 이 때, 하기 수도코드는 프리앰블의 L1 시그널링 정보에 포함될 수 있다.
- [702] [수도코드]
- [703] SUB_SLICES_PER_FRAME (15 bits)
- [704] NUM_PLP (8 bits)
- [705] NUM_AUX (4 bits)
- [706] AUX_CONFIG_RFU (8 bits)
- [707]
- [708] for i=0.. NUM_RF-1 {
- [709] RF_IDX (3 bits)
- [710] FREQUENCY (32 bits)
- [711] }
- [712]
- [713] IF S2=='xxx1' {
- [714] FEF_TYPE (4 bits)


```
[715]   FEF_LENGTH (22 bits)
[716]   FEF_INTERVAL (8 bits)
[717]   }
[718]
[719]   for i=0 .. NUM_PLP-1 {
[720]     NUM_LAYER (2~3 bits)
[721]     for j=0 .. NUM_LAYER-1{
[722]       /* Signaling for each layer */
[723]       PLP_ID (i, j) (8 bits)
[724]       PLP_GROUP_ID (8 bits)
[725]       PLP_TYPE (3 bits)
[726]       PLP_PAYLOAD_TYPE (5 bits)
[727]       PLP_COD (4 bits)
[728]       PLP_MOD (3 bits)
[729]       PLP_SSD (1 bit)
[730]       PLP_FEC_TYPE (2 bits)
[731]       PLP_NUM_BLOCKS_MAX (10 bits)
[732]       IN_BAND_A_FLAG (1 bit)
[733]       IN_BAND_B_FLAG (1 bit)
[734]       PLP_MODE (2 bits)
[735]       STATIC_PADDING_FLAG (1 bit)
[736]       IF (j > 0)
[737]         LL_INJECTION_LEVEL (3~8 bits)
[738]       } /* End of NUM_LAYER loop */
[739]
[740]       /* Common signaling for all layers */
[741]       FF_FLAG (1 bit)
[742]       FIRST_RF_IDX (3 bits)
[743]       FIRST_FRAME_IDX (8 bits)
[744]       FRAME_INTERVAL (8 bits)
[745]       TIME_IL_LENGTH (8 bits)
[746]       TIME_IL_TYPE (1 bit)
[747]       RESERVED_1 (11 bits)
[748]       STATIC_FLAG (1 bit)
[749]       PLP_START (24 bits)
[750]       PLP_SIZE (24 bits)
[751]     } /* End of NUM_PLP loop */
[752]
```

- [753] FEF_LENGTH_MSB (2 bits)
- [754] RESERVED_2 (30 bits)
- [755]
- [756] for i=0 .. NUM_AUX-1 {
- [757] AUX_STREAM_TYPE (4 bits)
- [758] AUX_PRIVATE_CONF (28 bits)
- [759] }
- [760] 상기 수도코드에서 NUM_LAYER는 2비트 또는 3비트로 구성될 수 있다. 이 때, NUM_LAYER는 시간적으로 분할된 각각의 PLP 내에서 레이어들의 개수를 나타내기 위해 사용되는 필드일 수 있다. 이 때, NUM_LAYER는 NUM_PLP 루프 내에서 정의되어 시간적으로 분할된 각각의 PLP마다 다른 개수의 레이어들을 가질 수 있다.
- [761] 상기 수도코드에서 LL_INJECTION_LEVEL은 3~8비트로 구성될 수 있다. 이 때, LL_INJECTION_LEVEL은 로어 레이어(인밴드 레이어)의 삽입 레벨(injection level)을 정의하기 위한 필드일 수 있다. 이 때, LL_INJECTION_LEVEL은 인젝션 레벨 정보에 상응하는 것일 수 있다.
- [762] 이 때, LL_INJECTION_LEVEL은 레이어가 2개 이상인 경우, 두 번째 레이어부터(j>0) 정의될 수 있다.
- [763] PLP_ID(i,j), PLP_GROUP_ID, PLP_TYPE, PLP_PAYLOAD_TYPE, PLP_COD, PLP_MOD, PLP_SSD, PLP_FEC_TYPE, PLP_NUM_BLOCKS_MAX, IN_BAND_A_FLAG, IN_BAND_B_FLAG, PLP_MODE, STATIC_PADDING_FLAG 등의 필드들은 각각의 레이어 별로 정의되는 파라미터들로, NUM_LAYER 루프 내에서 정의될 수 있다.
- [764] 이 때, PLP_ID(i,j)는 PLP 식별 정보 및 레이어 식별 정보에 상응하는 것일 수 있다. 예를 들어, PLP_ID(i,j)의 i는 PLP 식별 정보에 상응하고, j는 레이어 식별 정보에 상응하는 것일 수 있다.
- [765] 실시예에 따라, PLP 식별 정보와 레이어 식별 정보는 별개의 필드들로 프리앰블에 포함될 수도 있다.
- [766] 또한, TIME_IL_LENGTH나 TIME_IL_TYPE 등의 타임 인터리버 정보나 PLP 사이즈와 관련된 FRAME_INTERVAL이나 FF_FLAG, FIRST_RF_IDX, FIRST_FRAME_IDX, RESERVED_1, STATIC_FLAG 등의 필드들은 NUM_LAYER 루프 밖, NUM_PLP 루프 안에서 정의될 수 있다.
- [767] 특히, PLP_TYPE은 전송한 피지컬 레이어 파이프들의 타입 정보를 나타내는 것으로, 제1 타입과 제2 타입 두 가지를 식별하면 되므로 1비트로 구성될 수도 있다. 상기 수도코드에서는 PLP_TYPE이 레이어 식별 정보(j)에 상응하는 조건문의 판단 없이 상기 프리앰블에 포함되는 예를 설명하였으나, PLP_TYPE은 레이어 식별 정보(j)와 기설정된 값(0)을 비교한 결과(if(j=0))에 따라 선택적으로 시그널링(코어 레이어에 대해서만 전송)될 수도 있다.

- [768] 상기 수도코드에서 PLP_TYPE은 NUM_LAYER 루프 안에서 정의된 경우를 예로 들었으나, 실시예에 따라 PLP_TYPE은 NUM_LAYER 루프 밖, NUM_PLP 루프 안에서 정의될 수도 있다.
- [769] 상기 수도코드에서 PLP_START는 해당 피지컬 레이어 파이프의 시작 위치(start position)를 나타낸다. 이 때, PLP_START는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 시작 위치를 나타낼 수 있다. 이 때, PLP_START는 해당 PLP의 첫 번째 데이터 셀에 상응하는 인덱스일 수 있다.
- [770] 특히, PLP_START는 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링될 수 있고, 실시예에 따라 PLP의 사이즈를 시그널링하는 필드와 함께 멀티플-피지컬 레이어 파이프를 이용한 서비스 식별에 이용될 수도 있다.
- [771] 상기 수도코드에서 PLP_SIZE는 피지컬 레이어 파이프들의 사이즈 정보이다. 이 때, PLP_SIZE는 해당 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수와 동일하게 설정될 수 있다.
- [772] 즉, 상기 수도코드에서 PLP_TYPE은 레이어 식별 정보를 고려하여 시그널링되고, PLP_SIZE 및 PLP_START는 레이어 식별 정보와 무관하게 모든 피지컬 레이어 파이프들에 대하여 시그널링되는 것으로 볼 수 있다.
- [773] 도 3 및 도 7에 도시된 결합기(340)는 코어 레이어 신호와 인핸스드 레이어 신호를 결합(combine)하는 기능을 하고, 코어 레이어 신호 및 인핸스드 레이어 신호가 하나의 타임 인터리버를 공유하므로 코어 레이어 신호 및 인핸스드 레이어 신호에 공유되는 타임 인터리버 그룹 단위로 결합을 수행할 수 있다.
- [774] 이 때, 타임 인터리버 그룹은 코어 레이어를 기준으로 설정되는 것이 메모리 효율성이나 시스템 효율성 측면에서 유리하다.
- [775] 다만, 코어 레이어를 기준으로 타임 인터리버 그룹을 설정하는 경우, 인핸스드 레이어에서 타임 인터리버 그룹 경계로 분할되는 FEC 블록이 존재할 수 있는데, 이와 같이 분할되는 FEC 블록이 존재하는 경우에는 타임 인터리버 그룹의 경계에 상응하는 FEC 블록의 일부분을 식별하는데 필요한 필드들의 시그널링이 필요할 수 있다.
- [776] 레이어 디비전 멀티플렉싱에 사용되는 타임 인터리버는 컨벌루셔널 타임 인터리버(convolutional time interleaver; CTI) 또는 하이브리드 타임 인터리버(hybrid time interleaver; HTI)일 수 있다. 이 때, 컨벌루셔널 타임 인터리버는 코어 레이어의 피지컬 레이어 파이프가 하나인 경우에 사용될 수 있고, 코어 레이어의 피지컬 레이어 파이프가 둘 이상인 경우에는 하이브리드 타임 인터리버가 사용될 수 있다. 하이브리드 타임 인터리버가 사용되는 경우에는 피지컬 레이어 파이프가 완전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [777] 도 20은 컨벌루셔널 타임 인터리버가 사용되는 경우의 일 예를 나타낸 도면이다.
- [778] 도 20을 참조하면, 서브프레임이 코어 레이어 및 인핸스드 레이어 두 개의

레이어들을 포함하는 것을 알 수 있다.

- [779] 도 20에 도시된 예에서 서브프레임은 코어 레이어에 하나의 피지컬 레이어 파이프(PLP #0)만을 포함하므로 서브프레임에 상응하는 타임 인터리버는 컨벌루셔널 타임 인터리버이다. 컨벌루셔널 타임 인터리버가 사용되는 경우 각각의 레이어의 피지컬 레이어 파이프는 불완전한 FEC 블록(incomplete FEC block)을 포함할 수 있다.
- [780] 이와 같은 불완전한 FEC 블록은 PLP의 경계(edge)에 위치하고, 각각의 PLP에서 첫 번째 완전한 FEC block의 위치를 가리키는 "L1D_plp_CTI_fec_block_start"와 같은 필드를 이용하여 식별될 수 있다.
- [781] 도 20에 도시된 예는 코어 레이어의 피지컬 레이어 파이프(PLP #0) 및 인핸스드 레이어의 피지컬 레이어 파이프(PLP #1)의 시작 위치 및 사이즈가 동일한 경우이다.
- [782] 도 20에 도시된 예에서 타임 인터리버 그룹(TI Group)은 코어 레이어의 피지컬 레이어 파이프(PLP #0)에 상응하는 것을 알 수 있다. 타임 인터리버 그룹은 코어 레이어 및 인핸스드 레이어에 공통적으로 적용되는 것으로, 코어 레이어에 상응하여 설정되는 것이 메모리나 시스템 효율 측면에서 유리하다.
- [783] 도 21은 컨벌루셔널 타임 인터리버가 사용되는 경우의 다른 예를 나타낸 도면이다.
- [784] 도 21을 참조하면, 코어 레이어 피지컬 레이어 파이프(PLP #0) 및 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)의 시작 위치 및 사이즈가 상이한 것을 알 수 있다.
- [785] 이와 같이 코어 레이어 피지컬 레이어 파이프(PLP #0) 및 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)의 시작 위치 및 사이즈가 상이한 경우, 인핸스드 레이어에 공백 영역(empty area)이 포함될 수 있다.
- [786] 도 21에 도시된 바와 같이, 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)의 후단에 공백 영역이 포함되는 경우 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)는 완전한 FEC 블록으로 끝난다.
- [787] 도 22는 하이브리드 타임 인터리버가 사용되는 경우의 일 예를 나타낸 도면이다.
- [788] 도 22를 참조하면, 코어 레이어에 두 개의 피지컬 레이어 파이프들(PLP #0, PLP #1)이 포함된 것을 알 수 있다.
- [789] 이와 같이, 코어 레이어가 멀티플 피지컬 레이어 파이프들로 이루어진 경우, 하이브리드 타임 인터리버가 사용된다.
- [790] 하이브리드 타임 인터리버가 사용되는 경우, 코어 레이어 및 인핸스드 레이어의 모든 피지컬 레이어 파이프들은 완전한 FEC 블록들만(only complete FEC blocks) 포함한다.
- [791] 이 때, 인핸스드 레이어의 일부분(some part)은 코어 레이어 경계와의 정렬(align)을 위해 비워질 수 있다.

- [792] 도 23은 도 22에 도시된 예에서 타임 인터리버 그룹을 나타낸 도면이다.
- [793] 도 23을 참조하면, 코어 레이어의 피지컬 레이어 파이프들의 경계에 상응하여 타임 인터리버 그룹 경계가 설정된 것을 알 수 있다.
- [794] 도 23에는 타임 인터리버 그룹이 하나의 코어 레이어 피지컬 레이어 파이프만을 포함하는 경우를 예로 들었으나, 실시예에 따라 타임 인터리버 그룹은 둘 이상의 코어 레이어 피지컬 파이프들을 포함할 수 있다.
- [795] 도 23에 도시된 예에서, 인핸스드 레이어의 경우 타임 인터리버 그룹 경계에 의해 하나의 FEC 블록이 분할될 수 있다.
- [796] 이는, 타임 인터리버 그룹 분할이 코어 레이어 기준으로 수행되기 때문인데, 이러한 경우에 타임 인터리버 그룹 경계에 상응하는 인핸스드 레이어의 불완전한 FEC 블록을 식별할 수 있는 정보를 시그널링할 수 있다.
- [797] 도 24 내지 도 26은 도 23에 도시된 예에서 불완전한 FEC 블록의 사이즈를 계산하는 과정을 도시한 도면이다.
- [798] 도 24를 참조하면, 코어 레이어의 피지컬 레이어 파이프의 시작 위치(L1D_plp_start(PLP #0)), 코어 레이어의 피지컬 레이어 파이프의 사이즈(L1D_plp_size(PLP #0)) 및 인핸스드 레이어의 피지컬 레이어 파이프의 시작 위치(L1D_plp_start(PLP #2))를 이용하여 인핸스드 레이어 피지컬 레이어 파이프의 시작 위치(L1D_plp_start(PLP #2)) 및 타임 인터리버 그룹 경계 사이의 거리(A)를 산출하는 것을 수 있다.
- [799] 도 25를 참조하면, 인핸스드 레이어의 FEC 블록 사이즈를 이용하여 분할된 FEC 블록의 시작 위치 및 타임 인터리버 그룹 경계 사이의 거리(B)를 산출하는 것을 알 수 있다.
- [800] 이 때, FEC 블록 사이즈는 상기 인핸스드 레이어에 상응하는 모듈레이션 정보(L1D_plp_mod) 및 상기 인핸스드 레이어에 상응하는 FEC 타입 정보(L1D_plp_fec_type)를 이용하여 결정될 수 있다.
- [801] 도 26을 참조하면, 타임 인터리버 그룹들의 경계에 상응하는 인핸스드 레이어의 FEC 블록의 일부분(C)이 식별되는 것을 알 수 있다.
- [802] 하기 표 3은 본 발명의 일실시예에 따른 프리앰블의 L1-Detail 필드들의 일 예를 나타낸 것이다.
- [803] 본 발명의 일실시예에 따른 프리앰블은 L1-Basic 및 L1-Detail을 포함할 수 있다.
- [804]

[805] [圖3]

Syntax	# of bits
L1_Detail_signaling() {	
L1D_version	4
L1D_num_rf	3
for L1D_rf_id=1 .. L1D_num_rf {	
L1D_rf_frequency	19
}	
if (L1B_time_info_flag != 00) {	
L1D_time_sec	32
L1D_time_msec	10
if (L1B_time_info_flag != 01) {	
L1D_time_usec	10
if (L1B_time_info_flag != 10) {	
L1D_time_nsec	10
}	
}	
}	
for i=0 .. L1B_num_subframes {	
if (i > 0) {	
L1D_mimo	1
L1D_miso	2
L1D_fft_size	2
L1D_reduced_carriers	3
L1D_guard_interval	4
L1D_num_ofdm_symbols	11
L1D_scattered_pilot_pattern	5

L1D_scattered_pilot_boost	3
L1D_sbs_first	1
L1D_sbs_last	1
}	
if (L1B_num_subframes>0) {	
L1D_subframe_multiplex	1
}	
L1D_frequency_interleaver	1
L1D_num_plp	6
for j=0 .. L1D_num_plp {	
L1D_plp_id	6
L1D_plp_lls_flag	1
L1D_plp_layer	2
L1D_plp_start	24
L1D_plp_size	24
L1D_plp_scrambler_type	2
L1D_plp_fec_type	4
if (L1D_plp_fec_type ∈ {0,1,2,3,4,5}) {	
L1D_plp_mod	4
L1D_plp_cod	4
}	
L1D_plp_TI_mode	2
if (L1D_plp_TI_mode=00) {	
L1D_plp_fec_block_start	15
}	
if (L1D_plp_TI_mode=01) {	
L1D_plp_CTI_fec_block_start	22

}	
if (L1D_num_rf>0) {	
L1D_plp_num_channel_bonded	3
if (L1D_plp_num_channel_bonded>0) {	
L1D_plp_channel_bonding_format	2
for k=0 .. L1D_plp_num_channel_bonded{	
L1D_plp_bonded_rf_id	3
}	
}	
}	
if (i=0 && L1B_first_sub_mimo=1) (i >1 && L1D_mimo=1) {	
L1D_plp_stream_combining	1
L1D_plp_IQ_interleaving	1
L1D_plp_PH	1
}	
if (L1D_plp_layer=0) {	
L1D_plp_type	1
if L1D_plp_type=1 {	
L1D_plp_num_subslices	14
L1D_plp_subslice_interval	24
}	
L1D_plp_TI_extended_interleaving	1
if (L1D_plp_TI_mode=01) {	
L1D_plp_CTI_depth	3
L1D_plp_CTI_start_row	11

} else if (L1D_plp_TI_mode=10) {	
L1D_plp_HTI_inter_subframe	1
L1D_plp_HTI_num_ti_blocks	4
L1D_plp_HTI_num_fec_blocks_max	12
if (L1D_plp_HTI_inter_subframe=0) {	
L1D_plp_HTI_num_fec_blocks	12
} else {	
for (k=0.. L1D_plp_HTI_num_ti_blocks) {	
L1D_plp_HTI_num_fec_blocks	12
}	
}	
L1D_plp_HTI_cell_interleaver	1
}	
} else {	
L1D_plp_ldm_injection_level	5
}	
}	
}	
L1D_reserved	as needed
L1D_crc	32
}	

[806]

[807] 상기 표 3에서 비트가 할당된 모든 비트들은 Unsigned integer most significant bit first(uimSBF) 포맷에 상응하는 것일 수 있다.

[808] 상기 표 3에 기재된 필드들 중 L1D_plp_layer는 각각의 피지컬 레이어 파이프에 상응하는 레이어를 나타내는 것일 수 있다. L1D_plp_start는 현재 피지컬 레이어 파이프(current PLP)의 시작 위치 정보에 상응하는 것으로, 현재 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스를 나타내는 것일 수 있다. L1D_plp_size는 현재 피지컬 레이어 파이프의 사이즈 정보에 상응하는 것으로, 현재 피지컬

레이어 파이프에 할당된 데이터 셀들의 개수를 나타내는 것일 수 있다. 이 때, L1D_plp_size는 0보다 크게 설정될 수 있다.

- [809] L1D_plp_fec_type은 현재 피지컬 레이어 파이프의 FEC 타입 정보에 상응하는 것으로, 현재 피지컬 레이어 파이프를 인코딩하는데 사용된 FEC(Forward Error Correction) 방법을 나타내는 것일 수 있다.
- [810] 예를 들어, L1D_plp_fec_type="0000"은 BCH 및 16200 LDPC에 상응하고, L1D_plp_fec_type="0001"은 BCH 및 64800 LDPC에 상응하고, L1D_plp_fec_type="0010"은 CRC 및 16200 LDPC에 상응하고, L1D_plp_fec_type="0011"은 CRC 및 64800 LDPC에 상응하고, L1D_plp_fec_type="0100"은 16200 LDPC에 상응하고, L1D_plp_fec_type="0101"은 64800 LDPC에 상응할 수 있다.
- [811] L1D_plp_mod는 현재 피지컬 레이어 파이프의 모듈레이션 정보를 나타내는 것일 수 있다. 이 때, L1D_plp_mod는 상기 표 3과 같이 L1D_plp_fec_type이 기설정된 조건을 만족하는 경우에만 시그널링될 수 있다.
- [812] 예를 들어, L1D_plp_mod="0000"은 QPSK에 상응하고, L1D_plp_mod="0001"은 16QAM-NUC에 상응하고, L1D_plp_mod="0010"은 64QAM-NUC에 상응하고, L1D_plp_mod="0011"은 256QAM-NUC에 상응하고, L1D_plp_mod="0100"은 1024QAM-NUC에 상응하고, L1D_plp_mod="0101"은 4096QAM-NUC에 상응할 수 있다. 이 때, L1D_plp_mod는 L1D_plp_fec_type이 64800 LDPC에 상응하는 경우에만 "0100"이나 "0101"로 설정될 수 있다.
- [813] L1D_plp_TI_mode는 PLP의 타임 인터리빙 모드를 나타낸다.
- [814] 예를 들어, L1D_plp_TI_mode="00"은 타임 인터리빙을 사용하지 않는 모드를 나타내고, L1D_plp_TI_mode="01"은 컨벌루션형 타임 인터리빙 모드를 나타내고, L1D_plp_TI_mode="10"은 하이브리드 타임 인터리빙 모드를 나타낼 수 있다.
- [815] L1D_plp_fec_block_start는 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보에 상응하는 것일 수 있다. L1D_plp_fec_block_start는 L1D_plp_TI_mode="00"인 경우에만 시그널링될 수 있다.
- [816] 레이어드 디비전 멀티플렉싱이 사용되는 경우, 각각의 레이어에서 첫 번째 FEC 블록의 시작 위치가 달라질 수 있으므로 L1D_plp_fec_block_start는 각각의 레이어에 대하여 시그널링될 수 있다.
- [817] L1D_plp_CTI_fec_block_start는 피지컬 레이어 파이프 내의 첫 번째 완전한 블록의 시작 위치 정보에 상응하는 것일 수 있다. L1D_plp_CTI_fec_block_start는 L1D_plp_TI_mode="01"인 경우에만 시그널링될 수 있다.
- [818] 이 때, L1D_plp_fec_block_start보다 L1D_plp_CTI_fec_block_start에 많은 비트가 할당될 수 있다.
- [819] 전술한 바와 같이, L1D_plp_TI_mode="10"인 경우에는 모든 PLP는 완전한 FEC 블록들만을 포함하므로 첫 번째 FEC 블록의 시작 위치를 별도로 시그널링할

필요가 없다.

- [820] L1D_plp_HTI_num_fec_blocks는 코어 레이어의 피지컬 레이어 파이프를 위한 현재 인터리빙 프레임에 포함된 FEC 블록들의 개수에 상응하는 것일 수 있다.
- [821] 이 때, 타임 인터리버 정보는 L1D_plp_layer가 0인 경우(코어 레이어)에 L1D_plp_TI_mode가 01인지 10인지에 따라 각각 컨벌루셔널 타임 인터리빙에 해당하는 필드들(L1D_plp_CTI_depth, L1D_plp_CTI_start_row) 및 하이브리드 타임 인터리빙에 해당하는 필드들(L1D_plp_HTI_inter_subframe, L1D_plp_HTI_num_ti_blocks, L1D_plp_HTI_num_fec_blocks_max, L1D_plp_HTI_num_fec_blocks, L1D_plp_HTI_cell_interleaver 등)이 타임 인터리버 정보로써 시그널링되는 것을 알 수 있다.
- [822] 이 때, L1D_plp_CTI_depth는 컨벌루셔널 타임 인터리버에서 사용되는 행들의 수를 나타내고, L1D_plp_CTI_start_row는 서브프레임의 시작에서 인터리버 선택기(interleaver selector)의 위치를 나타낼 수 있다.
- [823] 이 때, L1D_plp_HTI_inter_subframe은 하이브리드 타임 인터리빙 모드를 나타내고, L1D_plp_HTI_num_ti_blocks은 인터리빙 프레임당 TI 블록들의 수나 하나의 TI 블록으로부터의 셀들이 전송되는 서브프레임들의 수를 나타내고, L1D_plp_HTI_num_fec_blocks_max는 현재 피지컬 레이어 파이프의 인터리빙 프레임당 FEC 블록들의 최대 개수에서 1을 뺀 것을 나타내고, L1D_plp_HTI_num_fec_blocks는 현재 피지컬 레이어 파이프의 현재 인터리빙 프레임에 포함된 FEC 블록들의 수에서 1을 뺀 것을 나타내고, L1D_plp_HTI_cell_interleaver는 셀 인터리버가 사용되는지 여부를 나타낼 수 있다.
- [824] 이 때, L1D_plp_TI_mode와 같은 필드는 코어 레이어를 기준으로 시그널링되는 타임 인터리버 정보와 별개로 시그널링될 수 있다.
- [825] 도 27은 L1D_plp_TI_mode="00"인 경우에 L1D_plp_fec_block_start에 필요한 비트수를 설명하기 위한 도면이다.
- [826] 도 27을 참조하면, L1D_plp_TI_mode="00"인 경우(타임 인터리빙이 생략되는 경우)에는 타임 인터리빙 이전의 FEC 블록 시작 위치의 셀 주소(cell address of FEC block start position before time interleaving)(C_{in})과 타임 인터리빙 이후의 FEC 블록 시작 위치의 셀 주소(cell address of FEC block start position after time interleaving)(C_{out})가 동일한 것을 알 수 있다.
- [827] 도 27의 경우와 같이 타임 인터리빙이 생략되는 경우는 컨벌루셔널 인터리빙이 뎀스 0으로(with a depth of 0) 수행되는 것으로 볼 수 있다.
- [828] 이 때, L1D_plp_fec_block_start는 타임 인터리빙 이후에 정의되므로, C_{out}이 L1D_plp_fec_block_start으로 서브프레임 내의 피지컬 레이어 파이프별로 시그널링될 수 있다.
- [829] LDPC 코드워드가 16200이나 64800이고, 모듈레이션 오더가 2, 4, 6, 8, 10 및 12인 경우, 가장 긴 FEC 블록은 $64800/2=32400$ 의 길이를 가질 수 있다.

- [830] 32400은 15비트로 표현 가능하므로, L1D_plp_fec_block_start에 15비트가 할당되면 L1D_plp_TI_mode="00"인 경우를 커버할 수 있다.
- [831] 도 28 및 29는 L1D_plp_TI_mode="01"인 경우에 L1D_plp_CTI_fec_block_start에 필요한 비트수를 설명하기 위한 도면들이다.
- [832] 도 28을 참조하면, L1D_plp_TI_mode="01"인 경우(컨벌루션 타임 인터리빙)에는 타임 인터리빙 이전의 FEC 블록 시작 위치의 셀 주소(cell address of FEC block start position before time interleaving)(C_in)과 타임 인터리빙 이후의 FEC 블록 시작 위치의 셀 주소(cell address of FEC block start position after time interleaving)(C_out)가 인터리빙에 의하여 달라지는 것을 알 수 있다.
- [833] 이 때, L1D_plp_CTI_fec_block_start는 타임 인터리빙 이후에 정의되므로, C_out이 L1D_plp_CTI_fec_block_start으로 서브프레임 내의 피지컬 레이어 파이프별로 시그널링될 수 있다.
- [834] 도 29를 참조하면, 텡스(depth)가 4인 컨벌루션 타임 인터리버가 C_in을 입력으로, C_out을 출력으로 동작하는 것을 알 수 있다.
- [835] 이 때, 입력의 경우 0은 0번째 행에 해당하고, 1은 1번째 행에 해당하고, 2는 2번째 행에 해당하고, 3은 3번째 행에 해당하고, 4는 0번째 행에 해당하고, 5는 1번째 행에 해당하고, 6은 2번째 행에 해당하고, 7은 3번째 행에 해당하고, 8은 0번째 행에 해당하고, 9는 1번째 행에 해당하고, 10은 2번째 행에 해당한다.
- [836] 먼저, 0번째 행에 해당하는 0, 4, 8 등의 경우 지연 없이 바로 출력된다.
- [837] 1번째 행에 해당하는 1, 5, 9 등의 경우 4만큼 지연되어 출력된다.
- [838] 2번째 행에 해당하는 2, 6, 10 등의 경우 8만큼 지연되어 출력된다.
- [839] 3번째 행에 해당하는 3, 7 등의 경우 12만큼 지연되어 출력된다.
- [840] 즉, n번째 행에 대하여 (n x 4)의 지연들(delays)이 발생하는 것을 알 수 있다.
- [841] 도 29에서는 텡스(depth)가 4(타임 인터리버의 행이 4)인 경우를 예로 들었으나, 타임 인터리버의 행이 N_row라 하면, n번째 행에 상응하는 입력은 (n x N_row)만큼 지연된다.
- [842] 이 때, 타임 인터리빙 이후의 FEC 블록 시작 위치의 셀 주소(L1D_plp_CTI_fec_block_start)는 (C_in + (n x N_row))으로 계산될 수 있다. 이 때, n은 C_in에 상응하는 행(row)이고, L1-Detail에 의하여 시그널링되는 타임 인터리빙 정보 중 L1D_CTI_start_row에 의하여 결정될 수 있다. 이 때, n은 ((L1D_CTI_start_row + C_in) % N_row)일 수 있다. 이 때, L1D_CTI_start_row는 서브프레임 시작시 인터리버 선택기의 위치를 나타낼(indicate the position of the interleaver selector at the start of the subframe) 수 있다.
- [843] 즉, L1D_plp_CTI_fec_block_start는 C_in에 타임 인터리빙으로 인한 지연(delay caused by time interleaving)을 더하여 산출할 수 있다.
- [844] L1D_plp_CTI_fec_block_start를 시그널링하는데 필요한 비트수를 산출하려면, L1D_plp_CTI_fec_block_start의 최대값이 필요하다. 이미 살펴본 바와 같이 C_in의 최대값은 32400이고, n의 최대값은 N_row-1이고, N_row는 non-extended

interleaving의 경우 최대 1024일 수 있다. 이 때, L1D_plp_CTI_fec_block_start의 최대값은 $(32400 + (1024-1) \times 1024) = 1079952$ 이다. 1079952는 최소 21비트가 있어야 시그널링할 수 있다.

[845] N_row는 extended interleaving의 경우 최대 1448일 수 있다. 이 때, L1D_plp_CTI_fec_block_start의 최대값은 $(32400 + (1448-1) \times 1448) = 2127656$ 이다. 2127656은 최소 22비트가 있어야 시그널링할 수 있다.

[846] 결국, L1D_plp_TI_mode="00"인 경우 L1D_plp_fec_block_start의 최대값은 C_in의 최대값과 동일하고, L1D_plp_TI_mode="01"인 경우 L1D_plp_CTI_fec_block_start의 최대값은 C_in의 최대값에 인터리빙으로 인한 딜레이를 더한 값이 되므로 L1D_plp_fec_block_start을 시그널링하는데 사용되는 비트수보다 L1D_plp_CTI_fec_block_start을 시그널링하는데 사용되는 비트수가 커야 효율적인 시그널링이 가능하다.

[847] L1D_plp_TI_mode="10"인 경우는 코어 레이어와 인핸스드 레이어의 모든 피지컬 레이어 파이프들이 오직 온전한 FEC 블록들만을 포함할 수 있으므로, 모든 피지컬 레이어 파이프의 시작 위치가 최초의 온전한 FEC 블록의 시작 위치가 되므로, L1D_plp_fec_block_start 또는 L1D_plp_CTI_fec_block_start와 같은 필드를 시그널링할 필요가 없다.

[848] 도 30은 레이어드 디비전 멀티플렉싱과 함께 HTI 모드가 사용되는 경우 인핸스드 레이어 더미 값들의 삽입을 나타낸 도면이다.

[849] 도 30을 참조하면, 타임 인터리버 그룹(TI_Group_1)의 인핸스드 레이어 데이터(L1D_PLP_layer = 1)에 더미 값들(Dummy)이 삽입된 것을 알 수 있다.

[850] 서브프레임 내에서 수신기로 전달되는 특정 엔드 프로덕트와 관련된 PLP들 전체의 집합을 PLP 그룹이라 하자.

[851] 레이어드 디비전 멀티플렉싱이 사용될 때, PLP 그룹은 적어도 하나(at least one)의 코어 PLP와 하나 이상의(one or more) 인핸스드 PLP들을 포함할 수 있다.

[852] 실제 PLP 데이터를 위해 정수개의 FEC 블록들이 사용되는 HTI 모드의 타임 인터리빙이 사용될 때, 특정 PLP 그룹 내에서 각각의 PLP의 ModCod 구성에 따라 코어 PLP(들)의 셀들의 총 수는 인핸스드 PLP(들)의 셀들의 총 수와 상이할 수 있다. 이러한 경우에, PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 코어 레이어 셀들의 총 수와 동일해지도록, 인핸스드 레이어 더미 값들이 PLP 그룹의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에 삽입될 수 있다. 타임 인터리버 그룹이 코어 PLP들 기준으로 설정되므로, 더미 값들은 코어 레이어에는 삽입되지 않을 수 있다.

[853] 인핸스드 레이어 더미 값들의 삽입은 BICM 단계들 이후 및 코어 PLP(들)와 인핸스드 PLP(들)가 결합되기 전에 수행될 수 있다. 인핸스드 레이어 더미 값들을 생성하기 위해, 스크램블링 시퀀스가 사용되고, 이 스크램블링 시퀀스는 각각의 적절한 PLP 그룹마다(for each relevant PLP group) 재초기화될 수 있다. 그리고, 이 시퀀스는 현재 PLP 그룹 내의 마지막 인핸스드 PLP를 위해 사용된

컨스틸레이션 맵핑과 동일한 컨스틸레이션 맵핑을 이용하여 모듈레이션될 수 있다.

- [854] 인핸스드 레이어 더미 값들은, 실제 데이터와 동일한 스케일링 팩터 및 노멀라이징 팩터가 적용되도록, 동일한 PLP 그룹 내의 바로 이전 인핸스드 PLP와 동일한 파워를 가질 수 있다.
- [855] 도 31은 본 발명의 일실시예에 따른 더미 값들의 생성에 사용되는 쉬프트 레지스터의 일 예를 나타낸 도면이다.
- [856] 도 31을 참조하면, 제너레이터 폴리노미얼(generator polynomial) $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 16비트 쉬프트 레지스터를 이용하여 시퀀스가 생성되는 것을 알 수 있다.
- [857] 도 31에 도시된 레지스터는 초기시퀀스(initial sequence) 0xF180 (1111 0001 1000 0000)으로 초기화될 수 있다. 전술한 바와 같이, 각각의 적절한 PLP 그룹마다(for each relevant PLP group) 재초기화가 수행된다.
- [858] 도 31에 도시된 예에서, 여덟 개의 쉬프트 레지스터 출력들 (D^7, D^6, \dots, D^0)이 출력 비트들이 된다. 출력 비트들이 출력되고 나면 쉬프트 레지스터의 비트들은 한 번 쉬프트된다. 한 번 쉬프트 이후, 레지스터 X^{14} 에는 1과 1의 익스클루시브 오어 값인 0이 저장되고, 레지스터 X^{13} 에는 1과 0의 익스클루시브 오어 값인 1이 저장되고, 레지스터 X^{12} 에는 1과 0의 익스클루시브 오어 값인 1이 저장되고, 레지스터 X^{11} 에는 레지스터 X^{10} 에 저장되어 있던 0이 저장되고, 레지스터 X^7 에는 1과 0의 익스클루시브 오어 값인 1이 저장되고, 레지스터 X^4 에는 1과 0의 익스클루시브 오어 값인 1이 저장되고, 레지스터 X^3 에는 레지스터 X^2 에 저장되어 있던 0이 저장되고, 레지스터 X 에는 레지스터 X^{16} 에 저장되어 있던 1이 저장된다.
- [859] 따라서, 도 31에 도시된 예에서 출력 시퀀스(스크램블링 시퀀스)는 1100 0000 0110 1101 0011 1111 ... 이 된다(MSB 우선, 또는 $D^7, D^6, \dots, D^0, D^7, D^6, \dots$).
- [860] 전술한 바와 같이, 각각의 피지컬 레이어 파이프(Physical Layer Pipe)는 노 타임 인터리빙(no time interleaving) 모드, 컨벌루셔널 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나로 구성될 수 있다.
- [861] PLP의 타임 인터리빙 모드는 L1D_plp_TI_mode에 의하여 식별될 수 있고, 인핸스드 PLP의 타임 인터리빙 모드는 상기 인핸스드 레이어가 레이어 디비전 멀티플렉싱되는 코어 PLP를 위하여 식별되는 타임 인터리빙 모드와 동일해야 한다.
- [862] 하나의 완전한 전송 프로덕트(a complete delivered product)가 오직 하나의 컨스탄트-셀-레이트(constant-cell-rate) PLP로 구성되어 있거나 하나의 컨스탄트-셀-레이트 코어 PLP 및 상기 하나의 코어 PLP에 멀티플렉싱된 하나 이상의 컨스탄트-셀-레이트 인핸스드 PLP(들)로 구성되어 있는 경우, 상기 완전한 전송 프로덕트를 구성하는 PLP(들)은 노 타임 인터리빙 모드, 컨벌루셔널 타임 인터리빙 모드 및 하이브리드 타임 인터리빙 모드 중 하나의 타임 인터리빙

- 모드로 구성될 수 있다.
- [863] 하나의 완전한 전송 프로덕트(a complete delivered product)가 이전 단락에서 기술된 특성과 다른 특성을 갖는 PLP들로 구성되어 있는 경우, 상기 완전한 전송 프로덕트를 구성하는 PLP들은 노 타임 인터리빙 모드 및 하이브리드 타임 인터리빙 모드 중 하나의 타임 인터리빙 모드로 구성될 수 있다.
- [864] 이 때, 완전한 전송 프로덕트는 하나의 서비스에 상응하는 것일 수 있다. 즉, 완전한 전송 프로덕트는 하나의 서비스를 위해 필요한 모든 PLP 데이터를 포함하는 것일 수 있다.
- [865] 하나의 특정한 완전한 전송 프로덕트(a particular complete delivered product)의 PLP들을 위한 타임 인터리빙 모드(들)은 동일한 RF 채널 내에서 전송되는 다른 전송 프로덕트들(any other delivered products)의 PLP(들)을 위한 타임 인터리빙 모드(들)과 독립적으로 구성될 수 있다. 하나의 특정한 전송 프로덕트가 멀티플 코어 PLP들 및/또는 레이어드 디비전 멀티플렉싱되지 않은 PLP들을 포함할 때, 이 PLP들은 동일하거나 상이한 타임 인터리빙 모드들(예를 들어, 노 타임 인터리빙 모드 및/또는 하이브리드 타임 인터리빙 모드) 및/또는 동일하거나 상이한 타임 인터리빙 파라미터들로 구성될 수 있다.
- [866] 도 32는 타임 인터리빙 모드의 유형을 나타낸 도면이다.
- [867] 도 32를 참조하면, 타임 인터리빙 모드는 크게 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙으로 나뉜다.
- [868] 인트라-서브프레임 인터리빙은 인터리빙이 서브프레임 내에서 이루어지는 경우에 해당한다. 이 때, 인터리빙 프레임은 하나의 서브프레임에 맵핑된다. 즉, 인트라-서브프레임 인터리빙이 수행된 경우 디코더는 서브프레임 내에서 해당 피지컬 레이어 파이프를 디코딩할 수 있다.
- [869] 인터-서브프레임 인터리빙은 인터리빙이 하나의 서브프레임 범위를 벗어난 경우에 해당한다. 이 때, 인터리빙 프레임은 복수의 서브프레임들에 맵핑된다. 즉, 인터-서브프레임 인터리빙이 수행된 경우 디코더는 해당 피지컬 레이어 파이프를 디코딩하기 위해 하나의 서브프레임 이외의 다른 서브프레임의 데이터를 필요로 할 수 있다.
- [870] 도 32에 도시된 바와 같이, 노 타임 인터리빙 모드(NO TI)의 경우 인트라-서브프레임 인터리빙에 해당하고, 컨벌루셔널 타임 인터리빙 모드(CTI)의 경우 인터-서브프레임 인터리빙에 해당한다. 이 때, 노 타임 인터리빙 모드(NO TI)는 인터리빙 텀스가 0인 인터리빙 모드로 볼 수 있다.
- [871] 하이브리드 타임 인터리빙 모드(HTI)의 경우 인트라-서브프레임 인터리빙에 해당할 수도 있고 인터-서브프레임 인터리빙에 해당할 수도 있는데, CDL(Convolutional Delay Line)이 오프된 경우에는 인트라-서브프레임 인터리빙에 해당하고 CDL이 온 된 경우에는 인터-서브프레임 인터리빙에 해당할 수 있다.
- [872] 하이브리드 타임 인터리빙 모드에서 L1D_plp HTI_inter_subframe 필드에 의해

인트라-서브프레임 인터리빙인지 인터-서브프레임 인터리빙인지가 식별될 수 있다. 예를 들어, $L1D_plp_HTI_inter_subframe=0$ 인 경우 해당 타임 인터리빙 모드는 인트라-서브프레임 인터리빙에 해당하고, $L1D_plp_HTI_inter_subframe=1$ 인 경우 해당 타임 인터리빙 모드는 인터-서브프레임 인터리빙에 해당할 수 있다.

- [873] 타임 인터리빙 모드나 타임 인터리빙과 관련된 파라미터들은 코어 레이어 피지컬 레이어 파이프별로 설정될 수 있으므로, 인코딩 과정에서 타임 인터리빙 모드나 타임 인터리빙과 관련된 파라미터들을 설정할 때 디코딩 과정을 고려하지 않으면, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱된 복수개의 코어 레이어 피지컬 레이어 파이프들 중 일부는 인트라-서브프레임 인터리빙을 사용하고 다른 일부는 인터-서브프레임 인터리빙을 사용하는 경우가 발생할 수 있다.
- [874] 도 33은 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙이 동시에 사용되는 경우를 나타낸 도면이다.
- [875] 도 33을 참조하면, 하나의 인핸스드 레이어 피지컬 레이어 파이프(ENHANCED PLP #3)에 3개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1, CORE PLP #2)이 레이어드 디비전 멀티플렉싱되어 있는 것을 알 수 있다.
- [876] 첫 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)는 CDL이 오픈된 HTI 모드이므로 인트라-서브프레임 인터리빙에 해당하고, 두 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)는 CDL이 온 된 HTI 모드이므로 인터-서브프레임 인터리빙에 해당하고, 세 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #2)는 NO TI 모드이므로 인트라-서브프레임 인터리빙에 해당한다.
- [877] 따라서, 첫 번째 및 세 번째 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #2)은 즉시 디코딩될 수 있으나, 두 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)는 타임 인터리빙 유닛(N_{IU})에 상응하는 수($N_{IU}-1$)만큼의 서브프레임들이 디코딩될때까지 기다려야 디코딩될 수 있다. 이 때, 타임 인터리빙 유닛(N_{IU})은 인터-서브프레임 인터리빙시 하나의 타임 인터리빙 블록으로부터의 셀들이 전송되는 서브프레임들의 개수일 수 있다.
- [878] 도 33에 도시된 예에서, 인핸스드 레이어 피지컬 레이어 파이프의 조각들이 다른 디코딩 타이밍을 가지고, 이는 해당 인핸스드 레이어 피지컬 레이어 파이프를 디코딩하기 위해 추가적인 레이턴시와 버퍼가 필요함을 의미한다.
- [879] 도 34는 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙이 동시에 사용되는 경우의 서브프레임들을 나타낸 도면이다.
- [880] 도 34를 참조하면, 3개의 서브프레임들에 걸쳐서, 하나의 인핸스드 레이어 피지컬 레이어 파이프(PLP #3)에 3개의 코어 레이어 피지컬 레이어 파이프들(PLP #0, PLP #1, PLP #2)이 레이어 디비전 멀티플렉싱된 것을 알 수 있다.

- [881] 이 때, 인핸스드 레이어 피지컬 레이어 파이프의 조각들(PLP #3-A, PLP #3-B, PLP #3-C)이 각각 5개, 2개 및 4개의 FEC 블록들을 가지고, 코어 레이어 피지컬 레이어 파이프(PLP #1)의 타임 인터리빙 유닛(N_{IU})이 3일 수 있다. 이 때, 인핸스드 레이어 피지컬 레이어 파이프(PLP #3)는 타임 인터리빙 유닛(N_{IU})에 해당하는 서브프레임들이 디코딩되기를 기다려야 한다.
- [882] 도 34에 도시된 예에서, 인핸스드 레이어 셀들의 출력 타이밍은 #0, 1, 2, 3, 4, 7, 8, 9, 10, 11, 12, 13, 14, 15, 18, 19, 20, 21, 22, 23, 24, 25, 26, 5, 6, 29, 39, 31, 32...와 같이 된다. 따라서, 첫 번째 서브프레임(SUBFRAME #0)의 일부분(#5, #6)이 두 서브프레임들(SUBFRAME #1, SUBFRAME #2)을 기다린 후에 출력되고 이는 디코딩 타이밍의 문제가 된다.
- [883] 이와 같은 디코딩 타이밍의 문제를 해결하기 위해, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 복수개의 코어 레이어 피지컬 레이어 파이프들이 레이어드 디비전 멀티플렉싱된 경우, 모든 코어 레이어 피지컬 레이어 파이프들이 인트라-서브프레임 인터리빙을 사용하도록 하거나, 모든 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙을 사용하도록 하는 것이 디코딩 타이밍 문제 및 이와 관련된 디코딩 복잡도를 낮추는데 효율적일 수 있다.
- [884] 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱된 복수개의 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙을 사용하는 경우에도, 코어 레이어 피지컬 레이어 파이프들의 타임 인터리빙 유닛(N_{IU})들은 서로 상이할 수 있다.
- [885] 그러나, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 모든 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙을 사용하는 경우에도 디코딩 복잡도가 증가하는 경우가 있다.
- [886] 도 35는 서로 다른 타임 인터리빙 유닛들이 동시에 사용되는 경우를 나타낸 도면이다.
- [887] 도 35를 참조하면, 하나의 인핸스드 레이어 피지컬 레이어 파이프(ENHANCED PLP #3)에 3개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1, CORE PLP #2)이 레이어드 디비전 멀티플렉싱되어 있는 것을 알 수 있다.
- [888] 3개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1, CORE PLP #2) 모두 CDL이 온 된 HTI 모드이므로 인터-서브프레임 인터리빙에 해당한다. 그러나, 첫 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)의 타임 인터리빙 유닛(N_{IU})은 2이고, 두 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)의 타임 인터리빙 유닛(N_{IU})은 4이고, 세 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #2)의 타임 인터리빙 유닛(N_{IU})은 3이다.
- [889] 따라서, 첫 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)는 1 서브프레임을 기다려야 하고, 두 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)는 3 서브프레임들을 기다려야 하고, 세 번째 코어 레이어 피지컬 레이어

- 파이프(CORE PLP #2)는 2 서브프레임들을 기다려야 한다.
- [890] 도 35에 도시된 예에서, 인핸스드 레이어 피지컬 레이어 파이프의 조각들이 다른 디코딩 타이밍을 가지고, 이는 해당 인핸스드 레이어 피지컬 레이어 파이프를 디코딩하기 위해 추가적인 레이턴시와 버퍼가 필요함을 의미한다.
- [891] 이와 같이, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 모든 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙을 사용하고 모두 동일한 타임 인터리빙 유닛을 사용하도록 하는 것이 디코딩 타이밍 문제와 이와 관련된 디코딩 복잡도를 낮추는데 효율적일 수 있다.
- [892] 그러나, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱된 복수개의 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙을 사용하고 모두 동일한 타임 인터리빙 유닛을 사용하는 경우에도, 서브프레임 구조에 따라 디코딩 문제가 발생할 수 있다.
- [893] 도 36은 동일한 타임 인터리빙 유닛이 동시에 사용되는 경우의 서브프레임들을 나타낸 도면이다.
- [894] 도 36을 참조하면, 첫 번째 서브프레임(SUBFRAME 0)에는 하나의 인핸스드 레이어 피지컬 레이어 파이프(ENHANCED PLP #3)에 두 개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1)이 레이어드 디비전 멀티플렉싱되어 있는 것을 알 수 있다.
- [895] 또한, 두 번째 및 세 번째 서브프레임들(SUBFRAME 1, 2) 각각에는 하나의 인핸스드 레이어 피지컬 레이어 파이프(ENHANCED PLP #3)에 하나의 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)가 레이어드 디비전 멀티플렉싱되어 있다.
- [896] 또한, 네 번째 서브프레임(SUBFRAME 3)에는 하나의 인핸스드 피지컬 레이어 파이프(ENHANCED PLP #3)에 하나의 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)이 레이어드 디비전 멀티플렉싱되어 있다.
- [897] 이 때, 첫 번째 서브프레임의 두 개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1)은 모두 인터-서브프레임 인터리빙에 해당하고 동일한 타임 인터리빙 유닛($N_{ITB}=3$)을 사용한다.
- [898] 그러나, 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)는 세 번째 서브프레임(SUBFRAME 2)까지만 기다리면 되지만, 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)는 네 번째 서브프레임(SUBFRAME 3) 이후까지 기다려야 한다. 이는 첫 번째 서브프레임(SUBFRAME 0) 이후의 서브프레임들의 구조가 상이하기 때문이다.
- [899] 도 36에 도시된 예에서, 동일한 타임 인터리빙 유닛에도 불구하고 인핸스드 레이어 피지컬 레이어 파이프의 조각들이 다른 디코딩 타이밍을 가지고, 이는 해당 인핸스드 레이어 피지컬 레이어 파이프를 디코딩하기 위해 추가적인 레이턴시와 버퍼가 필요함을 의미한다.
- [900] 도 33 내지 도 36에서 살펴본 바와 같이, 하나의 인핸스드 레이어 피지컬 레이어

파이프에 복수개의 코어 레이어 피지컬 레이어 파이프들이 레이어드 디비전 멀티플렉싱되는 경우, 인핸스드 레이어 피지컬 레이어 파이프의 조각들마다 디코딩 타이밍이 달라져서 디코딩 문제가 발생한다.

- [901] 하나의 인핸스드 레이어 피지컬 레이어 파이프가 멀티플 타임 인터리빙 그룹들에 퍼져(spread over) 있는 경우, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 동일한 타임 인터리빙 모드를 사용할 수 있다. 이 때, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 하이브리드 타임 인터리빙 모드를 사용하거나, 노 타임 인터리빙 모드를 사용할 수 있다.
- [902] 즉, 이 경우 모든 코어 레이어 피지컬 레이어 파이프들이 동일한 타임 인터리빙 모드를 사용하되, 컨벌루셔널 타임 인터리빙 모드의 사용은 금지될 수 있다.
- [903] 실시예에 따라, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 컨벌루셔널 타임 인터리빙 모드를 사용하는 경우, 모든 코어 레이어들의 인터리빙 텀스(L1D_plp_CTL_depth)가 동일할 수 있다.
- [904] 이 때, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 하이브리드 타임 인터리빙 모드를 사용하는 경우, 각 코어 레이어 피지컬 레이어 파이프는 인트라-서브프레임 인터리빙 모드(L1D_plp-HTI_inter_subframe=0)를 사용할 수 있다. 즉, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 하이브리드 타임 인터리빙 모드를 사용하는 경우, 인터 서브프레임 인터리빙은 금지될 수 있다.
- [905] 실시예에 따라, 상기 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙에 상응하는 하이브리드 타임 인터리빙 모드를 사용하는 경우, 모든 코어 레이어 피지컬 레이어 파이프들이 동일한 타임 인터리빙 유닛을 사용할 수 있다.
- [906] 이 때, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 노 타임 인터리빙 모드를 사용하는 경우, 각 코어 레이어 피지컬 레이어 파이프는 서브프레임 내에서 정수 개수의 FEC 블록들(an integer number of FEC blocks)로 이루어질 수 있다.
- [907] 이 때, 서브프레임마다 정수개의 FEC 블록들을 달성하기 위해, 더미 모듈레이션 값들이 사용될 수 있다.
- [908] 서브프레임 구성(configuration) 및 피지컬 레이어 파이프 멀티플렉싱 파라미터들에 따라, 서브프레임의 가용한 데이터 셀들이 피지컬 레이어 파이프 데이터에 의하여 완전히 또는 부분적으로 점유될 수 있다. 모든 가용한 데이터 셀들이 대응되는 피지컬 레이어 파이프 데이터를 갖지 못하는 경우, 일정한 송신 파워를 보장하기 위해 점유되지 않은 데이터 셀들이 모듈레이션되지 않은 널 셀들(null cells)로 남아있기보다는 모듈레이션되는 것이 중요하다. 이는

수도-랜덤한 더미 모듈레이션 값들을 점유되지 않은 데이터 셀들에 할당함에 의해 달성될 수 있다.

- [909] 피지컬 레이어 파이프 멀티플렉싱 파라미터에 따라, 점유되지 않은 데이터 셀들은 서브프레임 내의 어디서나 발생할 수 있다. 따라서, 서브프레임의 모든 가용한 데이터 셀들은 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 셀 멀티플렉싱 프로세스가 점유된 데이터 셀들의 더미 모듈레이션 값들을 실제 피지컬 레이어 파이프 데이터로 덮어쓸 수 있다. 이러한 접근은 서브프레임 내의 모든 가용한 데이터 셀들이 피지컬 레이어 파이프 셀 또는 더미 모듈레이션 값에 의하여 모듈레이션되는 것을 보장할 수 있다.
- [910] 데이터 셀들이 0부터 $N_{\text{cell}}-1$ 까지로 인덱싱되도록 서브프레임 내의 가용한 데이터 셀들의 총 수를 N_{cell} 이라 하고, d_i 를 인덱스 $i(0 \leq i < N_{\text{cell}})$ 를 갖는 데이터 셀을 위한 더미 모듈레이션 값이라고 하고, $b_i(0 \leq i < N_{\text{cell}})$ 이 도 31을 통하여 설명한 스크램블링 시퀀스의 i 번째 값을 나타낸다고 할 수 있다.
- [911] 이 때, i 번째 데이터 셀($0 \leq i < N_{\text{cell}}$)을 위한 더미 모듈레이션 값의 실수값은 $(1 - 2 * b_i)$ 일 수 있고, 허수값은 0일 수 있다. 즉, 더미 모듈레이션 값들은 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들(two phases which are separated by 180 degrees) 중 하나로 맵핑하여 생성될 수 있다.
- [912] 서브프레임 내의 각각의 N_{cell} 가용 데이터 셀들은 피지컬 레이어 파이프 데이터가 서브프레임에 멀티플렉싱되기 전에 상응하는 더미 모듈레이션 값들을 가지고 있을 수 있다. 더미 모듈레이션 값들의 삽입에 이어서, 현재 서브프레임에 속하는 피지컬 레이어 파이프 데이터가 해당 피지컬 레이어 파이프 데이터에 할당된 상응하는 데이터 셀들에 맵핑되고, 그 데이터 셀들에 이전에 할당된 더미 모듈레이션 값들을 오버라이트할 수 있다.
- [913] 하나의 인핸스드 레이어 피지컬 레이어 파이프에 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들의 경우뿐만 아니라, 레이어드 디비전 멀티플렉싱이 적용되지 않는 경우의 코어 레이어 피지컬 레이어 파이프들에 대해서도 디코딩 타이밍 불일치가 문제될 수 있다.
- [914] 도 37은 하나의 완전한 전송 프로덕트가 복수개의 피지컬 레이어 피지컬 레이어 파이프들로 이루어진 경우를 나타낸 도면이다.
- [915] 도 37을 참조하면, 하나의 완전한 전송 프로덕트가 3개의 코어 레이어 피지컬 레이어 파이프들(PLP #0, PLP #1, PLP #2)을 포함하는 것을 알 수 있다. 이 때, 하나의 완전한 전송 프로덕트는 하나의 서비스(SERVICE A)에 상응하는 것일 수 있다. 이 때, 코어 레이어 피지컬 레이어 파이프들(PLP #0, PLP #1, PLP #2)은 레이어드 디비전 멀티플렉싱되지 않은 것들일 수 있다.
- [916] 이 때, 첫 번째 코어 레이어 피지컬 레이어 파이프(PLP #0)는 하나의 서비스(SERVICE A)의 비디오 데이터에 상응하고, 두 번째 코어 레이어 피지컬 레이어 파이프(PLP #1)는 상기 서비스(SERVICE A)의 첫 번째 오디오 데이터에 상응하고, 세 번째 코어 레이어 피지컬 레이어 파이프(PLP #2)는 상기

서비스(SERVICE A)의 두 번째 오디오 데이터에 상응할 수 있다.

- [917] 하나의 완전한 전송 프로덕트를 구성하는 코어 레이어 피지컬 레이어 파이프마다 상응하는 데이터의 특성이 상이하므로, 첫 번째 코어 레이어 피지컬 레이어 파이프(PLP #0)는 CDL 오프(OFF)인 하이브리드 타임 인터리빙 모드에 상응하고, 두 번째 코어 레이어 피지컬 레이어 파이프(PLP #1)는 CDL 온(ON)인 하이브리드 타임 인터리빙 모드에 상응하고, 세 번째 코어 레이어 피지컬 레이어 파이프(PLP #2)는 CDL 온(ON)인 타임 인터리빙 모드에 상응할 수 있다. 이 때, 도 37에 도시된 바와 같이 코어 레이어 피지컬 레이어 파이프(PLP #1)의 타임 인터리빙 유닛(N_{IU})은 3이고, 코어 레이어 피지컬 레이어 파이프(PLP #2)의 타임 인터리빙 유닛(N_{IU})은 4일 수 있다.
- [918] 하나의 완전한 전송 프로덕트를 이루는 코어 레이어 피지컬 레이어 파이프들 중 일부는 인트라-서브프레임 인터리빙에 상응하고 일부는 인터-서브프레임 인터리빙에 상응하는 경우, 인트라-서브프레임 인터리빙에 상응하는 코어 레이어 피지컬 레이어 파이프는 즉시 디코딩되고, 인터-서브프레임 인터리빙에 상응하는 코어 레이어 피지컬 레이어 파이프는 다른 서브프레임을 기다려야 할 수 있다.
- [919] 나아가, 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙을 사용하는 경우에도 이 코어 레이어 피지컬 레이어 파이프들의 타임 인터리빙 유닛(N_{IU})이 상이하면 디코딩 타이밍이 달라지게 된다.
- [920] 도 37에 도시된 예에서, 첫 번째 피지컬 레이어 파이프(PLP #0)는 인트라 서브프레임 인터리빙에 상응하므로 즉시 디코딩되고, 두 번째 피지컬 레이어 파이프(PLP #1)는 인터-서브프레임 인터리빙에 상응하고 타임 인터리빙 유닛(N_{IU})이 3이므로 2 서브프레임들을 기다려야 하고, 세 번째 피지컬 레이어 파이프(PLP #2)는 인터-서브프레임 인터리빙에 상응하고 타임 인터리빙 유닛(N_{IU})이 4이므로 3 서브프레임들을 기다려야 한다.
- [921] 도 37에 도시된 예에서, 3개의 코어 레이어 피지컬 레이어 파이프들이 다른 디코딩 타이밍을 가진다. 이 때, 서비스(SERVICE A)를 위해 첫 번째 코어 레이어 피지컬 레이어 파이프(PLP #0) 및 두 번째 코어 레이어 피지컬 레이어 파이프(PLP #1)가 세 번째 코어 레이어 피지컬 레이어 파이프(PLP #2)와 동기화되어야 하므로 이들이 3 서브프레임들을 기다려야 하고 이는 불필요한 디코딩 복잡도를 야기한다.
- [922] 디코딩 복잡도를 줄이기 위해, 하나의 특정 완전한 전송 프로덕트(a particular complete delivered product)가 레이어드-디비전 멀티플렉싱되지 않는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고 이 코어 레이어 피지컬 레이어 파이프들 전부가 하이브리드 타임 인터리빙 모드를 이용하는 경우, 이 코어 레이어 피지컬 레이어 파이프들 전부가 인트라-서브프레임 인터리빙 모드를 사용하거나, 이 코어 레이어 피지컬 레이어 파이프들 전부가 인터-서브프레임 인터리빙 모드를 사용할 수 있다. 즉, 이 코어 레이어 피지컬 레이어 파이프들

전부가 동일한 L1D_plp_HTI_inter_subframe (L1D_plp_HTI_inter_subframe=0은 인트라-서브프레임 인터리빙을 나타내고, L1D_plp_HTI_inter_subframe=1은 인트라-서브프레임 인터리빙을 나타냄) 값을 가질 수 있다.

- [923] 이 코어 레이어 피지컬 레이어 파이프들을 위해 인트라-서브프레임 인터리빙이 사용되는 경우(L1D_plp_HTI_inter_subframe=1), 이 코어 레이어 피지컬 레이어 파이프들 전부는 동일한 타임 인터리빙 유닛(N_{IU})을 사용할 수 있다.
- [924] 하나의 특정 완전한 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되지 않는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고 이 코어 레이어 피지컬 레이어 파이프들 중 적어도 하나가 노 타임 인터리빙 모드를 사용하는 경우, 이 코어 레이어 피지컬 레이어 파이프들 중 하이브리드 타임 인터리빙 모드를 사용하는 것들은 모두 인트라-서브프레임 인터리빙 모드(L1D_plp_HTI_inter_subframe=0)을 사용할 수 있다. 즉, 하나의 특정 완전한 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되지 않는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고 이 코어 레이어 피지컬 레이어 파이프들 중 적어도 하나가 노 타임 인터리빙 모드를 사용하는 경우, 이 코어 레이어 피지컬 레이어 파이프들 중 하이브리드 타임 인터리빙 모드에 상응하는 모든 피지컬 레이어 파이프들에 대하여 인트라-서브프레임 인터리빙 모드의 사용이 금지될 수 있다.
- [925] 도 38은 도 3 또는 도 7에 도시된 타임 인터리버의 일 예를 나타낸 블록도이다.
- [926] 도 38을 참조하면, 본 발명의 일실시예에 따른 타임 인터리버는 셀 인터리버(3810), 트위스티드 블록 인터리버(3820) 및 컨벌루션 딜레이 라인(3830)을 포함한다.
- [927] 셀 인터리버(3810)는 타임 인터리빙 블록 내의 셀들을 인터리빙한다.
- [928] 이 때, 셀 인터리버(3810)는 FEC 블록들의 입력 셀들을 타임 인터리빙 블록들로 배열할 수 있다. 이 때, 타임 인터리빙 블록은 하나 이상의 FEC 블록들(one or more FEC blocks)로 이루어질 수 있다.
- [929] 이 때, 타임 인터리빙 블록은 셀 인터리버(3810), 트위스티드 블록 인터리버(3820) 및 컨벌루션 딜레이 라인(3830)의 동작을 위한 기본 단위일 수 있다.
- [930] 이 때, 타임 인터리빙 블록들은 서로 다른 개수의 FEC 블록들을 포함할 수 있다.
- [931] 이 때, 셀 인터리버(3810)는 각 FEC 블록 내의 셀들을 인터리빙할 수 있다.
- [932] 이 때, 셀 인터리버(3810)는 FEC 블록을 메모리에 쓰고, 이를 수도-랜덤하게(pseudo-randomly) 읽어서 셀 인터리빙을 수행할 수 있다.
- [933] 실시예에 따라, 셀 인터리버(3810)는 생략될 수도 있다.
- [934] 트위스티드 블록 인터리버(3820)는 타임 인터리빙 블록들에 상응하는 인트라-서브프레임 인터리빙을 수행한다.
- [935] 컨벌루션 딜레이 라인(3830)은 트위스티드 블록 인터리버(3820)의 출력을

이용하여 인터-서브프레임 인터리빙을 수행한다. 즉, 컨벌루션형 딜레이 라인(3830)은 블록-인터리빙된 타임 인터리빙 블록들을 멀티플 서브프레임들에 걸쳐서 확산(spread)시킨다.

- [936] 이 때, 트위스티드 블록 인터리버(3820)는 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작을 수행하여 상기 인터-서브프레임 인터리빙을 수행할 수 있다.
- [937] 이 때, 컨벌루션형 딜레이 라인(3830)은 상기 트위스티드 블록 인터리버(3820)로부터 가상 셀들(virtual cells)을 제외한 데이터 셀들(data cells)만을 읽어올 수 있다.
- [938] 이 때, 컨벌루션형 딜레이 라인(3830)은 상기 데이터 셀들의 각 행이 상기 트위스티드 블록 인터리버(3820)로부터 쓰여진 후, 다음 브랜치로 스위치들이 움직이기 전에 새로운 가상 셀들(new virtual cells)을 저장할 수 있다.
- [939] 이 때, 새로운 가상 셀들은 각 브랜치에서 인터리빙 프레임의 타임 인터리빙 블록 내의 FEC 블록들의 수의 최대값($N_{FEC_TL_MAX}$)에서 상기 인터리빙 프레임의 상기 타임 인터리빙 블록 내의 FEC 블록들의 수(N_{FEC_TI})를 뺀 개수에 상응하는 것일 수 있다.
- [940] 이 때, 새로운 가상 셀들은 상기 타임 인터리빙 장치의 출력으로 출력되지 않을 수 있다.
- [941] 이 때, 컨벌루션형 딜레이 라인(3830)은 타임 인터리빙 유닛(N_{IU})에 상응하는 브랜치들을 포함하고, 상기 브랜치들 중 첫 번째 브랜치를 제외한 나머지 브랜치들은 하나 이상의 FIFO 레지스터를 포함할 수 있다.
- [942] 이 때, 컨벌루션형 딜레이 라인(3830)은 상기 FIFO 레지스터에 저장되어 있던 초기값들 중 일부만을 출력할 수 있다.
- [943] 이 때, 초기값들 중 일부는 상기 나머지 브랜치들 각각에 대하여, 하나의 초기화 셀(initialization cell)에 상응하는 것일 수 있다.
- [944] 도 39는 도 38에 도시된 트위스티드 블록 인터리버의 쓰기 동작을 나타낸 도면이다.
- [945] 도 39를 참조하면, 타임 인터리빙 블록에 포함된 FEC 블록들의 셀들이 컬럼-방향(column-wise) 쓰기 동작에 의하여 메모리에 쓰여지는 것을 알 수 있다.
- [946] 도 40은 도 38에 도시된 트위스티드 블록 인터리버의 읽기 동작을 나타낸 도면이다.
- [947] 도 40을 참조하면, 타임 인터리빙 블록에 포함된 FEC 블록들의 셀들이 대각 방향(diagonal-wise) 읽기 동작에 의하여 메모리로부터 리드되는 것을 알 수 있다.
- [948] 도 39 및 도 40에 도시된 예에서, $N_{FEC_TL_MAX}$ 는 인터리빙 프레임의 타임 인터리빙 블록 내의 FEC 블록들의 수의 최대값을 나타내고, N_r 은 각 FEC 블록에 포함된 셀들의 수를 나타낸다.
- [949] 도 39 및 40을 통하여 살펴본 바와 같이, 트위스티드 블록 인터리버는 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작을

수행하여 상기 인트라-서브프레임 인터리빙을 수행할 수 있다.

[950] 이 때, 트위스티드 블록 인터리버는 도 40에 도시된 바와 같이 리딩 프로세스 동안 가상 FEC 셀들을 스킵(skip)할 수 있다.

[951] 도 41은 도 38에 도시된 컨벌루셔널 딜레이 라인의 일 예를 나타낸 블록도이다.

[952] 도 41을 참조하면, 본 발명의 일실시에에 따른 컨벌루셔널 딜레이 라인은 N_{IU} 개의 브랜치들로 이루어진다. 즉, 컨벌루셔널 딜레이 라인은 타임 인터리빙 블록을 N_{IU} 개의 인터리빙 유닛들로 나누고(spit), 이 인터리빙 유닛들을 N_{IU} 서브프레임들에 걸쳐서 분산시킨다.

[953] 스위치 S_0 는 트위스티드 블록 인터리버를 컨벌루셔널 딜레이 라인에 연결시킬 수 있다. 스위치 S_1 은 컨벌루셔널 딜레이 라인을 도 3이나 도 7에 도시된 프레임 빌더와 같은 프레임 블록과 연결시킬 수 있다.

[954] 이 때, 스위치들(S_0 및 S_1)의 움직임은 동기될 수 있다. 즉, 스위치들은 항상 컨벌루셔널 딜레이 라인의 동일한 브랜치들을 포인팅할 수 있다.

[955] 스위치들은 컨벌루셔널 딜레이 라인의 마지막 브랜치에서 다시 첫 번째 브랜치로 이동할 수 있다.

[956] 두 스위치들(S_0 및 S_1)은 N_{FEC_TI} 데이터 셀들과 $(N_{FEC_TL_MAX} - N_{FEC_TI})$ 가상 셀들로 이루어진 $N_{FEC_TL_MAX}$ 셀들이 컨벌루셔널 딜레이 라인으로 쓰여졌을 때, 컨벌루셔널 딜레이 라인의 브랜치 n ($0 \leq n < N_{IU}-1$ 인 정수)에서 바로 후속하는 브랜치 $n+1$ 으로 움직일 수 있다. 이 때, $N_{FEC_TL_MAX}$ 는 인터리빙 프레임의 타임 인터리빙 블록 내의 FEC 블록들의 수의 최대값을 나타내고, N_{FEC_TI} 는 인터리빙 프레임의 타임 인터리빙 블록 내의 데이터에 상응하는 FEC 블록들의 개수를 나타내고, N_{IU} 는 타임 인터리빙 유닛을 나타낼 수 있다. 이 때, $(N_{FEC_TL_MAX} - N_{FEC_TI})$ 가상 셀들은 트위스티드 블록 인터리버로부터 읽어진 것이 아니라 컨벌루셔널 딜레이 라인을 위한 새로운 가상 셀들일 수 있다. 즉, 새로운 가상 셀들은 트위스티드 블록 인터리버와는 무관한 것일 수 있고, 컨벌루셔널 딜레이 라인에서 새롭게 생성된 것일 수 있다.

[957] 이 때, 두 스위치들(S_0 및 S_1)은 매 서브프레임의 시작에서 컨벌루셔널 딜레이 라인의 첫 번째 브랜치(브랜치 0)로 리셋될 수 있다.

[958] 이 때, 가상 셀들은 트위스티드 블록 인터리버로부터 읽히지 않을 수 있고, 컨벌루셔널 딜레이 라인으로 전달되지 않을 수 있다.

[959] 그러나, N_{FEC_TI} 데이터 셀들이 트위스티드 블록 인터리버로부터 컨벌루셔널 딜레이 라인으로 쓰여진 후 스위치들(S_0 및 S_1)이 컨벌루셔널 딜레이 라인의 다음 브랜치로 이동하기 전에, 컨벌루셔널 딜레이 라인을 위한 $(N_{FEC_TL_MAX} - N_{FEC_TI})$ 새로운 가상 셀들이 컨벌루셔널 딜레이 라인으로 입력될 수 있다.

[960] 이 때, 가상 셀들은 트위스티드 블록 인터리버로부터도, 컨벌루셔널 딜레이 라인으로부터도 타임 인터리버의 출력으로 쓰여지지 않을 수 있다.

[961] 도 42는 도 38에 도시된 트위스티드 블록 인터리버의 동작의 일 예를 나타낸 도면이다.

- [962] 도 42를 참조하면, FEC 블록들이 포함하는 셀들의 수(N_f)가 8이고, $N_{FEC_TL_MAX}$ 가 5이고, N_{FEC_TI} 가 3이고, N_{IU} 가 2인 경우의 예가 도시되어 있는 것을 알 수 있다.
- [963] 도 42에 도시된 예에서 두 개의 컬럼에 해당하는 가상 셀들이 트위스티드 블록 인터리버에 저장되고, 컬럼 방향 쓰기 및 대각 방향 읽기 동작을 통해 트위스티드 블록 인터리빙이 수행된다.
- [964] 도 42에 도시된 예에서 트위스티드 블록 인터리버의 출력 메모리에는 가상 셀들이 포함된다.
- [965] 도 43은 도 38에 도시된 컨벌루셔널 딜레이 라인의 동작의 일 예를 나타낸 도면이다.
- [966] 도 43을 참조하면, N_{IU} 가 2인 경우이므로 컨벌루셔널 딜레이 라인에 2개의 브랜치들이 존재하고, 두 번째 브랜치에 FIFO 레지스터가 포함된 것을 알 수 있다.
- [967] 도 43에 도시된 예에서는 트위스티드 블록 인터리버로부터 읽혀진 가상 셀들이 컨벌루셔널 딜레이 라인으로 전달된다.
- [968] 특히, 도 43은 N_{IU} 가 2인 경우의 첫 번째 서브프레임 타이밍을 나타내는데, 이 타이밍에는 두 번째 브랜치에 상응하는 데이터들은 모두 FIFO 레지스터에 저장되어 있던 값들인 것을 알 수 있다.
- [969] 이미 설명한 바와 같이, 전송 신호에 가상 셀은 포함되지 않을 수 있다.
- [970] 따라서, 도 43에 도시된 메모리의 왼쪽부터 쓰여지고 읽혀진다고 하면, 첫 번째 서브프레임(서브프레임 #1)은 "2, 11, 20, 10, 19, 6, 5, 14, 23, 8, 22, 16"을 전송하고, 두 번째 서브프레임(서브프레임 #2)은 "7, 1, 15, 0, 9, 18, 17, 4, 13, 3, 12, 21"을 전송한다고 볼 수 있다.
- [971] 도 43에 도시된 예에서는 이전 타이밍(previous timing)에 FIFO 레지스터에 저장되어 있다가 출력되는 I_0, I_1, \dots, I_9 가 컨벌루셔널 딜레이 라인에 상응하는 메모리의 아래 쪽(5행~8행)에 저장되는 것으로 도시되어 있으나, 실시예에 따라 컨벌루셔널 딜레이 라인에 상응하는 메모리의 2행, 4행, 6행 및 8행에 저장될 수도 있다.
- [972] 도 44는 도 43에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [973] 도 44를 참조하면, 디코딩 과정에 해당하는 타임 디인터리버는 FIFO 레지스터를 통하여 두 개의 서브프레임들로부터 도 44에 도시된 메모리 데이터(CDL memory state including virtual cells)를 복원할 수 있다. 나아가, 타임 디인터리버는 메모리 데이터로부터 트위스티드 블록 디인터리버로 입력되는 데이터(writing order to TBDI memory)를 복원할 수 있다.
- [974] 도 44에 도시된 바와 같이, 트위스티드 블록 인터리버로부터 컨벌루셔널 딜레이 라인으로 가상 셀들이 전달되는 경우에는 수신기에서 가상 셀들이 흩어져 있는 것을 알 수 있다. 이 때, 수신기는 가상 셀들의 쓰기 과정을 알아야 한다.

- [975] 즉, 수신기의 역 컨벌루셔널 딜레이 라인은 가상 셀들의 위치 정보를 필요로 하고 이는 디코딩에서의 복잡도와 메모리를 증가시키는 원인이 된다.
- [976] 도 45는 도 42에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [977] 도 45를 참조하면, 가상 셀들의 위치를 알아야 정확한 트위스티드 블록 디인터리빙이 가능한 것을 알 수 있다. 즉, 수신기의 타임 디인터리버에서 정확한 트위스티드 블록 디인터리빙을 수행하려면 가상 셀들의 위치를 알거나 적어도 각 행에 포함되어야 할 가상 셀들의 개수를 알고 있어야 한다.
- [978] 이와 같이 도 42 내지 도 45를 통해서 설명한 실시예에서는 타임 디인터리버에서 가상 셀들의 위치를 알고 있어야 하므로 디코딩 복잡도가 증가하는 문제가 있다.
- [979] 도 46은 도 38에 도시된 트위스티드 블록 인터리버의 동작의 다른 예를 나타낸 도면이다.
- [980] 도 46을 참조하면, 도 42에 도시된 예와 달리, 도 46에 도시된 예에서는 트위스티드 블록 인터리버로부터의 읽기 프로세스 동안 가상 FEC 블록들에 속하는 가상 셀들이 스킵되는 것을 알 수 있다.
- [981] 즉, 도 46에 도시된 예에서 트위스티드 블록 인터리버는 데이터에 상응하는 데이터 셀들만을 출력하고, 가상 셀들은 출력하지 않을 수 있다.
- [982] 도 47은 도 38에 도시된 컨벌루셔널 딜레이 라인의 동작의 다른 예를 나타낸 도면이다.
- [983] 도 47을 참조하면, 도 47에 도시된 예에서는 가상 셀들이 트위스티드 블록 인터리버로부터 컨벌루셔널 딜레이 라인으로 쓰여지지 않는 것을 알 수 있다.
- [984] 즉, 컨벌루셔널 딜레이 라인은 트위스티드 블록 인터리버로부터 가상 셀들을 제외한 데이터 셀들만을 읽어와서 저장하고, 그 후에 새로운 가상 셀을 생성하여 저장함으로써 가상 셀들이 분산되지 않도록 할 수 있다.
- [985] 이 때, 메모리가 FIFO(First-In-First-Out) 방식으로 동작할 때, 도 47에 도시된 데이터들은 왼쪽에서부터 먼저 읽히고 쓰여지는 것으로 볼 수 있다. 다만, 도 47에 도시된 예에서 X로 표시된 가상 셀들은 메모리에 가장 나중에 쓰여지는 것일 수 있다. 즉, 도 47에 도시된 예에서 컨벌루셔널 딜레이 라인에 해당하는 메모리에 쓰여지는 순서는 2, 11, 20, X, X, 19, 6, 15, X, X, 5, 14, 23, X, X, ...일 수 있다.
- [986] 이 때, 데이터 셀들이 트위스티드 블록 인터리버로부터 컨벌루셔널 딜레이 라인으로 쓰여질 때, 가상 셀들은 컨벌루셔널 딜레이 라인의 맨 왼쪽의 ($N_{FEC_TL_MAX} - N_{FEC_TI}$) 컬럼에 상응하여 저장될 수 있다.
- [987] 도 47도 도 43과 마찬가지로 N_{LU} 가 2인 경우의 첫 번째 서브프레임 타이밍을 나타내는데, 이 타이밍에는 두 번째 브랜치에 상응하는 데이터들은 모두 FIFO 레지스터에 저장되어 있던 값들인 것을 알 수 있다.
- [988] 이 때, 전송 신호에 가상 셀은 포함되지 않을 수 있다.

- [989] 따라서, 도 47에 도시된 메모리의 왼쪽부터 쓰여지고 읽혀진다고 하면(가상 셀 제외), 첫 번째 서브프레임(서브프레임 #1)은 "2, 11, 20, 19, 6, 15, 5, 14, 23, 13, 22, 16"을 전송하고, 두 번째 서브프레임(서브프레임 #2)은 "7, 1, 10, 0, 9, 18, 8, 17, 4, 3, 12, 21"을 전송한다고 볼 수 있다.
- [990] 도 47에 도시된 예에서는 이전 타이밍(previous timing)에 FIFO 레지스터에 저장되어 있다가 출력되는 I_0, I_1, \dots, I_{19} 가 컨벌루셔널 딜레이 라인에 상응하는 메모리의 아래 쪽(5행~8행)에 저장되는 것으로 도시되어 있으나, 실시예에 따라 컨벌루셔널 딜레이 라인에 상응하는 메모리의 2행, 4행, 6행 및 8행에 저장될 수도 있다.
- [991] 도 43 및 도 47에 도시된 예에서 컨벌루셔널 딜레이 라인에 상응하는 메모리는 설명의 편의를 위해서 도시한 것으로, 실시예에 따라 컨벌루셔널 딜레이 라인에는 별도의 출력 메모리가 포함되지 않을 수도 있다.
- [992] 도 48은 도 47에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [993] 도 48을 참조하면, 디코딩 과정에 해당하는 타임 디인터리버는 FIFO 레지스터를 통하여 두 개의 서브프레임들로부터 도 48에 도시된 메모리 데이터(CDL memory state including virtual cells)를 복원할 수 있다. 나아가, 타임 디인터리버는 메모리 데이터로부터 트위스티드 블록 디인터리버로 입력되는 데이터(writing order to TBDI memory)를 복원할 수 있다. 도 44의 경우와 달리, 도 48에 도시된 예에서는 역 컨벌루셔널 딜레이 라인의 디코딩 과정에서 가상 셀들의 위치가 알려지고, 가상 셀들이 흩어지지 않는 것을 알 수 있다.
- [994] 따라서, 도 44의 경우보다 도 48의 경우에 디코딩 복잡도가 낮아진다.
- [995] 도 49는 도 46에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [996] 도 49를 참조하면, 가상 셀들을 제외하고 트위스티드 블록 디인터리빙의 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작의 역과정이 수행되므로 도 45의 경우보다 간단하게 디인터리빙이 가능한 것을 알 수 있다.
- [997] 도 50은 컨벌루셔널 딜레이 라인에 포함된 FIFO 레지스터 초기값들을 나타낸 도면이다.
- [998] 도 50을 참조하면, N_{IU} 가 2인 경우의 첫 번째 서브프레임 타이밍에 두 번째 브랜치에 상응하는 데이터들은 모두 FIFO 레지스터에 저장되어 있던 값들(5010)인 것을 알 수 있다.
- [999] 이 때, 컨벌루셔널 딜레이 라인은 FIFO 레지스터에 저장되어 있던 초기값들 중 일부만을 출력할 수 있다.
- [1000] 이 때, 초기값들 중 일부는 타임 인터리빙 유닛(N_{IU})에 상응하는 브랜치들 중 첫 번째 브랜치를 제외한 나머지 브랜치들 각각에 대하여, 하나의 초기화 셀(initialization cell)에 상응하는 것일 수 있다.

- [1001] 즉, FIFO 레지스터에 저장되어 있던 값들(5010) 중 행별로 하나씩의 셀들만이 출력되고 나머지 셀들은 출력되지 않을 수 있다.
- [1002] 실시예에 따라, 트위스티드 블록 인터리버(TBI) 및 컨벌루셔널 딜레이 라인(CDL)에 상응하는 메모리들이 FIFO 방식으로 동작하고, 이 메모리들에 대한 읽기 및 쓰기가 오른쪽부터 왼쪽으로 수행될 수 있다. 이 경우, 도 50에 도시된 것과 달리 트위스티드 블록 인터리버 메모리의 첫 행은 오른쪽부터 왼쪽으로 2, 11 및 20을 저장하고, 두 번째 행은 오른쪽부터 왼쪽으로 7, 1, 10을 저장하고, 세 번째 행은 오른쪽부터 왼쪽으로 19, 6, 15를 저장하고, 네 번째 행은 오른쪽부터 왼쪽으로 0, 9, 18을 저장하고, 다섯 번째 행은 오른쪽부터 왼쪽으로 5, 14, 23을 저장하고, 여섯 번째 행은 오른쪽부터 왼쪽으로 8, 17, 4를 저장하고, 일곱 번째 행은 오른쪽부터 왼쪽으로 13, 22, 16을 저장하고, 여덟 번째 행은 오른쪽부터 왼쪽으로 3, 12, 21을 저장할 수 있다.
- [1003] 이 때, 도 50에 도시된 FIFO 레지스터에 대한 읽기 및 쓰기도 오른쪽부터 왼쪽으로 수행될 수 있다. 이 때, FIFO 레지스터의 첫 행이 오른쪽부터 왼쪽으로 I_0, X, X, X, X 로 초기화되고, 두 번째 행이 오른쪽부터 왼쪽으로 I_1, X, X, X, X 로 초기화되고, 세 번째 행이 오른쪽부터 왼쪽으로 I_2, X, X, X, X 로 초기화되고, 네 번째 행이 오른쪽부터 왼쪽으로 I_3, X, X, X, X 로 초기화될 수 있다.
- [1004] 도 50에 도시된 예에서, 컨벌루셔널 딜레이 라인에 상응하는 메모리는 컨벌루셔널 딜레이 라인의 출력을 설명하기 위한 개념적인 것일 수 있고, 실시예에 따라 컨벌루셔널 딜레이 라인에는 별도의 출력 메모리가 포함되지 않을 수도 있다.
- [1005] 첫 번째 서브프레임에 상응하는 타이밍에, 컨벌루셔널 딜레이 라인에 상응하는 메모리(CDL memory)에 트위스티드 블록 인터리버에 상응하는 메모리의 첫 번째 행에 저장되어 있던 데이터(20, 11, 2), 세 번째 행에 저장되어 있던 데이터(15, 6, 19), 다섯 번째 행에 저장되어 있던 데이터(23, 14, 5), 일곱 번째 행에 저장되어 있던 데이터(16, 22, 13) 및 FIFO 레지스터에 초기화되어 있던 값들이 저장될 수 있다. 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리에 FIFO 레지스터에 초기화되어 있던 데이터가 저장될 수 있다. 즉, 첫 번째 서브프레임에 상응하는 타이밍에, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 첫 번째 행에 오른쪽부터 왼쪽으로 2, 11, 20이 저장되고 새로운 두 개의 가상 셀들 X, X가 저장될 수 있다. 컨벌루셔널 딜레이 라인에 상응하는 메모리의 세 번째 행에 오른쪽부터 왼쪽으로 19, 6, 15가 저장되고 새로운 두 개의 가상 셀들 X, X가 저장될 수 있다. 컨벌루셔널 딜레이 라인에 상응하는 메모리의 다섯 번째 행에 오른쪽부터 왼쪽으로 5, 14, 23이 저장되고 새로운 두 개의 가상 셀들 X, X가 저장될 수 있다. 컨벌루셔널 딜레이 라인에 상응하는 메모리의 일곱 번째 행에 오른쪽부터 왼쪽으로 13, 22, 16, X, X가 저장될 수 있다.
- [1006] 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 두 번째 행에는 맨 오른쪽에 하나의 초기화 셀(I_0)이 저장되고, 이후 4개의 가상 셀들이 저장될 수

있다. 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 네 번째 행에는 맨 오른쪽에 하나의 초기화 셀(I_1)이 저장되고, 이후 4개의 가상 셀들이 저장될 수 있다. 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 여섯 번째 행에는 맨 오른쪽에 하나의 초기화 셀(I_2)이 저장되고, 이후 4개의 가상 셀들이 저장될 수 있다. 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 여덟 번째 행에는 맨 오른쪽에 하나의 초기화 셀(I_3)이 저장되고, 이후 4개의 가상 셀들이 저장될 수 있다.

- [1007] 즉, 첫 번째 서브프레임에 상응하는 타이밍에, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 첫 번째 행은 오른쪽부터 왼쪽으로 2, 11, 20, X, X를 저장하고, 두 번째 행은 오른쪽부터 왼쪽으로 I_0 , X, X, X, X를 저장하고, 세 번째 행은 오른쪽부터 왼쪽으로 19, 6, 15, X, X를 저장하고, 네 번째 행은 오른쪽부터 왼쪽으로 I_1 , X, X, X, X를 저장하고, 다섯 번째 행은 오른쪽부터 왼쪽으로 5, 14, 23, X, X를 저장하고, 여섯 번째 행은 오른쪽부터 왼쪽으로 I_2 , X, X, X, X를 저장하고, 일곱 번째 행은 오른쪽부터 왼쪽으로 13, 22, 16, X, X를 저장하고, 여덟 번째 행은 오른쪽부터 왼쪽으로 I_3 , X, X, X, X를 저장할 수 있다. 이 때, X는 가상 셀을 나타낼 수 있다. 이 때, 도 50에 도시된 FIFO 레지스터의 첫 번째 행은 오른쪽부터 왼쪽으로 7, 1, 10, X, X를 저장하고, 두 번째 행은 오른쪽부터 왼쪽으로 0, 9, 18, X, X를 저장하고, 세 번째 행은 오른쪽부터 왼쪽으로 8, 17, 4, X, X를 저장하고, 네 번째 행은 오른쪽부터 왼쪽으로 3, 12, 21, X, X를 저장할 수 있다.
- [1008] 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리에 저장된 가상 셀은 타임 인터리버 출력으로 출력되지 않을 수 있다. 즉, 첫 번째 서브프레임은 "2, 11, 20, I_0 , 19, 6, 15, I_1 , 5, 14, 23, I_2 , 13, 22, 16, I_3 "을 전송하고, 두 번째 서브프레임은 "..., 7, 1, 10, ..., 0, 9, 18, ..., 8, 17, 4, ..., 3, 12, 21"을 전송할 수 있다. 이 때, " I_0, I_1, I_2, I_3 "이 전송한 초기값들 중 일부에 상응하는 것일 수 있다. 이 때, "..."은 트위스티드 블록 인터리버로부터의 다음 타임 인터리빙 블록 출력에 상응하는 것일 수 있다.
- [1009] 도 51은 도 8 또는 도 12에 도시된 타임 디인터리버의 일 예를 나타낸 블록도이다.
- [1010] 도 51을 참조하면, 타임 디인터리버는 역 컨벌루셔널 딜레이 라인(5110), 트위스티드 블록 디인터리버(5120) 및 셀 디인터리버(5130)를 포함한다.
- [1011] 역 컨벌루셔널 딜레이 라인(5110)은 도 38에 도시된 컨벌루셔널 딜레이 라인의 역과정을 수행한다.
- [1012] 이 때, 역 컨벌루셔널 딜레이 라인(5110)은 송신 측의 컨벌루셔널 딜레이 라인에서 새롭게 부가된 가상 셀 위치를 예측하고, 예측된 가상 셀 위치에 기반하여 상기 역과정을 수행할 수 있다.
- [1013] 트위스티드 블록 디인터리버(5120)는 도 38에 도시된 트위스티드 블록 인터리버의 역과정을 수행한다.
- [1014] 이 때, 트위스티드 블록 디인터리버(5120)는 데이터 셀들을 복원한 후 새롭게

가상 셀들을 생성하여 저장할 수 있다.

- [1015] 이 때, 트위스티드 블록 디인터리버(5120)는 송신 측의 컨벌루셔널 딜레이 라인에서 새롭게 추가된 가상 셀 위치를 예측하고, 예측된 가상 셀 위치를 고려하여 상기 역과정을 수행할 수 있다.
- [1016] 이 때, 트위스티드 블록 디인터리버(5120)는 가상 셀들을 제외하고 트위스티드 블록 디인터리빙의 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작의 역과정을 수행할 수 있다.
- [1017] 셀 디인터리버(5130)는 도 38에 도시된 셀 인터리버의 역과정을 수행한다.
- [1018] 도 52는 본 발명의 일실시예에 따른 타임 인터리빙 방법을 나타낸 동작 흐름도이다.
- [1019] 도 52를 참조하면, 본 발명의 일실시예에 따른 타임 인터리빙 방법은, 타임 인터리빙 블록 내의 셀들에 상응하는 셀 인터리빙을 수행한다(S5210).
- [1020] 실시예에 따라, 단계(S5210)는 생략될 수도 있다.
- [1021] 또한, 본 발명의 일실시예에 따른 타임 인터리빙 방법은, 인트라-서브프레임 인터리빙에 상응하는 트위스티드 블록 인터리빙을 수행한다(S5220).
- [1022] 이 때, 단계(S5220)는 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작을 이용하여 트위스티드 블록 인터리빙을 수행할 수 있다.
- [1023] 또한, 본 발명의 일실시예에 따른 타임 인터리빙 방법은, 상기 트위스티드 블록 인터리빙의 출력을 이용하여 인트라-서브프레임 인터리빙을 수행한다(S5230).
- [1024] 이 때, 단계(S5230)는 컨벌루셔널 딜레이 라인을 이용하여 수행될 수 있다.
- [1025] 이 때, 컨벌루셔널 딜레이 라인은 상기 트위스티드 블록 인터리빙에 상응하는 가상 셀들을 제외한 데이터 셀들만을 읽어올 수 있다.
- [1026] 이 때, 컨벌루셔널 딜레이 라인은 상기 데이터 셀들의 각 행이 상기 트위스티드 블록 인터리빙의 출력으로부터 쓰여진 후, 다음 브랜치로 스위치들이 움직이기 전에 새로운 가상 셀들(new virtual cells)을 저장할 수 있다.
- [1027] 이 때, 새로운 가상 셀들은 각 브랜치에서 인터리빙 프레임의 타임 인터리빙 블록 내의 FEC 블록들의 수의 최대값($N_{FEC_TL_MAX}$)에서 상기 인터리빙 프레임의 상기 타임 인터리빙 블록 내의 FEC 블록들의 수(N_{FEC_TI})를 뺀 개수에 상응하는 것일 수 있다.
- [1028] 이 때, 새로운 가상 셀들은 상기 인트라-서브프레임 인터리빙의 출력으로 출력되지 않을 수 있다.
- [1029] 이 때, 컨벌루셔널 딜레이 라인은 타임 인터리빙 유닛(N_{IU})에 상응하는 브랜치들을 포함하고, 상기 브랜치들 중 첫 번째 브랜치를 제외한 나머지 브랜치들은 하나 이상의 FIFO 레지스터를 포함할 수 있다.
- [1030] 이 때, 컨벌루셔널 딜레이 라인은 상기 FIFO 레지스터에 저장되어 있던 초기값들 중 일부만을 출력할 수 있다.
- [1031] 이 때, 초기값들 중 일부는 상기 나머지 브랜치들 각각에 대하여, 하나의 초기화

- 셀(initialization cell)에 상응하는 것일 수 있다.
- [1032] 도 52에 상응하는 방식으로 본 발명의 일실시예에 따른 타임 디인터리빙 방법이 제공될 수 있다.
- [1033] 예를 들어, 본 발명의 일실시예에 따른 타임 디인터리빙 방법은, 단계(S5230)의 역과정에 상응하는 인터-서브프레임 디인터리빙을 수행하는 단계 및 단계(S5220)의 역과정에 상응하는 트위스티드 블록 디인터리빙을 수행하는 단계를 포함할 수 있다. 이 때, 본 발명의 일실시예에 따른 타임 디인터리빙 방법은 단계(S5210)의 역과정에 상응하는 셀 디인터리빙을 수행하는 단계를 더 포함할 수도 있다.
- [1034]
- [1035] 피지컬 레이어 파이프의 사이즈 정보 및 시작 위치 정보는 타임 디인터리빙 이후를 기준으로 생성될 수 있다. 이 때, 사이즈 정보 및 시작 위치 정보는 현재 서브프레임 내에서 고려되는 것으로 볼 수 있다.
- [1036] 레이어드 디비전 멀티플렉싱이 적용되는 경우, 코어 레이어 셀들 및 인핸스드 레이어 셀들은 타임 디인터리빙 프로세스 이전에 결합된다(combined or super-positioned). 이 때, 코어 레이어 피지컬 레이어 파이프에 대한 인핸스드 레이어 피지컬 레이어 파이프들의 상대적인 위치(relative position)는 타임 디인터리빙 이전에 계산되는 것이 인핸스드 레이어 피지컬 레이어 파이프를 쉽게 복원하는데 유리할 수 있다. 디코더에서 레이어드 디비전 멀티플렉싱된 데이터 셀들로부터의 코어 레이어 데이터 셀들의 캔슬레이션(cancellation) 프로세스는 타임 디인터리빙 이후(after time deinterleaving)에 수행된다.
- [1037] 타임 디인터리빙 및 서브프레임으로의 맵핑(cell multiplexing) 두 가지는 모두 인핸스드 레이어 피지컬 레이어 파이프들이 결합된 코어 레이어 피지컬 레이어 파이프만을 위하여 적용될 수 있다.
- [1038] 수신기 측(demodulator)에서, 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)는 원하는 코어 레이어 피지컬 레이어 파이프를 선택하기 위해 사용될 수 있다. 즉, 사이즈 정보 및 시작 위치 정보는 타임 디인터리빙의 입력으로 사용할 코어 레이어 피지컬 레이어 파이프의 데이터 셀들을 찾는 데 사용될 수 있다.
- [1039] 컨벌루션 디레이 라인 등의 인터-서브프레임 디인터리빙이 사용되는 경우, 코어 레이어 피지컬 레이어 파이프의 사이즈 정보(L1D_plp_size)는 타임 디인터리빙 이전을 기준으로 계산되느냐 타임 디인터리빙 이후를 기준으로 계산되느냐에 따라 다른 값을 가질 수 있다.
- [1040] 이 때, 코어 레이어 피지컬 레이어 파이프의 위치는 타임 디인터리빙 이후를 기준으로 계산되는 것이 바람직하다.
- [1041] 도 53은 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 타임 디인터리빙 이전을 기준으로 나타낸 도면이다.
- [1042] 도 53을 참조하면, 1개의 코어 레이어 피지컬 레이어 파이프(PLP #0)와 2개의

인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)이 레이어드 디비전 멀티플렉싱된 것을 알 수 있다.

[1043] 도 53의 경우에는 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)의 시작 위치 및 사이즈가 분명하게 식별 가능하다.

[1044] 도 54는 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 타임 인터리빙 이후를 기준으로 나타낸 도면이다.

[1045] 도 54를 참조하면, 타임 인터리빙(트위스티드 블록 인터리버만 사용된 하이브리드 타임 인터리빙)이 적용되어 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)의 시작 위치가 변경된 것을 알 수 있다. 도 54의 예에서 타임 인터리빙 이후에도 피지컬 레이어 파이프들의 사이즈 정보 및 코어 레이어 피지컬 레이어 파이프(PLP #0)의 시작 위치 정보는 변하지 않을 수 있다.

[1046] 가변 비트 레이트(Variable Bit Rate; VBR)와 함께 컨벌루셔널 딜레이 라인이 사용되는 하이브리드 타임 인터리빙의 경우에는 인핸스드 레이어 피지컬 레이어 파이프의 시작 위치 정보 및 사이즈 정보가 타임 인터리빙 이후에 모두 달라질 수 있다.

[1047] 예를 들어, 2개의 피지컬 레이어 파이프들(PLP #A, PLP #B)이 TDM되고, VBR과 함께 컨벌루셔널 딜레이 라인을 이용하여 타임 인터리빙되는 경우 다음과 같이 타임 인터리빙 전/후로 사이즈 정보가 달라질 수 있다.

[1048] - PLP #A: $N_{FEC_TI_MAX} = 5$, $N_r = 8$, $N_{IU} = 2 \rightarrow$ (time = 0; $N_{FEC_TI} = 3$), (time = 1; $N_{FEC_TI} = 1$)

[1049] - PLP #B: $N_{FEC_TI_MAX} = 4$, $N_r = 10$, $N_{IU} = 2 \rightarrow$ (time = 0; $N_{FEC_TI} = 4$), (time = 1; $N_{FEC_TI} = 2$)

[1050] - time = 0

[1051] - Before TI: $plp_size(A) = 3 \times 8 = 24$, $plp_size(B) = 4 \times 10 = 40$

[1052] - After TI: $plp_size(A) = 3 \times 4 + 1 \times 4 = 16$, $plp_size(B) = 4 \times 5 + 1 \times 5 = 25$

[1053] - time = 1

[1054] - Before TI: $plp_size(A) = 1 \times 8 = 8$, $plp_size(B) = 2 \times 10 = 20$

[1055] - After TI: $plp_size(A) = 1 \times 4 + 3 \times 4 = 16$, $plp_size(B) = 2 \times 5 + 4 \times 5 = 30$

[1056] 즉, 첫 번째 타이밍(time = 0)에서 피지컬 레이어 파이프(PLP #A)는 FEC 블록들의 수가 3이고, 각 FEC 블록에 포함된 셀들의 수가 8이므로 타임 인터리빙 이전의 피지컬 레이어 파이프(PLP #A)의 사이즈 정보는 $3 \times 8 = 24$ 가 된다. 첫 번째 타이밍(time = 0)에서 피지컬 레이어 파이프 (PLP #B)는 FEC 블록들의 수가 4이고, 각 FEC 블록에 포함된 셀들의 수가 10이므로 타임 인터리빙 이전의 피지컬 레이어 파이프(PLP #B)의 사이즈 정보는 $4 \times 10 = 40$ 이 된다.

[1057] 두 번째 타이밍(time = 1)에서 피지컬 레이어 파이프(PLP #A)는 FEC 블록들의 수가 1이고, 각 FEC 블록에 포함된 셀들의 수가 8이므로 타임 인터리빙 이전의 피지컬 레이어 파이프(PLP #A)의 사이즈 정보는 $1 \times 8 = 8$ 이 된다. 두 번째 타이밍(time = 1)에서 피지컬 레이어 파이프(PLP #B)는 FEC 블록들의 수가

2이고, 각 FEC 블록에 포함된 셀들의 수가 10이므로 타임 인터리빙 이전의 피지컬 레이어 파이프(PLP #B)의 사이즈 정보는 $2 \times 10 = 20$ 이 된다.

- [1058] 위 예에서, $N_{\text{FEC_TL_MAX}}$, N_r , N_{IU} , $N_{\text{FEC_TI}}$ 는 앞에서 이미 설명한 바와 같다. 위 예에서, N_{IU} 가 2이므로 타임 인터리빙 이후 하나의 FEC 블록이 두 개의 서브프레임들로 나뉘어 전송된다.
- [1059] 즉, 첫 번째 타이밍(time = 0)에서 피지컬 레이어 파이프(PLP #A)는 FEC 블록들의 수가 3이고, 각 FEC 블록에 포함된 셀들의 수가 8이고, 타임 인터리빙 유닛이 2이므로 컨벌루션 딜레이 라인에 1개의 FEC 블록에 상응하는 초기 값들 저장되어 있었다고 가정하면 타임 인터리빙 이후의 피지컬 레이어 파이프(PLP #A)의 사이즈 정보는 $(3 \times (8/2)) + (1 \times (8/2)) = 16$ 이 된다. 첫 번째 타이밍(time = 0)에서 피지컬 레이어 파이프(PLP #B)는 FEC 블록들의 수가 4이고, 각 FEC 블록에 포함된 셀들의 수가 10이고, 타임 인터리빙 유닛이 2이므로 컨벌루션 딜레이 라인에 1개의 FEC 블록에 상응하는 초기 값들이 저장되어 있었다고 가정하면 타임 인터리빙 이후의 피지컬 레이어 파이프(PLP #B)의 사이즈 정보는 $(4 \times (10/2)) + (1 \times (10/2)) = 25$ 가 된다. 이 때, TDM이 적용되므로 피지컬 레이어 파이프(PLP #A)의 시작 위치 정보는 0이고, 피지컬 레이어 파이프(PLP #B)의 시작 위치 정보는 피지컬 레이어 파이프(PLP #A)의 사이즈 정보인 16일 수 있다.
- [1060] 두 번째 타이밍(time = 1)에서 피지컬 레이어 파이프(PLP #A)는 FEC 블록들의 수가 1이고, 각 FEC 블록에 포함된 셀들의 수가 8이고, 타임 인터리빙 유닛이 2이므로 첫 번째 타이밍에 상응하는 FEC 블록의 셀들 중 절반만이 이전 서브프레임에 전송되었음을 감안하면 타임 인터리빙 이후의 피지컬 레이어 파이프(PLP #A)의 사이즈 정보는 $(1 \times (8/2)) + (3 \times (8/2)) = 16$ 이 된다. 두 번째 타이밍(time = 1)에서 피지컬 레이어 파이프(PLP #B)는 FEC 블록들의 수가 2이고, 각 FEC 블록에 포함된 셀들의 수가 10이고, 타임 인터리빙 유닛이 2이므로 첫 번째 타이밍에 상응하는 FEC 블록의 셀들 중 절반만이 이전 서브프레임에 전송되었음을 감안하면 타임 인터리빙 이후의 피지컬 레이어 파이프(PLP #B)의 사이즈 정보는 $(2 \times (10/2)) + (4 \times (10/2)) = 30$ 이 된다.
- [1061] 이 때, 현재 서브프레임에 맵핑된 데이터 셀들의 양(the amount of data cells mapping to the current subframe)은 타임 인터리빙 이후의 사이즈 정보(plp_size)이다.
- [1062] 결국, 전술한 예를 통해 가변 비트 레이트가 적용된 인터-서브프레임 인터리빙이 수행되는 경우 인핸스드 레이어 피지컬 레이어 파이프의 시작 위치 정보 및 사이즈 정보가 모두 달라질 수 있다.
- [1063] 전술한 예에서 첫 번째 타이밍(time = 0)에, 서브프레임은 피지컬 레이어 파이프(PLP #A)의 사이즈가 16이므로 피지컬 레이어 파이프(PLP #A)의 16개의 액티브 셀들을 포함하고, 피지컬 레이어 파이프(PLP #B)의 사이즈가 25이므로 피지컬 레이어 파이프(PLP #B)의 25개의 액티브 셀들을 포함한다.

- [1064] 만약 타임 인터리빙 이전을 기준으로 시그널링이 수행되면(L1D_plp_size(A) = 24, L1D_plp_start(A) = 0), 수신기는 피지컬 레이어 파이프(PLP #A)를 디코딩하기 위해 피지컬 레이어 파이프(PLP #A)의 16개의 데이터 셀들과 피지컬 레이어 파이프(PLP #B)의 8개의 데이터 셀들을 타임 디인터리버로 입력하여 디코딩은 실패하게 된다. 즉, 타임 인터리빙 이후를 기준으로 시그널링이 수행되어야(L1D_plp_size(A) = 16, L1D_plp_start(A) = 0), 수신기가 피지컬 레이어 파이프(PLP #A)를 디코딩하기 위해 피지컬 레이어 파이프(PLP #A)의 16개의 데이터 셀들을 타임 디인터리버로 입력하여 디코딩이 성공할 수 있다.
- [1065] 만약 타임 인터리빙 이전을 기준으로 시그널링이 수행되면(L1D_plp_size(B) = 40, L1D_plp_start(B) = 24), 수신기는 피지컬 레이어 파이프(PLP #B)를 디코딩하기 위해 피지컬 레이어 파이프(PLP #B)의 16개의 데이터 셀들(24 ~ 40)만을 타임 디인터리버로 입력하여 디코딩은 실패하게 된다. 즉, 타임 인터리빙 이후를 기준으로 시그널링이 수행되어야(L1D_plp_size(B) = 25, L1D_plp_start(B) = 16), 수신기가 피지컬 레이어 파이프(PLP #B)를 디코딩하기 위해 피지컬 레이어 파이프(PLP #B)의 25개의 데이터 셀들을 타임 디인터리버로 입력하여 디코딩이 성공할 수 있다.
- [1066] 즉, 코어 레이어 피지컬 레이어 파이프를 위한 시그널링 필드들(L1D_plp_size, L1D_plp_start)는 타임 인터리빙 이후를 기준으로 시그널링되어야 한다.
- [1067] 도 55는 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 포함하는 서브프레임을 나타낸 도면이다.
- [1068] 도 55를 참조하면, 서브프레임이 하나의 코어 레이어 피지컬 레이어 파이프(PLP #0)와 두 개의 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)로 구성된 것을 알 수 있다.
- [1069] 타임 인터리빙은 코어 레이어를 기준으로 적용되므로, 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)은 서로 섞여서 서브프레임에 포함될 수 있다.
- [1070] 수신기는 수신 신호에서 먼저 서브프레임을 추출하고, 추출된 서브프레임에서 코어 레이어 데이터 셀들에 접근한다. 반면에, 송신기에서 레이어드 디비전 멀티플렉싱이 타임 인터리빙 이전에 수행되므로, 인핸스드 레이어 피지컬 레이어 파이프에 대한 접근은 타임 디인터리빙 이후에 하는 것이 수신기의 복잡도를 낮출 수 있다.
- [1071] 결국, 레이어드 디비전 멀티플렉싱이 적용된 경우, 코어 레이어 피지컬 레이어 파이프들에 대한 접근은 서브프레임으로부터 이루어지므로 타임 인터리빙 이후를 기준으로 피지컬 레이어 파이프의 사이즈 및 시작 위치가 계산되는 것이 바람직하고, 인핸스드 레이어 피지컬 레이어 파이프들에 대한 접근은 타임 디인터리빙 이후에 이루어지므로 타임 인터리빙 이전을 기준으로 피지컬 레이어 파이프의 사이즈 및 시작 위치가 계산되는 것이 바람직하다.
- [1072] 도 56은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루션 디레이 라인의 첫 번째 타이밍을 나타낸

도면이다.

- [1073] 도 56에 도시된 예에서, 피지컬 레이어 파이프(PLP #0)는 코어 레이어 피지컬 레이어 파이프이고, $N_r=16$, $N_{FEC_TI_MAX}=3$ 및 $N_{IU}=3$ 에 해당한다. 피지컬 레이어 파이프들(PLP #1, PLP #2)은 모두 인핸스드 레이어 피지컬 레이어 파이프들이고, 각각 $N_r=8$ 및 $N_r=4$ 에 해당한다.
- [1074] 첫 번째 타이밍(Time=0)에서 피지컬 레이어 파이프(PLP #0)의 FEC 블록들의 수가 3인 경우($N_{FEC_TI}=3$), 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 셀들은 모두 $3(N_{FEC_TI}) \times 16(N_r) = 48$ 개이고 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)에 상응하는 셀들은 각각 $4(N_{FEC_TI}) \times 8(N_r) = 32$ 개 및 $4(N_{FEC_TI}) \times 4(N_r) = 16$ 개일 수 있다.
- [1075] 따라서, LDM 결합의 출력(output of LDM combining)은 도 56의 왼쪽에 도시된 바와 같다.
- [1076] 타임 인터리빙 유닛이 $3(N_{IU}=3)$ 이므로, 3개의 PLP들(PLP #0, PLP #1, PLP #2)의 LDM 결합의 출력(5605)은 3조각으로 나뉘어 첫 번째 조각(5610)은 첫 번째 브랜치에 대응되어 첫 번째 타이밍에 해당하는 서브프레임에 전송되는 CDL 출력이 되고, 두 번째 조각(5620)은 두 번째 브랜치에 대응되어 한 개의 FIFO 레지스터에 저장되고, 세 번째 조각(5630)은 세 번째 브랜치에 대응되어 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장될 수 있다.
- [1077] 이 때, 컨벌루션 딜레이 라인의 FIFO 레지스터들에는 전술한 바와 같이 1개의 FEC 블록에 상응하는 초기값들이 저장되어 있을 수 있고, FIFO 레지스터들 각각은 5개의 코어 레이어 셀들에 상응하는 개수만큼의 초기값들로 초기화되어 있을 수 있다.
- [1078] 컨벌루션 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 초기화되어 있던 초기값들(5650) 및 세 번째 브랜치에 해당하는 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 초기화되어 있던 초기값들(5660)이 LDM 결합의 출력의 첫 번째 조각(5610)과 함께 첫 번째 타이밍에 서브프레임에 전송되는 CDL 출력이 된다.
- [1079] 이 때, 컨벌루션 딜레이 라인의 세 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 초기화되어 있던 초기값들(5670)이 저장될 수 있다.
- [1080] 결국, 첫 번째 타이밍(Time=0)에서 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 타임 인터리빙 이후를 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 L1D_plp_size는 $18 + 5 + 5 = 28$ 이 되고 L1D_plp_start는 0이 된다. 또한, 첫 번째 타이밍(Time=0)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로

- L1D_plp_size는 32가 되고 L1D_plp_start는 0이 된다. 또한, 첫 번째 타이밍(Time=0)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 16이 되고 L1D_plp_start는 피지컬 레이어 파이프(PLP #1)의 사이즈 정보인 32가 된다.
- [1081] 도 57은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 두 번째 타이밍을 나타낸 도면이다.
- [1082] 도 57에 도시된 예에서, 피지컬 레이어 파이프(PLP #0)는 코어 레이어 피지컬 레이어 파이프이고, $N_r=16$, $N_{FEC_TI_MAX}=3$ 및 $N_{IU}=3$ 에 해당한다. 피지컬 레이어 파이프들(PLP #1, PLP #2)은 모두 인핸스드 레이어 피지컬 레이어 파이프들이고, 각각 $N_r=8$ 및 $N_r=4$ 에 해당한다.
- [1083] 두 번째 타이밍(Time=1)에서 피지컬 레이어 파이프(PLP #0)의 FEC 블록들의 수가 2인 경우($N_{FEC_TI}=2$), 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 셀들은 모두 $2(N_{FEC_TI}) \times 16(N_r) = 32$ 개이고 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)에 상응하는 셀들은 각각 24개 및 8개일 수 있다.
- [1084] 따라서, LDM 결합의 출력(output of LDM combining)은 도 57의 왼쪽에 도시된 바와 같다.
- [1085] 타임 인터리빙 유닛이 3($N_{IU}=3$)이므로, 3개의 PLP들(PLP #0, PLP #1, PLP #2)의 LDM 결합의 출력(5705)은 3조각으로 나뉘어 첫 번째 조각(5710)은 첫 번째 브랜치에 대응되어 두 번째 타이밍에 해당하는 서브프레임에 전송되는 CDL 출력이 되고, 두 번째 조각(5720)은 두 번째 브랜치에 대응되어 한 개의 FIFO 레지스터에 저장되고, 세 번째 조각(5730)은 세 번째 브랜치에 대응되어 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장된다.
- [1086] 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍의 두 번째 조각(5620) 및 세 번째 브랜치에 해당하는 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 저장되어 있던 초기값들(5개의 코어 레이어 셀들에 대응되는 개수, 5670)이 두 번째 타이밍의 LDM 결합의 출력의 첫 번째 조각(5710)과 함께 서브프레임에 전송되는 CDL 출력이 된다.
- [1087] 이 때, 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍의 세 번째 조각(5630)이 저장될 수 있다.
- [1088] 결국, 두 번째 타이밍(Time=1)에서 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 타임 인터리빙 이후를 기준으로 사이즈 정보(L1D_plp_size) 및 시작

위치 정보(L1D_plp_start)를 시그널링하면 L1D_plp_size는 $12 + 15 + 5 = 32$ 가 되고 L1D_plp_start는 0이 된다. 또한, 두 번째 타이밍(Time=1)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 24가 되고 L1D_plp_start는 0이 된다. 또한, 두 번째 타이밍(Time=1)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 8이 되고 L1D_plp_start는 피지컬 레이어 파이프(PLP #1)의 사이즈 정보인 24가 된다.

- [1089] 도 58은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 세 번째 타이밍을 나타낸 도면이다.
- [1090] 도 58에 도시된 예에서, 피지컬 레이어 파이프(PLP #0)는 코어 레이어 피지컬 레이어 파이프이고, $N_r=16$, $N_{FEC_TL_MAX}=3$ 및 $N_{IU}=3$ 에 해당한다. 피지컬 레이어 파이프들(PLP #1, PLP #2)은 모두 인핸스드 레이어 피지컬 레이어 파이프들이고, 각각 $N_r=8$ 및 $N_r=4$ 에 해당한다.
- [1091] 세 번째 타이밍(Time=2)에서 피지컬 레이어 파이프(PLP #0)의 FEC 블록들의 수가 1인 경우($N_{FEC_TI}=1$), 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 셀들은 모두 $1(N_{FEC_TI}) \times 16(N_r) = 16$ 개이고 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)에 상응하는 셀들은 각각 8개 및 8개일 수 있다.
- [1092] 따라서, LDM 결합의 출력(output of LDM combining)은 도 58의 왼쪽에 도시된 바와 같다.
- [1093] 타임 인터리빙 유닛이 3($N_{IU}=3$)이므로, 3개의 PLP들(PLP #0, PLP #1, PLP #2)의 LDM 결합의 출력(5805)은 3조각으로 나뉘어 첫 번째 조각(5810)은 첫 번째 브랜치에 대응되어 세 번째 타이밍에 해당하는 서브프레임에 전송되는 CDL 출력이 되고, 두 번째 조각(5820)은 두 번째 브랜치에 대응되어 한 개의 FIFO 레지스터에 저장되고, 세 번째 조각(5830)은 세 번째 브랜치에 대응되어 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장된다.
- [1094] 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되어 있던 두 번째 타이밍의 두 번째 조각(5720) 및 세 번째 브랜치에 해당하는 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍의 세 번째 조각(5630)이 세 번째 타이밍의 LDM 결합의 출력의 첫 번째 조각(5810)과 함께 서브프레임에 전송되는 CDL 출력이 된다.
- [1095] 이 때, 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에는 두 개의 FIFO 레지스터들 중 첫 번째

FIFO 레지스터에 저장되어 있던 두 번째 타이밍의 세 번째 조각(5730)이 저장될 수 있다.

- [1096] 결국, 세 번째 타이밍(Time=2)에서 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 타임 인터리빙 이후를 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 L1D_plp_size는 $6 + 10 + 15 = 31$ 이 되고 L1D_plp_start는 0이 된다. 또한, 세 번째 타이밍(Time=2)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 8이 되고 L1D_plp_start는 0이 된다. 또한, 세 번째 타이밍(Time=2)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 8이 되고 L1D_plp_start는 피지컬 레이어 파이프(PLP #1)의 사이즈 정보인 8이 된다.
- [1097] 도 59는 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 첫 번째 타이밍을 나타낸 도면이다.
- [1098] 도 59에 도시된 예에서, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 $N_{FEC_TI} = [3 \ 1 \ 1]$ 과 같은 정보가 시그널링되어, 첫 번째 타이밍(Time = 0)에 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 FEC 블록들의 수가 3(이전 타이밍에 초기화되어 있던 FEC 블록들의 수는 1, 두 타이밍 이전 타이밍에 초기화되어 있던 FEC 블록들의 수도 1)임을 수신기로 알려줄 수 있다.
- [1099] 도 56에 도시된 컨벌루셔널 딜레이 라인의 출력이 도 59의 왼쪽에 도시된 바와 같이 역 컨벌루셔널 딜레이 라인의 입력으로 수신될 수 있다.
- [1100] 수신된 데이터는 세 조각으로 구분되어 첫 번째 조각(5910)이 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장되고, 두 번째 조각(5920; 초기값들)이 역 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되고, 세 번째 조각(5930; 초기값들)이 역 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 대응되어 타임 디인터리버 출력으로 출력된다.
- [1101] 이 때, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대해서 타임 인터리빙 이후를 기준으로 L1D_plp_size = 28 및 L1D_plp_start = 0이 시그널링되므로, 수신된 데이터로부터 28개의 셀들을 추출하여 역 컨벌루셔널 딜레이 라인의 입력으로 사용할 수 있다. 이 때, $N_{FEC_TI} = [3 \ 1 \ 1]$ 에 상응하여, 28개의 셀들 중 첫 번째 브랜치에는 3개의 FEC 블록들에 해당하는 데이터 셀들이 쓰여지고, 두 번째 브랜치 및 세 번째 브랜치에는 각각 1개의 FEC 블록에 해당하는 데이터 셀들이 쓰여질 수 있다.

- [1102] 이 때, 역 컨벌루셔널 딜레이 라인의 FIFO 레지스터들도 각각 5개의 코어 레이어 셀들에 상응하는 개수만큼의 초기값들로 초기화되어 있을 수 있다. 이 때, 첫 번째 브랜치에 해당하는 FIFO 레지스터는 6개의 초기값들로 초기화되어 있고, 나머지 브랜치들에 해당하는 FIFO 레지스터들은 5개의 초기값들로 초기화되어 있을 수도 있다($N_r=16$).
- [1103] 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 초기화되어 있던 초기값들(5950) 및 두 번째 브랜치에 해당하는 FIFO 레지스터에 초기화되어 있던 초기값들(5960)이 수신된 데이터의 세 번째 조각과 함께 첫 번째 타이밍에 타임 디인터리버의 출력이 된다.
- [1104] 이 때, 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 초기화되어 있던 초기값들(5970)이 저장될 수 있다.
- [1105] 결국, 첫 번째 타이밍에는 타임 디인터리버의 출력으로 피지컬 레이어 파이프(PLP #0) 데이터가 출력되지 않는다.
- [1106] 도 60은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 두 번째 타이밍을 나타낸 도면이다.
- [1107] 도 60에 도시된 예에서, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 $N_{FEC_TI} = [2\ 3\ 1]$ 과 같은 정보가 시그널링되어, 두 번째 타이밍(Time = 1)에 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 FEC 블록들의 수가 2(이전 타이밍에 코어 레이어 피지컬 레이어 파이프에 상응하는 FEC 블록들의 수는 3, 두 타이밍 이전 타이밍에 초기화되어 있던 FEC 블록들의 수는 1)임을 수신기로 알려줄 수 있다.
- [1108] 도 57에 도시된 컨벌루셔널 딜레이 라인의 출력이 도 60의 왼쪽에 도시된 바와 같이 역 컨벌루셔널 딜레이 라인의 입력으로 수신될 수 있다.
- [1109] 수신된 데이터는 세 조각으로 구분되어 첫 번째 조각(6010)이 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장되고, 두 번째 조각(6020)이 역 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되고, 세 번째 조각(6030; 초기값들)이 역 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 대응되어 타임 디인터리버 출력으로 출력된다.
- [1110] 이 때, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대해서 타임 디인터리빙 이후를 기준으로 $L1D_plp_size = 32$ 및 $L1D_plp_start = 0$ 이 시그널링되므로, 수신된 데이터로부터 32개의 셀들을 추출하여 역 컨벌루셔널 딜레이 라인의 입력으로 사용할 수 있다. 이 때, $N_{FEC_TI} = [2\ 3\ 1]$ 에 상응하여, 32개의 셀들 중 첫 번째 브랜치에는 2개의 FEC 블록들에 해당하는 데이터 셀들이 쓰여지고, 두 번째 브랜치에는 3개의 FEC 블록들에 해당하는 데이터가 쓰여지고, 세 번째

- 브랜치에는 1개의 FEC 블록에 해당하는 데이터 셀들이 쓰여질 수 있다.
- [1111] 이 때, 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 첫 번째 타이밍에 첫 번째 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍에 수신된 데이터의 첫 번째 조각(5910)이 저장될 수 있다.
- [1112] 첫 번째 타이밍에 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 저장되어 있던 초기값들(5970) 및 두 번째 브랜치에 해당하는 FIFO 레지스터에 초기화되어 있던 초기값들(5920)이 수신된 데이터의 세 번째 조각(6030)과 함께 두 번째 타이밍에 타임 디인터리버의 출력이 된다.
- [1113] 결국, 두 번째 타이밍에도 타임 디인터리버의 출력으로 피지컬 레이어 파이프(PLP #0) 데이터가 출력되지 않는다.
- [1114] 도 61은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 세 번째 타이밍을 나타낸 도면이다.
- [1115] 도 61에 도시된 예에서, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 $N_{FEC_TI} = [1\ 2\ 3]$ 과 같은 정보가 시그널링되어, 세 번째 타이밍(Time = 2)에 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 FEC 블록들의 수가 1(이전 타이밍에 코어 레이어 피지컬 레이어 파이프에 상응하는 FEC 블록들의 수는 2, 두 타이밍 이전 타이밍에 코어 레이어 피지컬 레이어 파이프에 상응하는 FEC 블록들의 수는 3)임을 수신기로 알려줄 수 있다.
- [1116] 도 58에 도시된 컨벌루셔널 딜레이 라인의 출력이 도 61의 왼쪽에 도시된 바와 같이 역 컨벌루셔널 딜레이 라인의 입력으로 수신될 수 있다.
- [1117] 수신된 데이터는 세 조각으로 구분되어 첫 번째 조각(6110)이 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장되고, 두 번째 조각(6120)이 역 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되고, 세 번째 조각(6130)이 역 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 대응되어 타임 디인터리버 출력으로 출력된다.
- [1118] 이 때, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대해서 타임 인터리빙 이후를 기준으로 $L1D_plp_size = 31$ 및 $L1D_plp_start = 0$ 이 시그널링되므로, 수신된 데이터로부터 31개의 셀들을 추출하여 역 컨벌루셔널 딜레이 라인의 입력으로 사용할 수 있다. 이 때, $N_{FEC_TI} = [1\ 2\ 3]$ 에 상응하여, 31개의 셀들 중 첫 번째 브랜치에는 1개의 FEC 블록에 해당하는 데이터 셀들이 쓰여지고, 두 번째 브랜치에는 2개의 FEC 블록들에 해당하는 데이터 셀들이 쓰여지고, 세 번째 브랜치에는 3개의 FEC 블록들에 해당하는 데이터 셀들이 쓰여질 수 있다.
- [1119] 이 때, 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 두 번째 타이밍에 첫 번째 FIFO 레지스터에 저장되어 있던 두 번째 타이밍에 수신된 데이터의 첫 번째 조각(6010)이 저장될 수 있다.

- [1120] 첫 번째 타이밍에 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍에 수신된 데이터의 첫 번째 조각(5910) 및 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되어 있던 두 번째 타이밍에 수신된 데이터의 두 번째 조각(6020)이 세 번째 타이밍에 수신된 데이터의 세 번째 조각(6130)과 함께 세 번째 타이밍에 타임 디인터리버의 출력이 된다.
- [1121] 결국, 세 번째 타이밍에 타임 디인터리버의 출력으로 48개의 코어 레이어 피지컬 레이어 파이프(PLP #0)의 셀들과, 32개의 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)의 셀들과, 16개의 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)의 셀들이 출력된다.
- [1122] 즉, 세 번째 타이밍에 3개의 FEC 블록들을 포함하는 완전한 타임 인터리빙 블록이 출력되고, 하나의 FEC 블록이 16개의 데이터 셀들로 이루어져 있으므로, 이 타이밍에 $16 \times 3 = 48$ 개의 코어 레이어 피지컬 레이어 파이프 데이터 셀들이 출력되는 것을 알 수 있다.
- [1123] 이 때, 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)에 대해서는 타임 인터리빙 이후를 기준으로 시그널링되어 $L1D_plp_size = 32$ 및 $L1D_plp_start = 0$ 이 시그널링되므로 타임 디인터리빙된 출력으로부터 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)와 관련된 셀들을 효율적으로 식별할 수 있다.
- [1124] 이 때, 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)에 대해서도 타임 인터리빙 이후를 기준으로 시그널링되어 $L1D_plp_size = 16$ 및 $L1D_plp_start = 32$ 가 시그널링되므로 타임 디인터리빙된 출력으로부터 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)와 관련된 셀들을 효율적으로 식별할 수 있다.
- [1125] LDM이 사용될 때, 인핸스드 피지컬 레이어 파이프의 인젝션 레벨이, 관련된 코어 레이어 피지컬 레이어 파이프(들)에 상대적인 인핸스드 피지컬 레이어 파이프의 파워 레벨을 결정하기 위해서 $L1D_plp_ldm_injection_level$ 필드로 시그널링될 수 있다. 이 때, 인핸스드 레이어 피지컬 레이어 파이프(들)의 인젝션 레벨은 관련된 코어 레이어 피지컬 레이어 파이프(들) 아래로 0dB부터 25dB까지 변할 수 있다.
- [1126] 이 때, 인핸스드 레이어 피지컬 레이어 파이프의 낮은 인젝션 레벨은 인핸스드 피지컬 레이어 파이프의 전송 파워가 증가함을 의미한다. 그러나, 이 인핸스드 피지컬 레이어 파이프 신호는 관련된 코어 레이어 피지컬 레이어 파이프(들)에 코어 레이어 피지컬 레이어 파이프의 성능에 영향을 끼칠 수 있는 부가적인 잡음이 된다.
- [1127] 반대로, 높은 인젝션 레벨은 낮은 전송 파워가 인핸스드 피지컬 레이어 파이프에 할당됨을 의미하고, 관련된 코어 레이어 피지컬 레이어 파이프(들)은 상대적으로 높은 로버스트니스를 갖게 된다.
- [1128] 이 때, 인핸스드 피지컬 레이어 파이프의 삽입 이후 토탈 파워는 싱글 PLP 구성(single PLP configuration)의 파워와 동일하게 노멀라이즈될 수 있다. 이 때,

LDM 컴바이닝 이후의 코어 및 인핸스드 레이어 피지컬 레이어 파이프들의 요구 SNR(required SNR)은 인젝션 레벨뿐만 아니라 LDM 컴바이닝 이전의 코어 및 인핸스드 피지컬 레이어 파이프들의 요구 SNR에 의하여 정해질 수 있다. 이 때, 요구 SNR은 해당 피지컬 레이어 파이프가 제대로 송/수신되기 위한 SNR의 최소값일 수 있다.

[1129] LDM 컴바이닝 이후의 코어 레이어 피지컬 레이어 파이프의 요구 SNR(SNR_{CL_AC}) 및 인핸스드 레이어 피지컬 레이어 파이프의 요구 SNR(SNR_{EL_AC})은 하기 수학적 식 8 및 9와 같이 정해질 수 있다.

[1130] [수학적 식 8]

$$[1131] \quad SNR_{CL_AC} = SNR_{CL_BC} + 10 \log_{10} \left(1 + 10^{\frac{-IL}{10}} \right) - 10 \log_{10} \left(1 - 10^{\frac{SNR_{CL_BC} - IL}{10}} \right)$$

[1132] [수학적 식 9]

$$[1133] \quad SNR_{EL_AC} = SNR_{EL_BC} + 10 \log_{10} \left(1 + 10^{\frac{IL}{10}} \right)$$

[1134] 여기서, IL은 dB 스케일의 인젝션 레벨이고, SNR_{CL_BC} 는 dB 스케일의 코어 레이어에 할당되는 피지컬 레이어 파이프의 요구 SNR 값(LDM 컴바이닝 이전의 요구 SNR)이고, SNR_{EL_BC} 는 dB 스케일의 인핸스드 레이어에 할당되는 피지컬 레이어 파이프의 요구 SNR 값(LDM 컴바이닝 이전의 요구 SNR)이다. 멀티플 인핸스드 레이어 피지컬 레이어 파이프들이 하나의 코어 레이어 피지컬 레이어 파이프와 연관될 때, 이러한 멀티플 인핸스드 레이어 피지컬 레이어 파이프들 모두를 위해 동일한 값의 인젝션 레벨이 사용되어야 할 수 있다. 따라서, 코어 레이어 피지컬 레이어 파이프를 위해 복수의 요구 SNR 값들이 있지 않을 수 있다.

[1135] 인핸스드 피지컬 레이어 파이프의 인젝션 레벨이 결정될 때, LDM 컴바이닝 이전의 코어 피지컬 레이어 파이프(들)의 요구 SNR을 고려하는 것이 중요할 수 있다. 인젝션되는 인핸스드 레이어 피지컬 레이어 파이프는 관련된 코어 레이어 피지컬 레이어 파이프(들)에 부가적인 잡음 역할을 하므로, 만약 인젝션 레벨이 LDM 컴바이닝 이전의 코어 레이어 피지컬 레이어 파이프(들)의 요구 SNR 보다 낮다면, 코어 레이어 피지컬 레이어 파이프는 디코딩이 불가능할 수 있다. 게다가, 인젝션 레벨이 LDM 컴바이닝 이전의 코어 레이어 피지컬 레이어 파이프(들)의 요구 SNR보다 약간 높다면(예를 들어, 1dB), 여전히 LDM 컴바이닝 이후의 코어 레이어 피지컬 레이어 파이프(들)의 SNR 성능에 영향이 있을 수 있다. 그러므로, 인젝션 레벨과 코어 레이어 피지컬 레이어 파이프(들)의 요구 SNR 문턱 사이에 충분한 여유를 제공하기 위해, 인핸스드 레이어 피지컬 레이어 파이프(들)의 인젝션 레벨(IL)은 하기 수학적 식 10에 따라 선택될 수 있다.

[1136] [수학적 식 10]

$$[1137] \quad IL \geq SNR_{CL_BC} + 3$$

[1138] 이 때, 멀티플 코어 레이어 피지컬 레이어 파이프들이 하나의 인핸스드 레이어 피지컬 레이어 파이프와 연관될 때, 가장 덜 로버스트한 코어 레이어 피지컬

레이어 파이프가 인젝션 레벨의 상태를 선택하는데 사용될 수 있다.

- [1139] 인핸스드 레이어의 인젝션 레벨들에 따라, 코어 레이어의 모듈레이션/코드레이트(ModCod) 조합을 선택하기 위해 특별한 주의가 필요할 수 있다. 이 때, 코어 레이어 피지컬 레이어 파이프는 QPSK, 16 QAM 및 64 QAM 컨스틸레이션 중 하나로 구성되는 것이 바람직할 수 있다. 64 QAM 이 코어 레이어 피지컬 레이어 파이프에 사용될 때, 코어 레이어에서의 지나치게 높은 동작 SNR들을 피하기 위해 코드 레이트는 최대 7/15까지 사용되는 것이 바람직할 수 있다.
- [1140] 하나의 완전한 전송 프로덕트가 멀티플 피지컬 레이어 파이프들에 의해 조합되고 전송될 때, 이러한 멀티플 피지컬 레이어 파이프들은 ATSC 3.0 수신기에서 동시에 복원되어야 할 필요가 있고, 따라서 하나의 완전한 전송 프로덕트를 조합하는데 필요한 피지컬 레이어 파이프들의 최대 개수는 수신기의 최대 TI 메모리 사이즈의 조건(즉, 2^{19} cells)을 만족시키면서 4로 제한될 수 있다.
- [1141] 브로드캐스터들의 의도된 서비스들에 따라, 멀티플 피지컬 레이어 파이프들에 의해 전송되는 하나의 완전한 전송 프로덕트는 시그널링, 멀티플 오디오들, 비디오, 인핸스드 비디오 또는 어플리케이션 데이터와 같이 복수의 다른 데이터 스트림들을 포함할 수 있다. 수신기들에서 동시에 복원될 필요가 있는(완전한 전송 프로덕트) 이러한 멀티플 데이터 스트림들이 멀티플 피지컬 레이어 파이프들로 전송될 때, 주의가 필요하다. 원칙적으로, 다른 로버스트니스 레벨들 및 다른 커버리지 영역들이 브로드캐스터들에 의해 의도될 때, 부가적인 피지컬 레이어 파이프(들)이 요구된다. 만약, 멀티플 데이터 스트림들이 동일한 로버스트니스 레벨 및 동일한 커버리지 영역을 가질 필요가 있다면(예를 들어, 멀티플 언어들의 멀티플 오디오 스트림들), 이러한 데이터 스트림들은 동일한 피지컬 레이어 파이프에서 전송되는 것이 바람직하다. 이 때, 이러한 멀티플 데이터 스트림들을 위해 동일한 로버스트니스가 의도된 한, 이러한 멀티플 데이터 스트림들을 피지컬 레이어 전에 멀티플렉싱하는 것이 통계적 멀티플렉싱 게인(statistical multiplexing gain)때문에 더 유리할 수 있다. 그러므로, 전송되는 프로덕트의 모든 컴포넌트들이 멀티플 피지컬 레이어 파이프들에 의해 전송될 때, 그 프로덕트를 위한 피지컬 레이어 파이프들의 최대 개수는 송신기에서 4로 제한되고, 이러한 4개의 피지컬 레이어 파이프들은 개별적인 피지컬 레이어 파이프들의 타임 다이버시티(time diversity)를 최대로 하기 위해 TI 메모리 사이즈를 풀로(2^{19} cells) 사용할 수 있다. 심지어 4 피지컬 레이어 파이프들을 초과하는 완전한 전송 프로덕트 내의 4-PLP 서브셋이 수신기에서의 TI 메모리 요구를 만족시키더라도, 전송 프로덕트의 모든 컴포넌트들이 송신기에서 4개를 초과하는 개수의 피지컬 레이어 파이프들에 의해 전송되는 것은 바람직하지 않다.
- [1142] Service List Table (SLT) 및 Service Layer Signaling (SLS)를 포함하는 Low Level

Signaling (LLS)과 같은 IP-레벨 시그널링 정보 및 Link Mapping Table (LMT)는 시그널링 정보를 위한 다른 로버스트니스를 제공하기 위해 별도의 피지컬 레이어 파이프에 구성될 수 있다. 이러한 경우에, IP-레벨 시그널링 정보는 하나의 전송 프로덕트를 전송하는 멀티플 피지컬 레이어 파이프들 중 가장 로버스트한 피지컬 레이어 파이프에 존재할 수 있다. LDM이 사용될 때, IP-레벨 시그널링 정보는 하나의 전송 프로덕트를 전송하는 멀티플 피지컬 레이어 파이프들 중 가장 로버스트한 코어 레이어 피지컬 레이어 파이프에 존재할 수 있다.

- [1143] 하나 또는 그 이상의 피지컬 레이어 파이프들로 구성될 수 있는 하나의 전송 프로덕트는 LLS와 LMT를 포함하는 적절한 IP-레벨 시그널링 정보를 포함할 수 있다. 이 때, LLS와 LMT 전송의 최소 요구는 매 5초마다 반복되는 것일 수 있다. 빠른 서비스 획득을 위해, LLS와 LMT는 모든 피지컬 레이어 프레임에서 보내질 수 있다. 이는 매 프레임에서 L1B_lls_flag = 1 (현재 프레임 내에 전송되는 LLS를 위해) 및 L1D_plp_lls_flag = 1 (상응하는 PLP 내에 전송되는 LLS를 위해)로 설정함으로써 달성될 수 있다.
- [1144] 하나의 완전한 전송 프로덕트가 멀티플 피지컬 레이어 파이프들에 의해 전송될 때, 멀티플 서브프레임들이 사용될 수 있다. 이러한 서비스 시나리오의 하나의 예는 8K나 16K FFT 서브프레임에서 전송되는 로버스트 오디오 서비스 및 32K FFT 서브프레임에서 전송되는 비디오 서비스이다. 따라서, ATSC 3.0 수신기들은 하나의 완전한 전송 프로덕트를 전송하는 멀티플 서브프레임들을 동시에 복원할 수 있다. CTI 모드는 하나의 완전한 전송 프로덕트가 일정한 셀 레이트(constant cell rate)를 갖는 오직 하나의 코어 피지컬 레이어 파이프로 구성될 때 사용되므로, 이러한 경우에 CTI 모드는 허용되지 않을 수 있다.
- [1145] LDM이 사용될 때, 레이어드 디비전 멀티플렉싱되는 멀티플 피지컬 레이어 파이프들은 FFT 사이즈, 파일럿 패턴 및 가드 인터벌과 같은 공통의 서브프레임 파라미터들을 공유할 수 있다. 따라서, 하나의 완전한 전송 프로덕트가 모두 LDM 구성된 멀티플 서브프레임들로 전송되지 않도록 하여, 수신기들이 LDM 구성된 멀티플 서브프레임들을 동시에 복원할 필요가 없도록 하는 것이 바람직하다.
- [1146] LDM(Layered Division Multiplexing)은 하나의 서브프레임 내에서 멀티플 피지컬 레이어 파이프들을 구성하기 위해, TDM 및/또는 FDM 구성들(configurations)과 결합할 수 있다. LDM이 둘 이상의 피지컬 레이어 파이프들로 구성될 때, 레이어드 타임 디비전 멀티플렉싱(Layered Time Division Multiplexing, LTDM), 타임 레이어드 디비전 멀티플렉싱(Time Layered Division Multiplexing, TLDM), 레이어드 프리퀀시 디비전 멀티플렉싱(Layered Frequency Division Multiplexing; LFDM) 또는 프리퀀시 레이어드 디비전 멀티플렉싱(Frequency Layered Division Multiplexing; FLDM)과 같은 구성들 중 하나로 이루어질 수 있다.

- [1147] 이 때, LTDM은 레이어드 디비전된 후 타임 디비전되는 것으로 볼 수 있고, TLDM은 타임 디비전된 후 레이어드 디비전되는 것으로 볼 수 있고, LFDM은 레이어드 디비전된 후 프리컨시 디비전되는 것으로 볼 수 있고, FLDM은 프리컨시 디비전된 후 레이어드 디비전되는 것으로 볼 수 있다.
- [1148] 구현이 낮은 복잡도와 낮은 메모리 사용을 갖도록 하기 위해, 메모리를 포함하는 타임 인터리버 블록은 코어 및 인핸스드 피지컬 레이어 파이프들 모두에 의해 공유될 수 있다.
- [1149] 이 때, FLDM이나 LFDM 구성들은 TLDM이나 LTDM의 분산된(dispersed) 코어 레이어 피지컬 레이어 파이프들을 서브슬라이싱하는 특별 케이스로 볼 수 있다. 이하에서는 수신기에서의 동시 복원을 위해 하나의 완전한 전송 프로덕트를 구성하는 최대 4개까지의 피지컬 레이어 파이프들이 사용되는 예를 위주로 설명한다.
- [1150] L1D_plp_start 및 L1D_plp_size는 서브프레임 내에서 각 피지컬 레이어 파이프의 위치 및 배치(position and placement)를 결정하는 시그널링 필드들이다. LDM의 사용과 관계없이, 코어 레이어 피지컬 레이어 파이프(들)의 이러한 시그널링 필드들은 타임 인터리빙(CTI 또는 HTI) 및 프레임링 이후를 기준으로 정의될 수 있다. 그러나, LDM이 사용될 때, LDM 컴바이닝이 컨스틸레이션 맵핑 이후 및 타임 인터리빙 이전에 수행되기 때문에, 인핸스드 피지컬 레이어 파이프(들)의 L1D_plp_start 및 L1D_plp_size는 타임 인터리빙 이전을 기준으로 정의될 수 있다.
- [1151] 도 62는 L1D_plp_start 및 L1D_plp_size의 시그널링 정의들을 나타낸 도면이다.
- [1152] 도 62를 참조하면, 인핸스드 피지컬 레이어 파이프들의 시그널링 필드들에 의해 지시되는 셀들은 타임 인터리빙 이후에 서브프레임에 걸쳐서 분산되고, 이는 프레임링 단계에서 의미 있는 정보가 되기 어려운 것을 알 수 있다.
- [1153] 수신기에서, 타임 디인터리빙 및 코어 레이어 피지컬 레이어 파이프의 캔슬레이션 이후 디코딩되는 인핸스드 피지컬 레이어 파이프들은 L1-Detail 내의 인핸스드 피지컬 레이어 파이프들의 상응하는 L1D_plp_start 및 L1D_plp_size에 기반하여 복원될 수 있다.
- [1154] LDM이 멀티플 코어 피지컬 레이어 파이프들로 구성될 때, 각 코어 레이어 피지컬 레이어 파이프는 타임 인터리빙 그룹(TI 그룹)을 나타낸다.
- [1155] 도 63은 멀티플 코어 피지컬 레이어 파이프들을 위한 타임 인터리빙 그룹 할당을 나타낸 도면이다.
- [1156] 도 63을 참조하면, 3개의 코어 레이어 피지컬 레이어 파이프들 각각이 하나의 타임 인터리빙 그룹을 나타내는 것을 알 수 있다.
- [1157] 이러한 타임 인터리빙 그룹들은 L1-Detail 컨트롤 시그널링 내에 상응하는 코어 레이어 피지컬 레이어 파이프들이 나타나는 순서에 따라 오름차순(ascending order)으로 암묵적으로 인덱싱(implicitly indexed)될 수 있다. 수신기 메모리의 효율적인 사용을 위해, 각 서브프레임의 코어 레이어 피지컬 레이어 파이프들은

그 서브프레임 내에서 오름차순으로 정렬될 수 있다. 즉, `TI_Group_0`으로 인덱싱되는 서브프레임의 L1-Detail 컨트롤 시그널링 내의 첫 번째 코어 레이어 피지컬 레이어 파이프의 `L1D_plp_start`는 그 서브프레임 내의 모든 코어 레이어 피지컬 레이어 파이프들의 `L1D_plp_start` 값들 중 가장 낮은 셀 인덱스를 가질 수 있다. 또한, `TI_Group_1`로 인덱싱되는 그 서브프레임의 L1-Detail 컨트롤 시그널링 내의 두 번째 코어 레이어 피지컬 레이어 파이프의 `L1D_plp_start`는 첫 번째 코어 레이어 피지컬 레이어 파이프(`TI_Group_0`)의 그것보다 크고 세 번째 코어 레이어 피지컬 레이어 파이프(`TI_Group_2`)의 그것보다 작을 수 있다. 이 때, 각 피지컬 레이어 파이프의 `L1D_plp_id`는 `TI_Group` 값들과 독립적이어서, `L1D_plp_id` 값들은 도 63과 같이 L1-Detail 컨트롤 시그널링 내에서 오름차순으로 정렬될 필요가 없을 수 있다.

- [1158] 도 64는 하나의 코어 레이어 피지컬 레이어 파이프에 삽입된 두 개의 인핸스드 레이어 피지컬 레이어 파이프들을 나타낸 도면이다.
- [1159] 도 64를 참조하면, 멀티플 인핸스드 레이어 피지컬 레이어 파이프들이 하나의 코어 피지컬 레이어 파이프(예를 들어, `L1D_plp_id_0`)와 연관된 경우, 이러한 인핸스드 레이어 피지컬 레이어 파이프들은 `L1D_plp_ldm_injection_level`로 시그널링되는 모두 같은 LDM 인젝션 레벨을 가지는 것을 알 수 있다. 만약 이러한 인핸스드 레이어 피지컬 레이어 파이프들이 상이한 인젝션 레벨들을 가진다면, 이 두 인핸스드 레이어 피지컬 레이어 파이프들과 연관되는 코어 레이어 피지컬 레이어 파이프(예를 들어, `L1D_plp_id_0`)의 부분들(ports)은 상이한 로버스트니스를 가지게 되고, 이는 단일 콘텐츠에 대하여 다른 커버리지 영역들을 제공하는 결과가 될 수 있다.
- [1160] 하나의 서브프레임에서 인핸스드 레이어 피지컬 레이어 파이프(들)가 코어 레이어 피지컬 레이어 파이프(들)과 배치되고 연관될(positioned and associated) 때, 인핸스드 레이어 피지컬 레이어 파이프(들)의 `L1D_plp_start` 및 `L1D_plp_size`는 인핸스드 피지컬 레이어 파이프(들)의 셀들이 코어 레이어 피지컬 레이어 파이프(들)의 셀들과 연속적으로 연관되도록 주의깊게 결정될 수 있다.
- [1161] 도 65는 바람직하지 않은 LDM 구성 예를 나타낸 도면이다.
- [1162] 도 65를 참조하면, 인핸스드 피지컬 레이어 파이프(`L1D_plp_id_1`)의 `L1D_plp_start`는 코어 레이어 피지컬 레이어 파이프(`L1D_plp_id_0`)의 그것과 동일하지 않은 것을 알 수 있다. 이 때, 코어 레이어 피지컬 레이어 파이프들의 부분들은 다른 로버스트니스를 가지게 되고, 따라서 이와 같은 구성은 바람직하지 않을 수 있다. 게다가, 인핸스드 레이어 피지컬 레이어 파이프의 `L1D_plp_size`는 코어 레이어보다 작거나 클 수 없을 수 있다. HTI 모드(하이브리드 타임 인터리빙 모드)가 사용될 때, HTI 모드를 구성하는 피지컬 레이어 파이프들은 모두 정수개의 FEC 블록들을 사용할 수 있다. 이러한 경우에, 인핸스드 레이어의 실제 데이터 셀들(actual data cells)의 개수는 코어 레이어의

그것들보다 작거나 같게 설정될 수 있고, 필요하면 인핸스드 레이어 더미 모듈레이션 값들이 사용될 수 있다.

- [1163] 도 66은 바람직하지 않은 LDM 구성의 다른 예를 나타낸 도면이다.
- [1164] 도 66을 참조하면, 코어 레이어 피지컬 레이어 파이프(L1D_plp_id_0)에 레이어드 디비전 멀티플렉싱되지 않는 구간(duration)이 존재하는 것을 알 수 있다.
- [1165] 인핸스드 레이어에 멀티플 피지컬 레이어 파이프들이 구성될 때, 인핸스드 레이어 피지컬 레이어 파이프들 사이의 갭들을 방지하기 위해, 하나의 서브프레임 내에서 후속 인핸스드 레이어 피지컬 레이어 파이프의 L1D_plp_start(L1D_plp_start_3)는 앞서는 인핸스드 피지컬 레이어 파이프(L1D_plp_id_2)의 바로 다음 셀에 상응하도록 설정될 수 있다.
- [1166] CTI 모드(컨벌루셔널 타임 인터리빙 모드)는 하나의 완전한 전송 프로덕트가 일정한 셀 레이트를 가지는 단일 코어 피지컬 레이어 파이프에 이루어진 경우에 사용될 수 있다. 예를 들어, 하나의 코어 레이어 피지컬 레이어 파이프와 하나의 인핸스드 레이어 피지컬 레이어 파이프가 일정한 셀 레이트와 동일한 L1D_plp_start 및 L1D_plp_size를 가지는 경우가 CTI 모드의 대표적인 예가 될 수 있다. CTI 모드가 사용될 때, 서브프레임마다 정수개의 FEC 블록들로 구성될 필요가 없고, 따라서 하나의 서브프레임에서 코어 레이어 및 인핸스드 레이어 모두의 데이터 셀들이 완전히 채워지는 것이 바람직하다.
- [1167] 도 67은 CTI 모드에서 허용되는 LDM 구성의 일 예를 나타낸 도면이다.
- [1168] 도 67을 참조하면, 하나의 서브프레임이 다른 전송 프로덕트들을 나타내는 멀티플 코어 레이어 피지컬 레이어 파이프들(즉, 멀티플 타임 인터리빙 그룹들)로 이루어진 경우, 그 서브프레임 내의 각 피지컬 레이어 파이프는 CTI 모드를 구성하기 위해 일정한 셀 레이트를 가져야 한다. 게다가, 코어 레이어 피지컬 레이어 파이프들과 관련된 어떤 인핸스드 레이어 피지컬 레이어 파이프들도 멀티플 타임 인터리빙 그룹들에 퍼져있을 수 없을 수 있다. CTI 모드에서, 코어 레이어 피지컬 레이어 파이프의 마지막 부분의 하나의 불완전한 FEC 블록은 타임 인터리빙되고, 수신기에서 다음 서브프레임이 디코딩될때까지 버퍼링되어야 한다. 이러한 경우에, 그 코어 레이어 피지컬 레이어 파이프의 불완전한 FEC 블록과 연관된 인핸스드 레이어 피지컬 레이어 파이프의 FEC 블록도 역시 다음 서브프레임까지 버퍼링되어야 한다. 이는 하나의 인핸스드 레이어 피지컬 레이어 파이프가 복수의 타임 인터리빙 그룹들에 퍼져있을 때, 후속하는 타임 인터리빙 그룹과 관련된 그 인핸스드 피지컬 레이어 파이프의 어떤 후속하는 FEC 블록들이라도 역시 버퍼링되어야 함을 의미하고, 이는 수신기에서 대량의 메모리를 소비할 수 있다. 이러한 이유로, CTI 모드에서는 하나의 인핸스드 레이어 피지컬 레이어 파이프가 멀티플 TI 그룹들에 걸쳐있는 도 63과 도 64에 예시된 LDM 구성은 허용되지 않을 수 있다. 도 67에 도시된 LDM 구성이 사용될 때, CTI 모드에서 다른 타임 인터리빙 그룹들에 속하는

피지컬 레이어 파이프들로 이루어진 하나의 완전한 전송 프로덕트를 만드는 것은 불허될 수 있다. 하나의 완전한 전송 프로덕트는 CTI 모드가 사용될 때 동일한 타임 인터리빙 그룹 내에서 코어 및 인핸스드 피지컬 레이어 파이프들로 구성되어야 할 수 있다.

[1169] 도 68은 CTI 모드에서 허용되는 LDM 구성의 다른 예를 나타낸 도면이다.

[1170] 도 68을 참조하면, 멀티플 인핸스드 레이어 피지컬 레이어 파이프들과 연관된 하나의 코어 레이어 피지컬 레이어 파이프는 단일 CTI로 구성될 수 있다. 이와 같은 구성이 사용될 때, 하나의 코어 레이어 피지컬 레이어 파이프와 연관된 인핸스드 레이어 피지컬 레이어 파이프들 각각은 일정한 셀 레이트를 가질 수 있다. 이는 각 인핸스드 피지컬 레이어 파이프의 L1D_plp_start 및 L1D_plp_size가 한 서브프레임에서 다음 서브프레임까지 일정하게 유지되는 것을 의미하고, 따라서 수신기는 이전 서브프레임들의 이러한 시그널링 값들을 추적할 필요가 없을 수 있다.

[1171] HTI 모드(하이브리드 타임 인터리빙 모드)가 사용될 때, 코어 및 인핸스드 레이어 피지컬 레이어 파이프들 각각이 정수개의 FEC 블록들로 구성되므로, 인핸스드 레이어 피지컬 레이어 파이프가 복수개의 타임 인터리빙 그룹에 펼쳐져 있는 상황도 추가적인 수신기 메모리 부담 없이 구현될 수 있다.

[1172] 도 69는 HTI 모드에서 허용되는 LDM 구성의 일 예를 나타낸 도면이다.

[1173] 도 69를 참조하면, HTI 모드에서 두 개의 코어 레이어 피지컬 레이어 파이프들이 하나의 인핸스드 레이어 피지컬 레이어 파이프와 연관된 것을 알 수 있다. 하나의 인핸스드 레이어 피지컬 레이어 파이프가 멀티플 타임 인터리빙 그룹들에 퍼져있는 도 63 및 도 64에 도시된 4-PLP 구성들도 HTI 모드에서는 허용될 수 있다. 이 때, 같은 인핸스드 피지컬 레이어 파이프에 연관된 다른 타임 인터리빙 그룹들이 다른 타임 인터리빙 모드를 사용하는 것은 허용되지 않을 수 있다. 하나의 인핸스드 레이어 피지컬 레이어 파이프가 멀티플 타임 인터리빙 그룹에 퍼져 있는 경우에 HTI 모드가 사용될 때, 컨벌루셔널 딜레이 라인(CDL)의 사용은 불허될 수 있다. 만약 컨벌루셔널 딜레이 라인이 사용된다면, 두 코어 레이어 피지컬 레이어 파이프들이 멀티플 서브프레임들에 걸쳐서 다른 인터리빙 맵스들을 사용할 수 있고, 따라서 이 두 코어 레이어 피지컬 레이어 파이프들에 연관된 하나의 인핸스드 레이어 피지컬 레이어 파이프의 부분들(portions)이 다른 디코딩 타임을 가질 수 있어서, 결국 수신기들에서 대량의 메모리가 필요해질 수 있다.

[1174] HTI 모드가 각 피지컬 레이어 파이프를 위해 정수개의 FEC 블록들을 필요로하므로, 각 피지컬 레이어 파이프를 위한 모듈레이션/코드레이트(ModCod) 조합의 선택에 따라 코어 레이어 피지컬 레이어 파이프(들)의 셀들의 총 개수는 인핸스드 피지컬 레이어 파이프(들)의 그것과 상이할 수 있다. 이러한 경우에, 인핸스드 레이어 더미 모듈레이션 값들이 사용되어, 코어 레이어 및 인핸스드 레이어가 동일한 수의 셀들을 갖도록

할 수 있다. 이 때, 인핸스드 레이어 더미 모듈레이션 값들은 PLP 그룹의 마지막 인핸스드 피지컬 레이어 파이프의 뒤에 삽입될 수 있다. 게다가, 이러한 더미 모듈레이션 값들은, 바로 앞의(preceding) 인핸스드 레이어 피지컬 레이어 파이프 및 더미 모듈레이션 값들과 연관된 코어 레이어 피지컬 레이어 파이프가 유니폼한 로보스트니스를 가지도록, 바로 앞의 인핸스드 레이어 피지컬 레이어 파이프와 동일한 컨스틸레이션 맵핑 및 인젝션 레벨을 가질 수 있다.

- [1175] 하나의 인핸스드 레이어 피지컬 레이어 파이프가 멀티플 타임 인터리빙 그룹들에 걸쳐있을 때(HTI-기반 LTDM 또는 LFDM 구성들), 멀티플 타임 인터리빙 그룹들에 속하는 코어 레이어 피지컬 레이어 파이프들의 타임 인터리빙 탭스들이 실질적으로 상이할 때 추가적인 프레임 버퍼(extra frame buffer)가 필요할 수 있다. 예를 들어, 만약 첫 번째 코어 레이어 피지컬 레이어 파이프의 타임 인터리빙 탭스가 두 번째 코어 레이어 피지컬 레이어 파이프의 그것보다 크다면, 첫 번째 코어 레이어 피지컬 레이어 파이프의 보다 큰 타임 인터리빙 탭스 때문에 두 번째 코어 레이어 피지컬 레이어 파이프와 관련된 인핸스드 레이어 피지컬 레이어 파이프의 부분(portion)은 버퍼링되어야 할 수 있다. 이 때, 이러한 인핸스드 레이어 피지컬 레이어 파이프의 부분을 버퍼링하기 위해서, 타임 인터리빙 메모리(예를 들어, SRAM)를 소비하기보다는 추가적인 프레임 버퍼(예를 들어, DRAM)가 사용될 수 있다. 인핸스드 레이어 피지컬 레이어 파이프를 위한 추가적인 프레임 버퍼 사용을 피하기 위해, 하나의 인핸스드 레이어 피지컬 레이어 파이프와 관련된 멀티플 코어 레이어 피지컬 레이어 파이프들은 동일하거나 유사한 타임 인터리빙 탭스를 사용할 수 있다. 이는 하나의 인핸스드 레이어 피지컬 레이어 파이프와 연관된 멀티플 코어 레이어 피지컬 레이어 파이프들을 위해, 타임 인터리빙 블록 당 FEC 블록들의 개수가 동일하거나 유사할 때 달성될 수 있다.
- [1176] 도 70은 HTI 기반의 LTDM이나 LFDM 구성들을 위한 타임 인터리빙 블록들의 사용 예를 나타낸 도면이다.
- [1177] 도 70을 참조하면, 하나의 인핸스드 레이어 피지컬 레이어 파이프와 연관된 멀티플 코어 레이어 피지컬 레이어 파이프들이 동일하거나 유사한(기설정된 문턱값 미만 차이가 나는) 타임 인터리빙 블록 사이즈를 사용하는 것을 알 수 있다.
- [1178] 동일하거나 유사한 타임 인터리빙 블록 사이즈의 사용은, 추가적인 프레임 버퍼의 사용일 피하기 위한 것뿐만 아니라, 하나의 인핸스드 피지컬 레이어 파이프를 위한 동일한 성능 제공을 위한 것일 수도 있다.
- [1179] 노 타임 인터리빙 모드(no TI 모드)는 LDM 사용과는 무관하게 사용될 수 있다. 노 타임 인터리빙 모드가 사용되고 하나의 인핸스드 레이어 피지컬 레이어 파이프가 멀티플 타임 인터리빙 그룹들에 걸쳐 있을 때, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 연관된 코어 레이어 피지컬 레이어 파이프들은 정수개의 FEC 블록들을 가져야 할 수 있다.

- [1180] FDM은 셀 멀티플렉싱에 의해 가능한 것으로, FLDM이나 LFDM 구성들과 같이 LDM과 결합될 수 있다. 이 때, 피지컬 레이어 파이프 타입 정보(L1D_plp_type), 피지컬 레이어 파이프 서브슬라이스 인터벌 정보(L1D_plp_subslice_interval) 및 피지컬 레이어 파이프 서브슬라이스 개수 정보(L1D_plp_num_subslices)에 의하여 제어되는 이러한 셀 멀티플렉싱은 코어 레이어 피지컬 레이어 파이프(들)에만 관련되어 적용될 수 있다. 이 때, 피지컬 레이어 파이프 타입 정보(L1D_plp_type), 피지컬 레이어 파이프 서브슬라이스 인터벌 정보(L1D_plp_subslice_interval) 및 피지컬 레이어 파이프 서브슬라이스 개수 정보(L1D_plp_num_subslices)는 모두 코어 레이어 피지컬 레이어 파이프에만 시그널링되고, 인핸스드 레이어 피지컬 레이어 파이프에는 시그널링되지 않을 수 있다.
- [1181] 피지컬 레이어 파이프 타입 정보(L1D_plp_type)는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [1182] 피지컬 레이어 파이프 서브슬라이스 인터벌 정보(L1D_plp_subslice_interval)는 L1D_plp_type이 1인 경우(분산된 피지컬 레이어 파이프)에만 시그널링될 수 있고, 피지컬 레이어 파이프를 위한 서브슬라이스의 시작에서부터 같은 피지컬 레이어 파이프를 위한 다음 서브슬라이스의 시작까지의 측정된 순차적으로 인덱싱된(sequentially-indexed) 데이터 셀들의 개수와 동일하게 설정될 수 있다.
- [1183] 예를 들어, 만약 L1D_plp_start=100이고, L1D_plp_subslice_interval=250이면, 현재 PLP의 첫 번째 서브슬라이스의 첫 번째 데이터 셀은 인덱스 100에 위치하고, 현재 PLP의 두 번째 서브슬라이스의 첫 번째 데이터 셀은 인덱스 $100+250=250$ 에 위치할 수 있다.
- [1184] 피지컬 레이어 파이프 서브슬라이스 개수 정보(L1D_plp_num_subslices)는 L1D_plp_type이 1인 경우(분산된 피지컬 레이어 파이프)에만 시그널링될 수 있고, 현재 서브프레임 내의 현재 PLP를 위해 사용되는 서브슬라이스들의 실제 개수보다 1 작게 설정될 수 있다.
- [1185] 도 71은 FLDM 구성의 일 예를 나타낸 도면이다.
- [1186] 도 71을 참조하면, FLDM 구성은 FDM 셀들에 상응하는 코어 및 인핸스드 피지컬 레이어 파이프들이 동일한 개수의 셀들을 가지기 때문에 상대적으로 간단할 수 있다. FDM을 위한 셀 멀티플렉싱이 적용될 때, 정의된 서브슬라이스 인터벌(L1D_plp_subslice_interval)이 데이터 셀들의 총 수의 정수배가 아닐 수 있기 때문에 더미 모듈레이션 값들이 필요할 수 있다. 이 때, 프리앰블과 SBS의 데이터 파트에는 FDM의 셀 멀티플렉싱이 적용되지 않을 수 있다.
- [1187] LDM과 FDM의 결합의 다른 유형은 LFDM 구성이다.
- [1188] 도 72는 LFDM 구성의 일 예를 나타낸 도면이다.
- [1189] 도 72를 참조하면, 서브슬라이싱 파라미터들이 모두 코어 레이어 피지컬

레이어 파이프들에만 적용되므로, 관련된 인핸스드 레이어 피지컬 레이어 파이프들의 셀 라이팅 오더는 이 코어 레이어 피지컬 레이어 파이프들의 셀 라이팅 오더를 따르는 것을 알 수 있다. FDM을 위한 셀 멀티플렉싱이 하나의 피지컬 레이어 파이프가 전체 서브프레임 구간(whole subframe duration)동안 확장될 것을 필요로 할 때, 코어 레이어 피지컬 레이어 파이프(들)의 셀 라이팅 오더를 따르는 인핸스드 레이어 피지컬 레이어 파이프(들)이 재-오더링되어야 하기 때문에 수신기들은 인핸스드 레이어 피지컬 레이어 파이프(들)을 전체 서브프레임 구간동안 버퍼링해야 할 수 있다. 이 때, 인핸스드 레이어 피지컬 레이어 파이프(들)을 버퍼링하기 위해, TI 메모리(예를 들어, SRAM)를 소비하기보다는 추가적인 프레임 버퍼(예를 들어, DRAM)가 사용될 수 있다. 이 부가적인 프레임 메모리 필요성 때문에, LFDM 구성이 사용될 때 프레임 메모리에 버퍼링되는 인핸스드 피지컬 레이어 파이프(들)의 셀들의 개수는 2^{20} 이하일 수 있다. 즉, 도 72에 도시된 예에서 코어 레이어의 PLP #0과 PLP #1의 L1D_plp_size의 합(이는 인핸스드 레이어의 PLP #2와 PLP #3의 L1D_plp_size의 합과 같다)은 수신기들에서 프레임 버퍼의 제한 때문에 2^{20} 셀들을 넘어서는 안될 수 있다.

[1190] 도 72에 도시된 예에서, 인핸스드 레이어 피지컬 레이어 파이프(PLP #3)는 멀티플 TI 그룹들에 걸쳐있고, 따라서 CTI 모드는 불허될 수 있다.

[1191] 방송 시스템과 통신 시스템을 융합(convergence)하려는 요구는 빠르게 증가하고 있다. 즉, ATSC 3.0과 같은 브로드캐스트(방송 시스템)와 4G, 5G 또는 5G 이후(beyond 5G)와 같은 모바일 브로드밴드(통신 시스템)를 조화시키기 위해서는, ATSC 3.0과 같은 방송 표준에서 시스템 대역폭을 유연하게 정의할 필요가 있다.

[1192] 현재 ATSC 3.0 표준은 6MHz, 7MHz 및 8MHz 대역폭을 정의(define)하고 있는데, 이는 4G 또는 5G 등의 통신 표준에서 정의하고 있는 5MHz, 10MHz, 15MHz, 20MHz 등과 는 차이가 있다. 예를 들어, LTE 표준에서는 1.4MHz, 3MHz, 5MHz, 10MHz, 15MHz 및 20MHz의 채널 대역폭을 정의하고 있고, 5G 표준(5G Below-6GHz)에서는 5MHz, 10MHz, 15MHz, 20MHz, 25MHz, 30MHz, 40MHz, 50MHz, 60MHz, 80MHz, 90MHz 및 100MHz를 규정하고 있다.

[1193] 서로 연동하는 방송망과 통신망이 서로 다른 주파수 대역을 사용하는 것은 비효율적이다. 예를 들어, ATSC 3.0 방송망이 6MHz 대역폭을 사용하고, 4/5G 통신망이 같은 밴드에서 5MHz 대역폭을 사용할 때, 1MHz 대역폭 비효율(inefficiency)이 발생한다.

[1194] 도 73은 통신망이 5MHz 주파수 대역을 사용하고, 방송망이 6MHz 주파수 대역을 사용하는 경우를 나타낸 도면이다.

[1195] 예를 들어, ATSC 3.0 방송망이 8MHz 대역폭을 사용하고, 4/5G 통신망이 5MHz 대역폭을 사용할 때, 3MHz 대역폭 비효율(inefficiency)이 발생한다.

[1196] 예를 들어, ATSC 3.0 방송망이 8MHz 대역폭을 사용하고, 4/5G 통신망이

- 10MHz 대역폭을 사용할 때, 2MHz 대역폭 비효율(inefficiency)이 발생한다.
- [1197] 따라서, 스펙트럼의 효율성을 증대하기 위해, 상대적으로 적은 주파수 대역폭을 규정하고 있는 ATSC 3.0 방송망이 대역폭 옵션을 확장하여, 통신망에서 사용하는 주파수 대역을 커버할 필요가 있다.
- [1198] 도 74는 본 발명의 일실시예에 따른 방송 신호 프레임의 주파수 대역의 일 예를 나타낸 도면이다.
- [1199] 도 74를 참조하면, ATSC 3.0 방송 신호 프레임의 부트스트랩은 4.5MHz로 고정된 대역폭을 가지는 것을 알 수 있다.
- [1200] 부트스트랩은 각 방송 신호 프레임의 처음(at the beginning of each broadcast signal frame)에 위치한다.
- [1201] 프리앰블은 상기 부트스트랩의 바로 다음에 위치한다(located immediately following the bootstrap).
- [1202] 하나 이상(one or more) 서브프레임들은 상기 프리앰블의 바로 다음에 위치한다(located immediately following the preamble).
- [1203] 포스트 부트스트랩(post-bootstrap)에 해당하는 프리앰블 및 서브프레임(들)은 4.5MHz보다 작은 대역폭을 가질 수 없다. 예를 들어, 프리앰블 및 서브프레임(들)은 6MHz, 7MHz 및 8MHz의 대역폭을 가질 수 있다.
- [1204] 따라서, ATSC 3.0 방송 신호 프레임을 위한 최소의 대역폭은 5MHz인 것이 바람직하다. 나아가, 4/5G 등 통신망에서 규정하고 있는 10MHz, 15MHz, 20MHz, 25MHz, 30MHz 등의 대역폭들도 방송망에서 사용될 수 있다.
- [1205] ATSC 3.0 표준에서 시스템 대역폭을 시그널링하는 시스템 대역폭 필드는 부트스트랩의 심볼 1(bootstrap_symbol_1())에 포함될 수 있다. 이 때, 시스템 대역폭 필드는 2비트의 system_bandwidth일 수 있다.
- [1206] 이 때, system_bandwidth는 현재 물리 계층 프레임의 포스트 부트스트랩 부분(post-bootstrap portion)을 위한 시스템 대역폭을 시그널링하는 것일 수 있다.
- [1207] 예를 들어, system_bandwidth=00은 시스템 대역폭이 6MHz임을 나타낼 수 있고, system_bandwidth=01은 시스템 대역폭이 7MHz임을 나타낼 수 있고, system_bandwidth=10은 시스템 대역폭이 8MHz임을 나타낼 수 있다. 이 때, system_bandwidth=11은 시스템 대역폭이 8MHz보다 크다는 것을 나타낼 수 있다.
- [1208] 다만, 방송 시스템이 통신 시스템의 대역폭을 커버하기 위해서는 시스템 대역폭이 5MHz인 경우 등을 커버하는 것이 바람직하다. 따라서, system_bandwidth=11은 시스템 대역폭이 6MHz보다 작거나 8MHz보다 크다는 것을 나타내거나, 시스템 대역폭이 6, 7, 8MHz가 아니라는 것(other than 6, 7, 8MHz)을 나타낼 수 있다.
- [1209] ATSC 3.0 표준에서 베이스밴드 샘플링 레이트(Baseband Sampling Rate; BSR) 계수는 부트스트랩의 심볼 2(bootstrap_symbol_2())에 포함될 수 있다. 이 때, 베이스밴드 샘플링 레이트 계수는 7비트의 bsr_coefficient일 수 있다.
- [1210] 이 때, bsr_coefficient는 현재 물리 계층 프레임의 포스트

부트스트랩(post_bootstrap)을 위한 샘플 레이트(sample rate)를 시그널링하는 것일 수 있다.

[1211] 이 때, 샘플 레이트(sample rate)에 기반하여 방송 시스템의 기본 주기(elementary period), 캐리어 수(NoC), 캐리어 스페이싱 등의 다양한 OFDM 파라미터들이 결정될 수 있다.

[1212] 예를 들어, 샘플 레이트는 (샘플 레이트) = (N + 16) * 0.384MHz (N은 정수인 산출 변수)와 같은 샘플링 레이트 결정 식에 의하여 결정될 수 있다. 이 때, 0부터 80까지의 범위에서(in the range from 0 to 80) N은 시그널링되는 bsr_coefficient일 수 있다. 이 때, 81부터 127까지의 값은 리저브드(reserved)될 수 있다.

[1213] 즉, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 할당된 비트(예를 들어, 7비트)로 설정 가능한 범위(0~127)의 적어도 일부(0~80)에서, 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다. 이 때, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 상기 설정 가능한 범위(0~127)의 적어도 일부(0~80)에서, 산출 변수(N)와 동일할 수 있다.

[1214] 다만, 방송 시스템이 통신 시스템의 시스템 대역폭을 커버하기 위해서 5MHz, 10MHz, 20MHz 등의 주파수 대역을 사용하는 경우, bsr_coefficient의 시그널링이 다소 복잡해질 수 있다. 특히, 현재 ATSC 3.0 표준은 6MHz, 7MHz 및 8MHz를 위한 bsr_coefficient 시그널링만을 정의하고 있는데, 새로운 bsr_coefficient 시그널링 기법은 이 현재 버전의 표준과 호환가능하면서도 5MHz, 10MHz, 20MHz 등의 대역폭을 지원할 수 있어야 한다.

[1215] 예를 들어, 현재 ATSC 3.0 표준은 하기 표 4와 같은 베이스밴드 샘플링 레이트 계수(bsr_coefficient)들만을 정의하고 있는데, 이는 하기 표 5와 같이 확장될 수 있다.

[1216] [표4]

bsr_coefficient	Applicability
2	6 MHz bandwidth
5	7 MHz bandwidth
8	8 MHz bandwidth

[1217] [표5]

bsr_coefficient	Applicability
2	6 MHz bandwidth
5	7 MHz bandwidth
8	8 MHz bandwidth
14	10 MHz bandwidth
29	15 MHz bandwidth
44	20 MHz bandwidth
59	25 MHz bandwidth
74	30 MHz bandwidth

[1218] 실시예에 따라, 샘플 레이트는 (샘플 레이트) = $(N + 16) * 0.384\text{MHz}$ (N은 정수인 산출 변수)와 같은 샘플링 레이트 결정 식에 의하여 결정될 수 있다. 이 때, 0부터 104까지의 범위에서(in the range from 0 to 104) N은 시그널링되는 bsr_coefficient일 수 있다. 이 때, 105부터 127까지의 값은 리저브드(reserved)될 수 있다. 이 때, bsr_coefficient는 하기 표 6과 같이 확장될 수 있다.

[1219] [표6]

bsr_coefficient	Applicability
2	6 MHz bandwidth
5	7 MHz bandwidth
8	8 MHz bandwidth
14	10 MHz bandwidth
29	15 MHz bandwidth
44	20 MHz bandwidth
59	25 MHz bandwidth
74	30 MHz bandwidth
104	40 MHz bandwidth

[1220] 실시예에 따라, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 할당된 비트(예를 들어, 7비트)로 설정 가능한 범위(0~127)의 적어도 일부(0~80 또는 0~81)에서, 정수인 산출 변수를 이용하여 정의되는 샘플링 레이트 결정식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다. 이 때, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 상기 설정 가능한 범위(0~127)의 적어도 일부(0~80)에서, 산출 변수(N)와 동일할 수 있다. 이 때, 상기 설정 가능한

범위(0~127)의 다른 부분(81)에서는, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)가 산출 변수(N)와 상이할 수 있다. 예를 들어, 81인 bsr_coefficient를 위해, 산출 변수(N)는 -1이 되고, 82부터 127까지의 값은 리저브드(reserved) 될 수 있다. 이 때, bsr_coefficient는 하기 표 7과 같이 확장될 수 있다.

[1221] [표7]

bsr_coefficient	N	Applicability
2	2	6 MHz bandwidth
5	5	7 MHz bandwidth
8	8	8 MHz bandwidth
14	14	10 MHz bandwidth
29	29	15 MHz bandwidth
44	44	20 MHz bandwidth
59	59	25 MHz bandwidth
74	74	30 MHz bandwidth
81	-1	5 MHz bandwidth

[1222] 실시예에 따라, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 할당된 비트(예를 들어, 7비트)로 설정 가능한 범위(0~127)의 적어도 일부(0~80 또는 0~87)에서, 정수인 산출 변수를 이용하여 정의되는 샘플링 레이트 결정식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다. 이 때, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 상기 설정 가능한 범위의 적어도 일부(0~80)에서, 산출 변수(N)와 동일할 수 있다. 이 때, 상기 설정 가능한 범위(0~127)의 다른 부분(81~87)에서는, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)가 산출 변수(N)와 상이할 수 있다. 예를 들어, bsr_coefficient와 산출 변수(N)의 관계는 하기 표 8과 같이 결정될 수 있다.

[1223] [표8]

bsr_coefficient	산출변수(N)
0~80	0~80
81	-1
82	104
83	134
84	164
85	224
86	254
87	284
88~127	Reserved

[1224] 베이스밴드 샘플링 레이트 계수(bsr_coefficient)와 산출 변수(N)의 관계가 상기 표 8과 같을 때, bsr_coefficient는 하기 표 9과 같이 확장될 수 있다.

[1225] [표9]

bsr_coefficient	N	Applicability
2	2	6 MHz bandwidth
5	5	7 MHz bandwidth
8	8	8 MHz bandwidth
14	14	10 MHz bandwidth
29	29	15 MHz bandwidth
44	44	20 MHz bandwidth
59	59	25 MHz bandwidth
74	74	30 MHz bandwidth
81	-1	5 MHz bandwidth
82	104	40 MHz bandwidth
83	134	50 MHz bandwidth
84	164	60 MHz bandwidth
85	224	80 MHz bandwidth
86	254	90 MHz bandwidth
87	284	100 MHz bandwidth

[1226] 실시예에 따라, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 할당된 비트(예를 들어, 7비트)로 설정 가능한 범위(0~127)의 적어도 일부(0~80 또는 0~105)에서, 정수인 산출 변수를 이용하여 정의되는 샘플링 레이트 결정식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다. 이 때, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 상기 설정 가능한 범위(0~127)의 적어도 일부(0~104)에서, 산출 변수(N)와 동일할 수 있다. 이 때, 상기 설정 가능한 범위(0~127)의 다른 부분(105)에서는, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)가 산출 변수(N)와 상이할 수 있다. 예를 들어, 105인 bsr_coefficient를 위해, 산출 변수(N)는 -1이 되고, 106부터 127까지의 값은 리저브드(reserved) 될 수 있다. 이 때, bsr_coefficient는 하기 표 10과 같이 확장될 수 있다.

[1227] [표10]

bsr_coefficient	N	Applicability
2	2	6 MHz bandwidth
5	5	7 MHz bandwidth
8	8	8 MHz bandwidth
14	14	10 MHz bandwidth
29	29	15 MHz bandwidth
44	44	20 MHz bandwidth
59	59	25 MHz bandwidth
74	74	30 MHz bandwidth
104	104	40 MHz bandwidth
105	-1	5 MHz bandwidth

[1228] 실시예에 따라, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 할당된 비트(예를 들어, 7비트)로 설정 가능한 범위(0~127)의 적어도 일부(0~104 또는 0~110)에서, 정수인 산출 변수를 이용하여 정의되는 샘플링 레이트 결정식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다. 이 때, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)는 상기 설정 가능한 범위의 적어도 일부(0~104)에서, 산출 변수(N)와 동일할 수 있다. 이 때, 상기 설정 가능한 범위(0~127)의 다른 부분(105~110)에서는, 베이스밴드 샘플링 레이트 계수(bsr_coefficient)가 산출 변수(N)와 상이할 수 있다. 예를 들어, bsr_coefficient와 산출 변수(N)의 관계는 하기 표 11과 같이 결정될 수 있다.

[1229] [표 11]

bsr_coefficient	산출 변수(N)
0~104	0~104
105	-1
106	134
107	164
108	224
109	254
110	284
111~127	Reserved

[1230] 베이스밴드 샘플링 레이트 계수(bsr_coefficient)와 산출 변수(N)의 관계가 상기 표 11과 같을 때, bsr_coefficient는 하기 표 12과 같이 확장될 수 있다.

[1231] [표 12]

bsr_coefficient	N	Applicability
2	2	6 MHz bandwidth
5	5	7 MHz bandwidth
8	8	8 MHz bandwidth
14	14	10 MHz bandwidth
29	29	15 MHz bandwidth
44	44	20 MHz bandwidth
59	59	25 MHz bandwidth
74	74	30 MHz bandwidth
104	104	40 MHz bandwidth
105	-1	5 MHz bandwidth
106	134	50 MHz bandwidth
107	164	60 MHz bandwidth
108	224	80 MHz bandwidth
109	254	90 MHz bandwidth
110	284	100 MHz bandwidth

[1232] 전술한 시스템 대역폭 필드 및 베이스밴드 샘플링 레이트 계수를 시그널링하는 부트스트랩은 심볼 1(bootstrap_symbol_1()), 심볼 2(bootstrap_symbol_2()) 및 심볼

3(bootstrap_symbol_3())을 포함할 수 있다. 심볼 1(bootstrap_symbol_1()), 심볼 2(bootstrap_symbol_2()) 및 심볼 3(bootstrap_symbol_3())을 포함하는 부트스트랩의 세부 구조에 대해서는 ATSC 3.0 표준문서 A/321, System Discovery and Signaling에 상세히 개시되어 있다. 도 75는 본 발명의 일실시예에 따른 방송 신호 송신 장치를 나타낸 블록도이다. 도 75를 참조하면, 본 발명의 일실시예에 따른 방송 신호 송신 장치는 부트스트랩 생성부(7530), 프리앰블 생성부(7520) 및 페이로드 생성부(7510)를 포함한다.

- [1233] 부트스트랩 생성부(7530)는 포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드(system_bandwidth) 및 베이스밴드 샘플링 레이트 계수(bsr_coefficient)를 시그널링하는 부트스트랩을 생성한다.
- [1234] 프리앰블 생성부(7520)는 방송 신호 프레임에서 상기 부트스트랩의 바로 다음에 위치(located immediately following the bootstrap)하는 프리앰블을 생성한다.
- [1235] 페이로드 생성부(7510)는 상기 방송 신호 프레임에서 상기 프리앰블의 바로 다음에 위치(located immediately following the preamble)하는 하나 이상(one or more)의 서브프레임들을 생성한다.
- [1236] 이 때, 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한 범위의 적어도 일부에서(in at least one part of a range which is settable with assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정 식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다.
- [1237] 이 때, 상기 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일할 수 있다.
- [1238] 이 때, 상기 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이할 수 있다.
- [1239] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1240] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 50MHz인 경우를 위하여 134인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 60MHz인 경우를 위하여 164인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 80MHz인 경우를 위하여 224인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 90MHz인 경우를 위하여 254인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 100MHz인 경우를 위하여 284인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1241] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 6MHz인 경우를 위하여 2인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 7MHz인 경우를 위하여 5인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 8MHz인 경우를 위하여 8인 산출 변수와 동일한

베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

- [1242] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 10MHz인 경우를 위하여 14인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 15MHz인 경우를 위하여 29인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 20MHz인 경우를 위하여 44인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 25MHz인 경우를 위하여 59인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 30MHz인 경우를 위하여 74인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1243] 이 때, 상기 샘플링 레이트 결정 식은 (샘플 레이트) = $(N + 16) * 0.384 \text{ MHz}$ (N은 상기 산출 변수)일 수 있다.
- [1244] 도 76은 본 발명의 일실시예에 따른 방송 신호 송신 방법을 나타낸 동작 흐름도이다.
- [1245] 도 76을 참조하면, 본 발명의 일실시예에 따른 방송 신호 송신 방법은 하나 이상(one or more)의 서브프레임들을 생성한다(S7610).
- [1246] 또한, 본 발명의 일실시예에 따른 방송 신호 송신 방법은 상기 하나 이상의 서브프레임들에 상응하는 프리앰블을 생성한다(S7620).
- [1247] 또한, 본 발명의 일실시예에 따른 방송 신호 송신 방법은 포스트 부트스트랩(post_bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드(system_bandwidth) 및 베이스밴드 샘플링 레이트 계수(bsr_coefficient)를 시그널링하는 부트스트랩을 생성한다(S7630).
- [1248] 이 때, 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한 범위의 적어도 일부에서(in at least one part of a range which is settable with assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정 식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다.
- [1249] 이 때, 상기 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일할 수 있다.
- [1250] 이 때, 상기 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이할 수 있다.
- [1251] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1252] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 50MHz인 경우를 위하여 134인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 60MHz인 경우를 위하여 164인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 80MHz인 경우를 위하여 224인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 90MHz인 경우를 위하여 254인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 100MHz인 경우를 위하여 284인 산출 변수에 상응하는

- 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1253] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 6MHz인 경우를 위하여 2인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 7MHz인 경우를 위하여 5인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 8MHz인 경우를 위하여 8인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1254] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 10MHz인 경우를 위하여 14인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 15MHz인 경우를 위하여 29인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 20MHz인 경우를 위하여 44인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 25MHz인 경우를 위하여 59인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 30MHz인 경우를 위하여 74인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1255] 이 때, 상기 샘플링 레이트 결정 식은 (샘플 레이트) = $(N + 16) * 0.384 \text{ MHz}$ (N은 상기 산출 변수)일 수 있다.
- [1256] 도 77은 본 발명의 일실시예에 따른 방송 신호 수신 장치를 나타낸 블록도이다.
- [1257] 도 77을 참조하면, 본 발명의 일실시예에 따른 방송 신호 수신 장치는 부트스트랩 복원부(7710), 프리앰블 복원부(7720) 및 페이로드 복원부(7730)를 포함한다.
- [1258] 부트스트랩 복원부(7710)는 포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드(system_bandwidth) 및 베이스밴드 샘플링 레이트 계수(bsr_coefficient)를 시그널링하는 부트스트랩을 복원한다.
- [1259] 프리앰블 복원부(7720)는 방송 신호 프레임에서 상기 부트스트랩의 바로 다음에 위치(located immediately following the bootstrap)하는 프리앰블을 복원한다.
- [1260] 페이로드 복원부(7730)는 상기 방송 신호 프레임에서 상기 프리앰블의 바로 다음에 위치(located immediately following the preamble)하는 하나 이상(one or more)의 서브프레임들을 복원한다.
- [1261] 이 때, 상기 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한 범위의 적어도 일부에서(in at least one part of a range which is settable with assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정 식에 기반하여 결정되는 샘플 레이트에 상응할 수 있다.
- [1262] 이 때, 상기 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일할 수 있다.
- [1263] 이 때, 이 때, 상기 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이할 수 있다.
- [1264] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인

산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.

- [1265] 이 때, 상기 다른 부분은 상기 시스템 대역폭이 50MHz인 경우를 위하여 134인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 60MHz인 경우를 위하여 164인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 80MHz인 경우를 위하여 224인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 90MHz인 경우를 위하여 254인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 100MHz인 경우를 위하여 284인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1266] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 6MHz인 경우를 위하여 2인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 7MHz인 경우를 위하여 5인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 8MHz인 경우를 위하여 8인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1267] 이 때, 상기 적어도 일부는 상기 시스템 대역폭이 10MHz인 경우를 위하여 14인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 15MHz인 경우를 위하여 29인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 20MHz인 경우를 위하여 44인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 25MHz인 경우를 위하여 59인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및 상기 시스템 대역폭이 30MHz인 경우를 위하여 74인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함할 수 있다.
- [1268] 이 때, 상기 샘플링 레이트 결정 식은 (샘플 레이트) = $(N + 16) * 0.384 \text{ MHz}$ (N은 상기 산출 변수)일 수 있다.
- [1269] 도 78은 본 발명의 일실시예에 따른 컴퓨터 시스템을 나타낸 도면이다.
- [1270] 도 78을 참조하면, 본 발명의 일실시예에 따른 방송 신호 송신 장치 및 방송 신호 수신 장치는 컴퓨터로 읽을 수 있는 기록매체와 같은 컴퓨터 시스템(7800)에서 구현될 수 있다. 도 78에 도시된 바와 같이, 컴퓨터 시스템(7800)은 버스(7820)를 통하여 서로 통신하는 하나 이상의 프로세서(7810), 메모리(7830), 사용자 인터페이스 입력 장치(7840), 사용자 인터페이스 출력 장치(7850) 및 스토리지(7860)를 포함할 수 있다. 또한, 컴퓨터 시스템(7800)은 네트워크(7880)에 연결되는 네트워크 인터페이스(7870)를 더 포함할 수 있다. 프로세서(7810)는 중앙 처리 장치 또는 메모리(7830)나 스토리지(7860)에 저장된 프로세싱 인스트럭션들을 실행하는 반도체 장치일 수 있다. 메모리(7830) 및 스토리지(7860)는 다양한 형태의 휘발성 또는 비휘발성 저장 매체일 수 있다. 예를 들어, 메모리는 ROM(7831)이나 RAM(7832)을 포함할 수 있다.
- [1271] 본 발명의 일실시예에 따른 방송 신호 송신 장치 또는 방송 신호 수신 장치는

하나 이상의 프로세서(7810); 및 상기 하나 이상의 프로세서(7810)에 의해 실행되는 적어도 하나 이상의 프로그램을 저장하는 실행메모리(7830)를 포함하고, 상기 적어도 하나 이상의 프로그램은 도 75 및 도 77을 통해 설명한 장치가 수행하는 동작들을 수행하기 위한 것일 수 있다.

- [1272] 이상에서와 같이 본 발명에 따른 방송 신호 송신 장치, 방법 및 방송 신호 수신 장치는 상기한 바와 같이 설명된 실시예들의 구성과 방법이 한정되게 적용될 수 있는 것이 아니라, 상기 실시예들은 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수도 있다.

청구범위

- [청구항 1] 포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드 및 베이스밴드 샘플링 레이트 계수를 시그널링하는 부트스트랩을 생성하는 부트스트랩 생성부; 방송 신호 프레임에서 상기 부트스트랩의 바로 다음에 위치(located immediately following the bootstrap)하는 프리앰블을 생성하는 프리앰블 생성부; 및 상기 방송 신호 프레임에서 상기 프리앰블의 바로 다음에 위치(located immediately following the preamble)하는 하나 이상(one or more)의 서브프레임들을 생성하는 페이로드 생성부를 포함하고, 상기 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한 범위의 적어도 일부에서(in at least one part of a range which is settable with assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정 식에 기반하여 결정되는 샘플 레이트에 상응하는 것을 특징으로 하는 방송 신호 송신 장치.
- [청구항 2] 청구항 1에 있어서, 상기 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일한 것을 특징으로 하는 방송 신호 송신 장치.
- [청구항 3] 청구항 2에 있어서, 상기 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이한 것을 특징으로 하는 방송 신호 송신 장치.
- [청구항 4] 청구항 3에 있어서, 상기 다른 부분은 상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로 하는 방송 신호 송신 장치.
- [청구항 5] 청구항 4에 있어서, 상기 다른 부분은 상기 시스템 대역폭이 50MHz인 경우를 위하여 134인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 60MHz인 경우를 위하여 164인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 80MHz인 경우를 위하여 224인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 상기 시스템 대역폭이 90MHz인 경우를 위하여 254인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 및

상기 시스템 대역폭이 100MHz인 경우를 위하여 284인 산출 변수에
상응하는 베이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로
하는 방송 신호 송신 장치.

[청구항 6]

청구항 2에 있어서,

상기 적어도 일부는

상기 시스템 대역폭이 6MHz인 경우를 위하여 2인 산출 변수와 동일한
베이스밴드 샘플링 레이트 계수;

상기 시스템 대역폭이 7MHz인 경우를 위하여 5인 산출 변수와 동일한
베이스밴드 샘플링 레이트 계수; 및

상기 시스템 대역폭이 8MHz인 경우를 위하여 8인 산출 변수와 동일한
베이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로 하는 방송
신호 송신 장치.

[청구항 7]

청구항 6에 있어서,

상기 적어도 일부는

상기 시스템 대역폭이 10MHz인 경우를 위하여 14인 산출 변수와 동일한
베이스밴드 샘플링 레이트 계수;

상기 시스템 대역폭이 15MHz인 경우를 위하여 29인 산출 변수와 동일한
베이스밴드 샘플링 레이트 계수;

상기 시스템 대역폭이 20MHz인 경우를 위하여 44인 산출 변수와 동일한
베이스밴드 샘플링 레이트 계수;

상기 시스템 대역폭이 25MHz인 경우를 위하여 59인 산출 변수와 동일한
베이스밴드 샘플링 레이트 계수; 및

상기 시스템 대역폭이 30MHz인 경우를 위하여 74인 산출 변수와 동일한
베이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로 하는 방송
신호 송신 장치.

[청구항 8]

청구항 1에 있어서,

상기 샘플링 레이트 결정 식은

(샘플 레이트) = $(N + 16) * 0.384 \text{ MHz}$ (N은 상기 산출 변수)

인 것을 특징으로 하는 방송 신호 송신 장치.

[청구항 9]

하나 이상(one or more)의 서브프레임들을 생성하는 단계;

상기 하나 이상의 서브프레임들에 상응하는 프리앰블을 생성하는 단계;

및

포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는
시스템 대역폭 필드 및 베이스밴드 샘플링 레이트 계수를 시그널링하는
부트스트랩을 생성하는 단계를 포함하고,

상기 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한
범위의 적어도 일부에서(in at least one part of a range which is settable with
assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트

결정 식에 기반하여 결정되는 샘플 레이트에 상응하는 것을 특징으로 하는 방송 신호 송신 방법.

- [청구항 10] 청구항 9에 있어서,
상기 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일한 것을 특징으로 하는 방송 신호 송신 방법.
- [청구항 11] 청구항 10에 있어서,
상기 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이한 것을 특징으로 하는 방송 신호 송신 방법.
- [청구항 12] 청구항 11에 있어서,
상기 다른 부분은
상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로 하는 방송 신호 송신 방법.
- [청구항 13] 청구항 12에 있어서,
상기 다른 부분은
상기 시스템 대역폭이 50MHz인 경우를 위하여 134인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수;
상기 시스템 대역폭이 60MHz인 경우를 위하여 164인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수;
상기 시스템 대역폭이 80MHz인 경우를 위하여 224인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수;
상기 시스템 대역폭이 90MHz인 경우를 위하여 254인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수; 및
상기 시스템 대역폭이 100MHz인 경우를 위하여 284인 산출 변수에 상응하는 베이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로 하는 방송 신호 송신 방법.
- [청구항 14] 청구항 10에 있어서,
상기 적어도 일부는
상기 시스템 대역폭이 6MHz인 경우를 위하여 2인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수;
상기 시스템 대역폭이 7MHz인 경우를 위하여 5인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및
상기 시스템 대역폭이 8MHz인 경우를 위하여 8인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로 하는 방송 신호 송신 방법.
- [청구항 15] 청구항 14에 있어서,
상기 적어도 일부는

상기 시스템 대역폭이 10MHz인 경우를 위하여 14인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수;
 상기 시스템 대역폭이 15MHz인 경우를 위하여 29인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수;
 상기 시스템 대역폭이 20MHz인 경우를 위하여 44인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수;
 상기 시스템 대역폭이 25MHz인 경우를 위하여 59인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수; 및
 상기 시스템 대역폭이 30MHz인 경우를 위하여 74인 산출 변수와 동일한 베이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로 하는 방송 신호 송신 방법.

[청구항 16]

청구항 9에 있어서,

상기 샘플링 레이트 결정 식은

(샘플 레이트) = $(N + 16) * 0.384 \text{ MHz}$ (N은 상기 산출 변수)

인 것을 특징으로 하는 방송 신호 송신 방법.

[청구항 17]

포스트 부트스트랩(post-bootstrap)을 위한 시스템 대역폭에 상응하는 시스템 대역폭 필드 및 베이스밴드 샘플링 레이트 계수를 시그널링하는 부트스트랩을 복원하는 부트스트랩 복원부;

방송 신호 프레임에서 상기 부트스트랩의 바로 다음에 위치(located immediately following the bootstrap)하는 프리엠블을 복원하는 프리엠블 복원부; 및

상기 방송 신호 프레임에서 상기 프리엠블의 바로 다음에 위치(located immediately following the preamble)하는 하나 이상(one or more)의 서브프레임들을 복원하는 페이로드 복원부를 포함하고,
 상기 베이스밴드 샘플링 레이트 계수는, 할당된 비트로 설정 가능한 범위의 적어도 일부에서(in at least one part of a range which is settable with assigned bits), 정수인 산출 변수(N)를 이용하여 정의되는 샘플링 레이트 결정 식에 기반하여 결정되는 샘플 레이트에 상응하는 것을 특징으로 하는 방송 신호 수신 장치.

[청구항 18]

청구항 17에 있어서,

상기 베이스밴드 샘플링 레이트 계수는 상기 적어도 일부에서 상기 산출 변수와 동일한 것을 특징으로 하는 방송 신호 수신 장치.

[청구항 19]

청구항 18에 있어서,

상기 베이스밴드 샘플링 레이트 계수는 상기 범위의 다른 부분에서(in another part of the range) 상기 산출 변수와 상이한 것을 특징으로 하는 방송 신호 수신 장치.

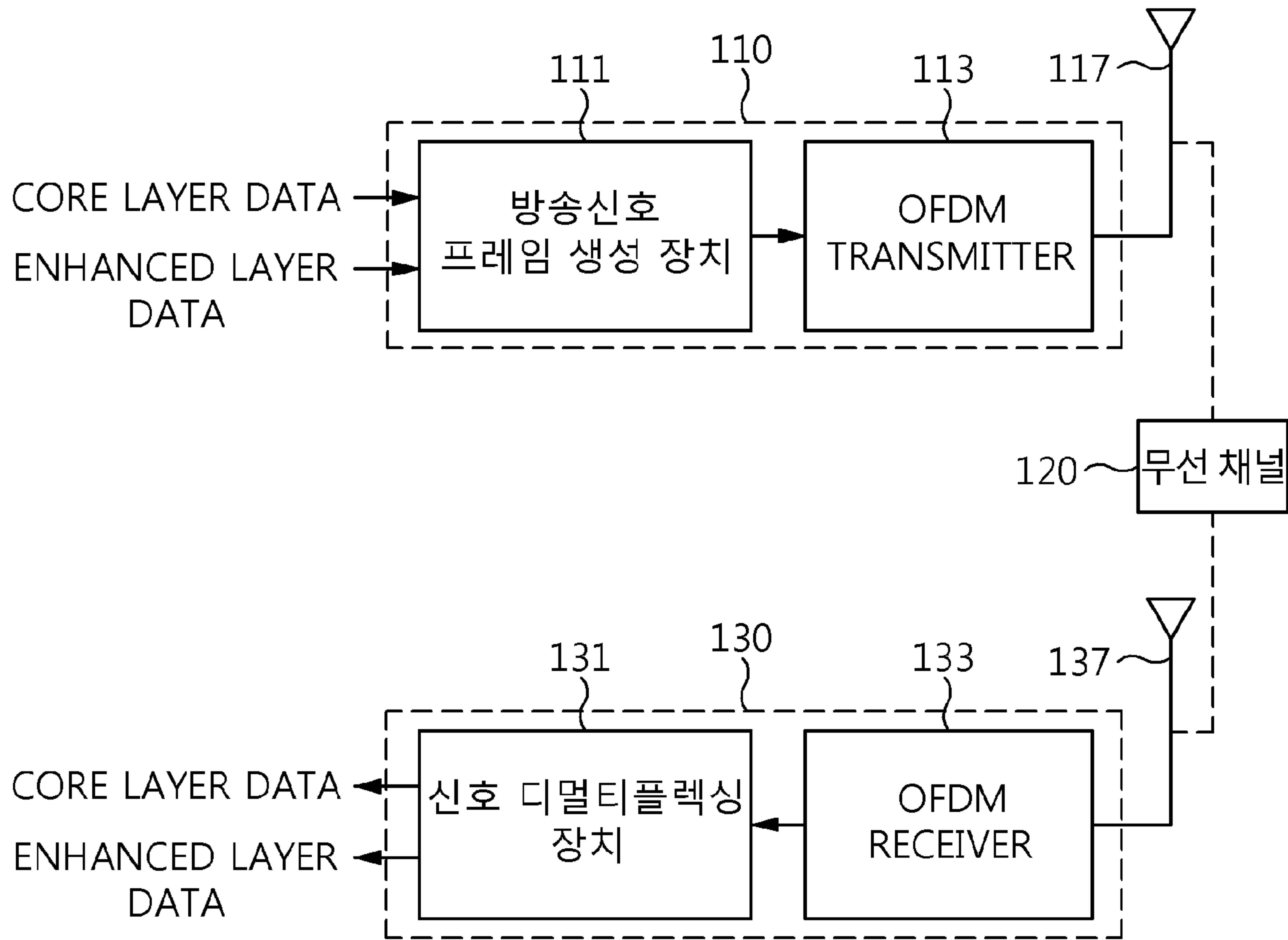
[청구항 20]

청구항 19에 있어서,

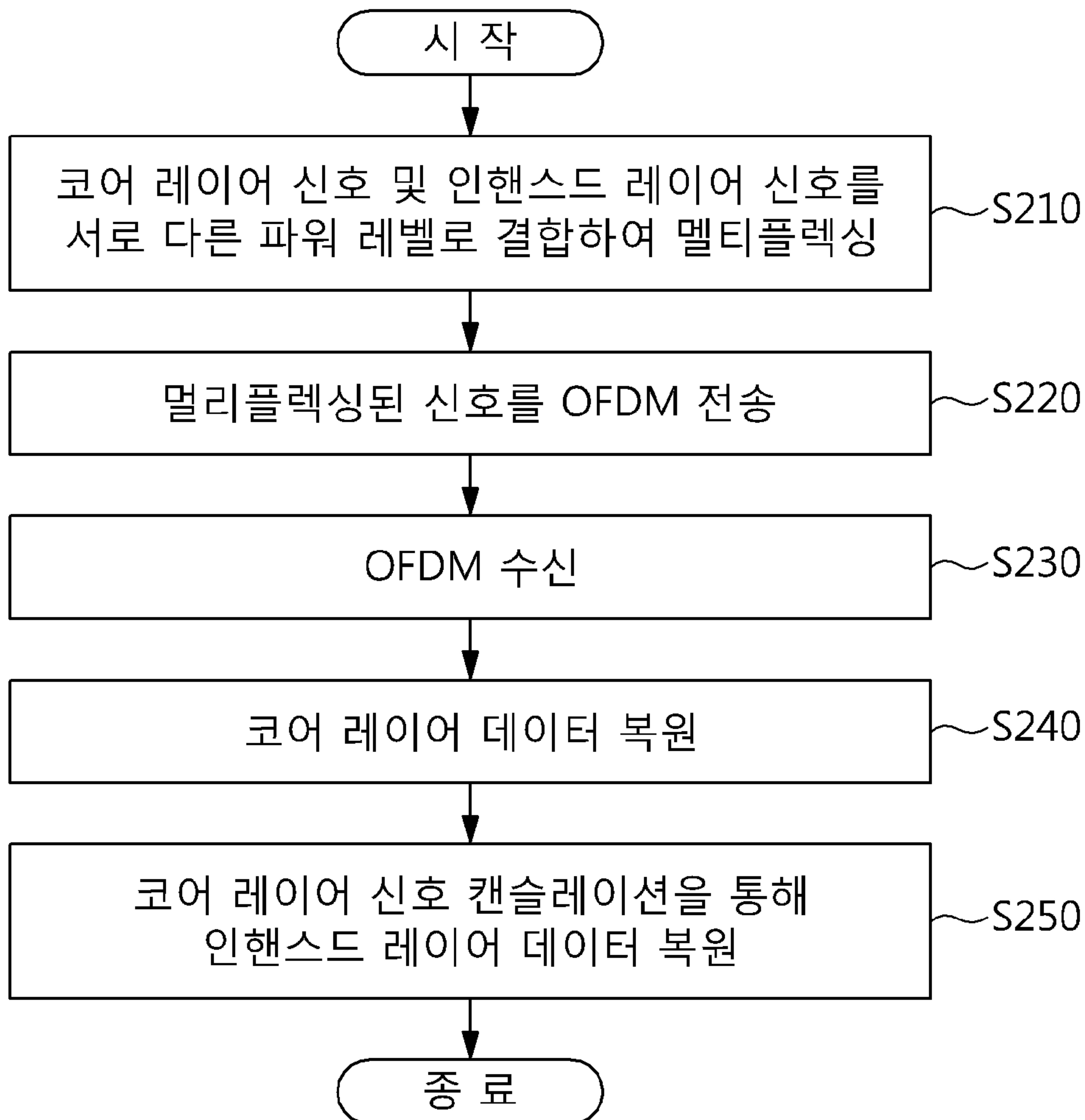
상기 다른 부분은

상기 시스템 대역폭이 5MHz인 경우를 위하여 -1인 산출 변수에 상응하는
메이스밴드 샘플링 레이트 계수를 포함하는 것을 특징으로 하는 방송
신호 수신 장치.

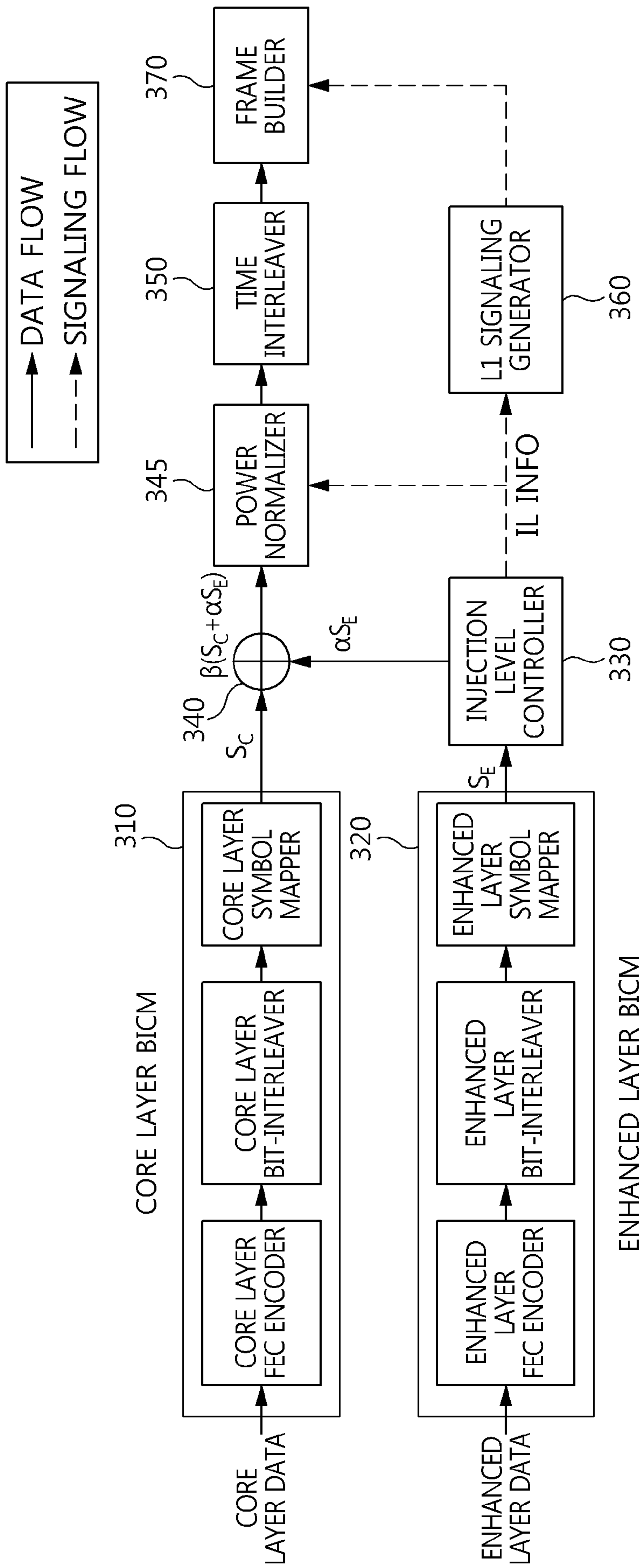
[도1]



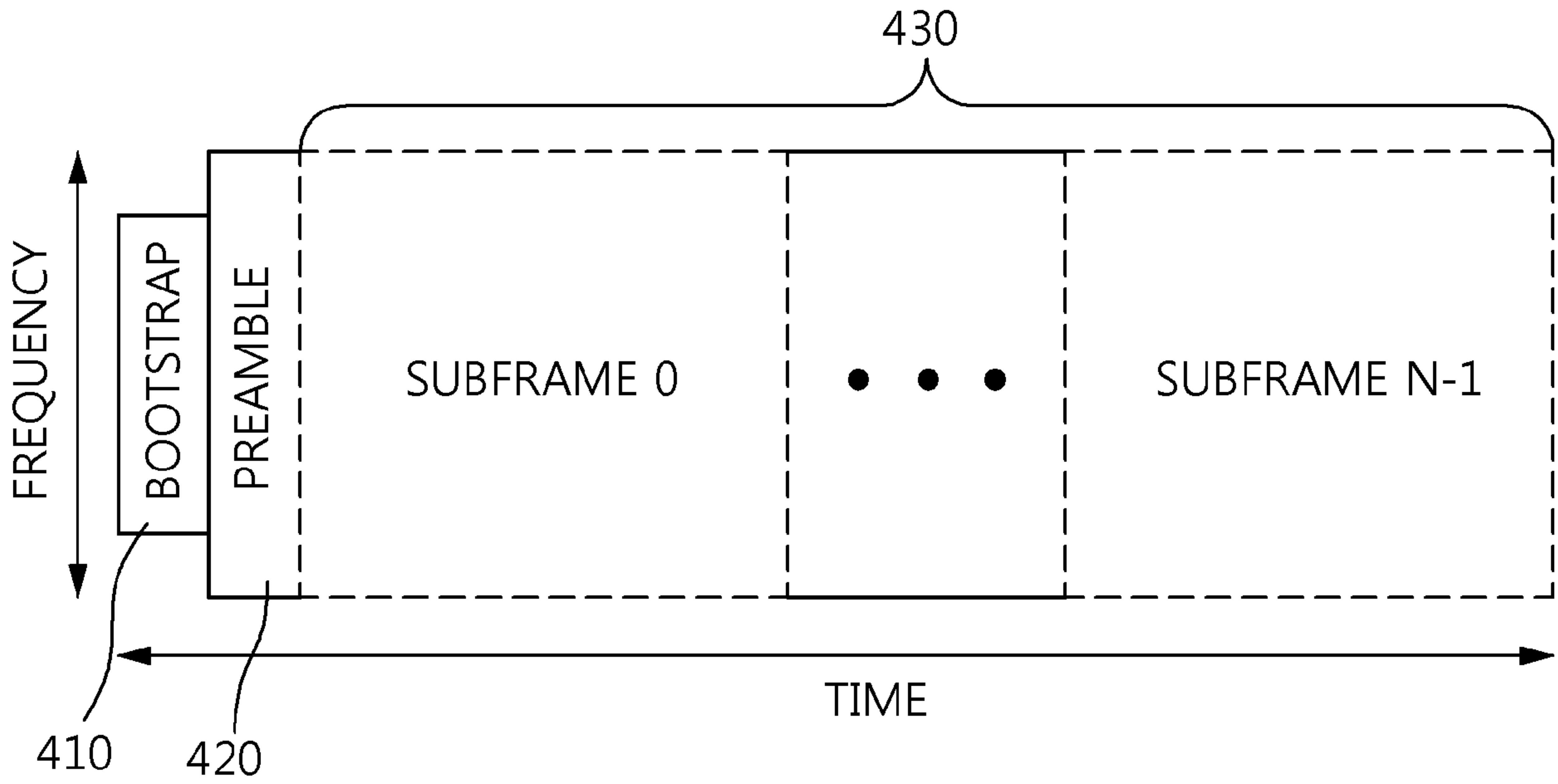
[도2]



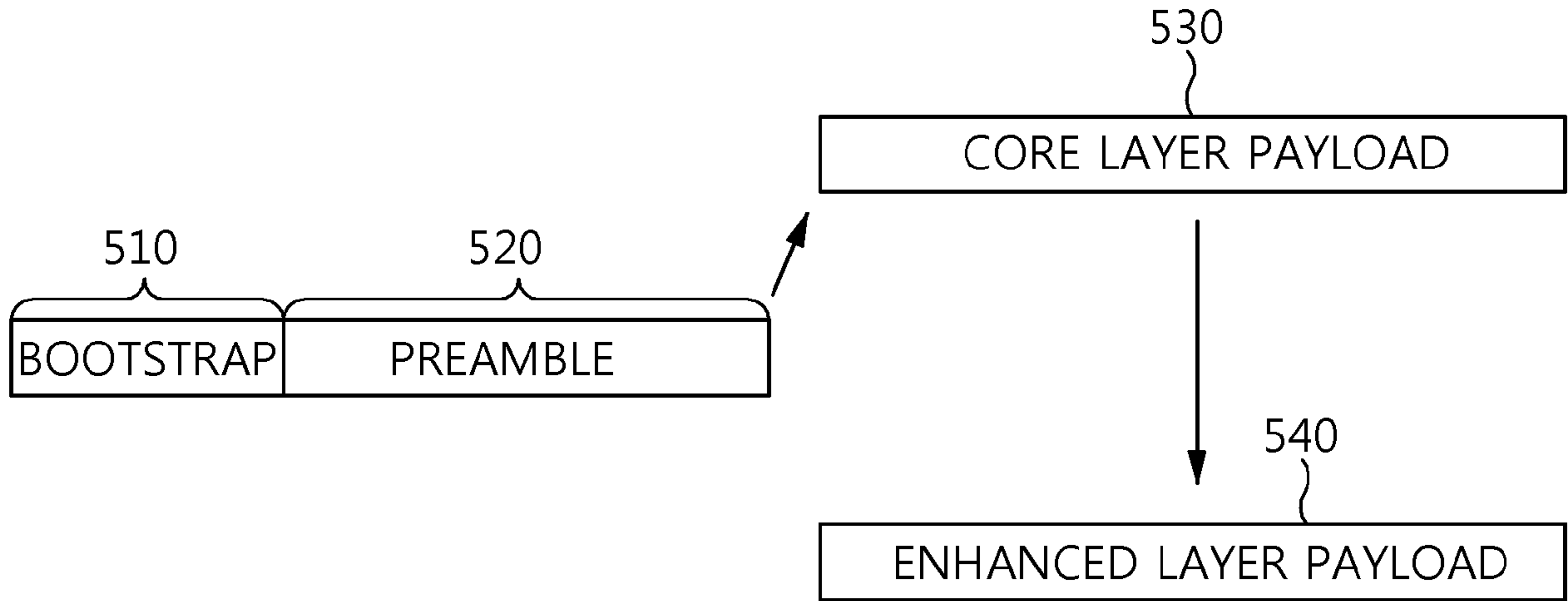
[FIG 3]



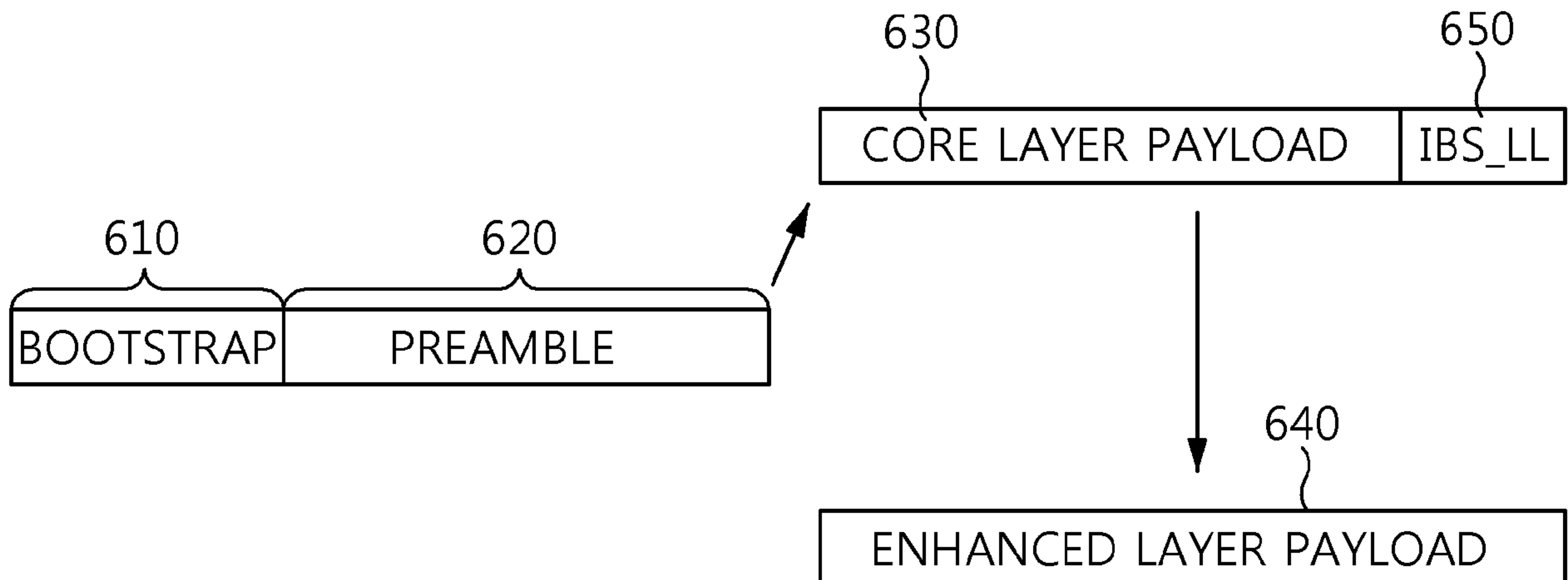
[도4]



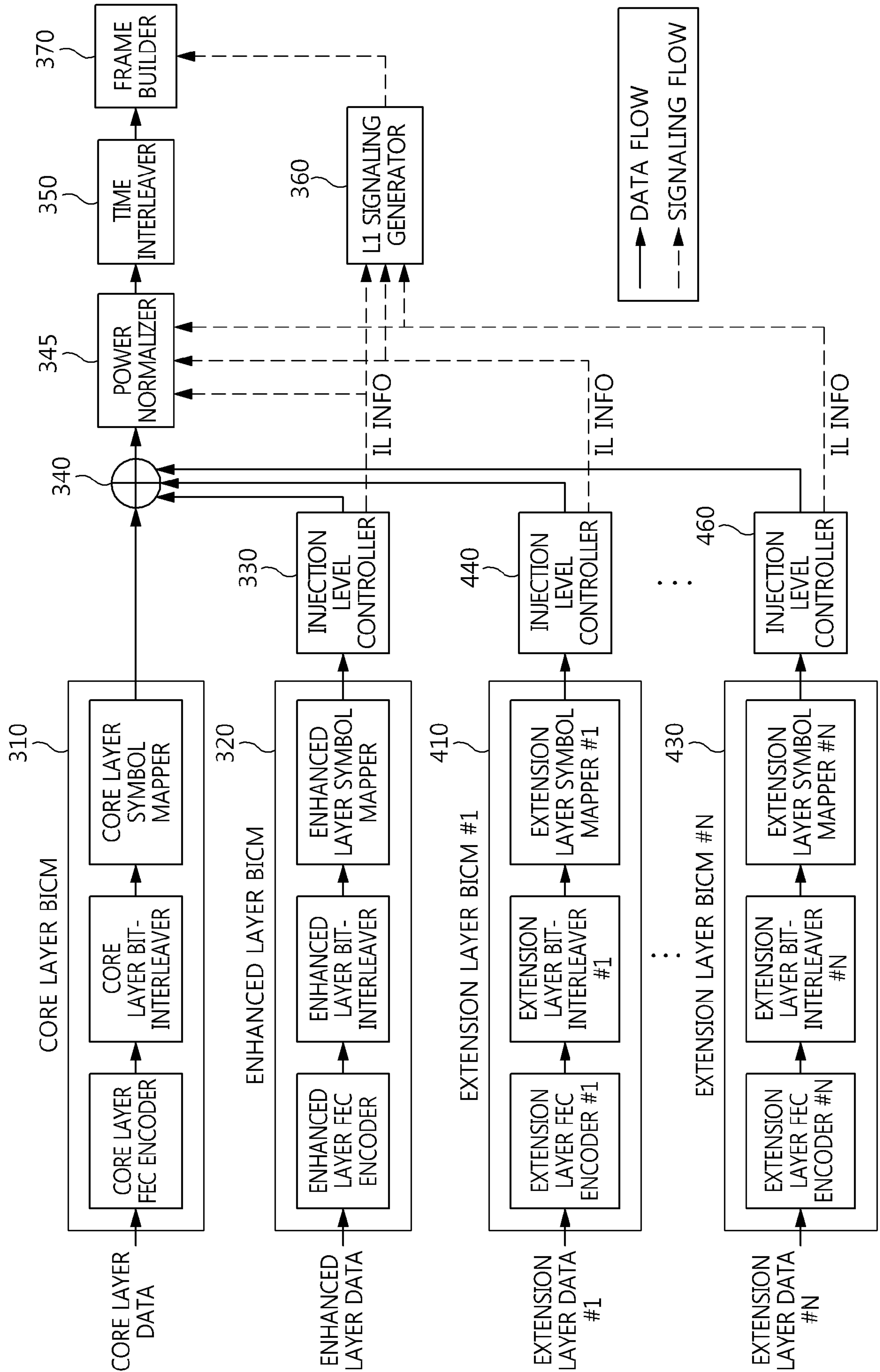
[도5]



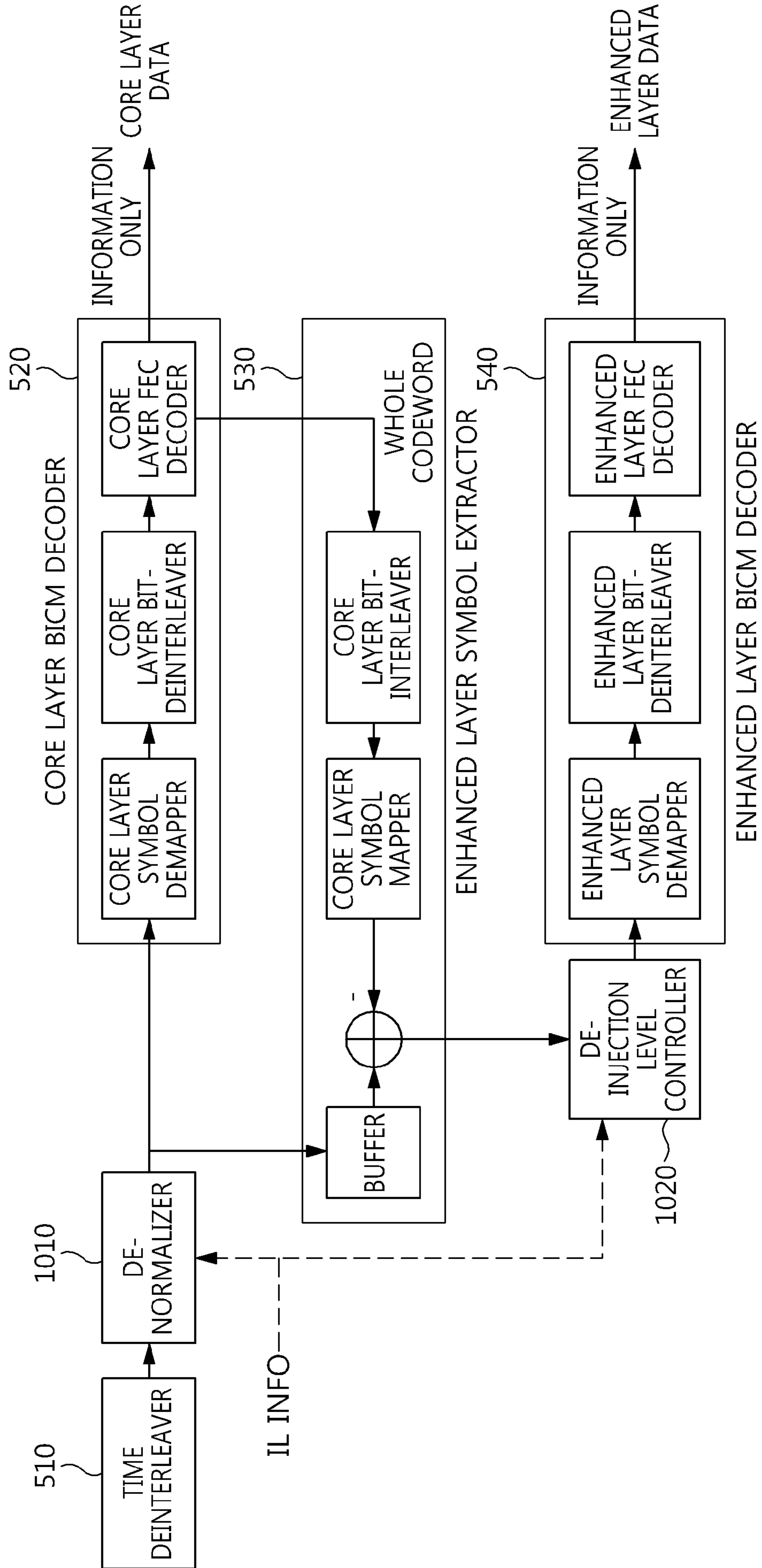
[도6]



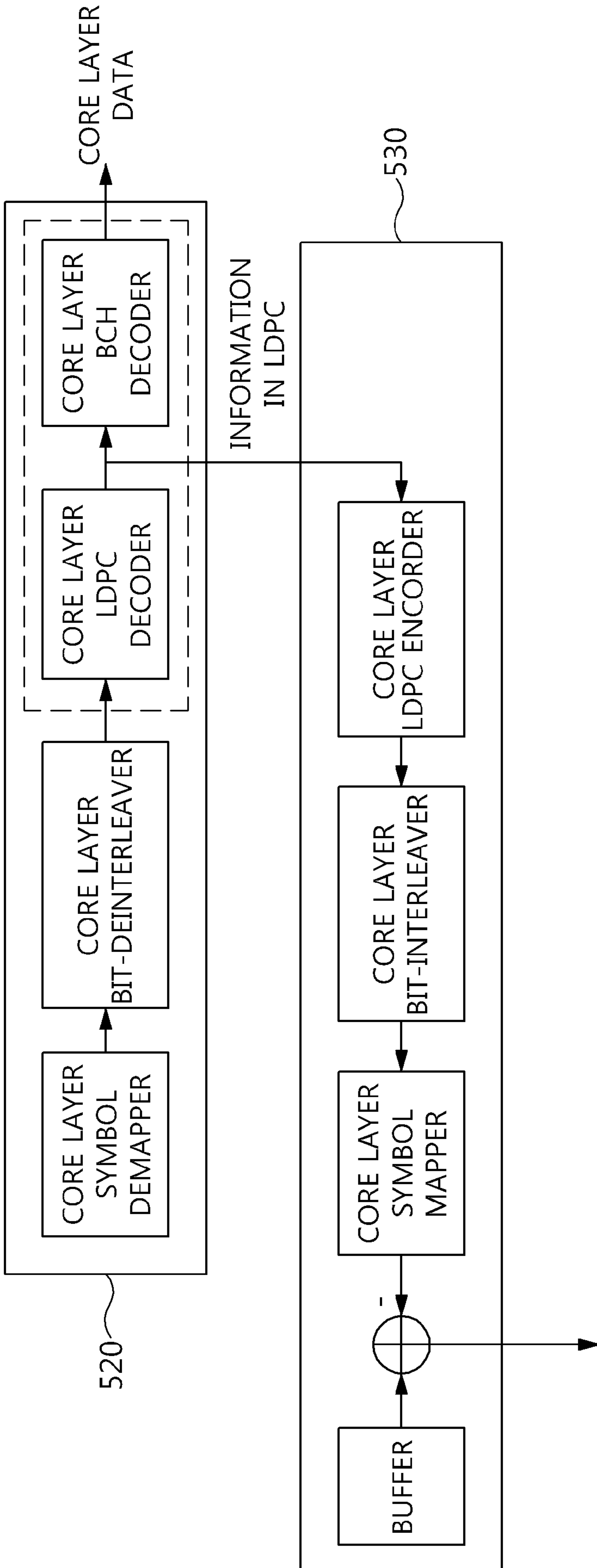
[57]



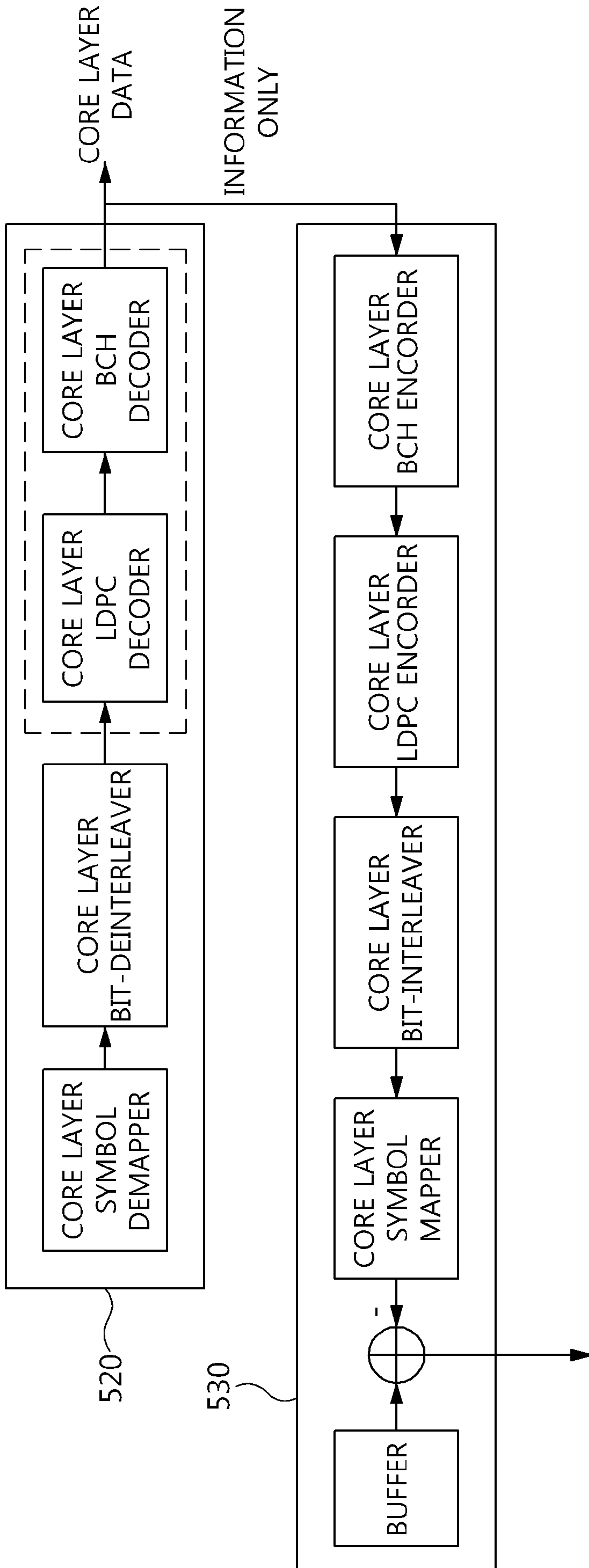
[F8]



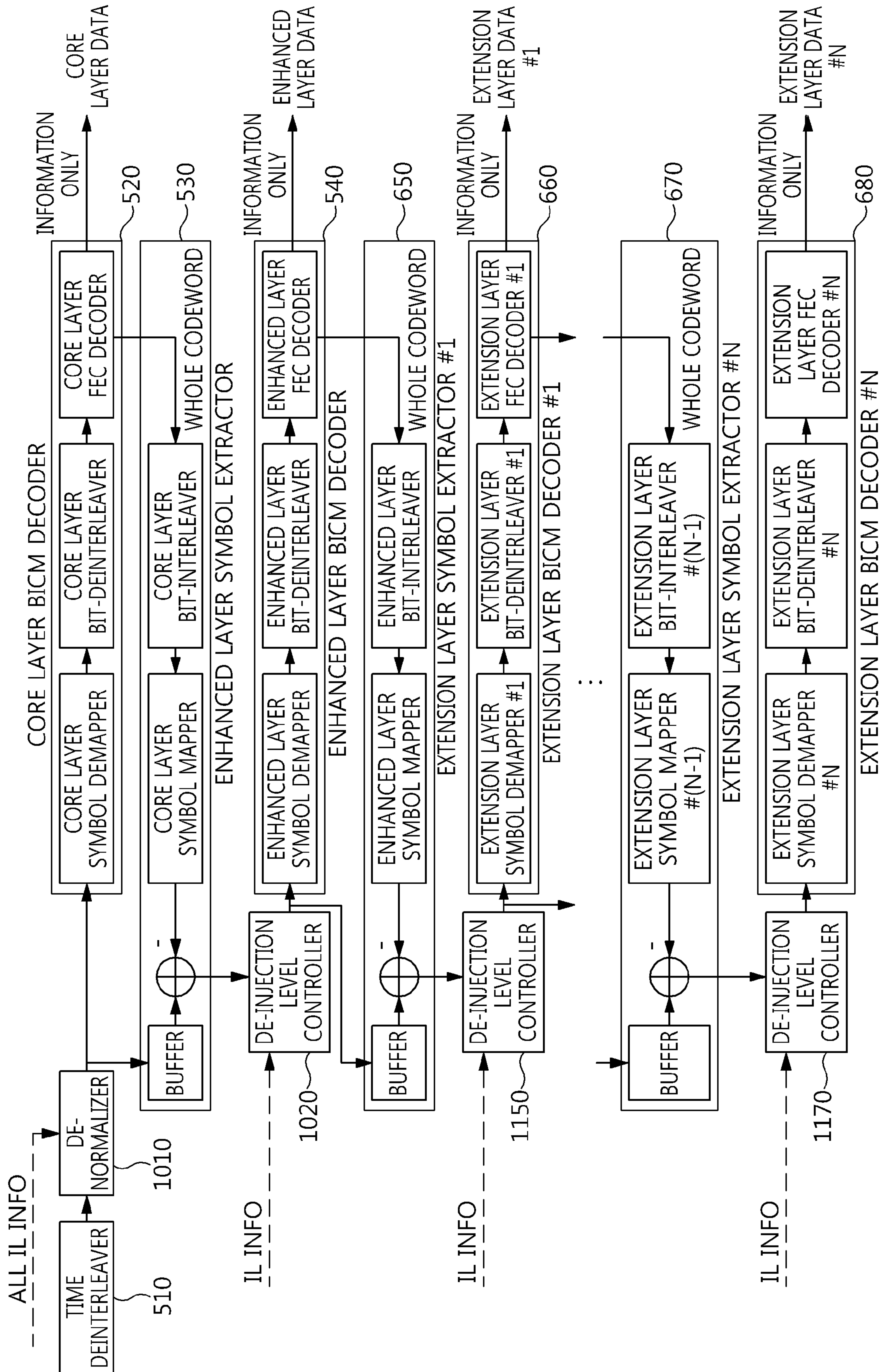
[510]



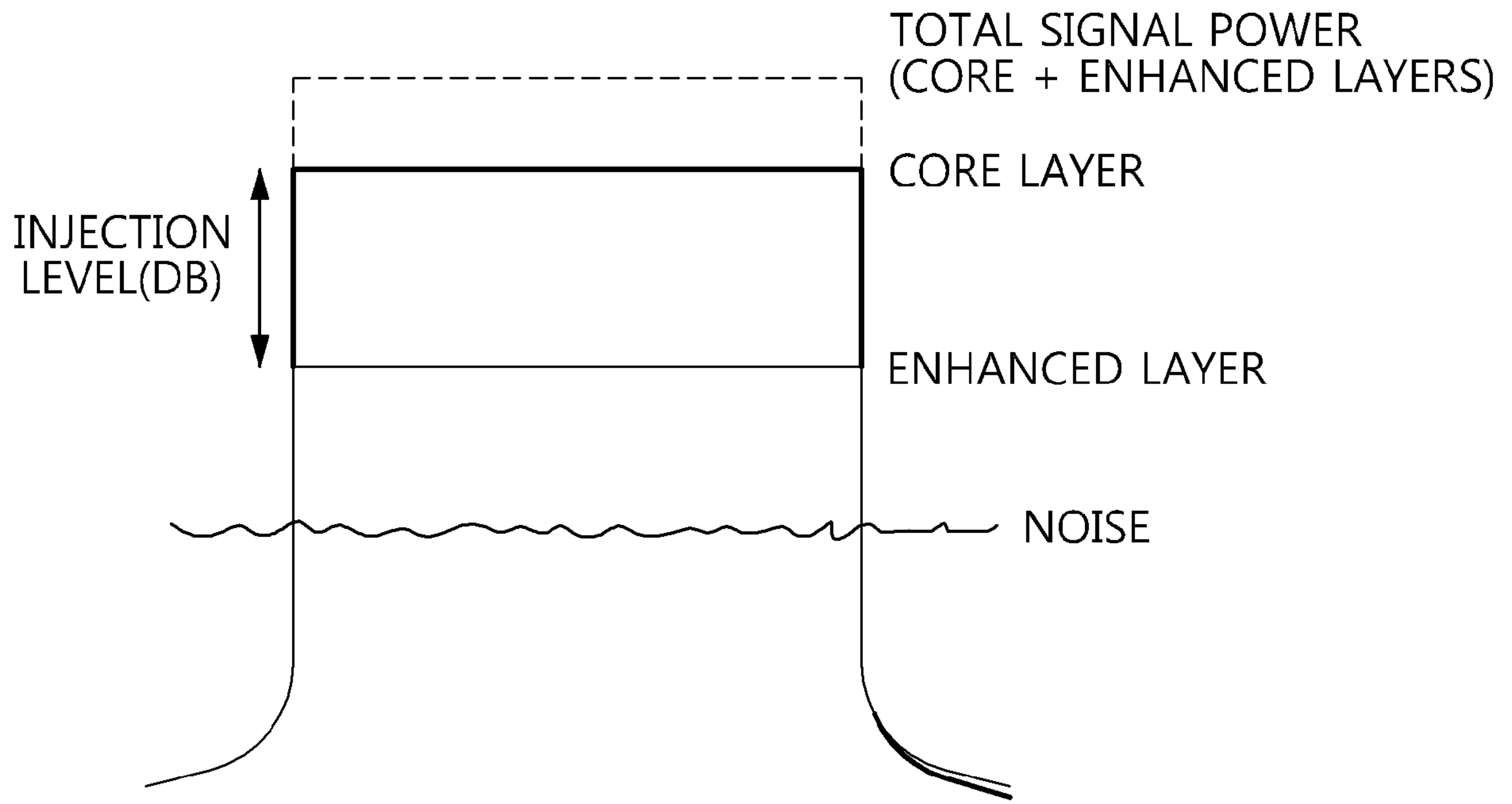
[511]



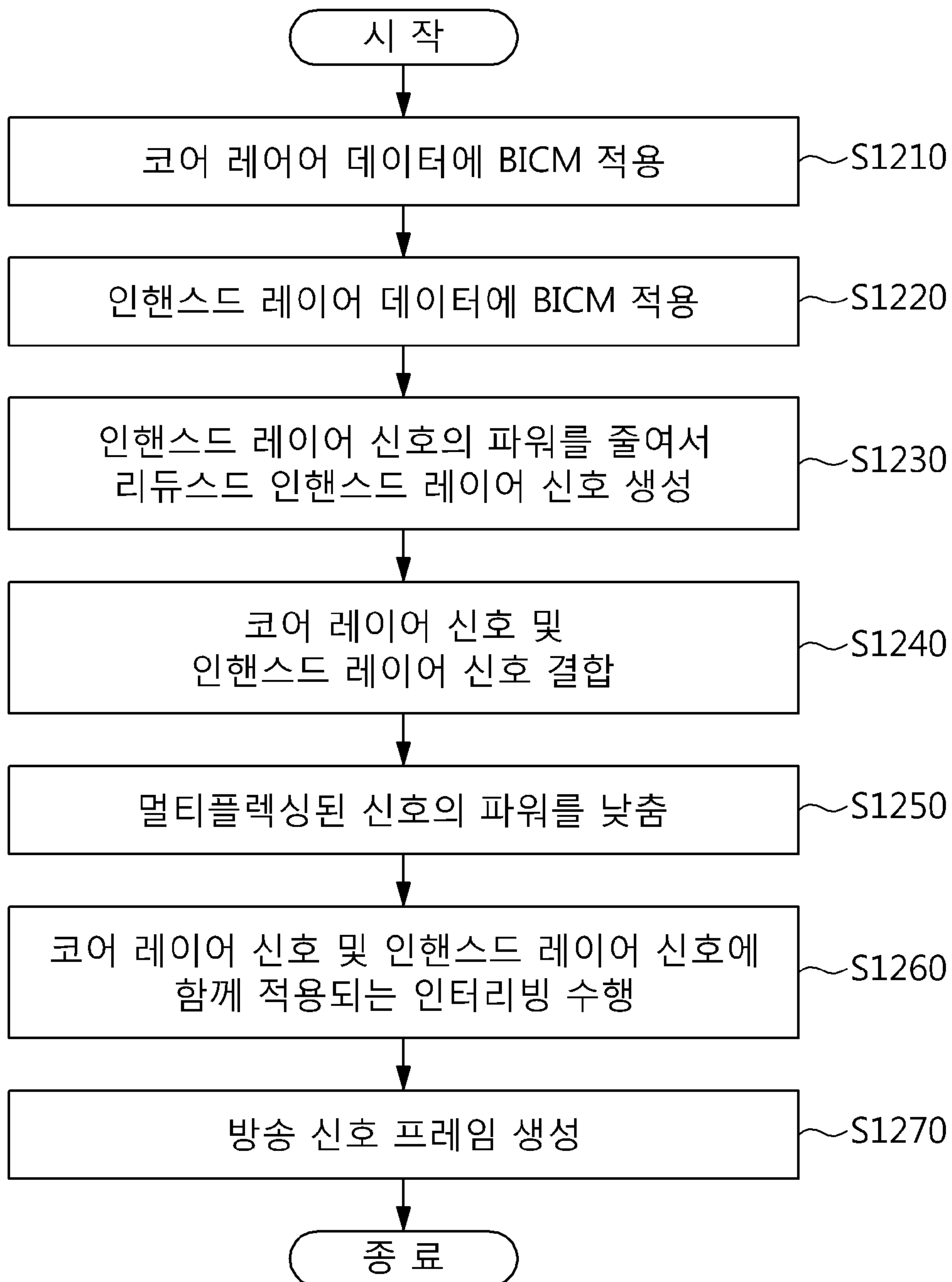
[FIG. 12]



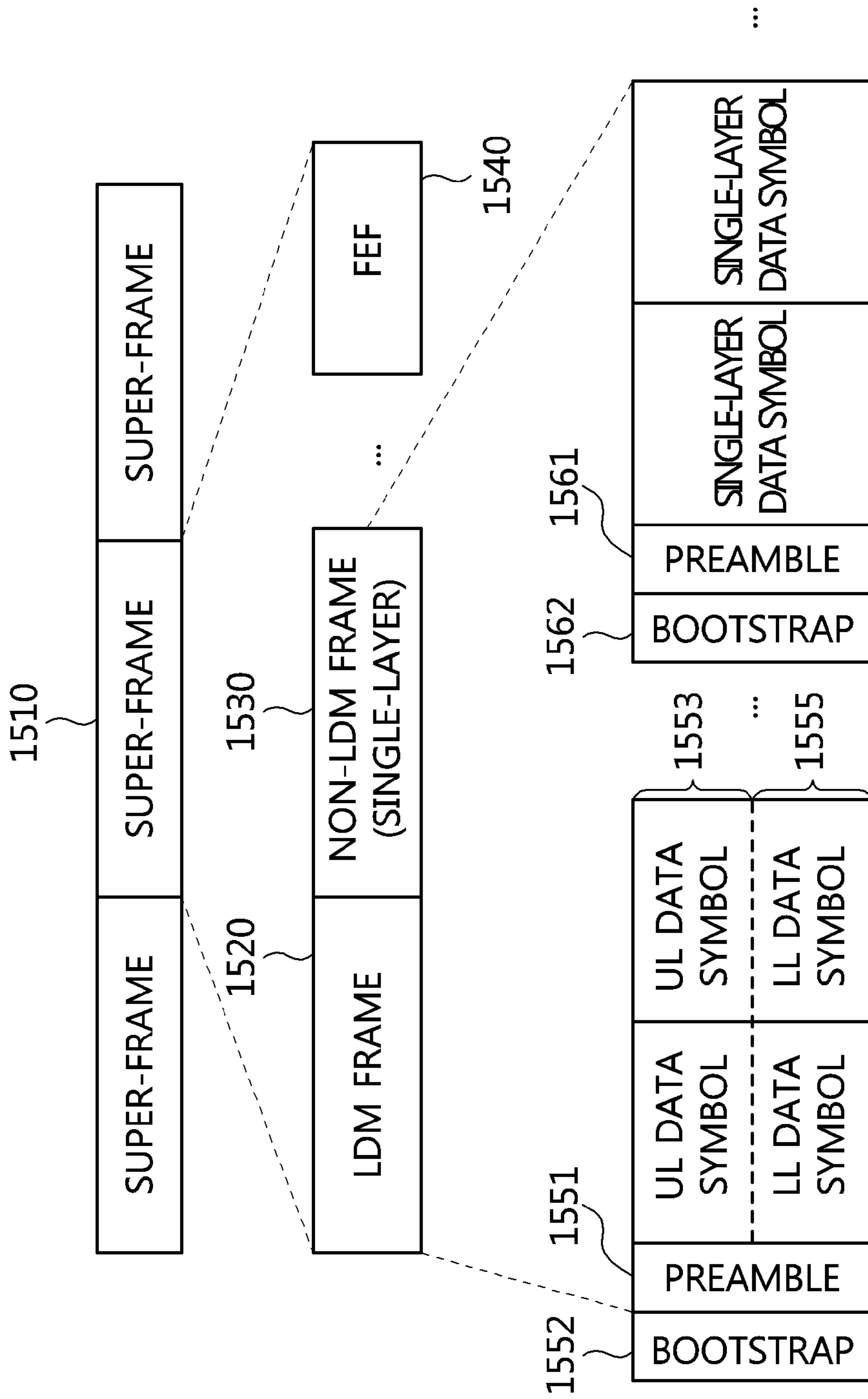
[도13]



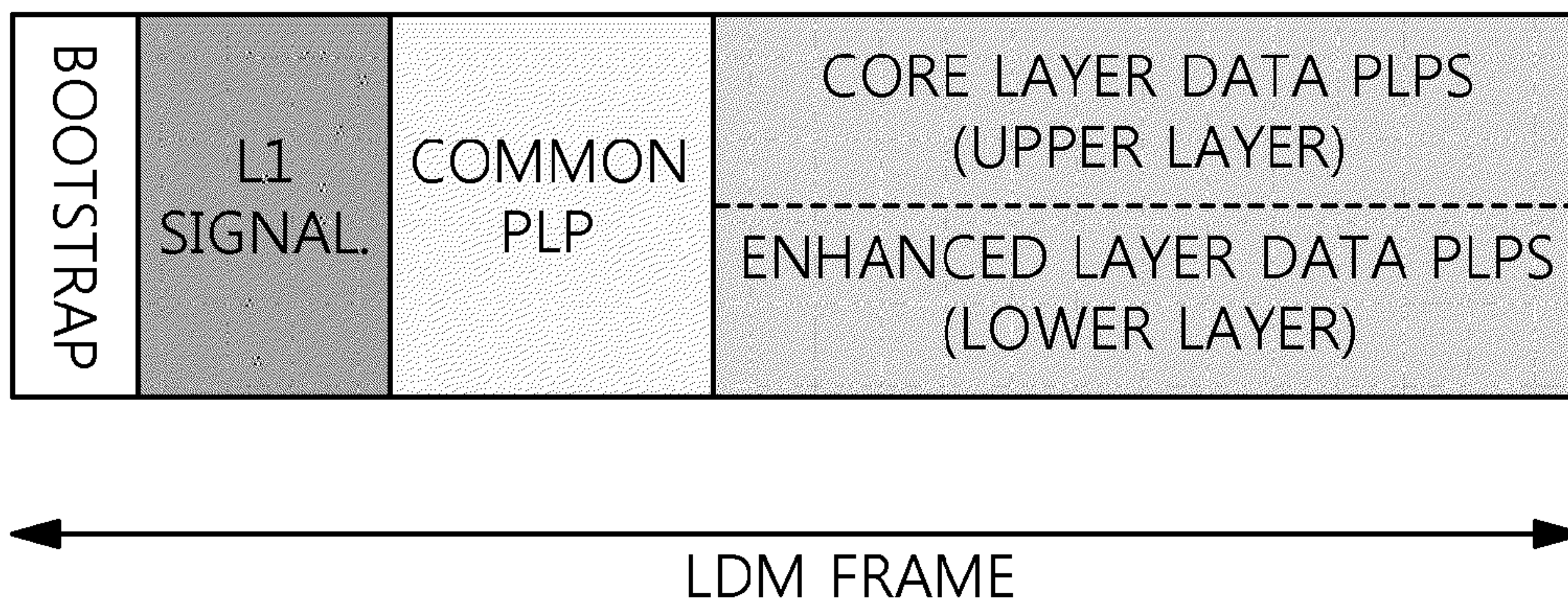
[도14]



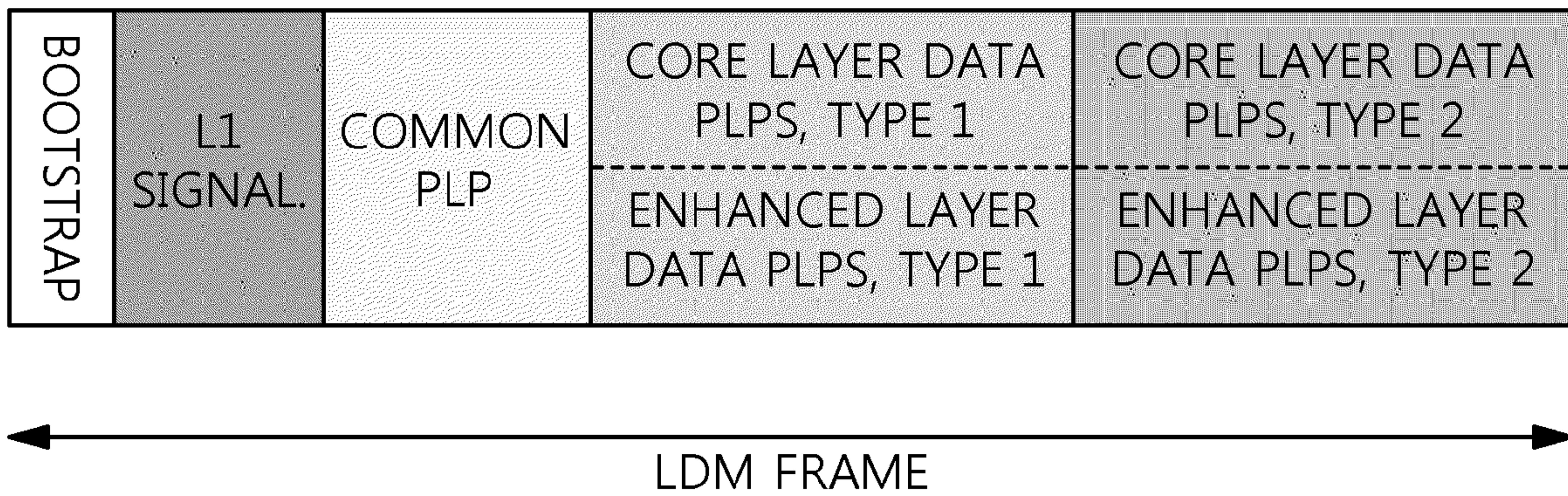
[Figure 15]



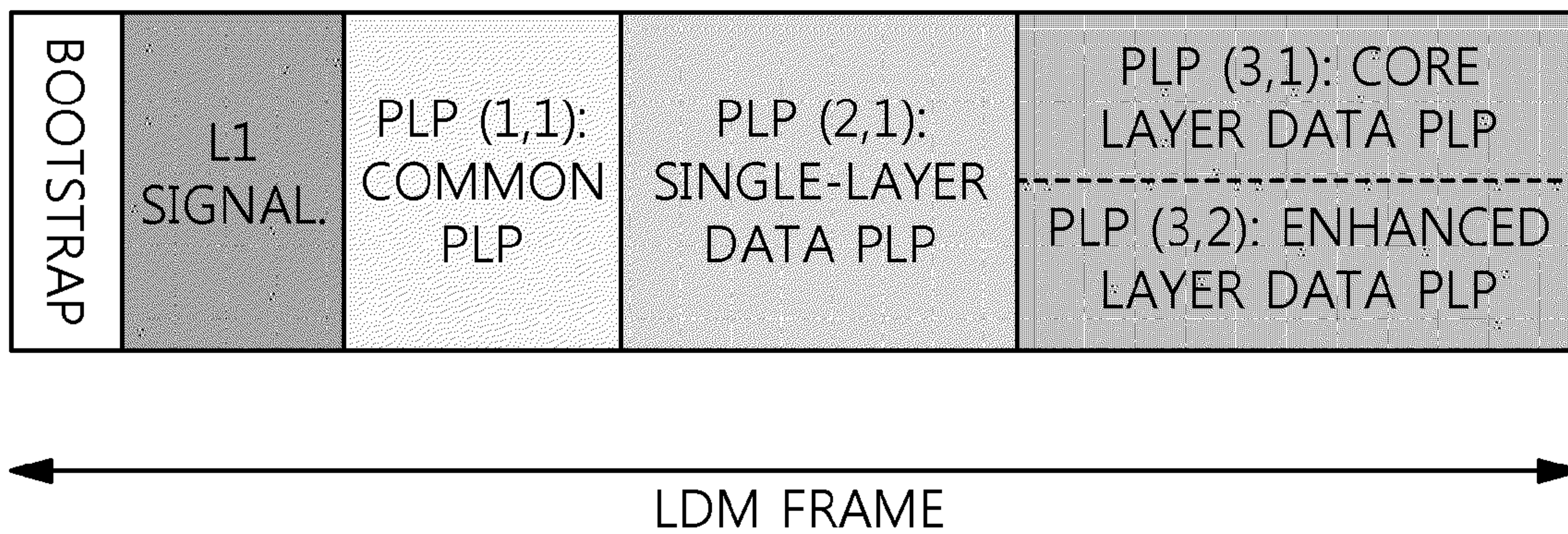
[Figure 16]



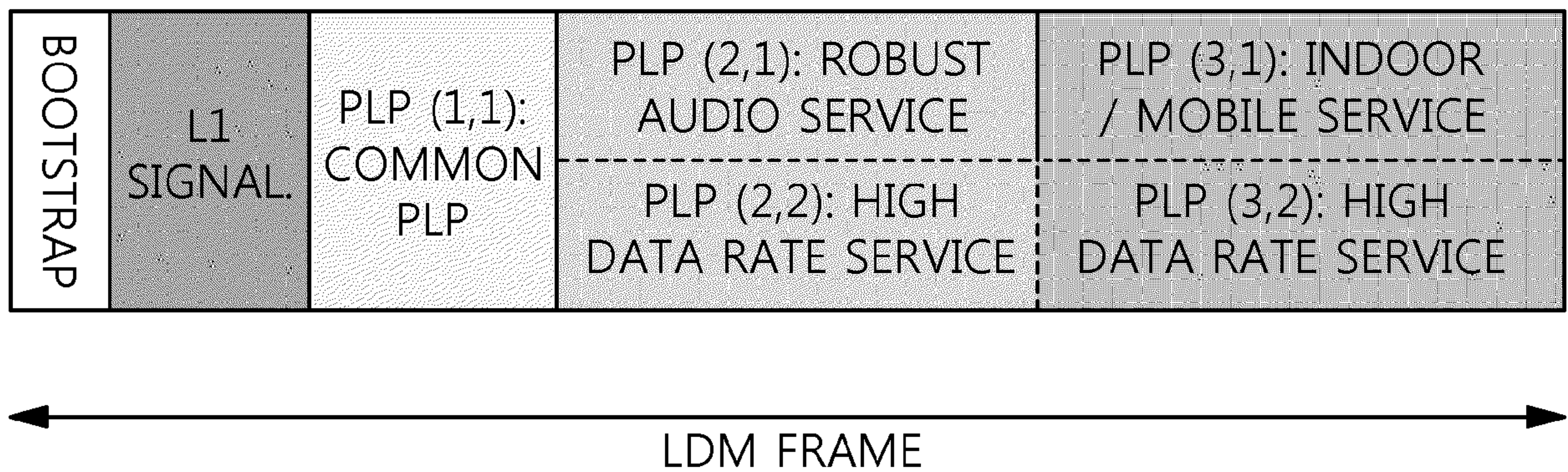
[도17]



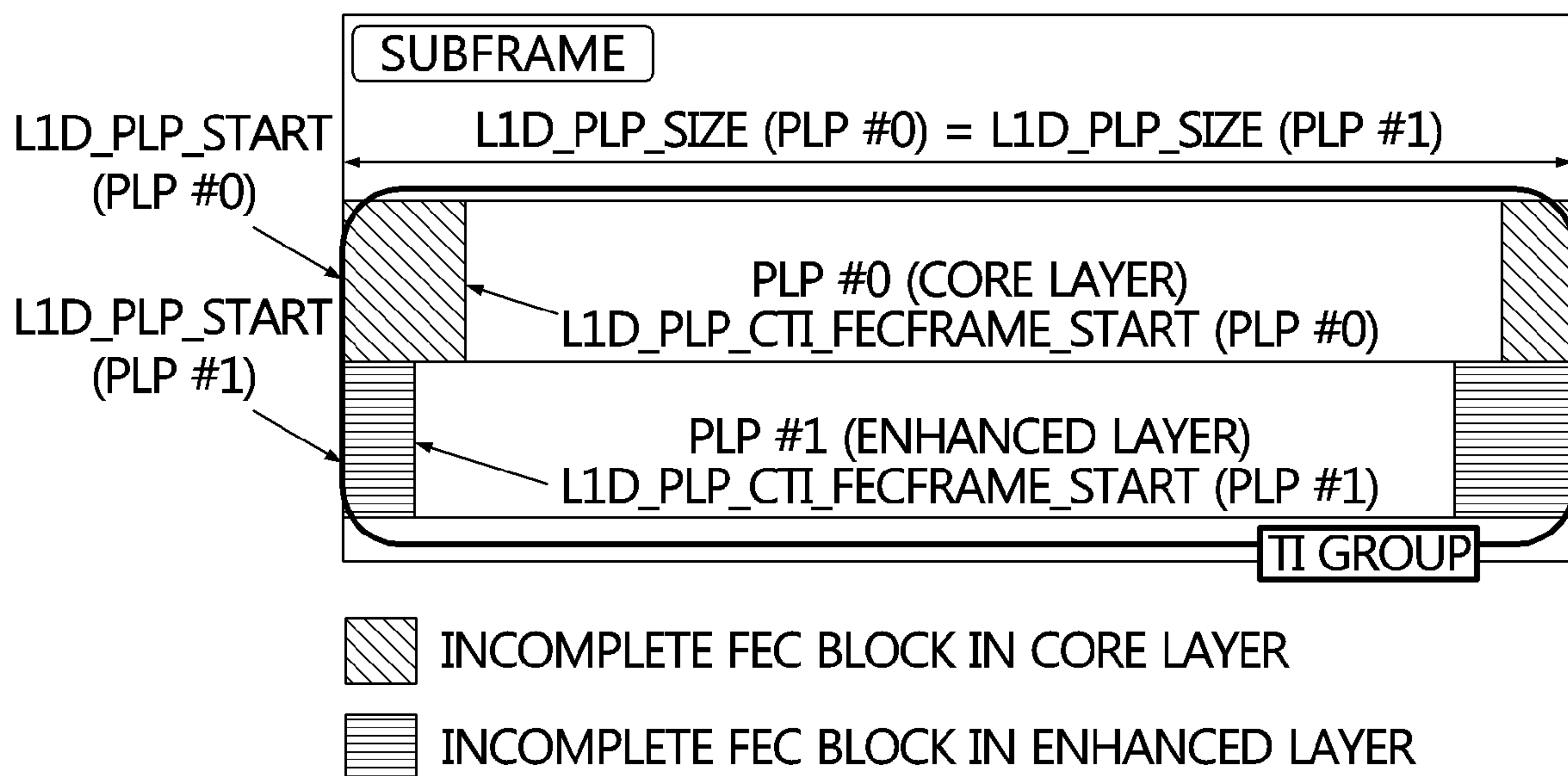
[도18]



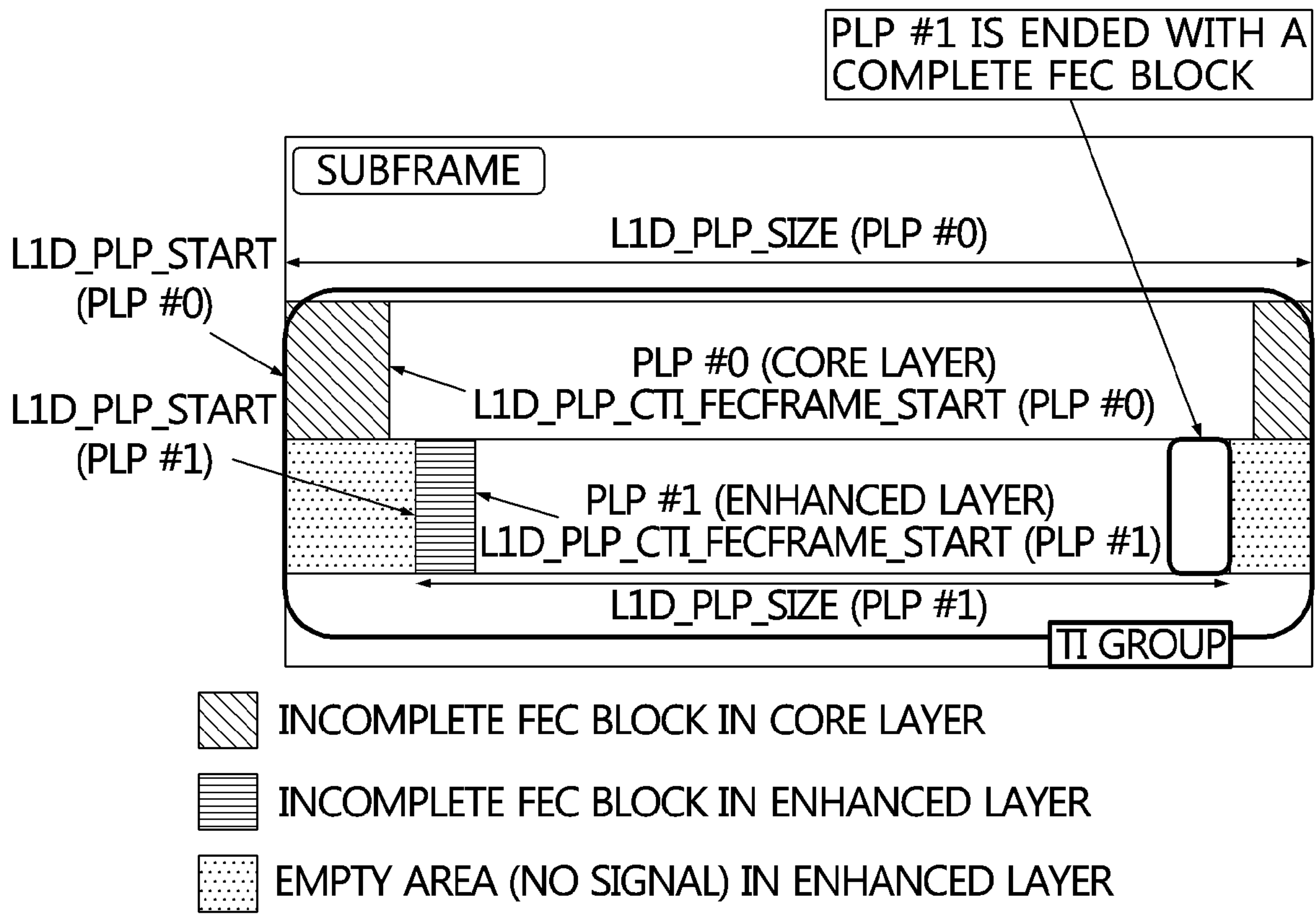
[도19]



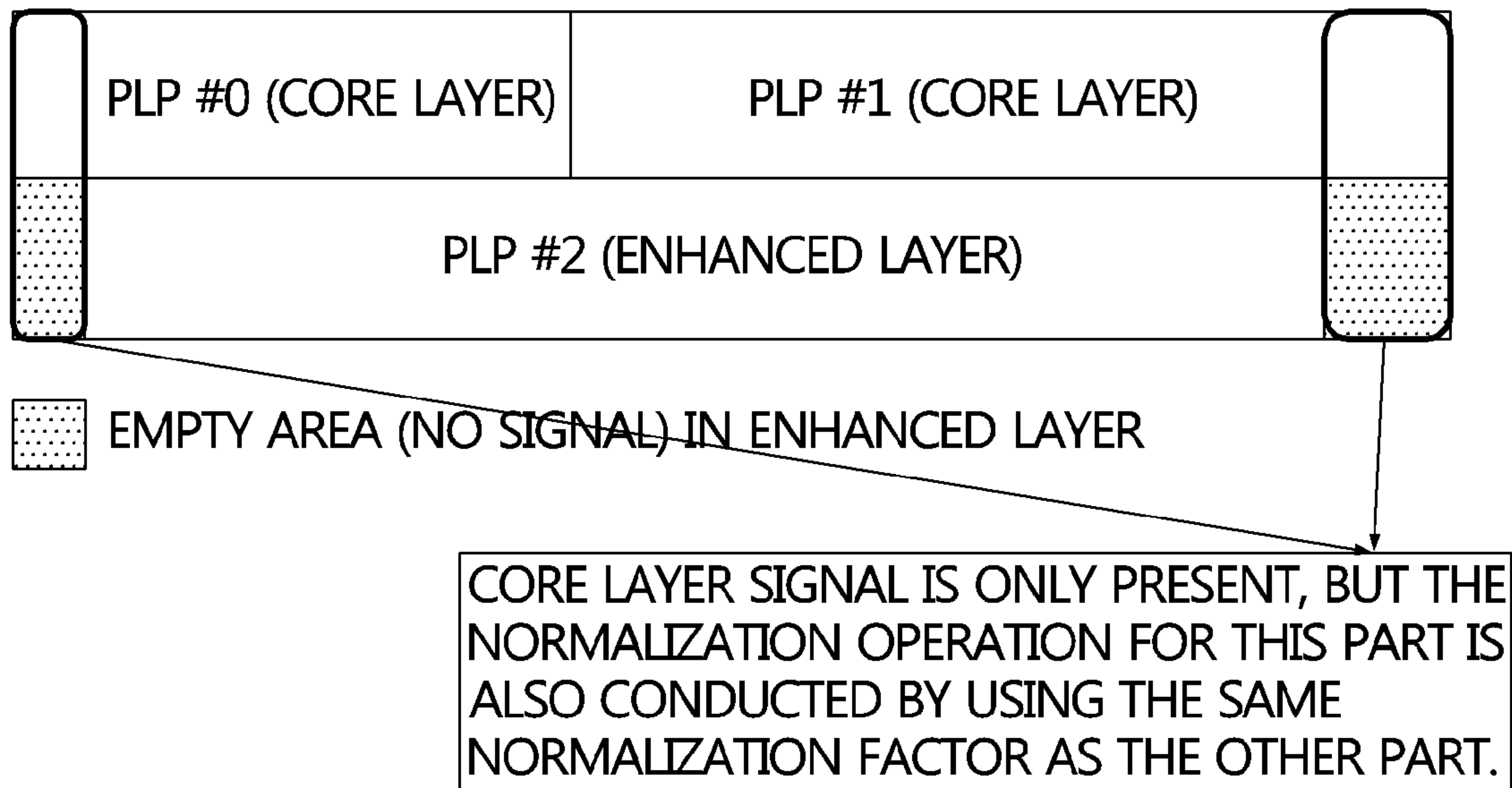
[도20]



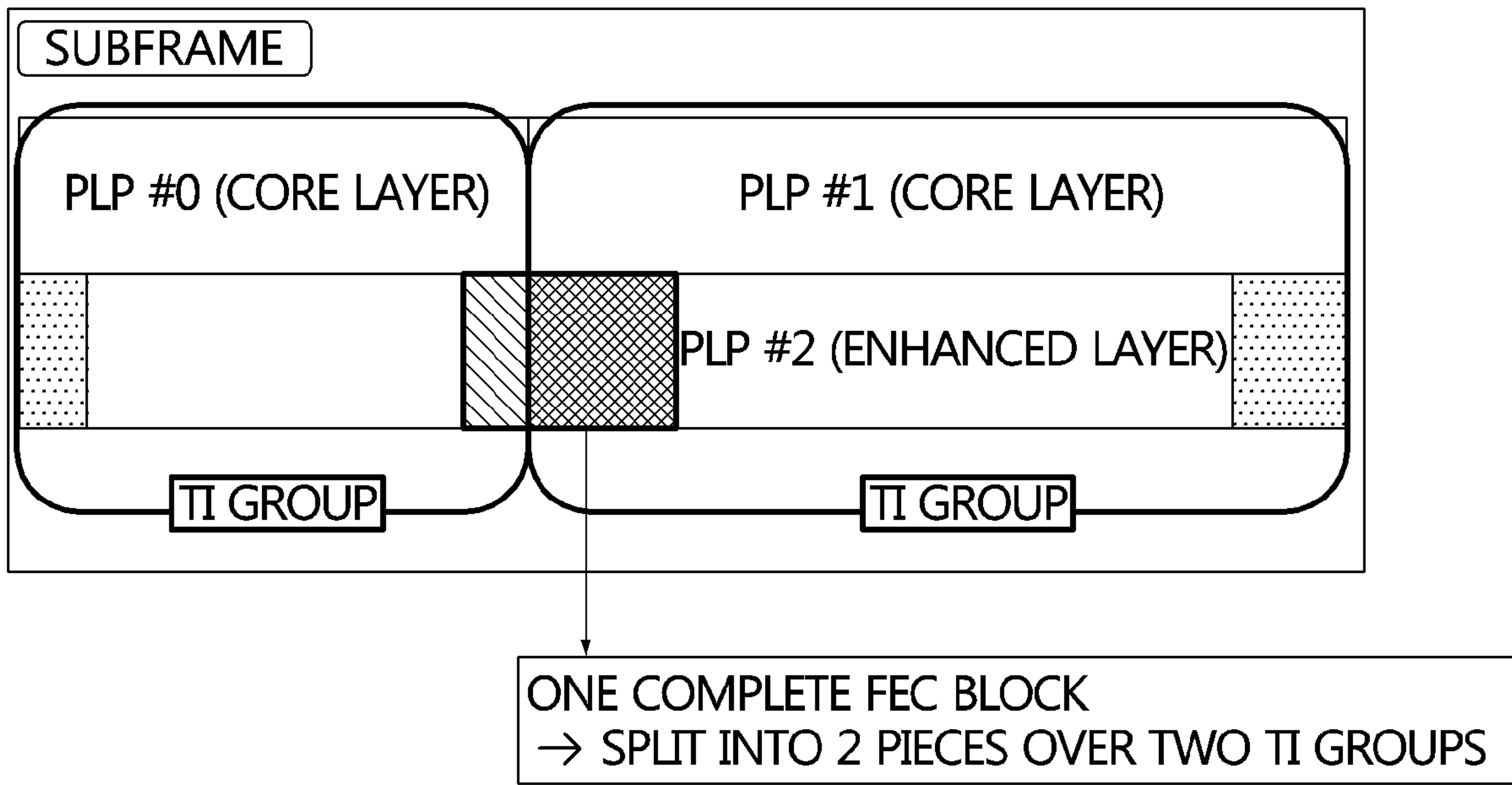
[도21]



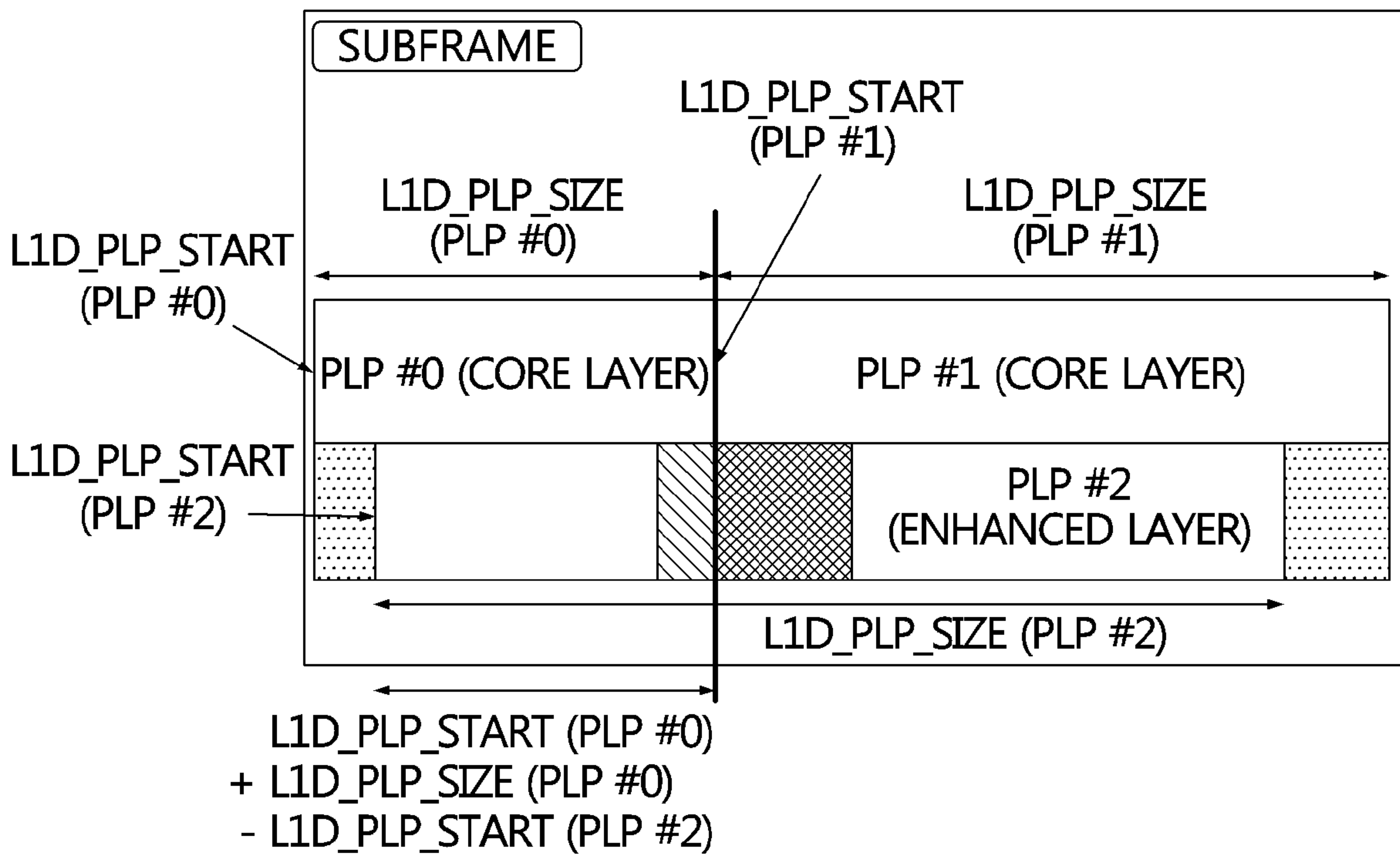
[도22]



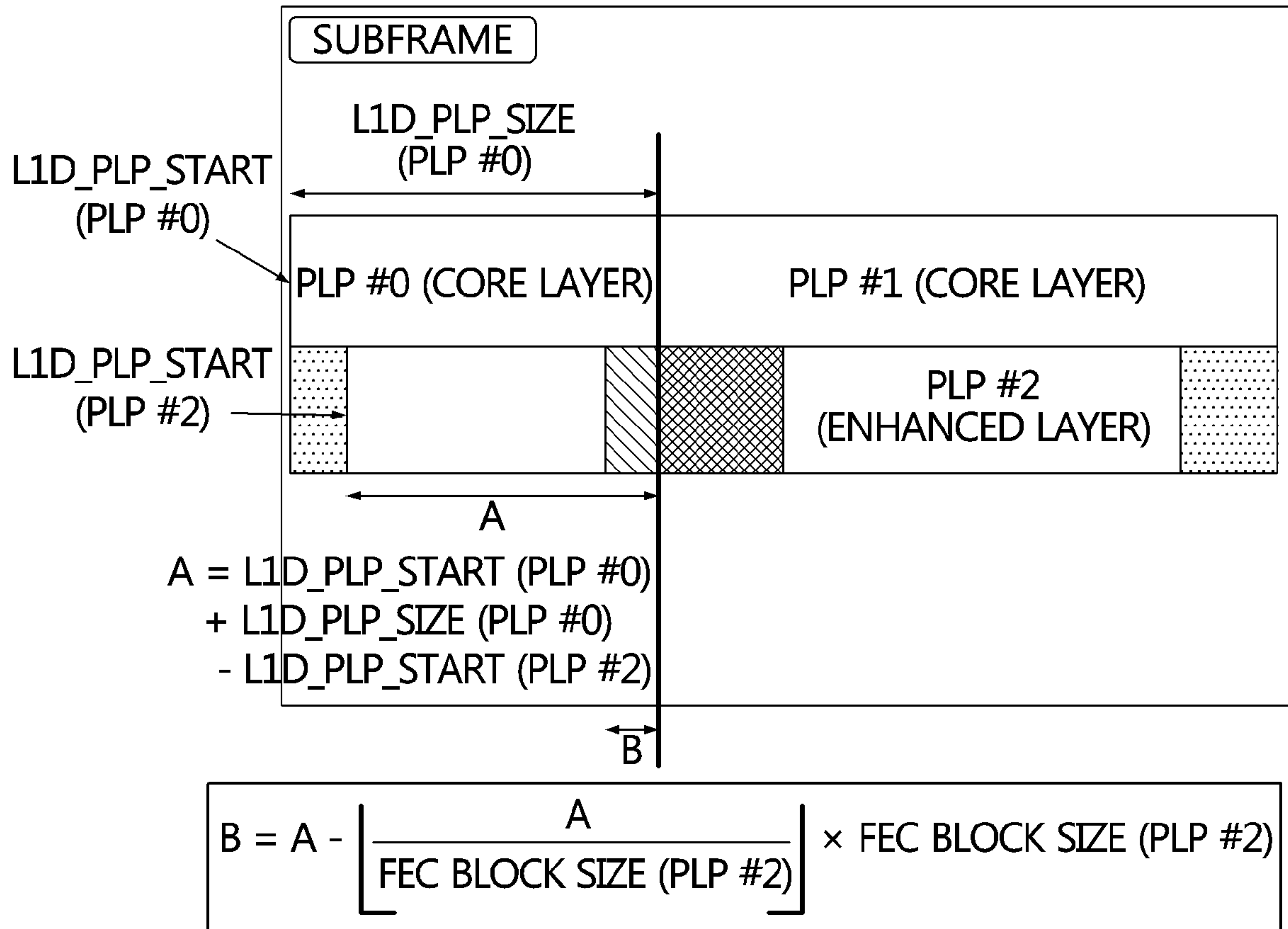
[도23]



[도24]

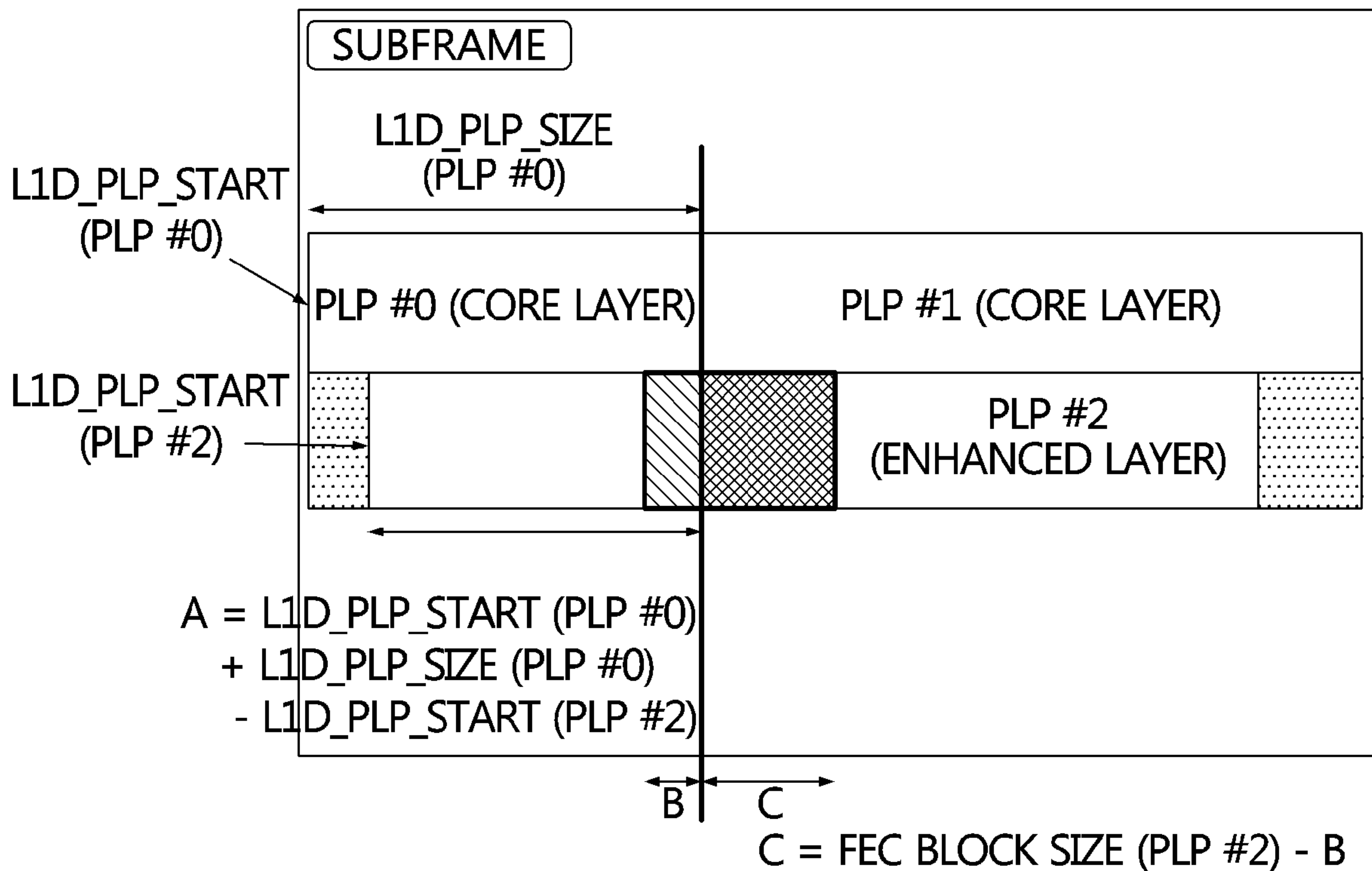


[도25]

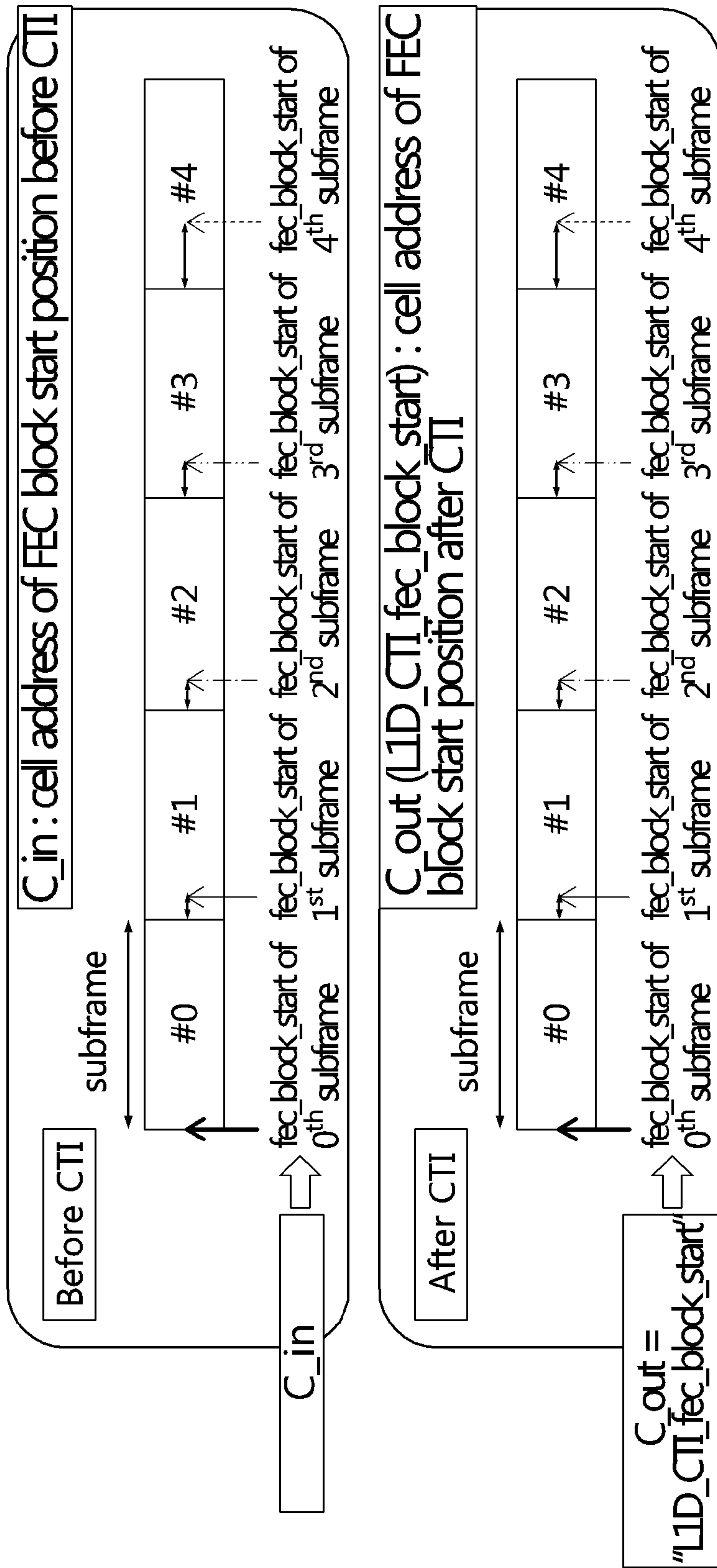


※ FEC BLOCK SIZE IS DECIDED BY L1D_PLP_MOD
 EX.) QPSK : 32400, 16-NUC : 16200, ETC.

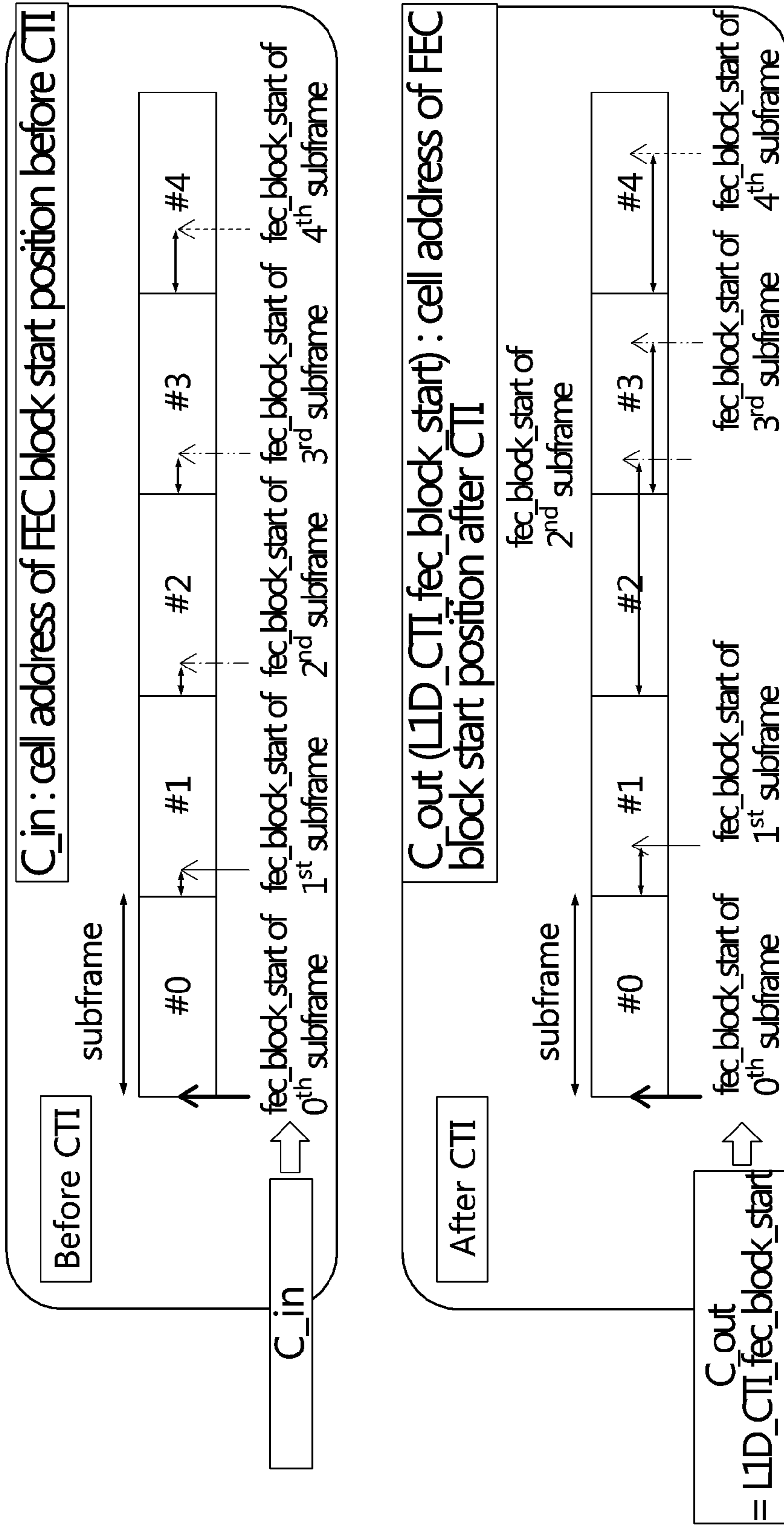
[도26]



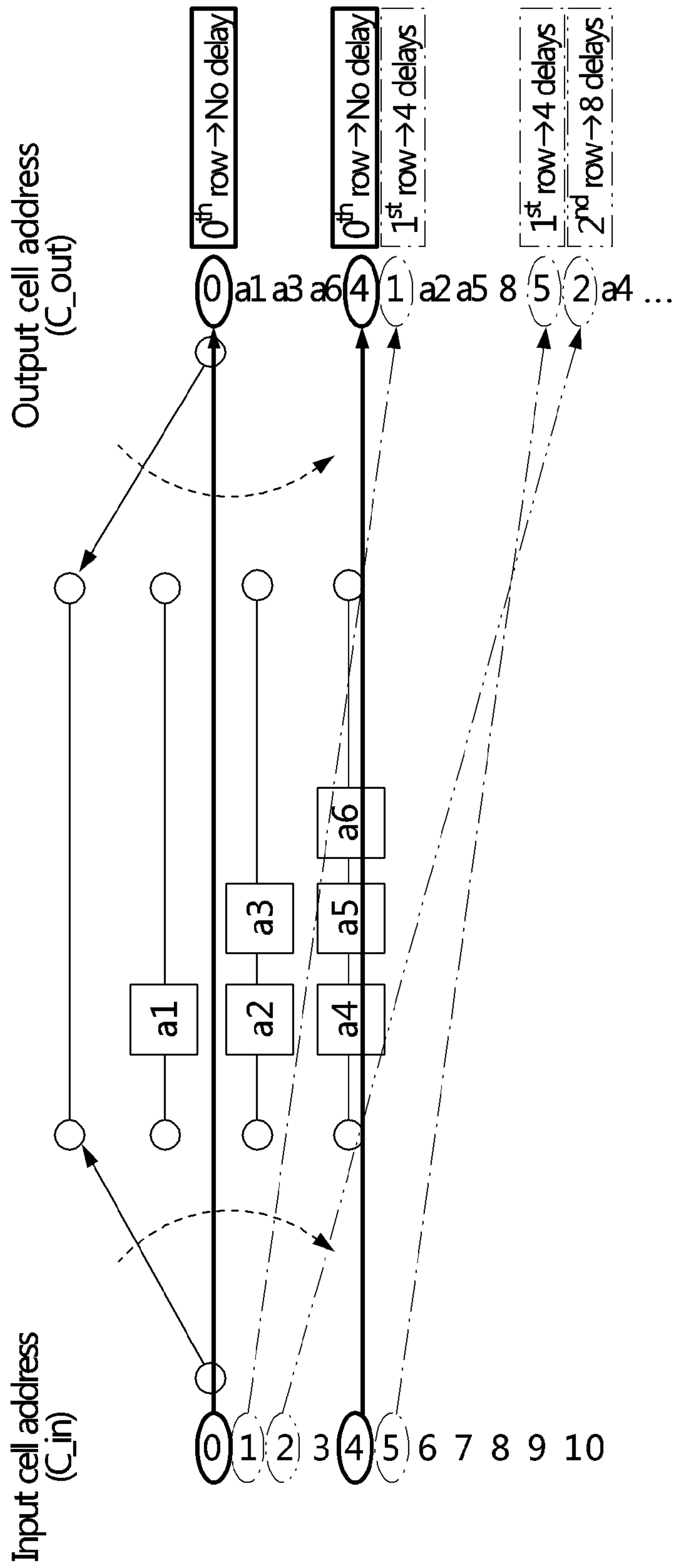
[도 27]



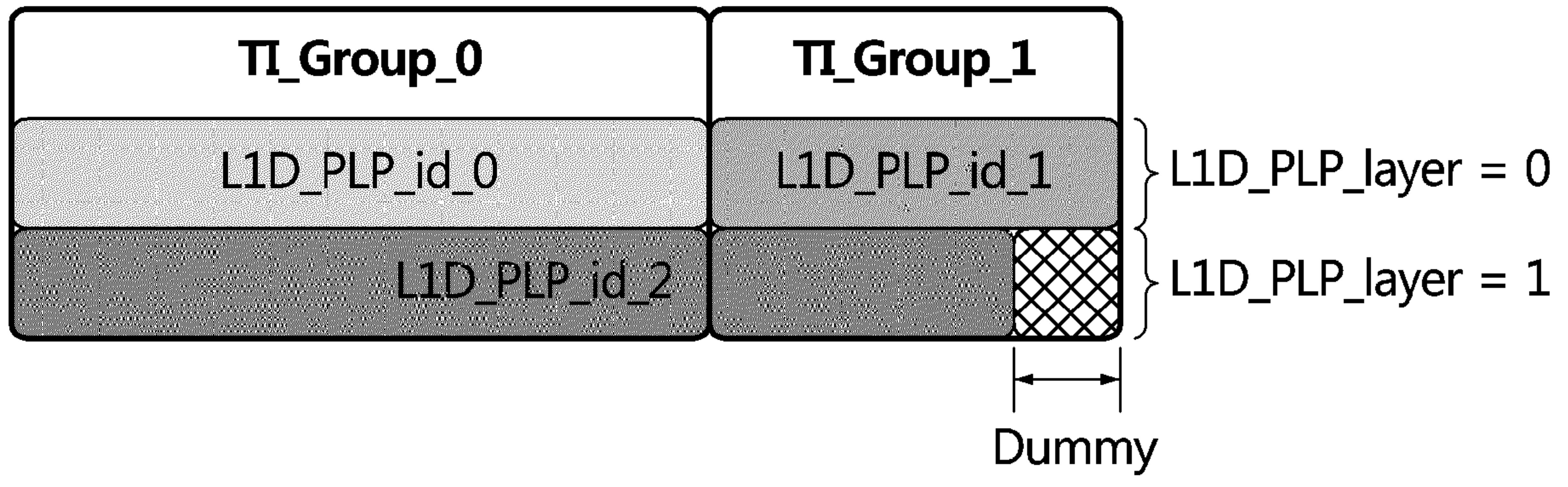
[도 28]



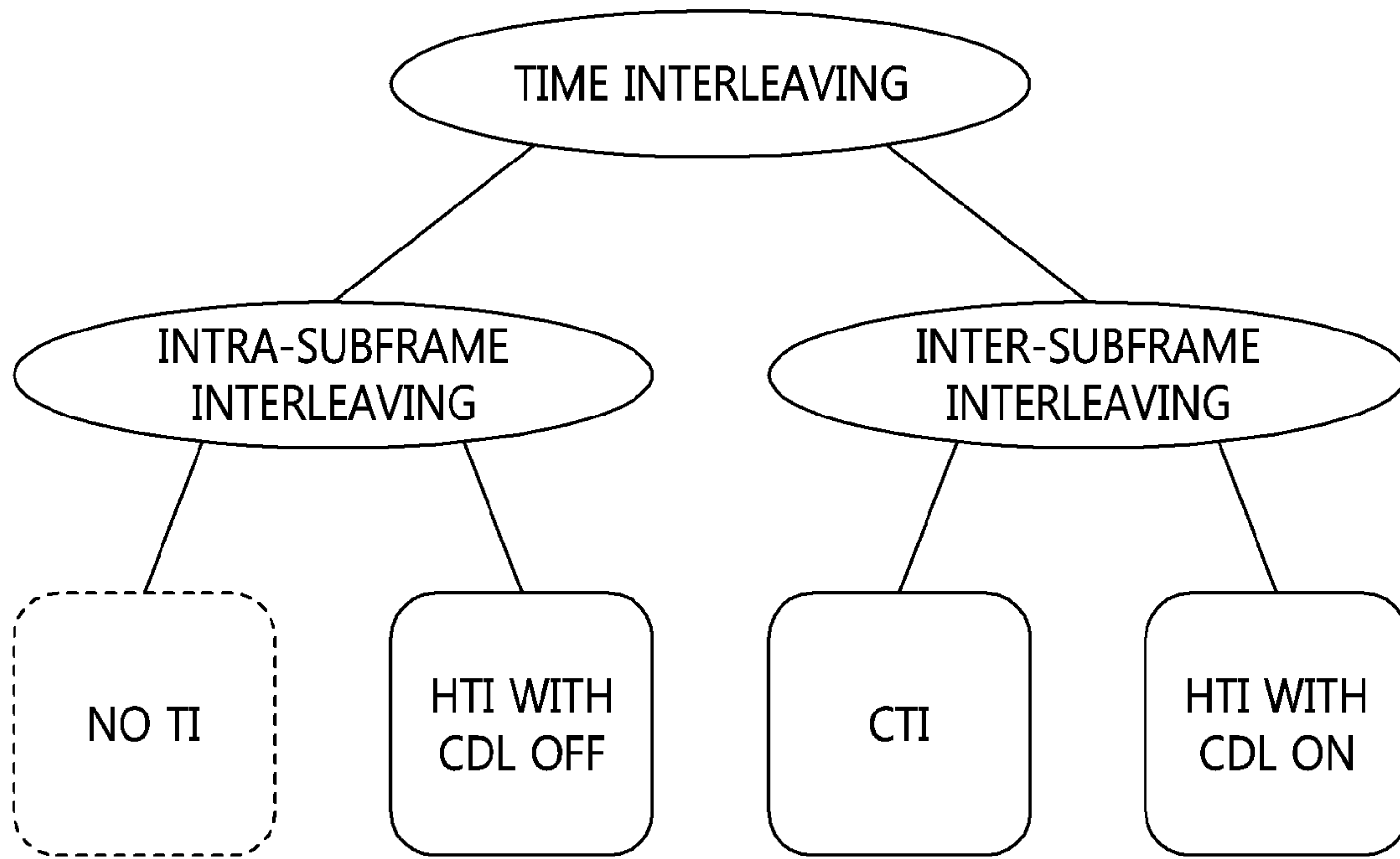
[Figure 29]



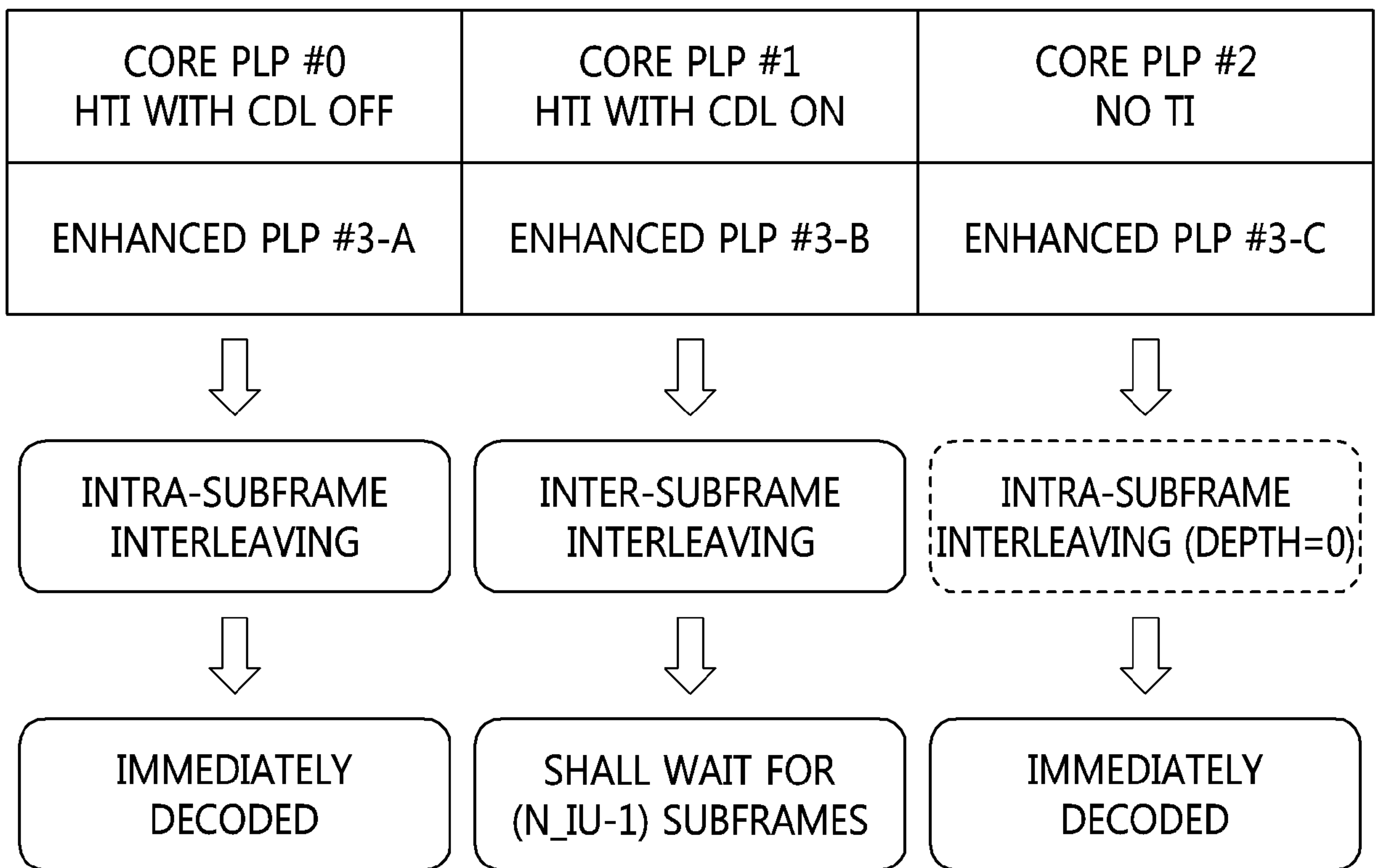
[도30]



[도32]



[도33]

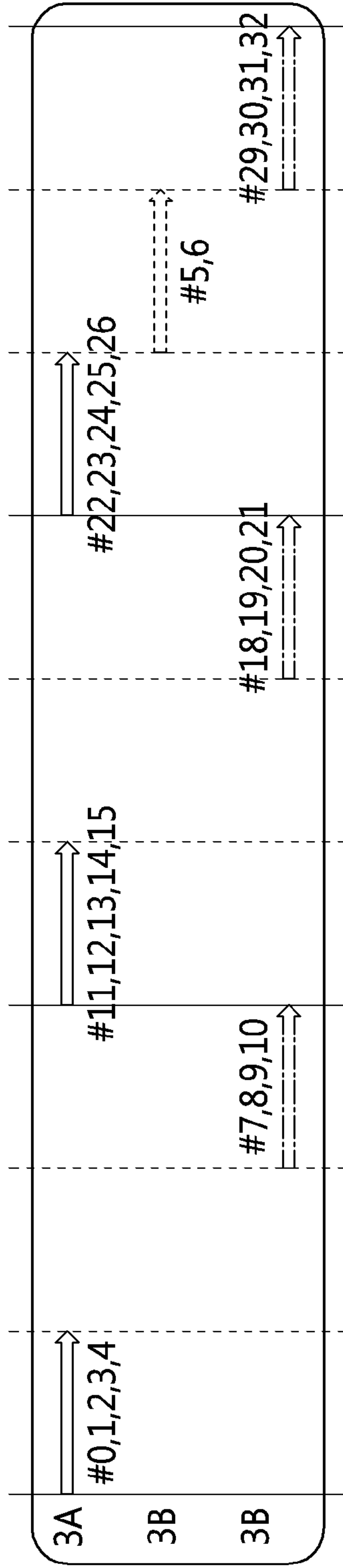


[F34]

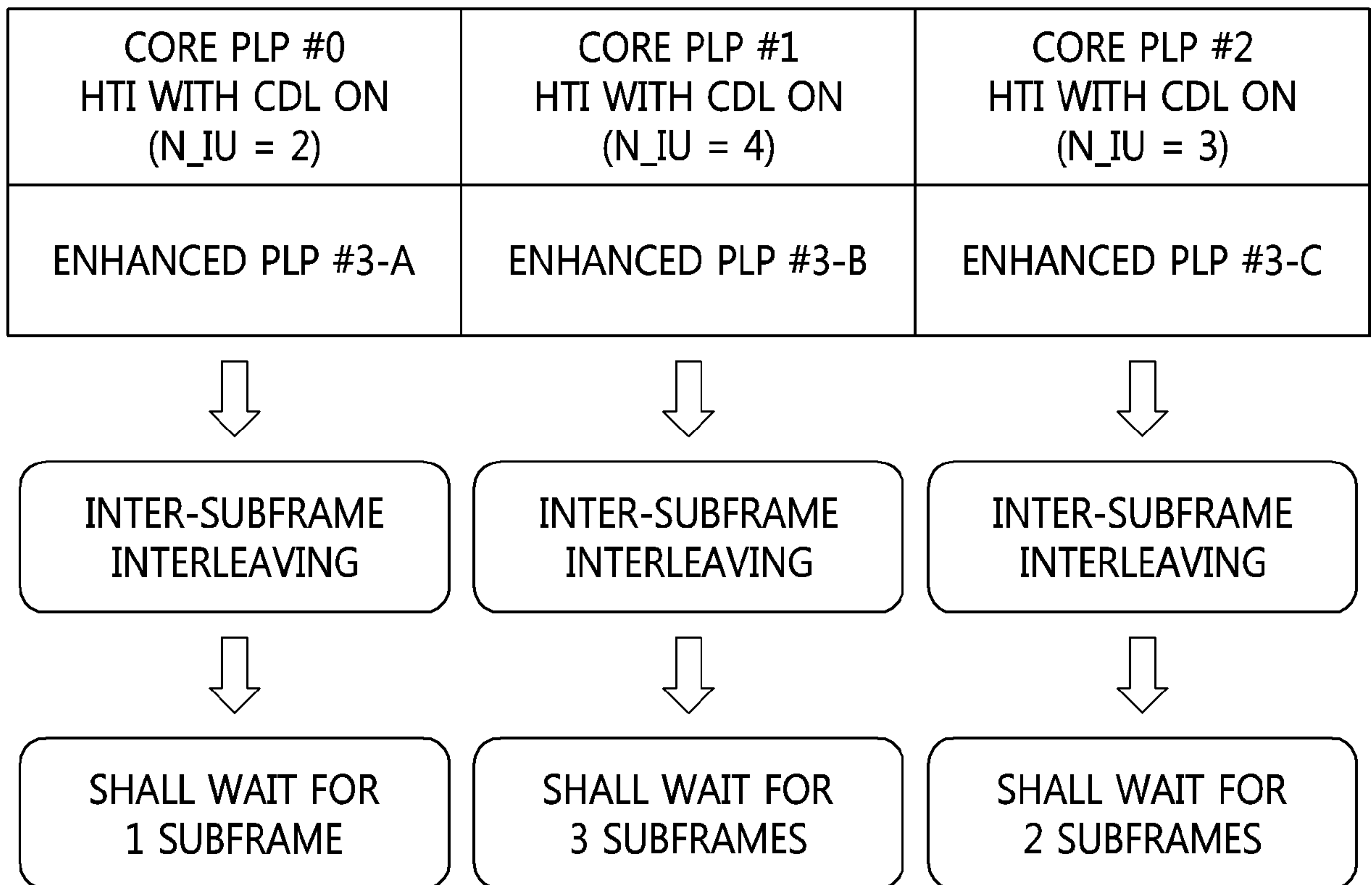
SUBFRAME #0 SUBFRAME #1 SUBFRAME #2

PLP #0	PLP #1	PLP #2	PLP #0	PLP #1	PLP #2	PLP #0	PLP #1	PLP #2
PLP #3-A	PLP #3-B	PLP #3-C	PLP #3-A	PLP #3-B	PLP #3-C	PLP #3-A	PLP #3-B	PLP #3-C

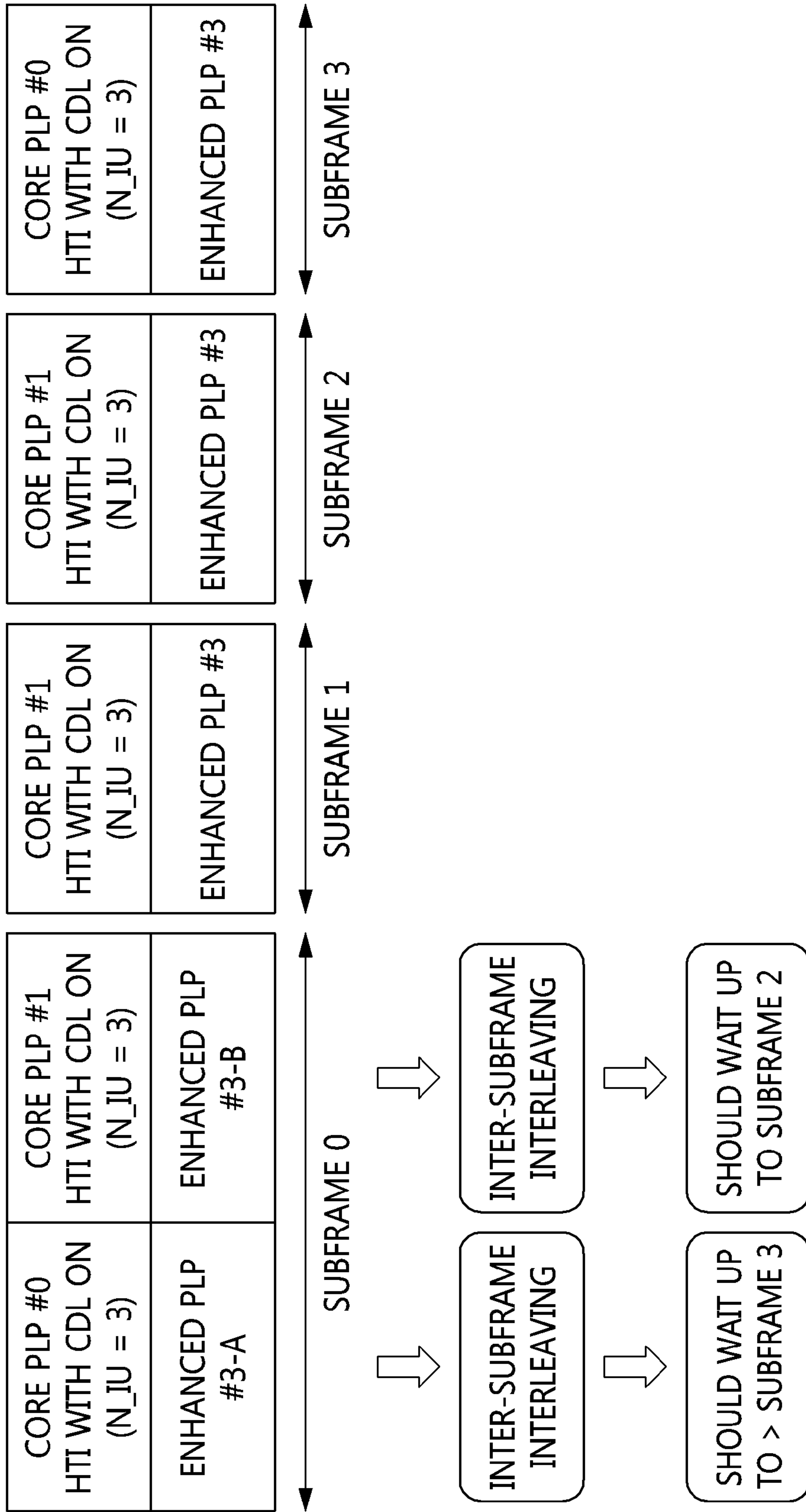
TIMING OF OUTPUTTING THE ENHANCED LAYER CELLS (REMOVAL OF CORE LAYER CELLS)



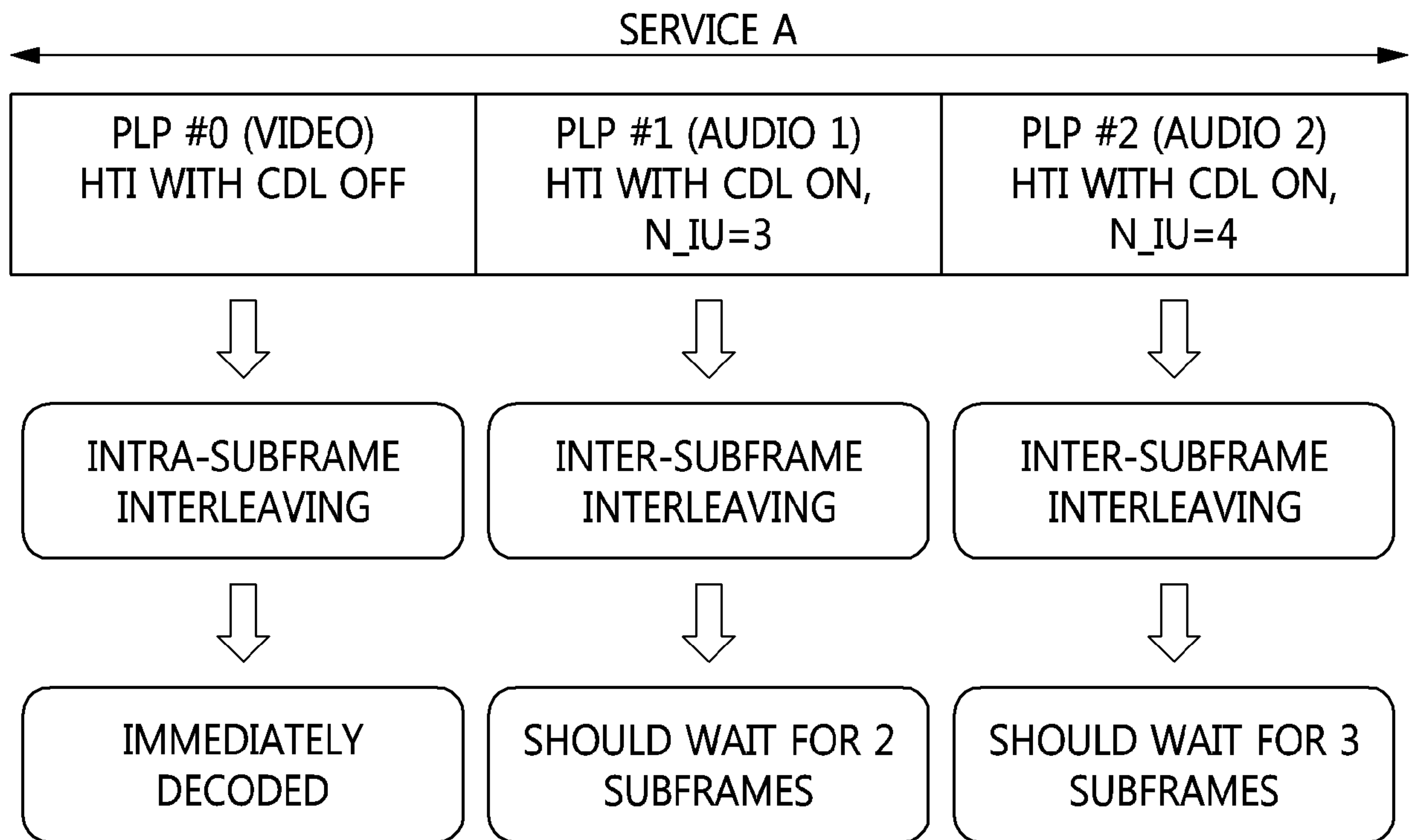
[도35]



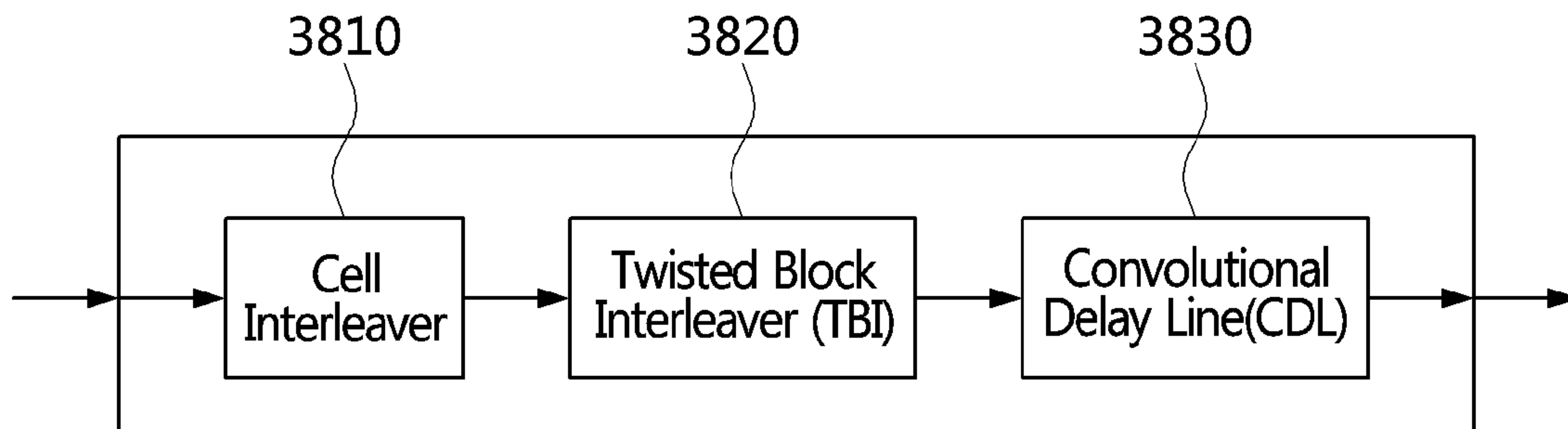
[도36]



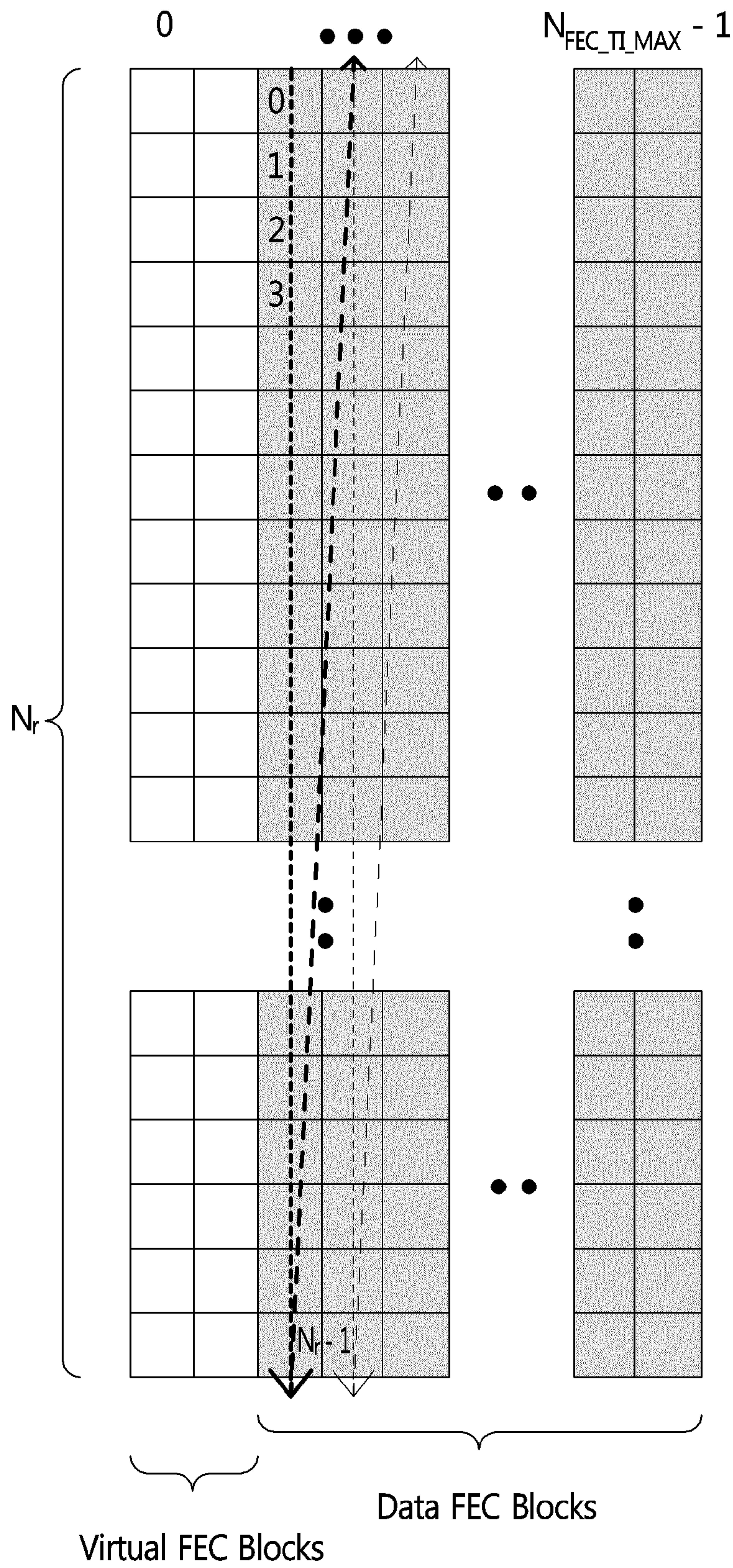
[도37]



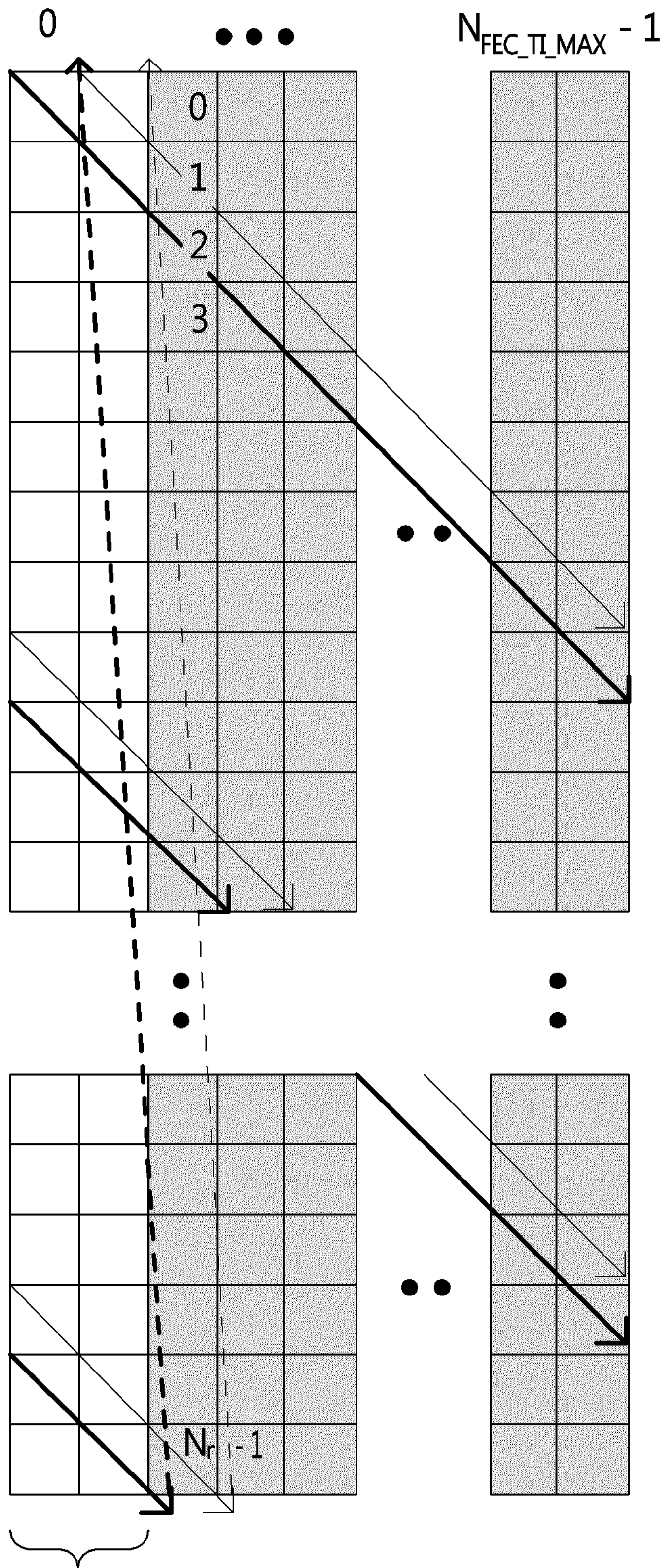
[도38]



[도39]

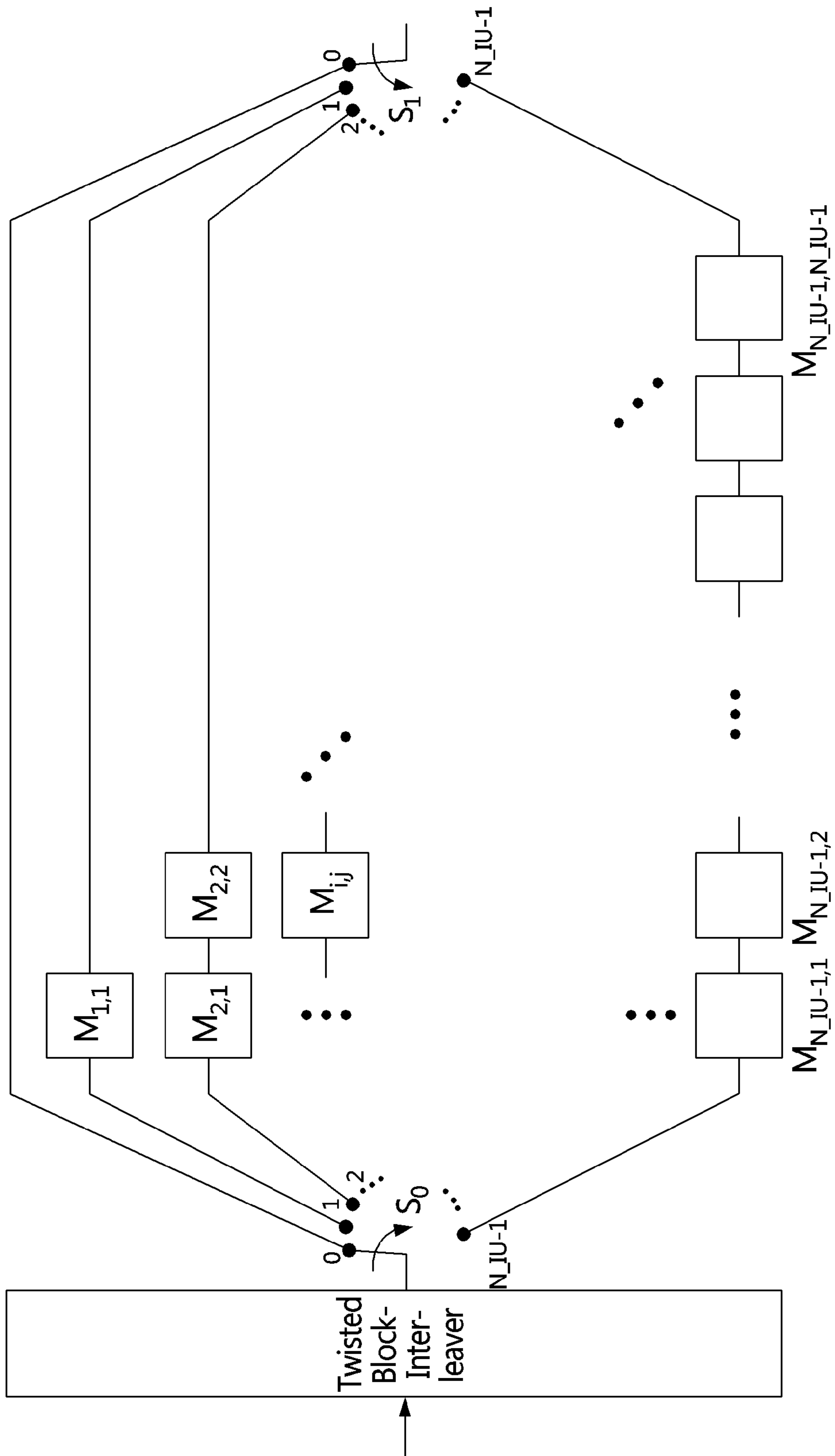


[도40]



Virtual FEC cells are skipped during reading processing

[도41]



[도42]

* X : virtual cells

X	X	0	8	16
X	X	1	9	17
X	X	2	10	18
X	X	3	11	19
X	X	4	12	20
X	X	5	13	21
X	X	6	14	22
X	X	7	15	23

<Writing in TBI memory>
- column-wise



X	X	0	8	16
X	X	1	9	17
X	X	2	10	18
X	X	3	11	19
X	X	4	12	20
X	X	5	13	21
X	X	6	14	22
X	X	7	15	23

<Reading from TBI memory>
- Diagonal-wise



X	X	2	11	20
X	X	7	X	1
10	19	X	X	6
15	0	9	18	X
X	5	14	23	8
17	X	X	4	13
22	X	16	X	X
3	12	21	X	X

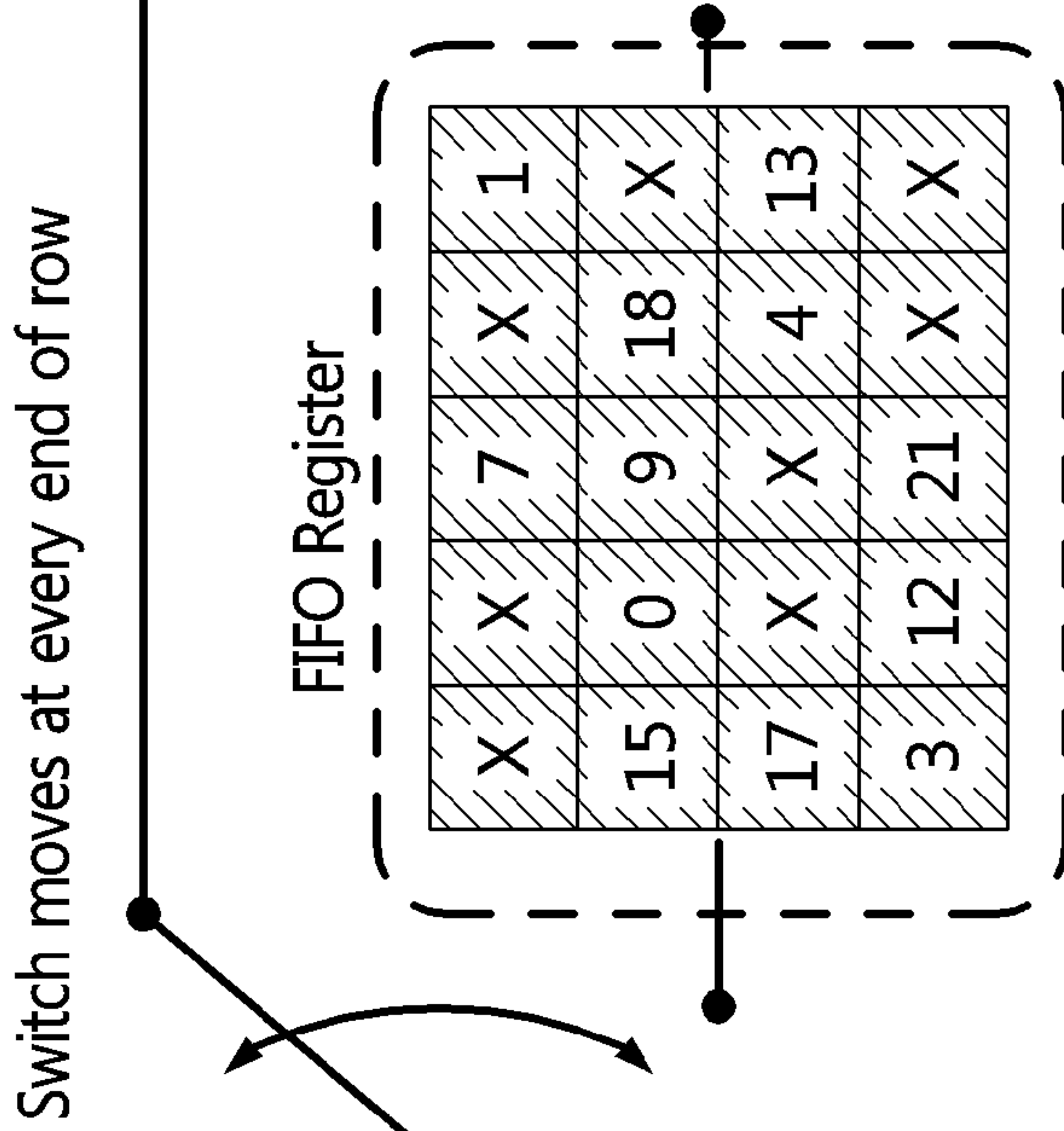
<Output from TBI memory>
- Virtual cells are included

[E43]

* X : virtual cells

X	X	2	11	20
X	X	7	X	1
10	19	X	X	6
15	0	9	18	X
X	5	14	23	8
17	X	X	4	13
22	X	16	X	X
3	12	21	X	X

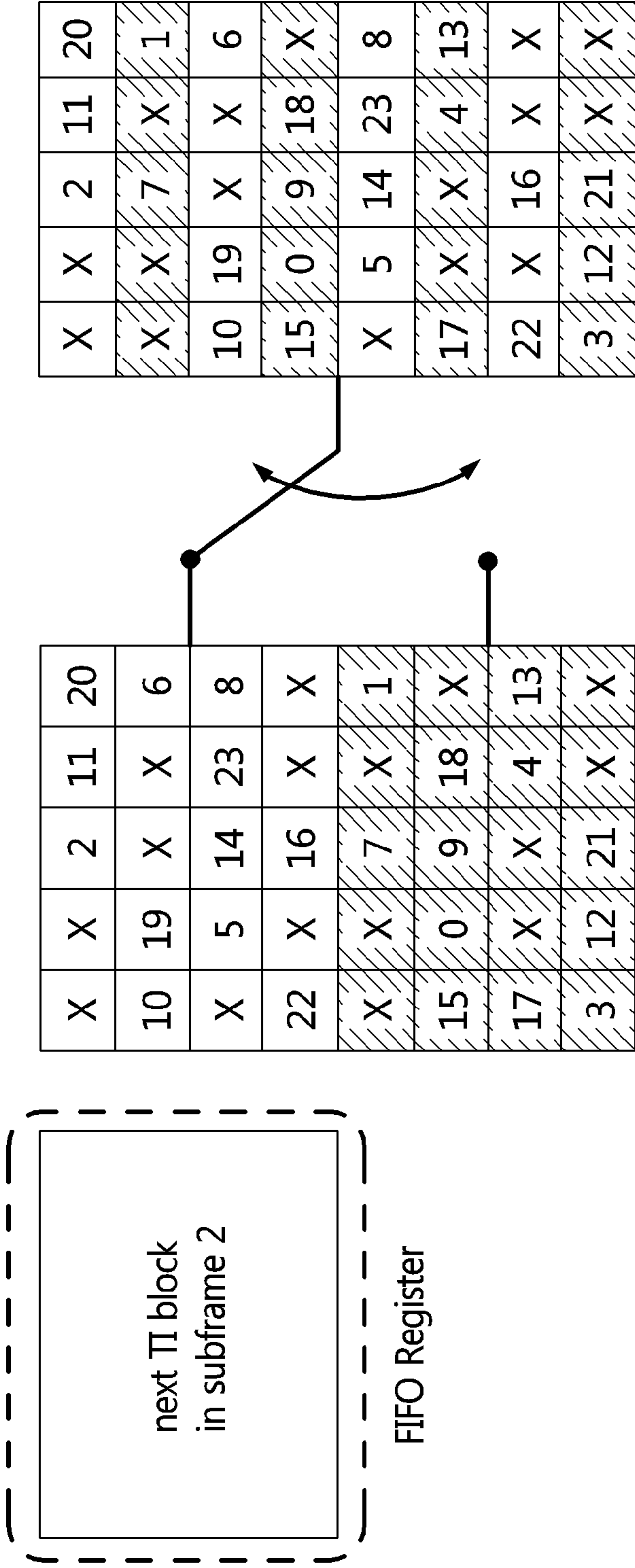
<Output from TBI memory>
- Virtual cells are included



X	X	2	11	20
10	19	X	X	6
X	5	14	23	8
22	X	16	X	X
I ₀	I ₁	I ₂	I ₃	I ₄
I ₅	I ₆	I ₇	I ₈	I ₉
I ₁₀	I ₁₁	I ₁₂	I ₁₃	I ₁₄
I ₁₅	I ₁₆	I ₁₇	I ₁₈	I ₁₉

<CDL memory state>
"Virtual cells are spread"

[도44]

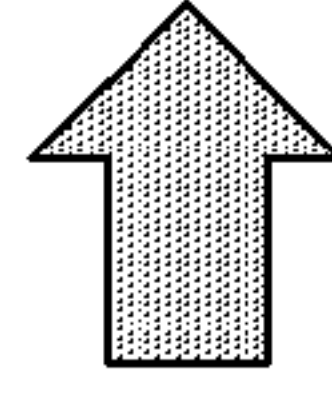


<Rx. CDL memory state including virtual cells>

<Writing order to TBDI memory>

[도45]

0	8	16
1	9	17
2	10	18
3	11	19
4	12	20
5	13	21
6	14	22
7	15	23



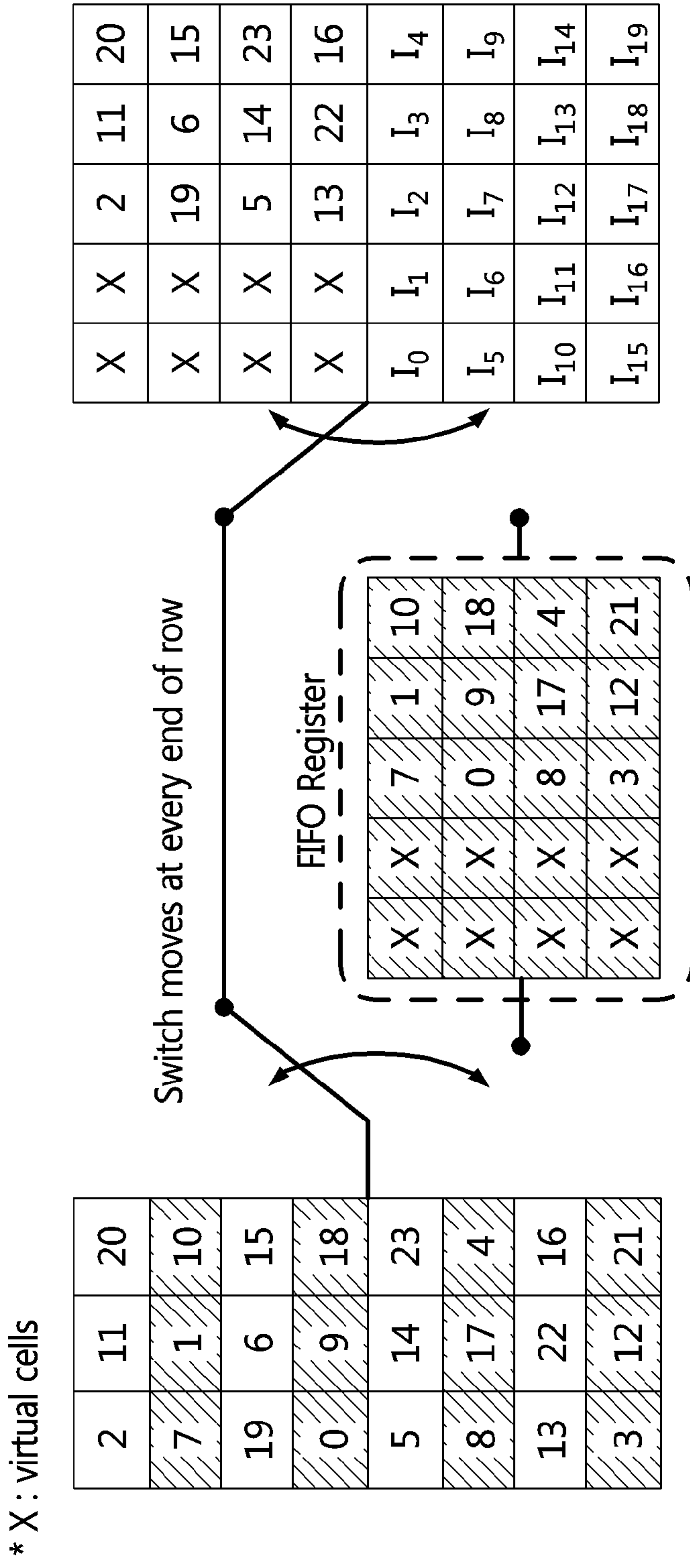
X	X	0	8	16
X	X	1	9	17
X	X	2	10	18
X	X	3	11	19
X	X	4	12	20
X	X	5	13	21
X	X	6	14	22
X	X	7	15	23

X	X	2	11	20
X	X	7	X	1
10	19	X	X	6
15	0	9	18	X
X	5	14	23	8
17	X	X	4	13
22	X	16	X	X
3	12	21	X	X

<Reading from TBDI memory removing virtual cells>

<Writing in TBDI memory>

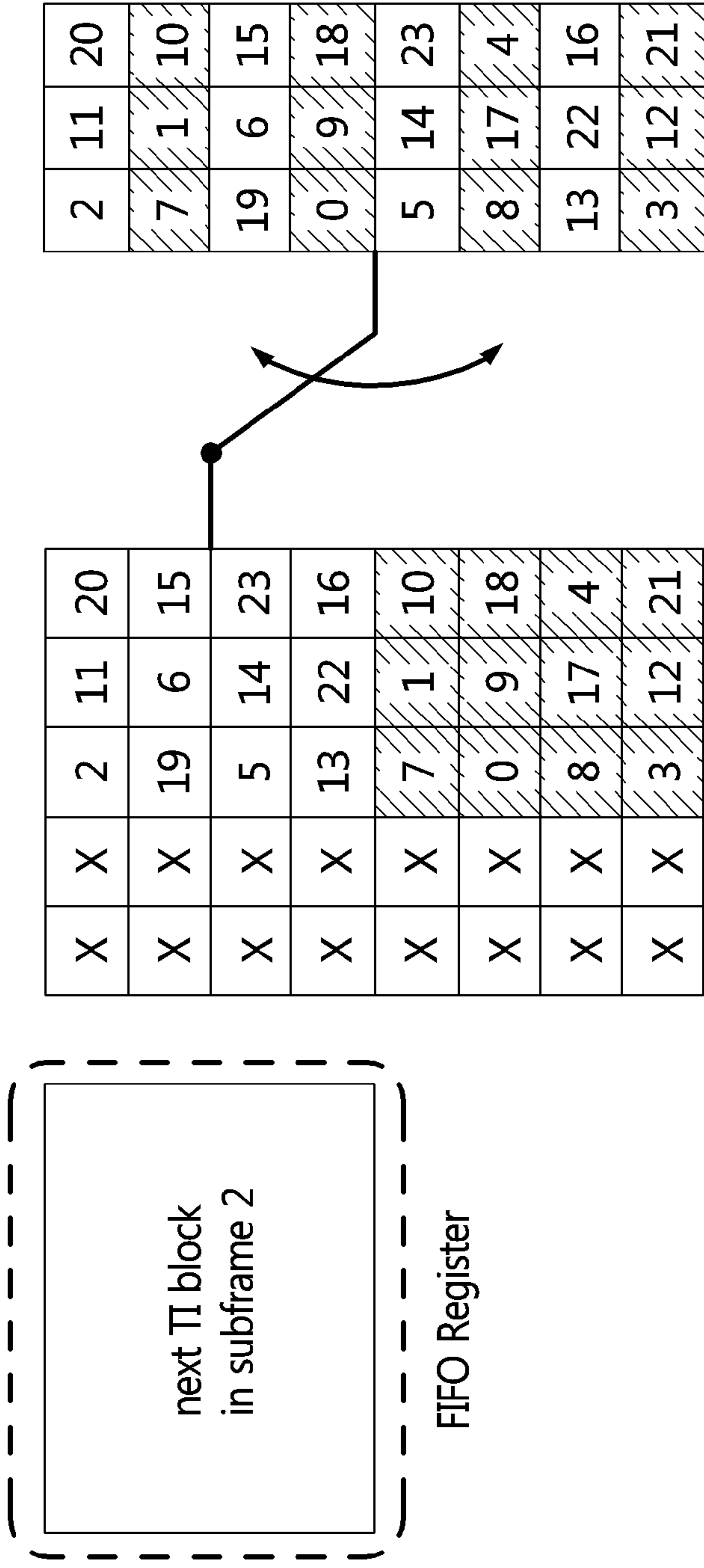
[도47]



<Output from TBI memory>
 - Virtual cells are not included

<CDL memory state>
 "Virtual cells come together"

[도48]

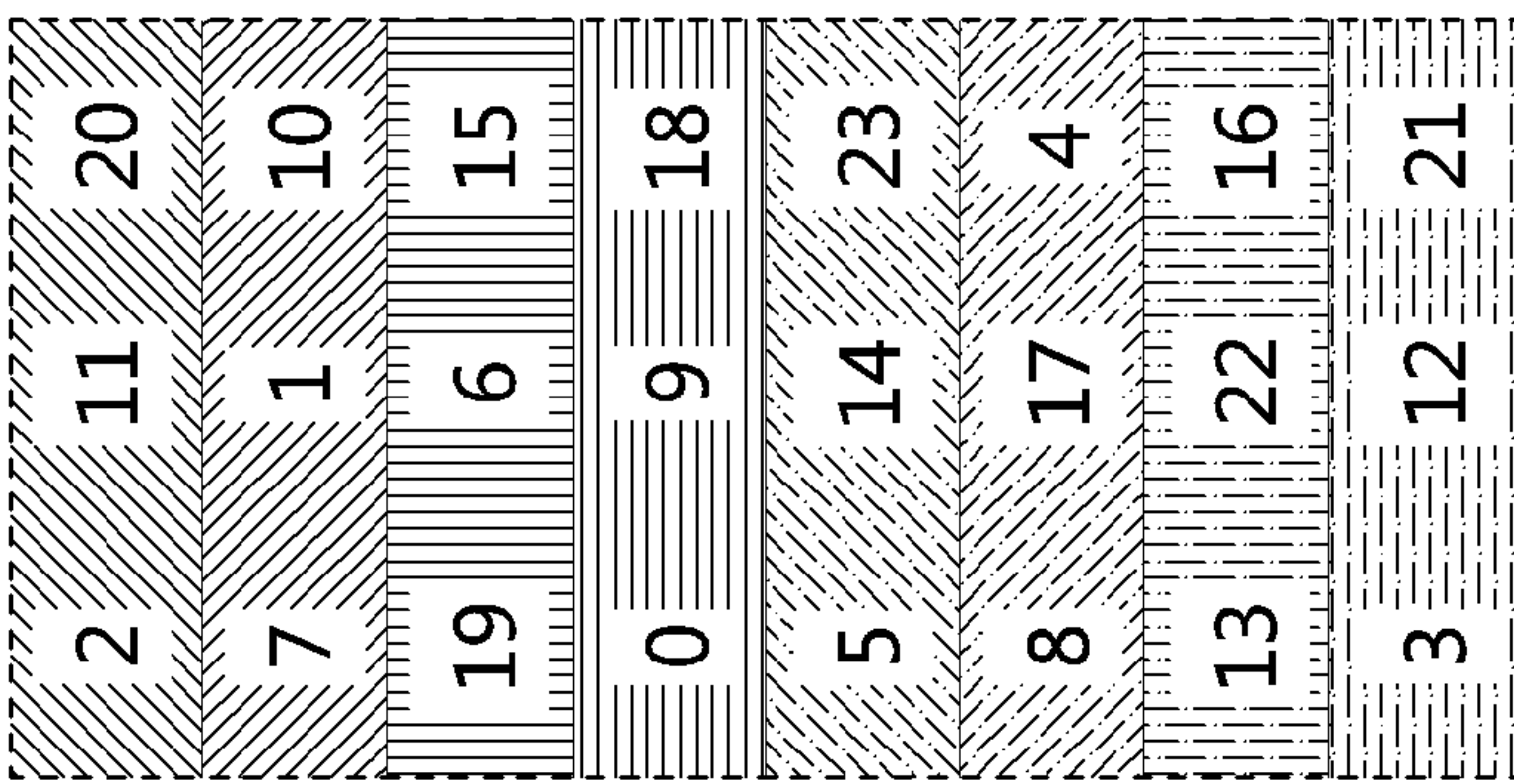
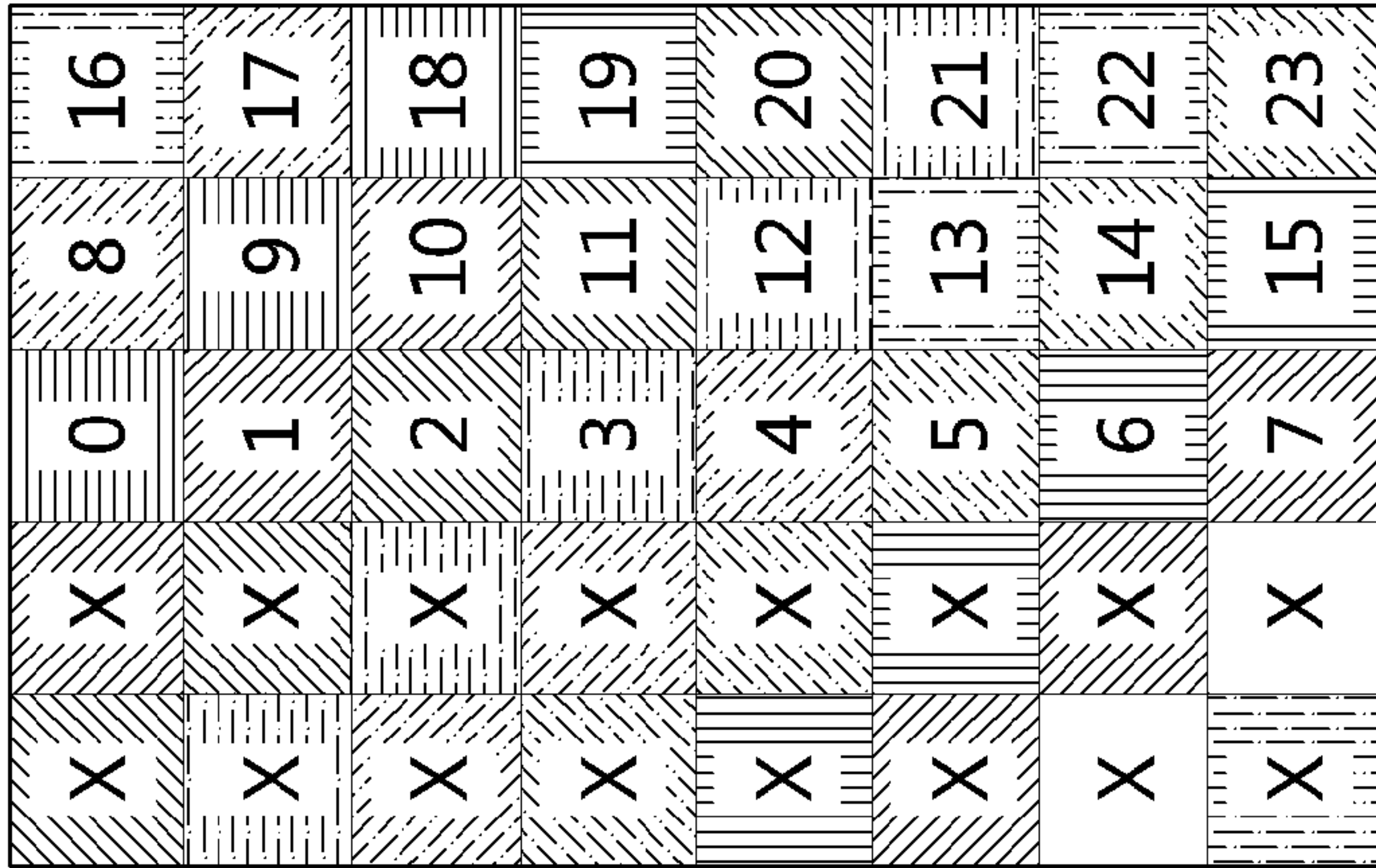
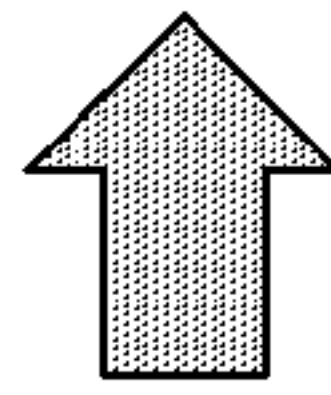


<Rx. CDL memory state including virtual cells>
"Virtual cells come together"

<Writing order to TBDI memory>

[도49]

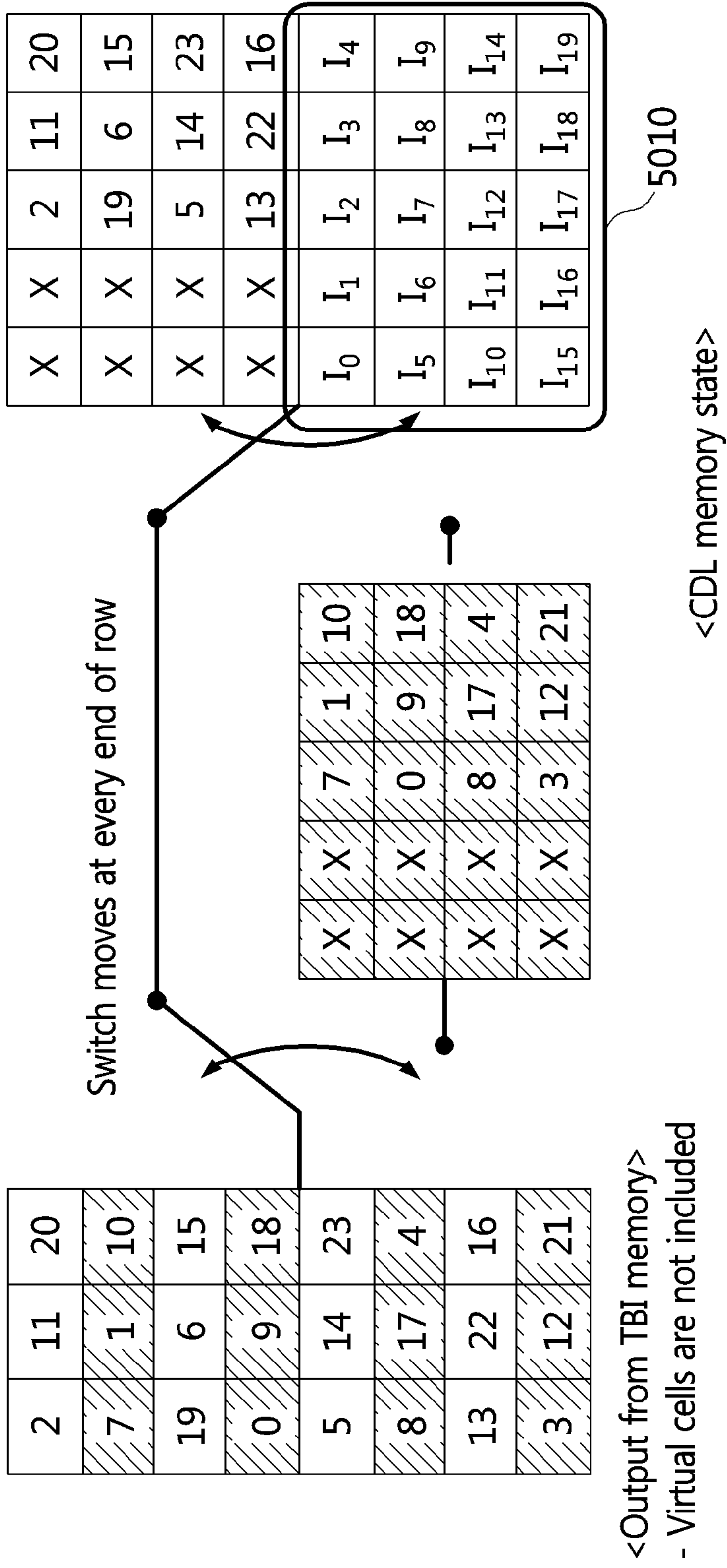
0	8	16
1	9	17
2	10	18
3	11	19
4	12	20
5	13	21
6	14	22
7	15	23



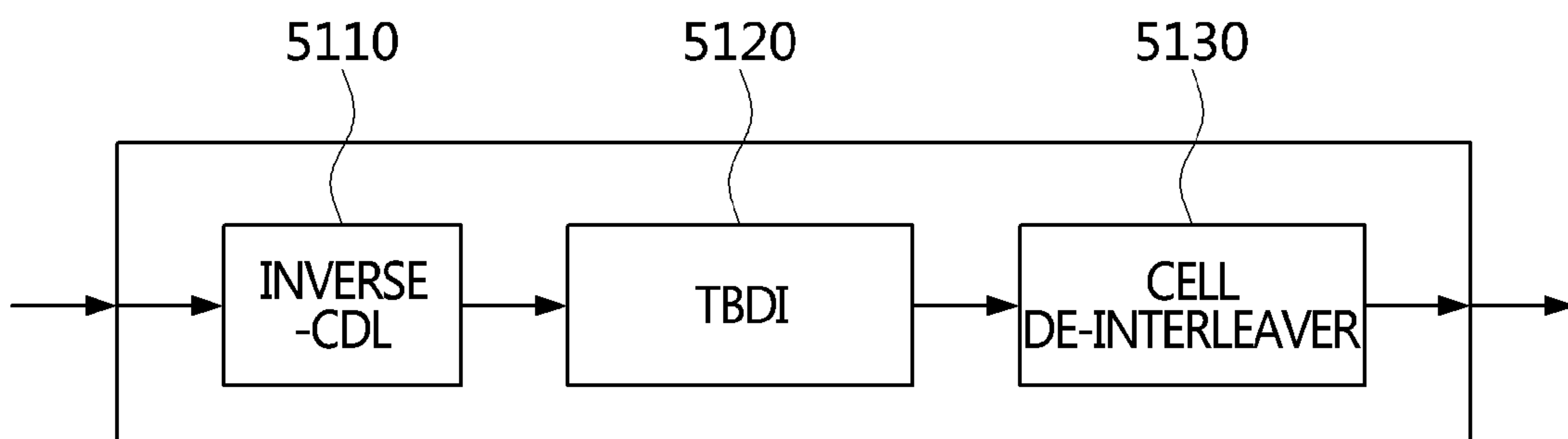
<Reading from TBDI
memory removing
virtual cells>

<Writing in TBDI memory>

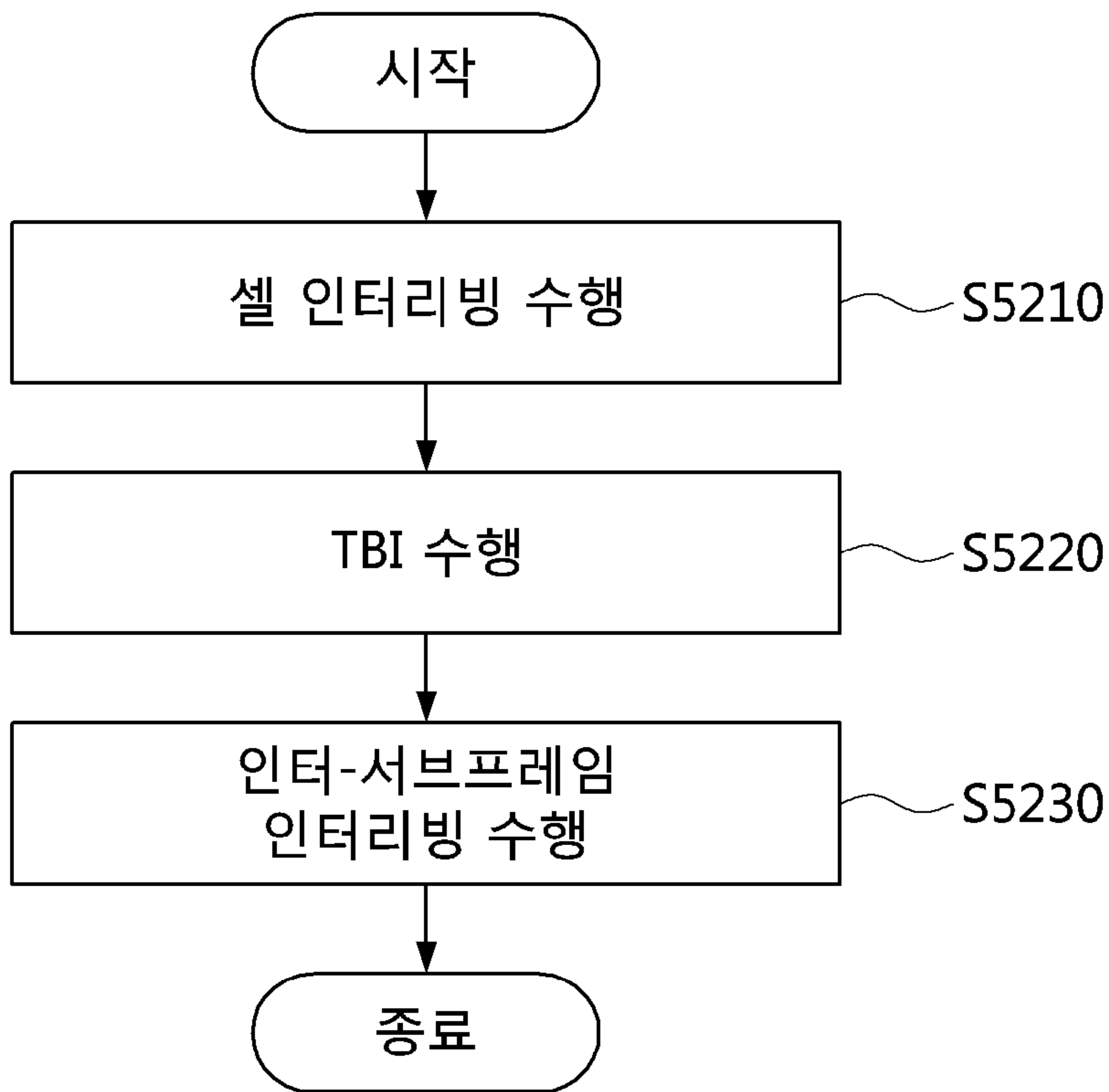
[F50]



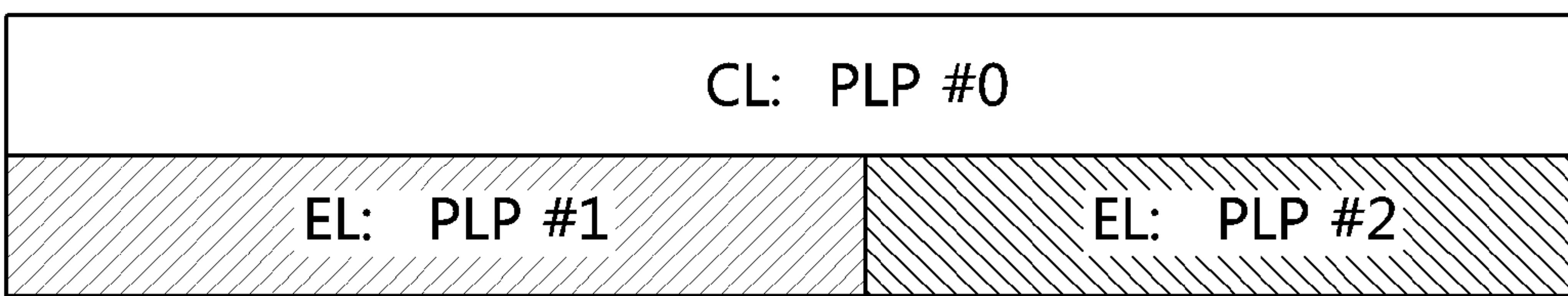
[F51]



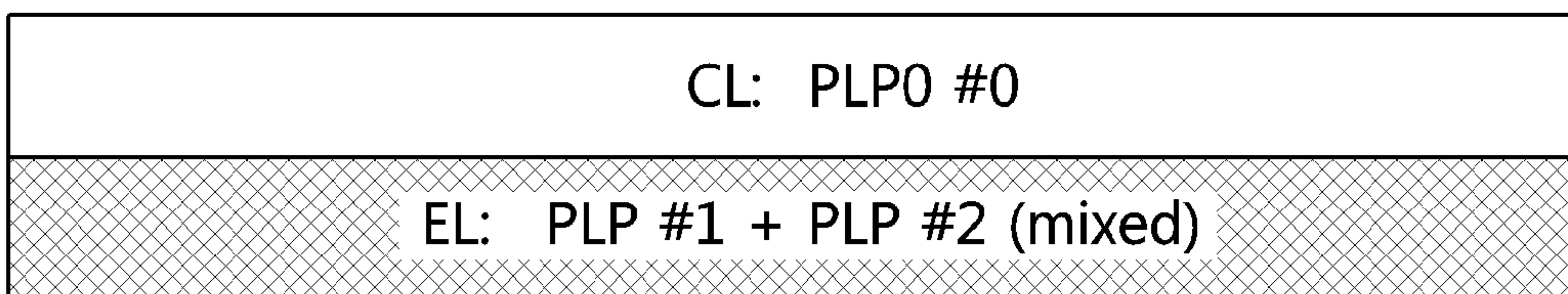
[도52]



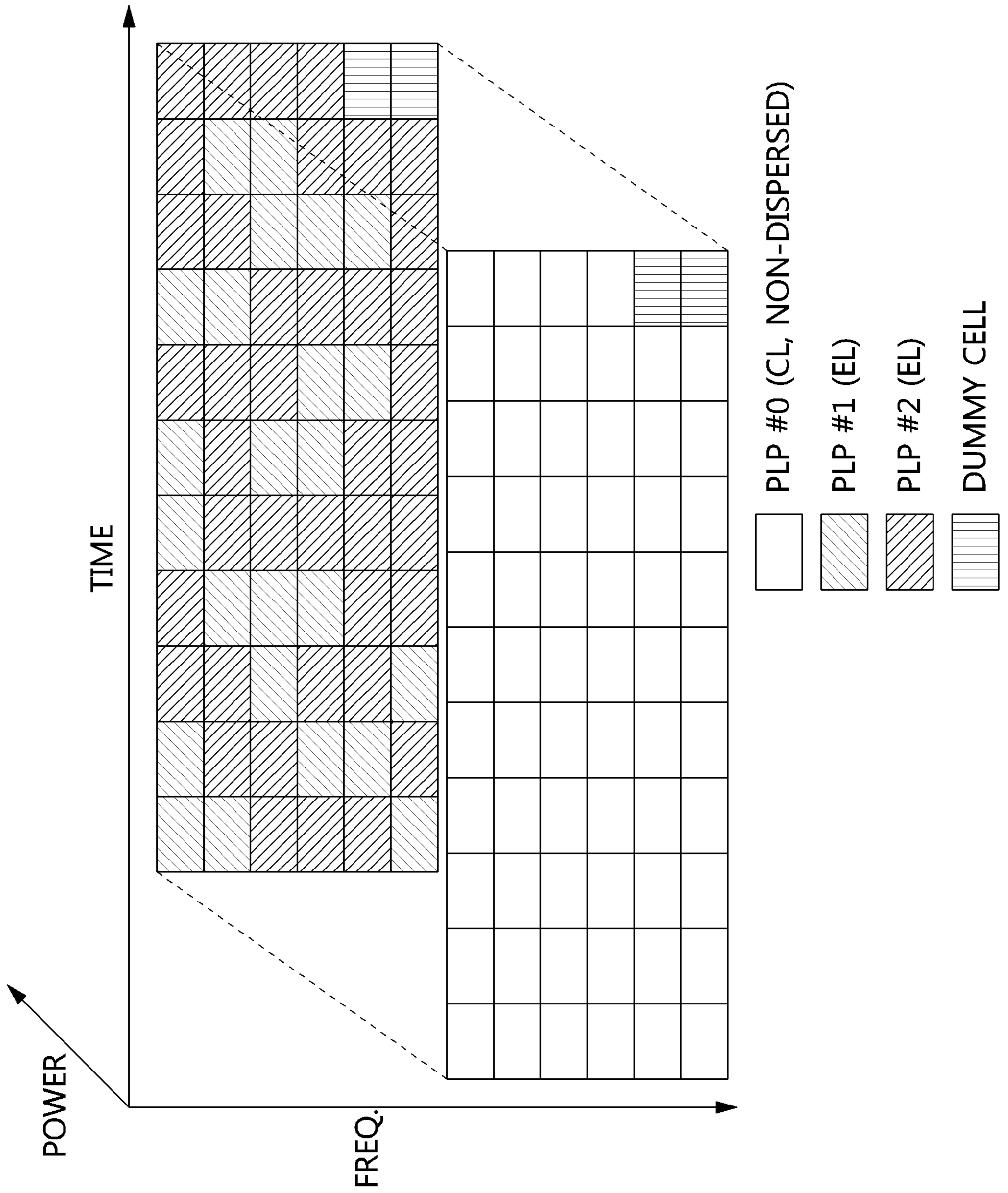
[도53]



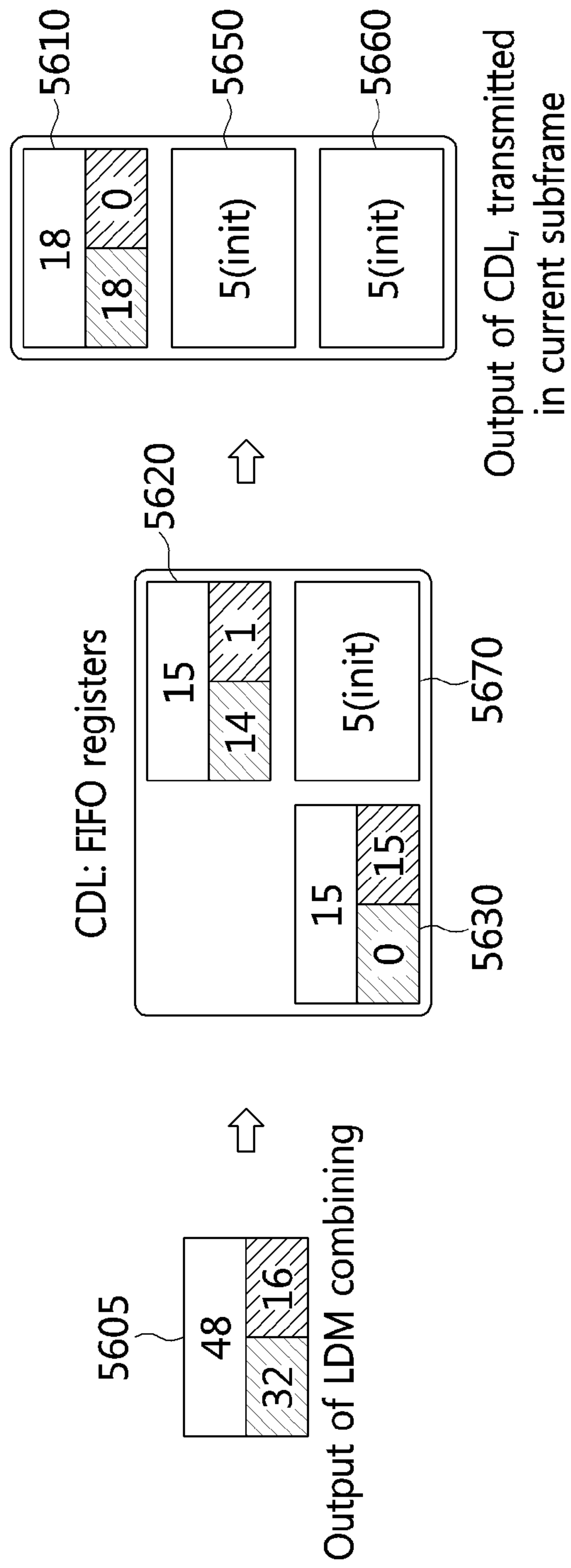
[도54]



[도55]

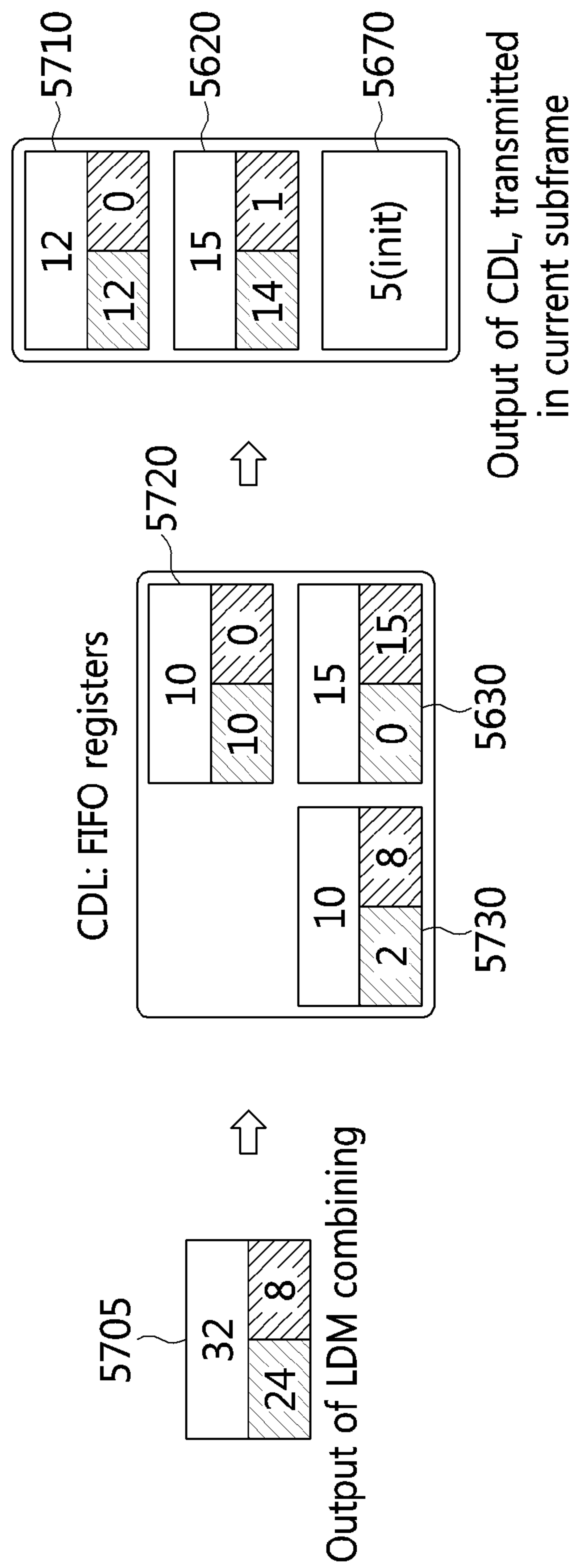


[도 56]



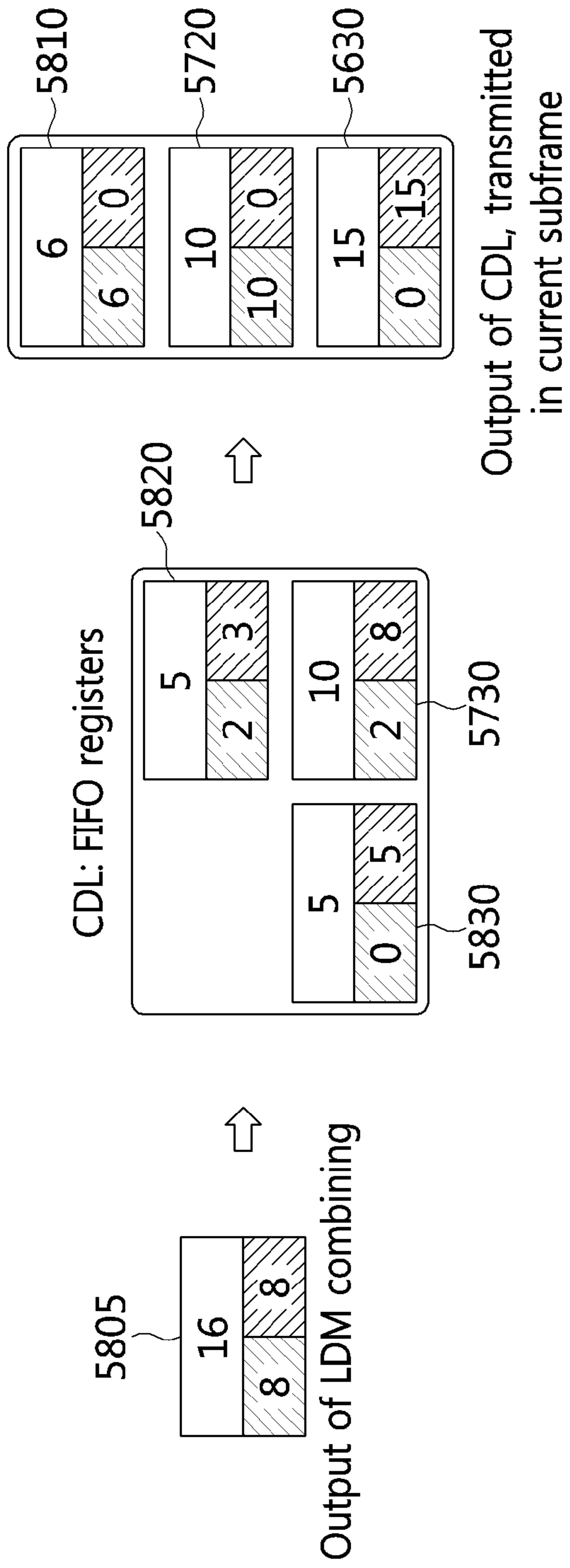
Time = 0	PLP #0 (after TI)	PLP #1 (before TI)	PLP #2 (before TI)
L1D_plp_size	28 (including init.10 cells)	32	16
L1D_plp_start	0	0	32 (L1D_plp_size(#1))

[도 57]



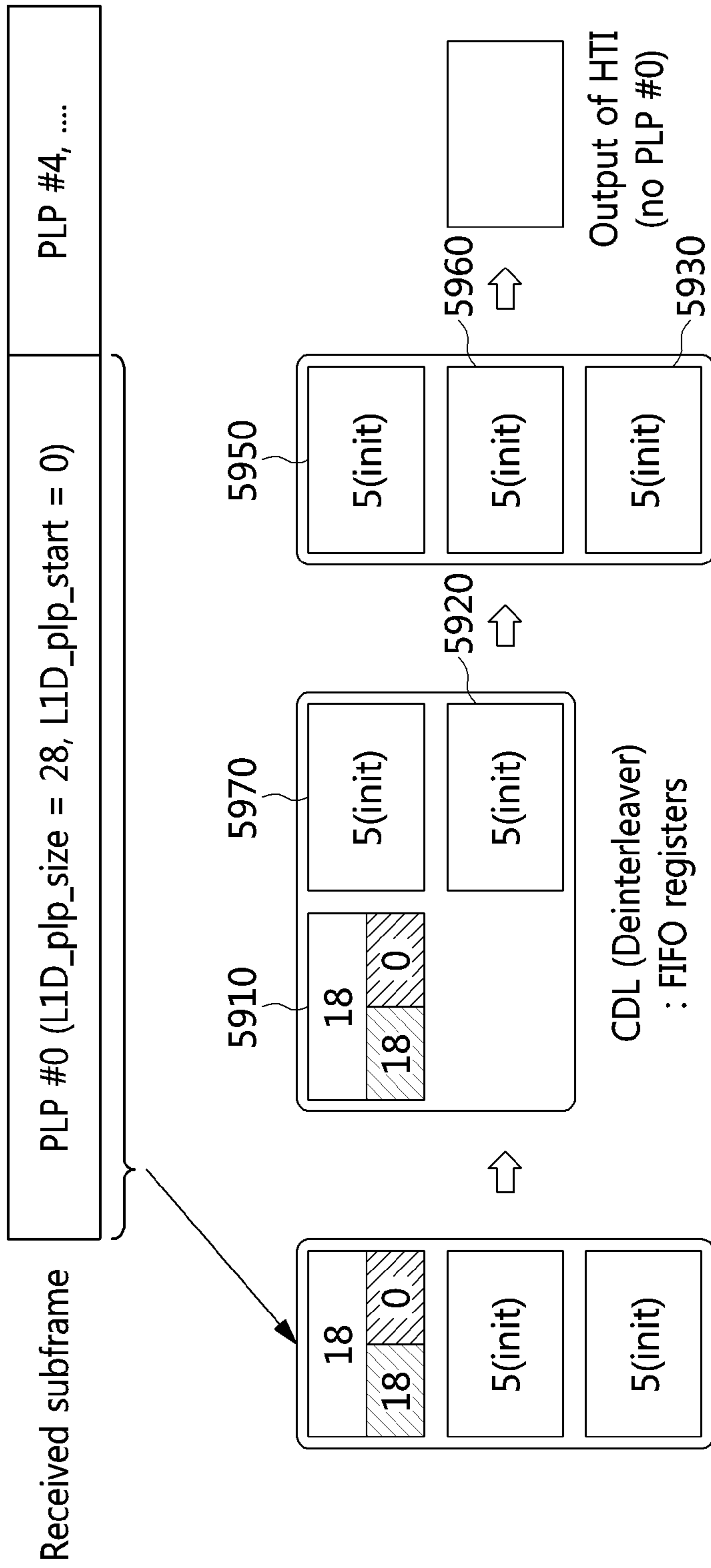
Time = 1	PLP #0 (after TI)	PLP #1 (before TI)	PLP #2 (before TI)
L1D_plp_size	32 (including init. 5 cells)	24	8
L1D_plp_start	0	0	24 (L1D_plp_size(#1))

[도 58]



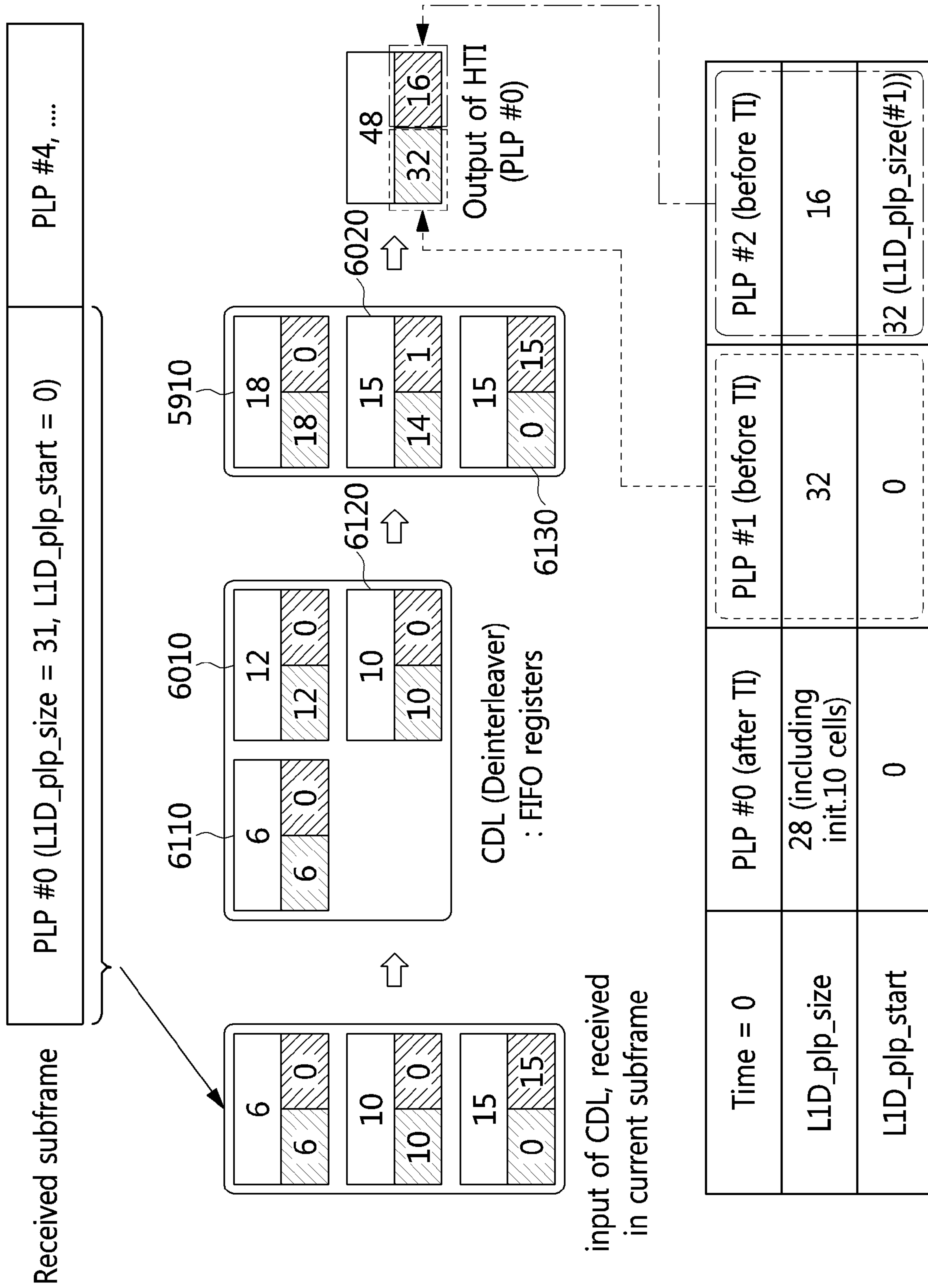
Time = 2	PLP #0 (after TI)	PLP #1 (before TI)	PLP #2 (before TI)
L1D_plp_size	31	8	8
L1D_plp_start	0	0	8 (L1D_plp_size(#1))

[도59]

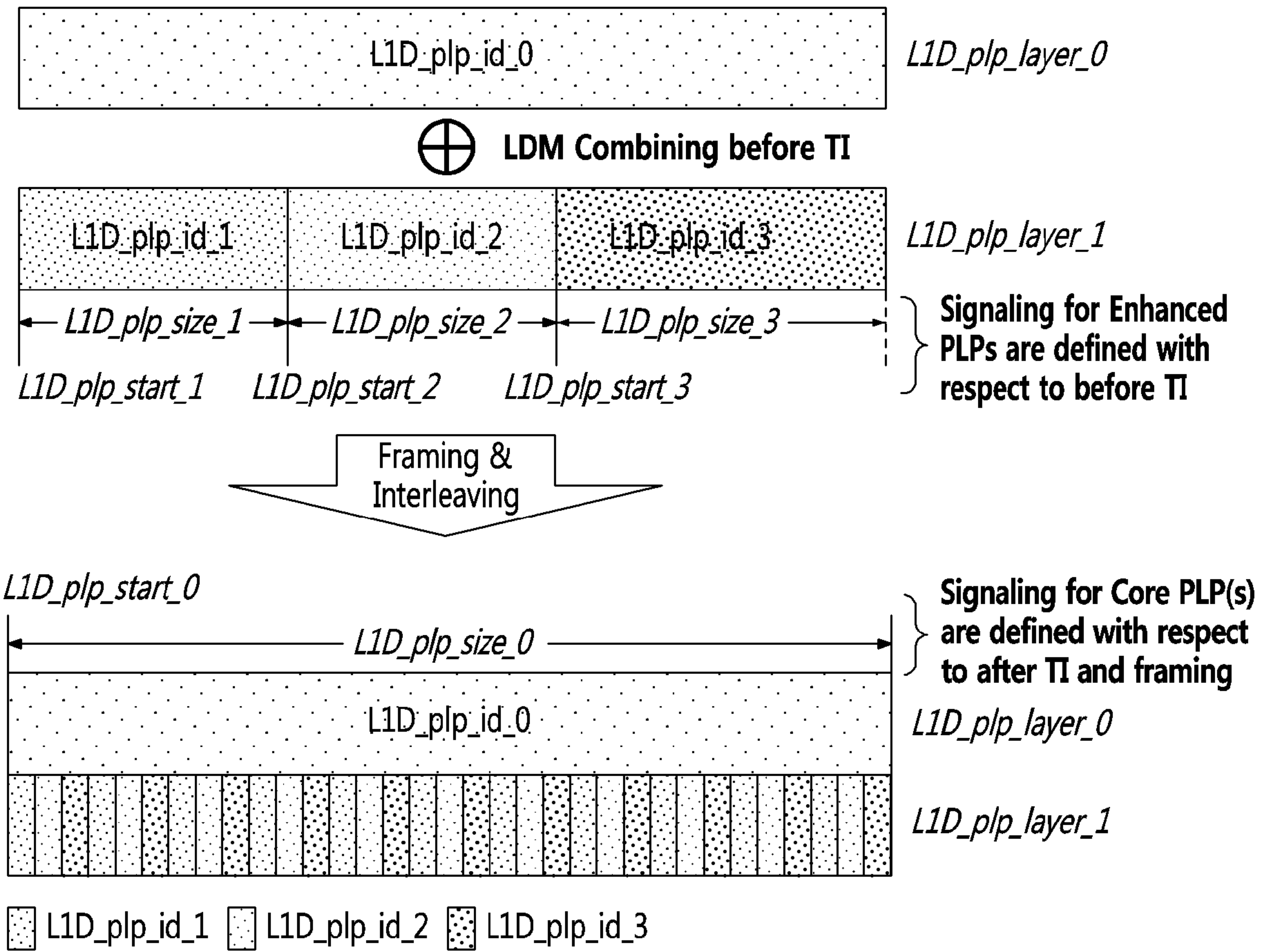


input of CDL, received in current subframe

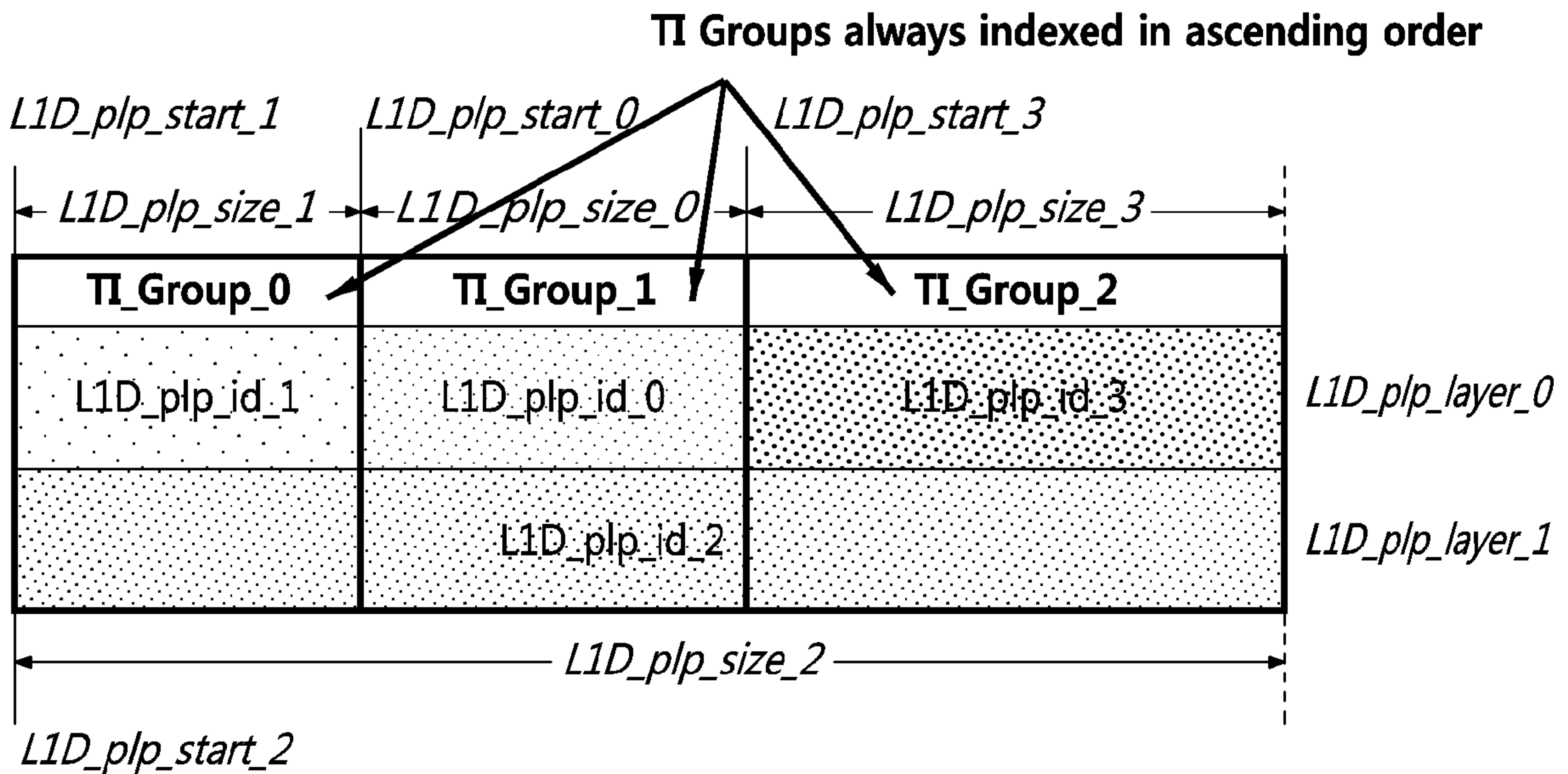
[도61]



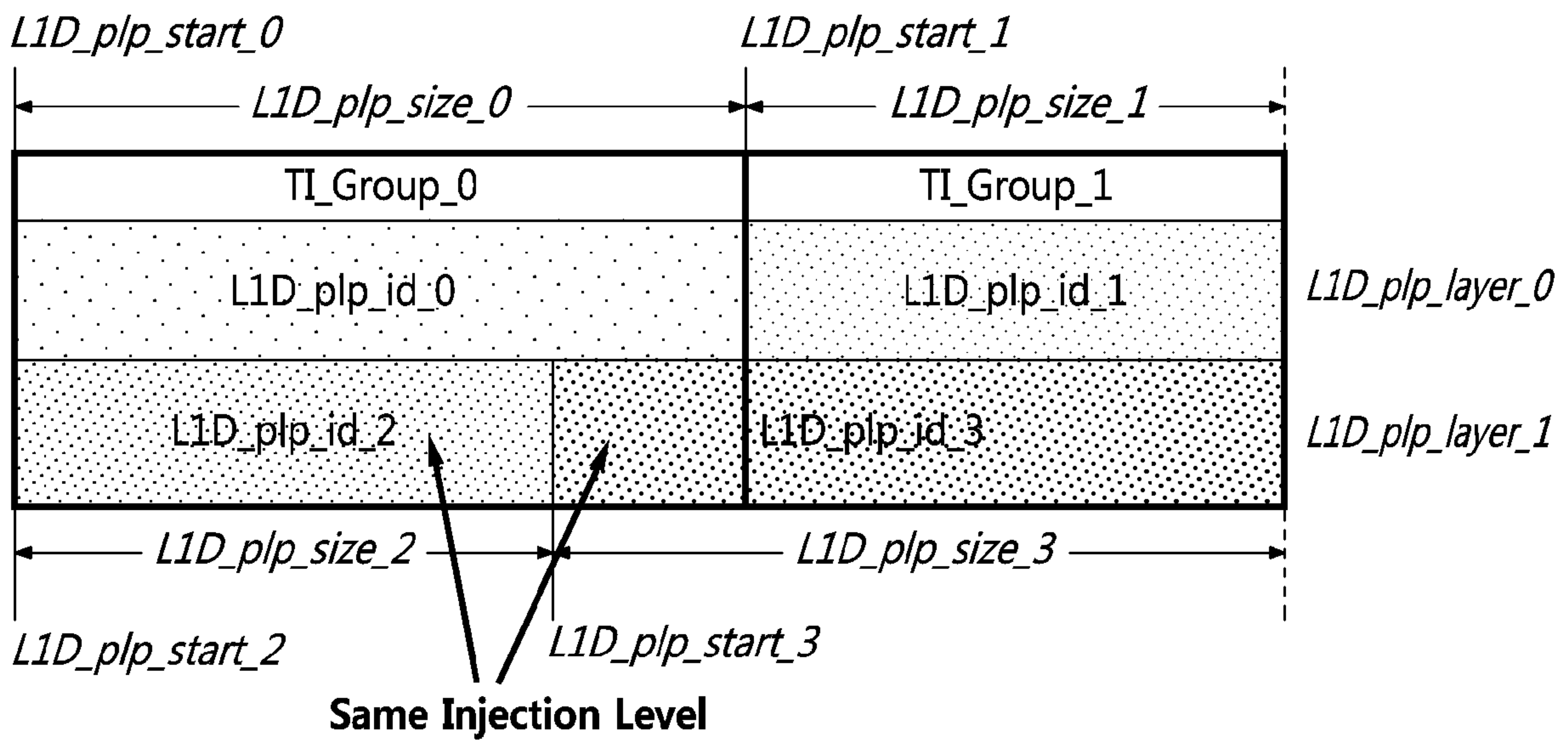
[Figure 62]



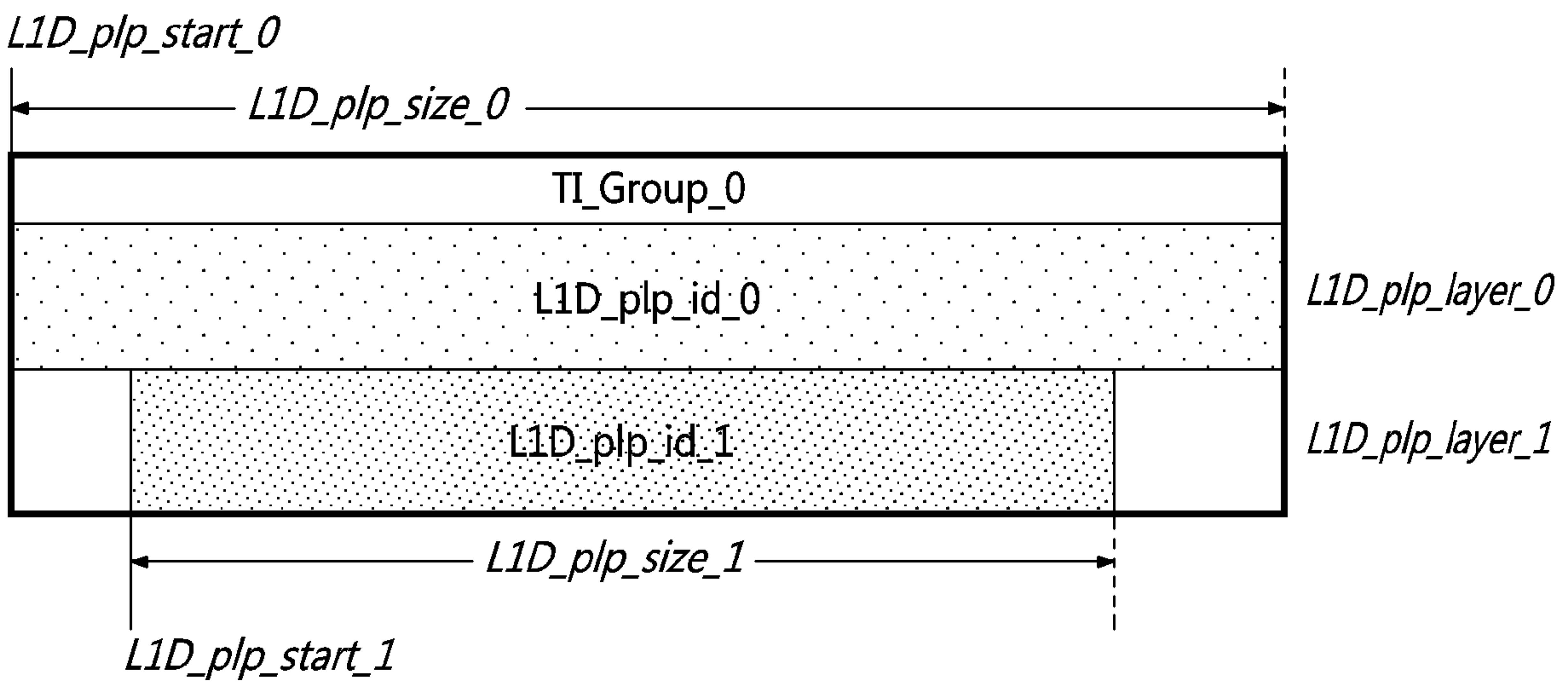
[Figure 63]



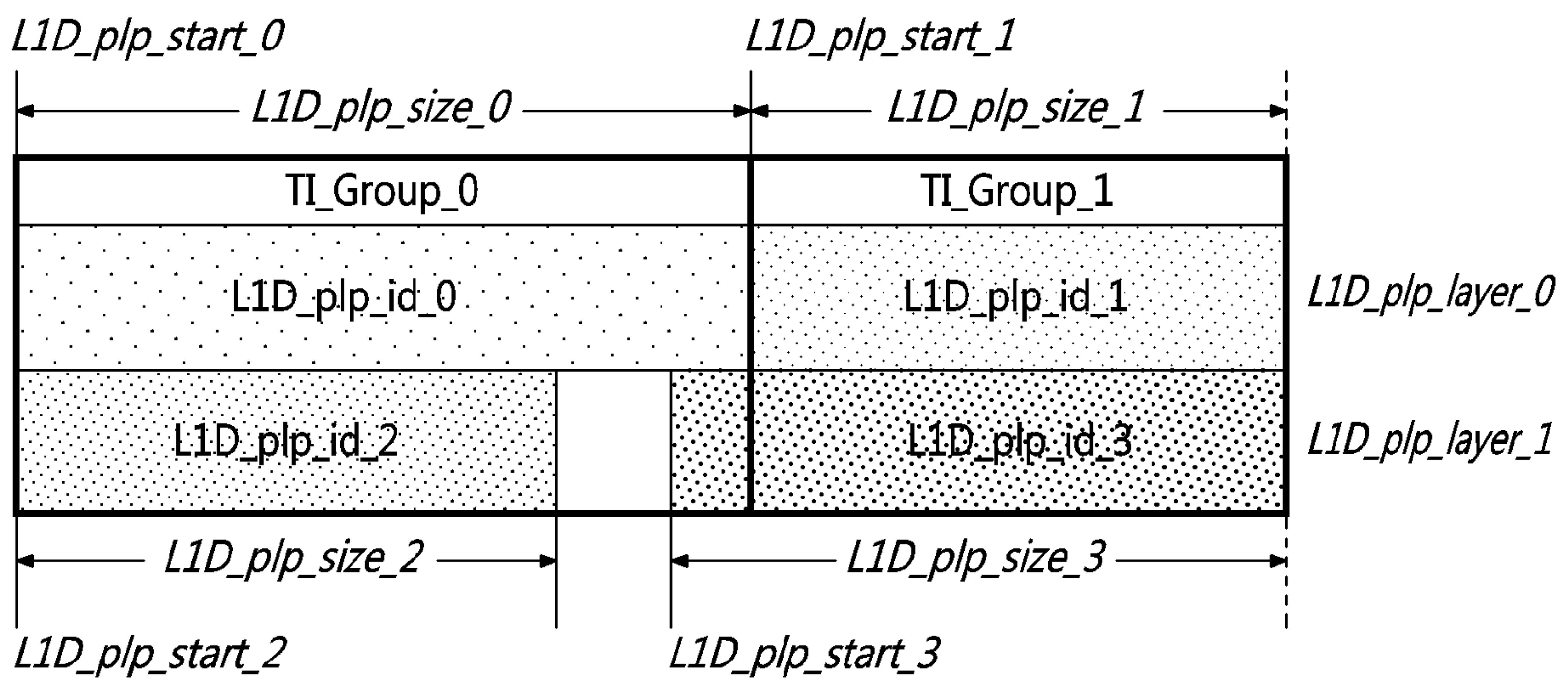
[圖64]



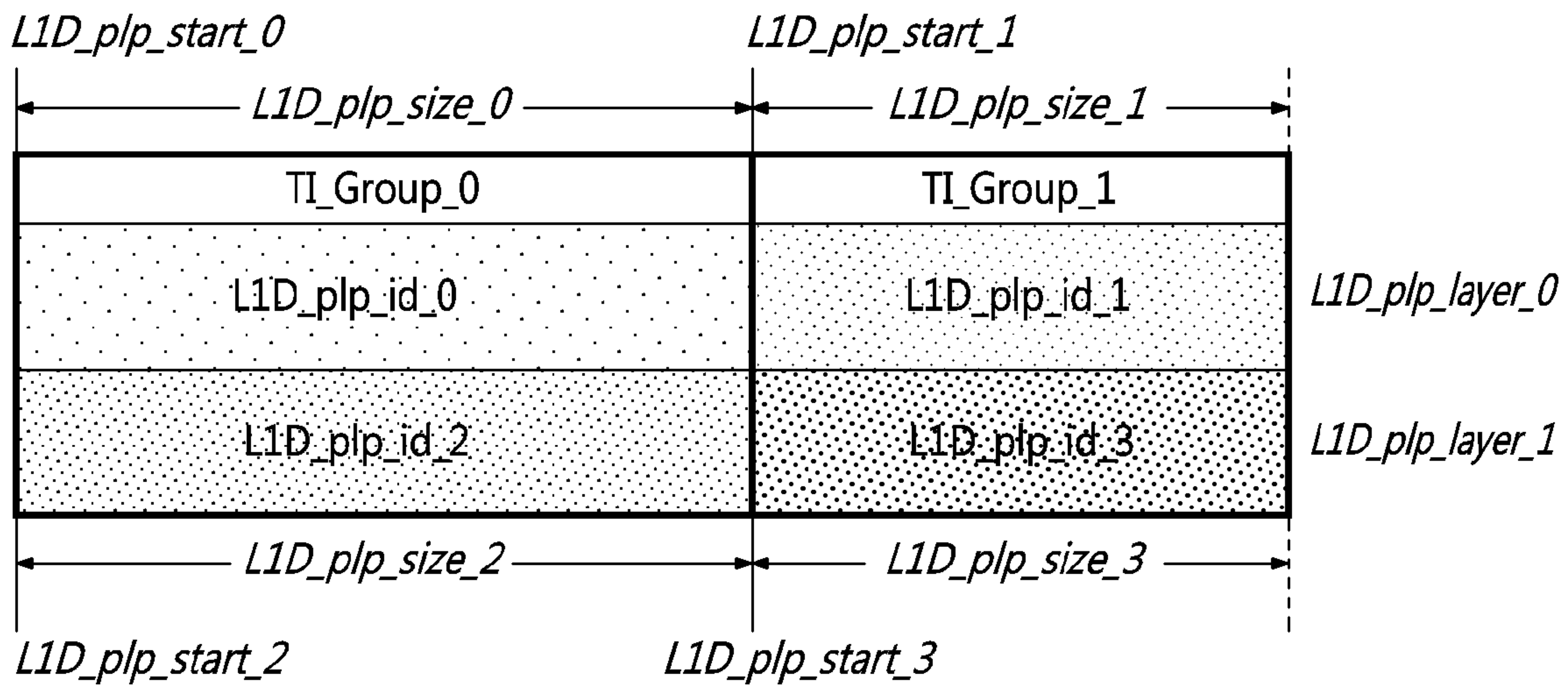
[圖65]



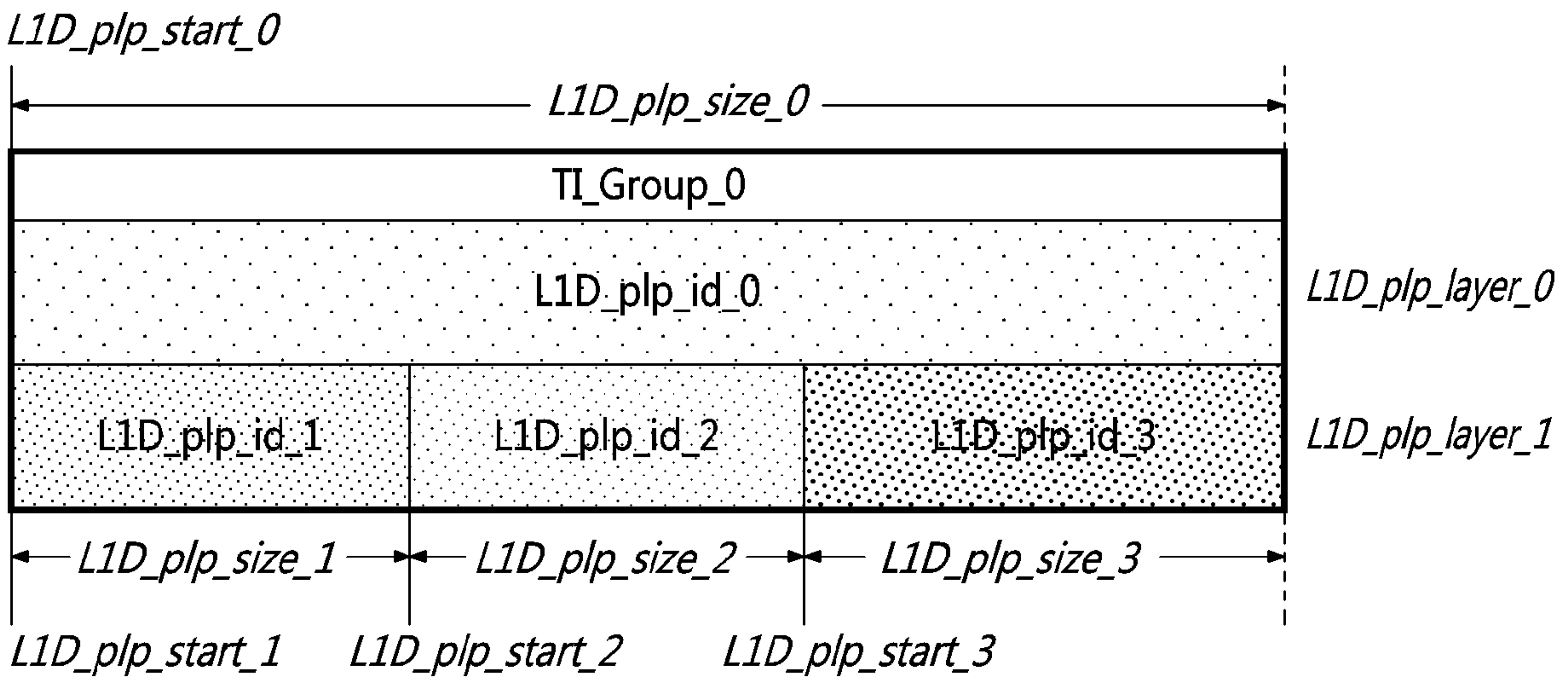
[圖66]



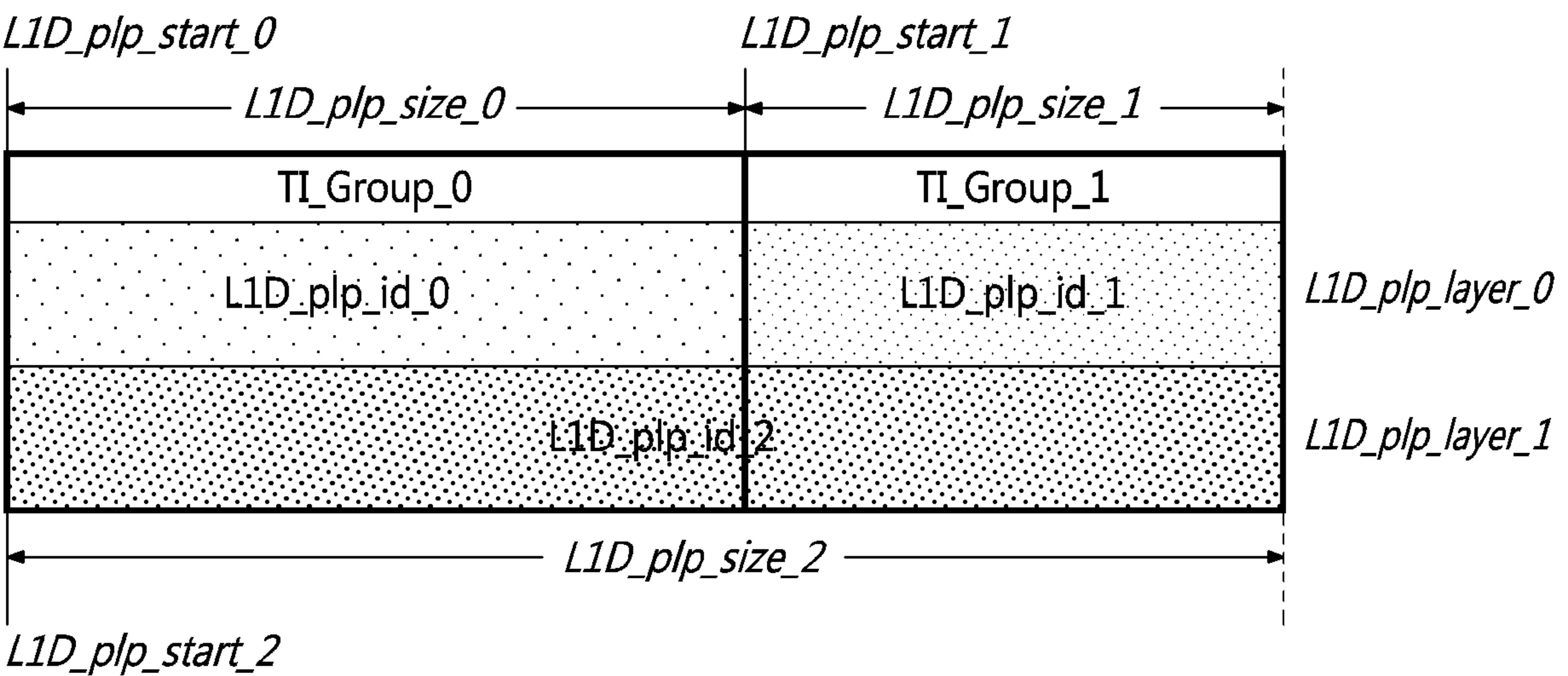
[圖67]



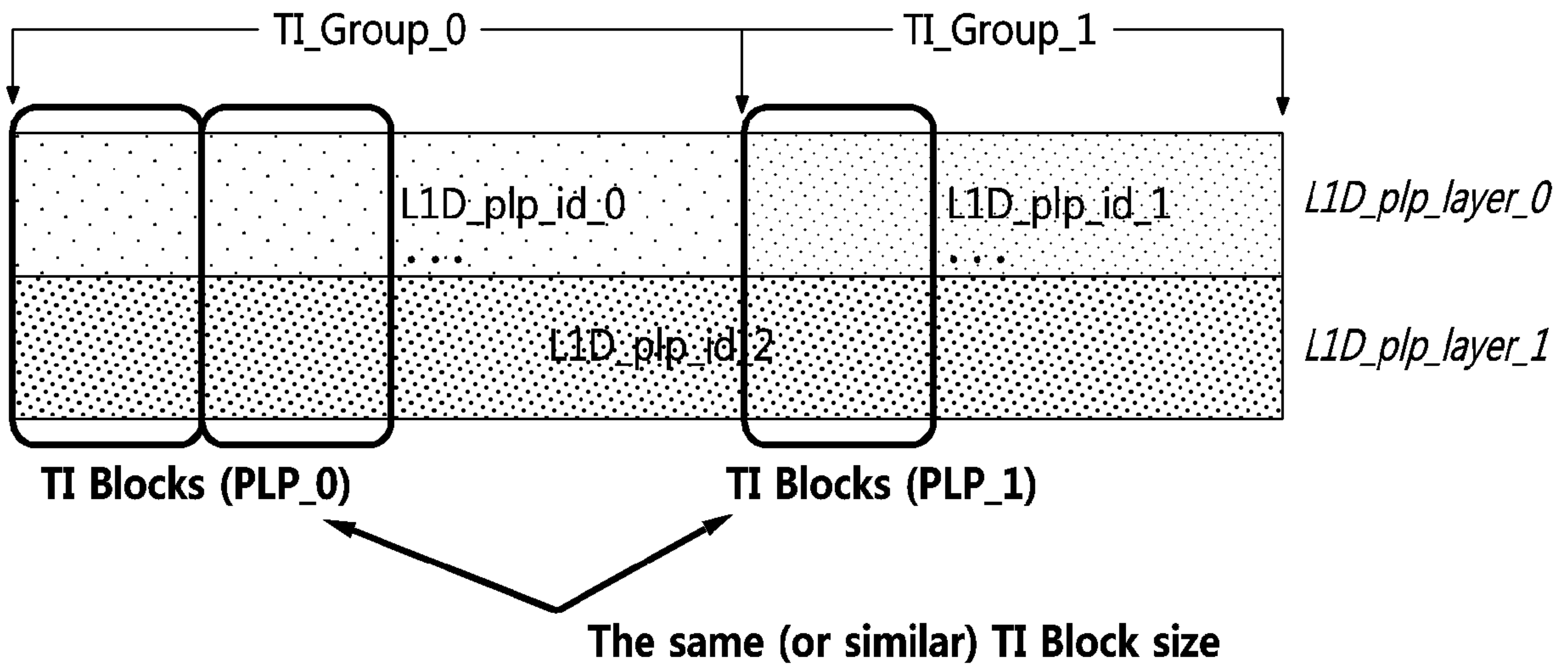
[圖68]



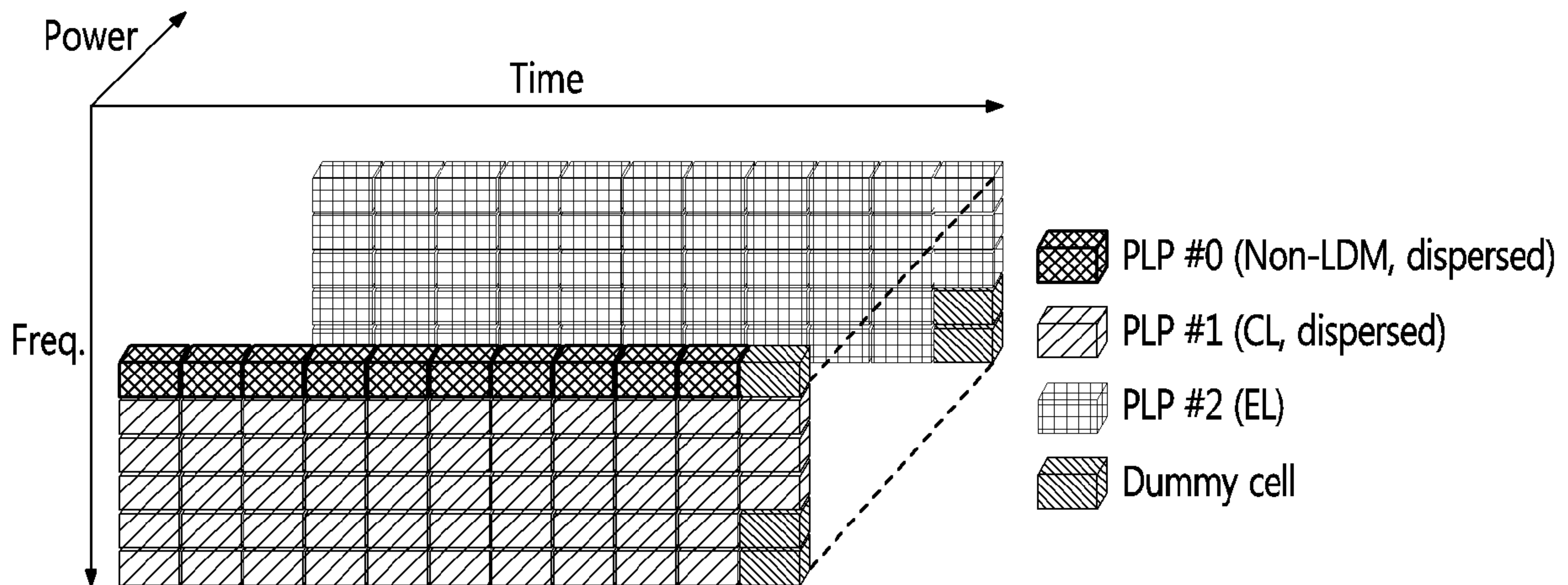
[圖69]



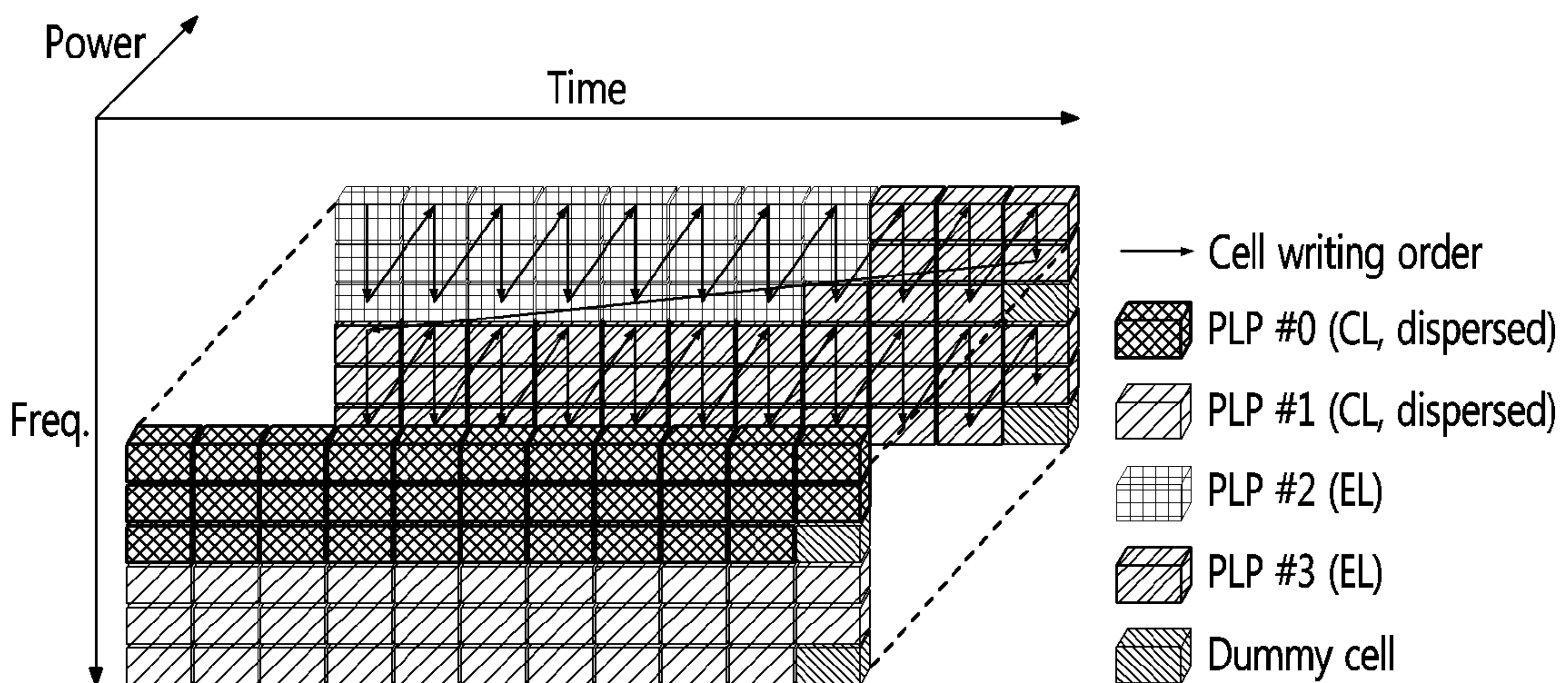
[도70]



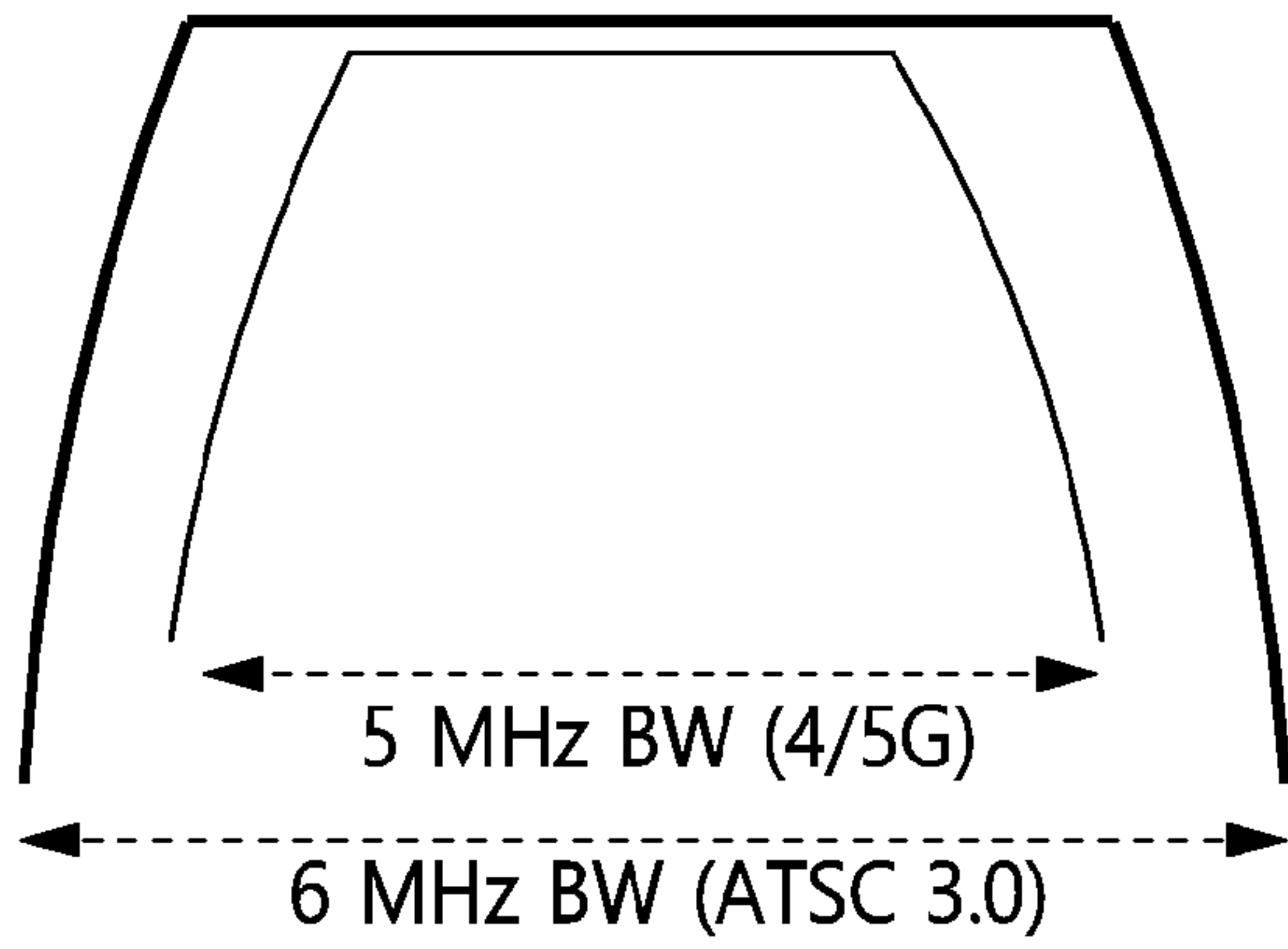
[도71]



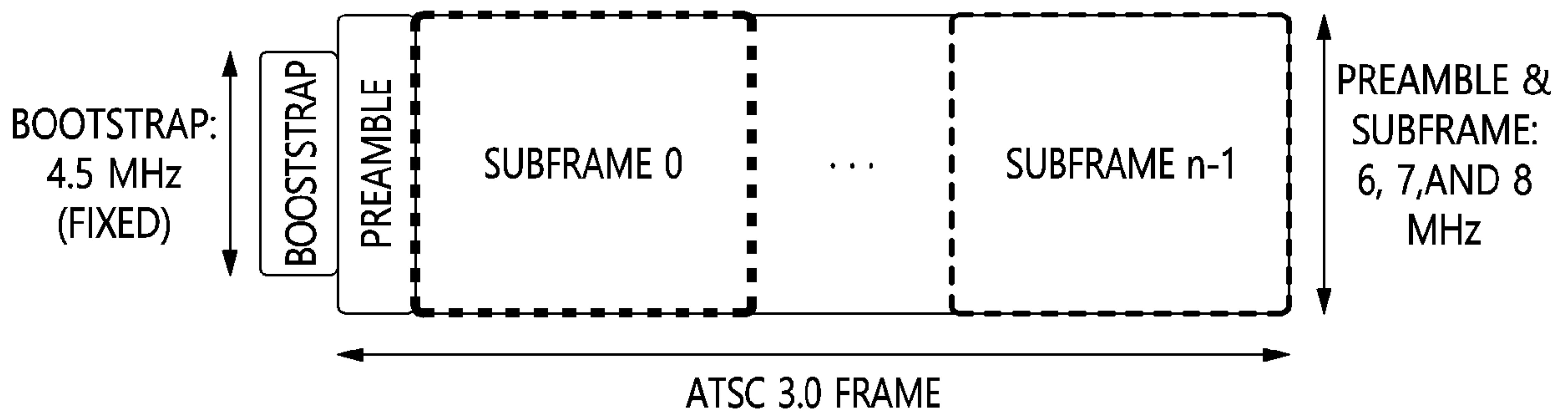
[도72]



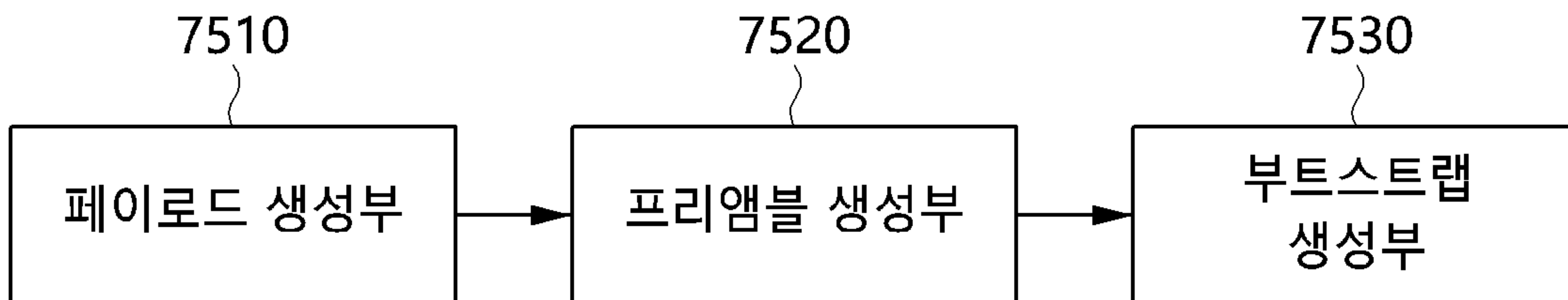
[도73]



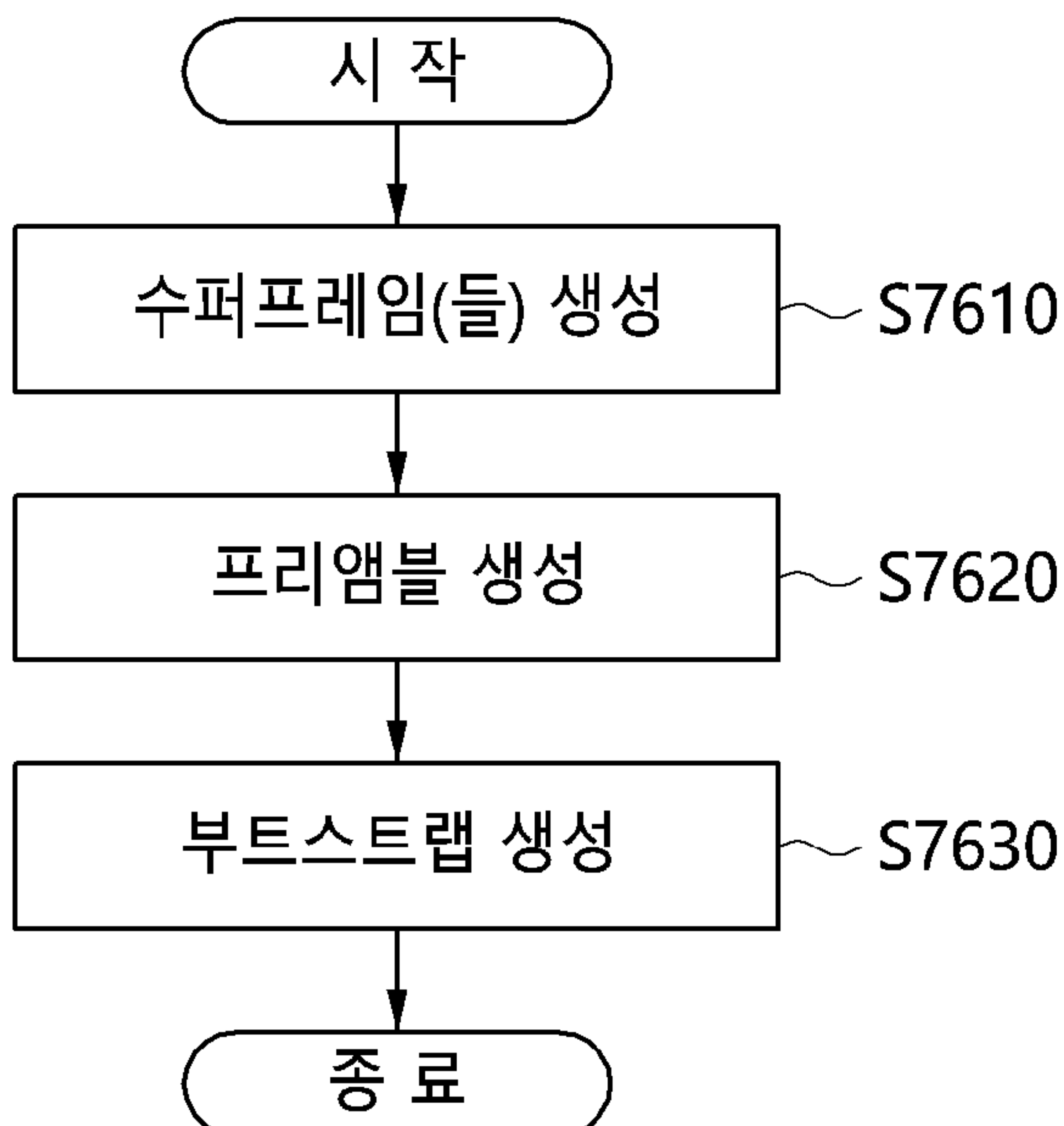
[도74]



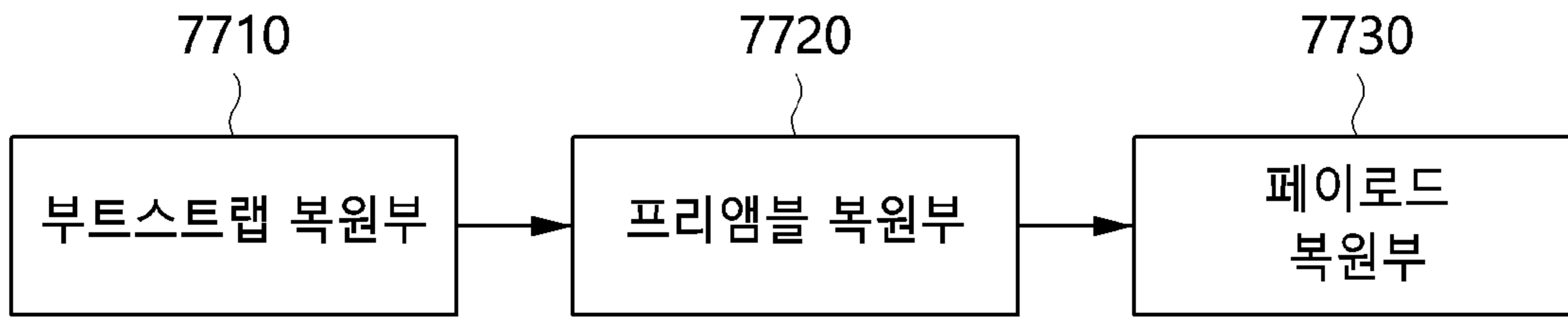
[도75]



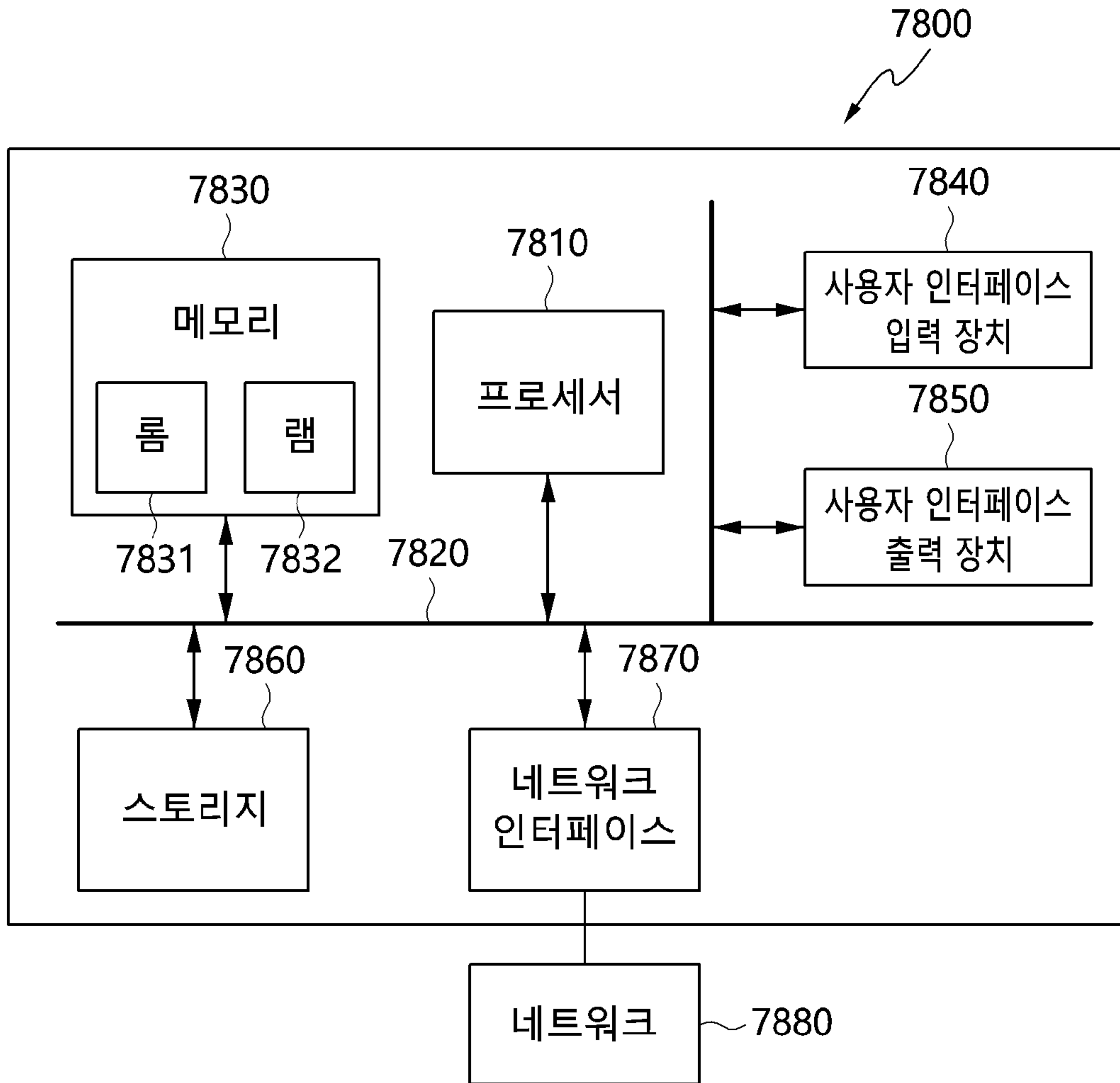
[도76]



[도77]



[도78]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/016738

A. CLASSIFICATION OF SUBJECT MATTER		
H04L 1/00(2006.01)i; H04L 5/00(2006.01)i; H04N 21/438(2011.01)i; H04L 27/26(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04L 1/00(2006.01); H04H 60/29(2008.01); H04J 13/10(2011.01); H04L 25/03(2006.01); H04L 27/26(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: ATSC 3.0, 포스트 부트스트랩(post-bootstrap), 시스템 대역폭 필드(system bandwidth field), 베이스밴드 샘플링 레이트 계수(baseband sampling rate coefficient), 프리앰블 생성부(preamble generation unit), 서브프레임(subframe), 페이로드 생성부(payload generation unit), 할당된 비트(allocated bit), 샘플 레이트(sample rate), 방송 신호(broadcast signal)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	KR 10-2018-0133804 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 17 December 2018 (2018-12-17) See paragraphs [0043]-[0044], [0065]-[0066] and [0072]-[0073]; and figures 1 and 3.	1-3,8-11,16-19 4-7,12-15,20
Y	US 2019-0116079 A1 (ONE MEDIA, LLC) 18 April 2019 (2019-04-18) See paragraphs [0051]-[0059] and [0126]-[0136]; and table 3.	1-3,8-11,16-19
A	KR 10-2017-0104974 A (SAMSUNG ELECTRONICS CO., LTD.) 18 September 2017 (2017-09-18) See paragraphs [0066]-[0076]; and figure 6.	1-20
A	KR 10-2018-0080265 A (ONE MEDIA, LLC) 11 July 2018 (2018-07-11) See paragraphs [0035]-[0043]; claim 1; and figure 2.	1-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 22 February 2021		Date of mailing of the international search report 23 February 2021
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/016738

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WANG, Yanfeng et al. Media Transmission by Cooperation of Cellular Network and Broadcasting Network. IEEE Transactions on Broadcasting (Volume: 63, Issue: 3, Sept. 2017), September 2017. See section 3.	1-20
.....		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2020/016738

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2018-0133804	A	17 December 2018	US	2020-0146019	A1	07 May 2020
				WO	2018-226028	A1	13 December 2018
<hr/>							
US	2019-0116079	A1	18 April 2019	BR	112017018486	A2	17 April 2018
				CA	2976144	A1	15 September 2016
				CN	107431549	A	01 December 2017
				CN	107431549	B	25 October 2019
				CN	110661590	A	07 January 2020
				EP	3269058	A1	17 January 2018
				EP	3269058	A4	14 November 2018
				EP	3269058	B1	08 July 2020
				JP	2018-514959	A	07 June 2018
				JP	6662890	B2	11 March 2020
				KR	10-2017-0126955	A	20 November 2017
				KR	10-2020-0033990	A	30 March 2020
				KR	10-2093214	B1	25 March 2020
				MX	2017010626	A	07 December 2017
				MX	371499	B	31 January 2020
				TW	201644242	A	16 December 2016
				TW	202029713	A	01 August 2020
				TW	I691188	B	11 April 2020
				US	10079708	B2	18 September 2018
				US	10158518	B2	18 December 2018
				US	2016-0269980	A1	15 September 2016
				US	2017-0310523	A1	26 October 2017
				WO	2016-145070	A1	15 September 2016
<hr/>							
KR	10-2017-0104974	A	18 September 2017	AU	2016-216774	A1	18 August 2016
				AU	2016-216774	B2	01 March 2018
				AU	2018-203799	A1	21 June 2018
				AU	2018-203799	B2	21 November 2019
				AU	2020-201300	A1	12 March 2020
				AU	2020-201300	B2	24 September 2020
				BR	112017017172	A2	03 April 2018
				CA	2975981	A1	18 August 2016
				CA	2975981	C	05 March 2019
				CA	3031265	A1	18 August 2016
				CA	3031265	C	04 August 2020
				CA	3084534	A1	18 August 2016
				CN	107210904	A	26 September 2017
				CN	107210904	B	11 August 2020
				CN	111865547	A	30 October 2020
				CN	111901089	A	06 November 2020
				KR	10-1777215	B1	11 September 2017
				KR	10-2016-0100241	A	23 August 2016
				MX	2017010345	A	23 January 2018
				MX	364647	B	03 May 2019
				US	10050730	B2	14 August 2018
				US	10419140	B2	17 September 2019
				US	10756833	B2	25 August 2020
US	2016-0241365	A1	18 August 2016				
US	2017-0026140	A1	26 January 2017				

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2020/016738

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
		US 2018-0323889 A1	08 November 2018
		US 2019-0342018 A1	07 November 2019
		US 2020-0366393 A1	19 November 2020
		US 9503229 B2	22 November 2016
		WO 2016-129974 A1	18 August 2016

KR 10-2018-0080265 A	11 July 2018	TW 201720090 A	01 June 2017
		US 10397026 B2	27 August 2019
		US 2017-0126441 A1	04 May 2017
		WO 2017-079600 A1	11 May 2017

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H04L 1/00(2006.01)i; H04L 5/00(2006.01)i; H04N 21/438(2011.01)i; H04L 27/26(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H04L 1/00(2006.01); H04H 60/29(2008.01); H04J 13/10(2011.01); H04L 25/03(2006.01); H04L 27/26(2006.01)		
조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: ATSC 3.0, 포스트 부트스트랩(post-bootstrap), 시스템 대역폭 필드(system bandwidth field), 베이스밴드 샘플링 레이트 계수(baseband sampling rate coefficient), 프리앰블 생성부(preamble generation unit), 서브프레임(subframe), 페이로드 생성부(payload generation unit), 할당된 비트(allocated bit), 샘플 레이트(sample rate), 방송 신호(broadcast signal)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y A	KR 10-2018-0133804 A (한국전자통신연구원) 2018.12.17 단락 [0043]-[0044], [0065]-[0066], [0072]-[0073]; 및 도면 1, 3	1-3,8-11,16-19 4-7,12-15,20
Y	US 2019-0116079 A1 (ONE MEDIA, LLC) 2019.04.18 단락 [0051]-[0059], [0126]-[0136]; 및 테이블 3	1-3,8-11,16-19
A	KR 10-2017-0104974 A (삼성전자주식회사) 2017.09.18 단락 [0066]-[0076]; 및 도면 6	1-20
A	KR 10-2018-0080265 A (원 미디어, 엘엘씨) 2018.07.11 단락 [0035]-[0043]; 청구항 1; 및 도면 2	1-20
<input checked="" type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2021년02월22일(22.02.2021)		국제조사보고서 발송일 2021년02월23일(23.02.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 양정록 전화번호 +82-42-481-5709

C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	YANFENG WANG 등, 'Media Transmission by Cooperation of Cellular Network and Broadcasting Network', IEEE Transactions on Broadcasting (Volume: 63, Issue: 3, Sept. 2017), 2017.09 섹션 3	1-20

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일		
KR 10-2018-0133804 A	2018/12/17	US 2020-0146019 A1	2020/05/07		
		WO 2018-226028 A1	2018/12/13		
US 2019-0116079 A1	2019/04/18	BR 112017018486 A2	2018/04/17		
		CA 2976144 A1	2016/09/15		
		CN 107431549 A	2017/12/01		
		CN 107431549 B	2019/10/25		
		CN 110661590 A	2020/01/07		
		EP 3269058 A1	2018/01/17		
		EP 3269058 A4	2018/11/14		
		EP 3269058 B1	2020/07/08		
		JP 2018-514959 A	2018/06/07		
		JP 6662890 B2	2020/03/11		
		KR 10-2017-0126955 A	2017/11/20		
		KR 10-2020-0033990 A	2020/03/30		
		KR 10-2093214 B1	2020/03/25		
		MX 2017010626 A	2017/12/07		
		MX 371499 B	2020/01/31		
		TW 201644242 A	2016/12/16		
		TW 202029713 A	2020/08/01		
		TW I691188 B	2020/04/11		
		US 10079708 B2	2018/09/18		
		US 10158518 B2	2018/12/18		
		US 2016-0269980 A1	2016/09/15		
		US 2017-0310523 A1	2017/10/26		
		WO 2016-145070 A1	2016/09/15		
		KR 10-2017-0104974 A	2017/09/18	AU 2016-216774 A1	2016/08/18
				AU 2016-216774 B2	2018/03/01
				AU 2018-203799 A1	2018/06/21
				AU 2018-203799 B2	2019/11/21
AU 2020-201300 A1	2020/03/12				
AU 2020-201300 B2	2020/09/24				
BR 112017017172 A2	2018/04/03				
CA 2975981 A1	2016/08/18				
CA 2975981 C	2019/03/05				
CA 3031265 A1	2016/08/18				
CA 3031265 C	2020/08/04				
CA 3084534 A1	2016/08/18				
CN 107210904 A	2017/09/26				
CN 107210904 B	2020/08/11				
CN 111865547 A	2020/10/30				
CN 111901089 A	2020/11/06				
KR 10-1777215 B1	2017/09/11				
KR 10-2016-0100241 A	2016/08/23				
MX 2017010345 A	2018/01/23				
MX 364647 B	2019/05/03				
US 10050730 B2	2018/08/14				
US 10419140 B2	2019/09/17				
US 10756833 B2	2020/08/25				
US 2016-0241365 A1	2016/08/18				
US 2017-0026140 A1	2017/01/26				

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 2018-0323889 A1	2018/11/08
		US 2019-0342018 A1	2019/11/07
		US 2020-0366393 A1	2020/11/19
		US 9503229 B2	2016/11/22
		WO 2016-129974 A1	2016/08/18
-----		-----	
KR 10-2018-0080265 A	2018/07/11	TW 201720090 A	2017/06/01
		US 10397026 B2	2019/08/27
		US 2017-0126441 A1	2017/05/04
		WO 2017-079600 A1	2017/05/11
