

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5171726号
(P5171726)

(45) 発行日 平成25年3月27日 (2013. 3. 27)

(24) 登録日 平成25年1月11日 (2013. 1. 11)

(51) Int. Cl.		F I	
HO 1 L 25/10	(2006. 01)	HO 1 L 25/14	Z
HO 1 L 25/11	(2006. 01)	HO 1 L 25/08	Z
HO 1 L 25/18	(2006. 01)		
HO 1 L 25/065	(2006. 01)		
HO 1 L 25/07	(2006. 01)		

請求項の数 8 (全 33 頁)

(21) 出願番号	特願2009-114222 (P2009-114222)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年5月11日 (2009. 5. 11)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(62) 分割の表示	特願2004-194690 (P2004-194690) の分割	(74) 代理人	100110928 弁理士 速水 進治
原出願日	平成16年6月30日 (2004. 6. 30)	(74) 代理人	100118544 弁理士 野本 可奈
(65) 公開番号	特開2009-177209 (P2009-177209A)	(74) 代理人	100127236 弁理士 天城 聡
(43) 公開日	平成21年8月6日 (2009. 8. 6)	(72) 発明者	栗田 洋一郎 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
審査請求日	平成21年5月11日 (2009. 5. 11)	審査官	宮本 靖史

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁層、複数の電極、複数の貫通電極および複数の配線を有する平板状の配線体と、
前記配線体上に搭載された第一の半導体素子と、
前記配線体の前記第一の半導体素子が搭載された側とは反対側の面に搭載された第二の半導体素子と、

を備え、

前記複数の電極が、第一の電極群を含み、

前記第一の電極群は、前記配線体の前記第二の半導体素子が搭載された側の面に露出している、前記第二の半導体素子が搭載された側からの露出面で前記第二の半導体素子にそれぞれ接続されており、

前記第一の半導体素子と前記第二の半導体素子とが、前記貫通電極を介して電氣的に接続されており、

前記配線体は、前記第一の電極群の露出面とは反対側の面に、前記第一の電極群に接続している前記複数の配線を備え、

前記複数の貫通電極の各々は、

前記配線体の前記第二の半導体素子が搭載された側の面に露出している、前記第二の半導体素子が搭載された側の露出面から前記絶縁層の内部に延びる第一の接続電極と、

前記絶縁層の内部で該第一の接続電極に接し、前記第一の半導体素子が搭載された側に向かって前記絶縁層内をさらに伸びて、前記配線体の前記第一の半導体素子が搭載され

た側の面に露出している第一のヴィアプラグと、
を有し、

前記第一の接続電極の前記露出面の幅が、前記第一のヴィアプラグの露出面の幅よりも大きく、

前記第一の電極群は、前記配線体の前記第二の半導体素子が搭載された側の面に露出して、前記第二の半導体素子が搭載された側の露出面から前記絶縁層の内部を伸びる第二の接続電極と、

前記絶縁層の内部で該第二の接続電極に接し、前記第一の半導体素子が搭載された側に向かって前記絶縁層内を伸び、前記配線体の前記第一の半導体素子が搭載された側の面で前記配線に接続された第二のヴィアプラグと、

を含み、

前記第二の接続電極の前記露出面の幅が、前記第二のヴィアプラグの前記配線との接続面の幅よりも大きいことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記複数の電極が、第二の電極群を更に含み、

前記第二の電極群は、前記複数の配線を介して前記第一の電極群にそれぞれ接続されているとともに前記配線体の前記第二の半導体素子が搭載された側の面に露出していることを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、

前記配線体の前記第二の半導体素子が搭載された側の面に、前記第二の電極群に接続している外部接続端子をさらに備えることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 いずれか一項に記載の半導体装置において、

前記第一の半導体素子の側面を被覆する封止樹脂をさらに備えることを特徴とする半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置において、

前記封止樹脂は、前記配線体の前記第一の半導体素子が搭載された側の全面を被覆することを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 いずれか一項に記載の半導体装置において、

前記第一の半導体素子がメモリチップであり、前記第二の半導体素子がロジックチップであることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 いずれか一項に記載の半導体装置において、

前記第一のヴィアプラグが、最小間隔 50 μm 以下で配置されていることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 いずれか一項に記載の半導体装置において、

前記第一の半導体素子は、積層メモリモジュールであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来半導体装置としては、特許文献 1 に記載されたものがある。同文献には、回路基板の両面に半導体装置がフリップチップ実装により設けられている両面実装構造体が開示

10

20

30

40

50

されている。特許文献1によれば、実装後の半導体装置を封止する封止樹脂のガラス転移温度を調節することにより、生産歩留まりおよび信頼性の向上が可能であるとされている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-345418号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところが、上記文献記載の従来技術では、基板と半導体素子の基材との間の熱膨張係数の差により接合精度や品質が劣化する懸念があった。このため、半導体素子への微細な配線の接続が困難であった。また、接続信頼性においても改善の余地があった。このため、配線密度の高い大規模なチップ間接続を実現することが困難であった。

【0005】

本発明は、上記事情に鑑みてなされたものであり、その目的は、複数の半導体素子間を高密度で接続する技術を提供することにある。また、本発明の別の目的は、複数の半導体素子の接続信頼性を向上させることにある。

【課題を解決するための手段】

【0006】

本発明によれば、
絶縁層、複数の電極、複数の貫通電極および複数の配線を有する平板状の配線体と、
前記配線体上に搭載された第一の半導体素子と、
前記配線体の前記第一の半導体素子が搭載された側とは反対側の面に搭載された第二の半導体素子と、

を備え、

前記複数の電極が、第一の電極群を含み、

前記第一の電極群は、前記配線体の前記第二の半導体素子が搭載された側の面に露出している、前記第二の半導体素子が搭載された側からの露出面で前記第二の半導体素子にそれぞれ接続されており、

前記第一の半導体素子と前記第二の半導体素子とが、前記貫通電極を介して電氣的に接続されており、

前記配線体は、前記第一の電極群の露出面とは反対側の面に、前記第一の電極群に接続している前記複数の配線を備え、

前記複数の貫通電極の各々は、

前記配線体の前記第二の半導体素子が搭載された側の面に露出している、前記第二の半導体素子が搭載された側の露出面から前記絶縁層の内部に延びる第一の接続電極と、

前記絶縁層の内部で該第一の接続電極に接し、前記第一の半導体素子が搭載された側に向かって前記絶縁層内をさらに伸びて、前記配線体の前記第一の半導体素子が搭載された側の面に露出している第一のヴィアプラグと、

を有し、

前記第一の接続電極の前記露出面の幅が、前記第一のヴィアプラグの露出面の幅よりも大きいことを特徴とする半導体装置が提供される。

【0007】

本発明の半導体装置は、配線層と、前記配線層を支持する支持層と、前記配線層および前記支持層を貫通する貫通電極と、を備えるため、貫通電極を高密度で配設することが可能とある。また、支持層を有するため、貫通電極を高密度で設けた際にも、半導体素子と貫通電極との接続信頼性の向上が可能である。よって、複数のチップや大規模なチップ間接続が可能となる。

【0008】

10

20

30

40

50

本発明において、前記配線層および前記支持層がこの順に積層された構成とすることができる。また、貫通電極が複数の導電部材から構成されていてもよい。

【0009】

本発明の半導体装置において、前記支持層の材料は、線膨張係数が0.5ppm/以上5ppm/以下であってもよい。こうすることにより、第一の半導体装置と第二の半導体装置との接続信頼性をさらに向上させることができる。

【0010】

本発明の半導体装置において、前記支持層がシリコン層であってもよい。剛性の高いシリコン層上に微細な配線体を形成し、支持層と熱膨張係数が等しいシリコン半導体素子を接続することで、高精度でかつ信頼性の高い接続が可能となる。

10

【0011】

本発明の半導体装置において、前記支持層にトランジスタ等の能動素子が形成されていてもよい。

【0012】

本発明の半導体装置において、前記配線体は、絶縁膜と、前記支持層と、前記配線層とがこの順に積層された構成を有し、前記第一の半導体素子が前記配線層に接続され、前記第二の半導体素子が前記絶縁膜に接続されていてもよい。こうすることにより、半導体の表面を確実に絶縁するとともに、半導体素子同士の接続信頼性を十分に確保することができる。本発明において、半導体素子同士が、シリコン層および絶縁膜を貫通する貫通電極と、配線層と、を介して電氣的に接続されている構成とすることができる。

20

【0014】

本発明の半導体装置においては、導電体が平板状の絶縁体を貫通している。このため、導電体の狭ピッチ化が可能である。よって、第一の半導体素子と第二の半導体素子とを接続する導電体を高密度で配置することが可能である。

【0015】

本発明において、絶縁体を貫通する導電体は連続する一部材から構成されていてもよいし、複数の導電部材が接合されて電氣的接続が確保されている構成としてもよい。たとえば一つの導電体が一つの導電プラグからなる構成であってもよい。また、配線層が多層配線であって、導電体が配線層中の配線およびプラグが接合されている構成であってもよい。

30

【0016】

本発明の半導体装置において、前記導電体は、前記絶縁体のいずれかの面に設けられた接続電極を含み、前記接続電極の側面が前記絶縁体中に埋設されるとともに、前記接続電極の少なくとも一つの面の全体が前記絶縁体から露出している構成とすることができる。この構成では、接続電極の少なくとも一つの面の全体が前記絶縁体から露出しているため、外部引き出し電極が絶縁体に接していない。こうすることにより、接続電極を高密度で精密に設けることが可能となる。

【0017】

なお、本発明において、接続電極の側面が絶縁体に接している構成とすることができる。また、接続電極の側面外周全体が絶縁体に接していてもよい。また、本発明において、接続電極が設けられている側の配線体の面を平坦面とすることができる。

40

【0018】

また、本発明において、接続電極は、半導体素子に電氣的に接続する素子接続電極および素子の外部の導電部材に接続する外部接続電極を含む。本発明では、これらのいずれについても上述した構成とすることができる。

【0019】

本発明の半導体装置において、前記導電体は、前記絶縁体のいずれかの面に接して設けられた配線を含み、前記配線の側面の少なくとも一部および前記配線の一つの面が前記絶縁体から露出している構成とすることができる。こうすることにより、微細な配線を高密度で設けることが可能な構成とすることができる。

50

【0020】

なお、本発明の半導体装置において、前記配線が前記引き出し電極に電気的に接続している構成とすることができる。また、本発明において、前記配線の側面全体が前記絶縁体から露出していてもよい。

【0021】

本発明の半導体装置において、前記配線の少なくとも一部が前記封止樹脂に埋設されていてもよい。こうすることにより、半導体装置の強度を向上させることができる。

【0022】

本発明の半導体装置において、前記導電体の最小間隔が50 μ m以下であってもよい。こうすることにより、半導体素子間のデータ転送能を向上させることができる。

10

【0023】

本発明の半導体装置において、前記導電体は、種々の平面配置とすることができる。たとえば、正方格子状、千鳥格子等の斜格子状等の配置をとることができる。

【0024】

本発明の半導体装置において、前記第一の半導体素子の前記配線体の側に設けられた第一導電パッドと、前記第二の半導体素子の前記配線体の側の面に設けられた第二導電パッドとが、平面視において一致している構成とすることができる。これにより、半導体素子間のデータ転送能をより一層向上させることができる。

【0025】

本発明の半導体装置において、前記封止樹脂を貫通する貫通プラグを有する構成とすることができる。こうすることにより、熱応力緩和機能により優れた二次実装信頼性が得られる。また、複合素子である半導体装置全体がフリップチップ接続される構成とすることができる。なお、本発明の半導体装置において、前記貫通プラグは前記配線層中の配線に接続された構成とすることができる。

20

【0026】

本発明の半導体装置において、前記配線層が多層配線層であってもよい。これにより、配線体の設計の自由度を高めることができる。

【0027】

本発明の半導体装置において、前記第一の半導体素子が前記封止樹脂に埋設されていてもよい。これにより、第一の半導体素子の表面を確実に絶縁するとともに、第一の半導体素子を保護することができる。

30

【0028】

本発明によれば、
 基板上に、絶縁層と、第一の電極群並びに前記絶縁層を貫通する貫通電極を含む複数の電極と、複数の配線とを有する平板状の配線体を形成する工程と、
前記貫通電極に第一の半導体素子を接続して、前記配線体上に前記第一の半導体素子を搭載する工程と、
前記第一の半導体素子が搭載された前記配線体から前記基板を除去して前記第一の電極群及び前記貫通電極を前記配線体の表面に露出させる工程と、
露出した前記第一の電極群に第二の半導体素子を接続するとともに、前記貫通電極を介して前記第一の半導体素子と前記第二の半導体素子とを接続して、前記第一の半導体素子が搭載された側と反対側の前記配線体の面に、前記第二の半導体素子を搭載する工程と、
を含み、
前記配線体を形成する前記工程は、
前記基板上に、第一の接続電極を形成する工程と、
前記第一の接続電極上に、第一のヴィアプラグを有する前記絶縁層を形成する工程と、
、
前記絶縁層上に、前記第一の電極群に接続する前記複数の配線を形成する工程と、
を含み、
前記第一の電極群を前記配線体の表面に露出させる前記工程において、前記第一の接続

40

50

電極を前記配線体の表面に露出し、露出された前記第一の接続電極の露出面の幅が、前記配線体から露出した前記第一のビアプラグの露出面の幅よりも大きいことを特徴とする半導体装置の製造方法が提供される。

【0029】

また、本発明の半導体装置において、基板上に前記配線体が形成され、前記配線体上に前記第一の半導体素子が接続され、前記第一の半導体素子の側面および前記配線体の露出面が前記封止樹脂により被覆された後に、前記基板を除去することにより得られる構成とすることができる。

【0030】

本発明においては、配線体が基板上に設けられた状態で第一の半導体素子が接続され、この後、基板が薄化または除去される。このため、第一の基板と配線体との接合を安定的に行うことが可能である。なお、本発明において、「半導体基板上」は、半導体基板上に接して設けられた構成であっても他の層を介して設けられた構成であってもよい。

10

【0031】

本発明の半導体装置において、前記基板の線膨張係数が $0.5 \text{ ppm} /$ 以上 $5 \text{ ppm} /$ 以下であってもよい。こうすれば、製造安定性にさらに優れた構成とすることができる。

【0032】

本発明の半導体装置において、前記基板がシリコン基板であってもよい。このようにすれば、より一層製造安定性に優れた構成とすることができる。

20

【0033】

また、本発明の製造方法において、配線層を準備する工程に用いられる基板と、前記第一の半導体素子を構成する半導体基板と、前記第二の半導体素子を構成する半導体基板とが、同じ材料であってもよい。こうすれば、基板と素子の接続時における反りを確実に抑制することができる。このため、接続信頼性を向上させることができる。

【0034】

また、本発明の半導体装置の製造方法において、基板を薄化する前記工程は、前記基板を除去し、前記配線層の表面を露出させる工程を含んでもよい。こうすることにより、装置構成を簡素化しつつ、安定的な半導体装置の製造が可能となる。

【0035】

本発明の半導体装置の製造方法において、配線層を準備する前記工程は、表面に絶縁膜と前記配線層を支持する支持層とがこの順に積層された前記基板を準備する工程と、前記支持層上に前記配線層を設ける工程と、を含んでもよい。こうすることにより、配線層と半導体素子の接続信頼性をより一層向上させることができる。

30

【発明の効果】

【0036】

本発明によれば、複数の半導体素子間を高密度で接続する技術が実現される。また、本発明によれば、複数の半導体素子の接続信頼性を向上させる技術が実現される。

【図面の簡単な説明】

【0037】

【図1】実施の形態に係る半導体装置の構成を模式的に示した断面図である。

【図2】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図3】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図4】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図5】実施の形態に係る半導体装置の構成を模式的に示した断面図である。

【図6】実施の形態に係る半導体装置の構成を模式的に示した断面図である。

【図7】実施の形態に係る半導体装置の構成を模式的に示した断面図である。

【図8】実施の形態に係る半導体装置の構成を模式的に示した断面図である。

【図9】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。

【図10】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。

40

50

- 【図 1 1】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 1 2】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 1 3】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 1 4】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 1 5】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 1 6】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 1 7】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 1 8】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。
 【図 1 9】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。
 【図 2 0】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 2 1】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。
 【図 2 2】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。
 【図 2 3】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。
 【図 2 4】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 2 5】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 2 6】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。
 【図 2 7】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。
 【図 2 8】実施の形態に係る半導体装置の製造工程を模式的に示した断面図である。
 【図 2 9】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 3 0】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 3 1】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 3 2】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 3 3】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 3 4】実施の形態に係る半導体装置の構成を模式的に示した断面図である。
 【図 3 5】実施の形態に係る半導体装置の構成を模式的に示した断面図である。

10

20

【発明を実施するための形態】

【0038】

以下、本発明の実施の形態について、図面を用いて説明する。なお、すべての図面において、同じ構成要素には共通の符号を付し、適宜説明を省略する。

【0039】

30

(第一の実施形態)

図 1 は、本実施形態に係る半導体装置の構成を模式的に示す断面図である。図 1 に示した半導体装置 100 は、平板状の配線体 101 と、配線体 101 の一方の面に設けられた第一の半導体素子 113 と、配線体 101 の第一の半導体素子 113 の設けられた側の面および第一の半導体素子 113 の側面を被覆する絶縁樹脂 119 と、配線体 101 の他方の面に、第二の半導体素子 111 に対向配置させて設けられた第二の半導体素子 111 と、を有する。

【0040】

配線体 101 は、配線層 103、シリコン層 105 および絶縁膜 107 がこの順に積層された構成である。第一の半導体素子 113 は配線層 103 に接して設けられ、第二の半導体素子 111 は絶縁膜 107 に接して設けられている。

40

【0041】

配線層 103 は、平板状の絶縁体と、絶縁体を貫通する導電体と、を有する。導電体を介して第二の半導体素子 111 と第一の半導体素子 113 とが電氣的に接続される。また、配線層 103 は、所定の形状および配置を有する配線を備える。配線層 103 は、単層であってもよいし、多層であってもよい。なお、配線層 103 の具体的な構成は、第三の実施形態および第七の実施形態において後述する構成とすることができる。

【0042】

シリコン層 105 は、配線層 103 を支持する支持層である。シリコン層 105 の配線層 103 と反対側の面に設けられた絶縁膜 107 は、たとえば SiO_2 等の酸化膜、 Si

50

NやSiON等の窒化膜とする。

【0043】

なお、配線層103の支持層として、本実施形態および以降の実施形態においてはシリコン層105を例示しているが、第一の半導体素子113および第二の半導体素子111の基板として通常用いられているSiと同程度の熱膨張率を有する他の材料とすることもできる。

【0044】

支持層として、たとえば、線膨張係数が 0.5 ppm/ 以上 5 ppm/ 以下の材料を用いることができる。線膨張係数を 0.5 ppm/ 以上とすることにより、半導体装置100の製造歩留まりを向上させることができる。また、 5 ppm/ 以下線膨張係数をとすることにより、第一の半導体素子113および第二の半導体素子111との電気的な接続信頼性を十分に確保することができる。また、支持層は、熱伝導性に優れた材料により構成するとよい。シリコン以外の支持層の材料として、具体的には、AlN等のセラミック材料や、パイレックス（登録商標）ガラス等の珪ホウ酸ガラス等が挙げられる。

【0045】

また、配線層103は、シリコン層105および絶縁膜107を貫通して設けられた導体ビア109を有する。これにより、配線層103の両面の電気的導通が確保される。導体ビア109の平面配置に特に制限はなく、半導体装置100の設計に応じて適宜選択することができる。たとえば、導体ビア109を正方格子状に配置したり、千鳥配置等の斜格子状に配置したりすることができる。

【0046】

第一の半導体素子113は、配線体101の配線層103の側にアンダーフィル樹脂127を介して接合されている。第一の半導体素子113中の導電部材（不図示）はアンダーフィル樹脂127中に埋設された電極117を介して導体ビア109にフリップチップ接続されている。また、配線体101において、第一の半導体素子113が設けられている側の面には、第一の半導体素子113の側壁を覆う絶縁樹脂119が設けられている。

【0047】

第一の半導体素子113および第二の半導体素子111の構成は、半導体装置100の設計に応じて適宜選択することができるが、たとえば、第一の半導体素子113をメモリLSIチップとし、第二の半導体素子111をロジックLSIチップとすることができる。

【0048】

封止樹脂である絶縁樹脂119の材料に特に制限はなく、半導体封止用の樹脂を適宜選択して用いることができる。たとえば、シリカやアルミナ等の無機充填剤を含むエポキシ樹脂とすることができる。

【0049】

導体スルーホール121は、絶縁樹脂119を貫通し、配線体101中の導電体に電気的に接続されている。導体スルーホール121の配線体101と反対側の面は絶縁樹脂119から露出しており、露出面に電極端子123が設けられている。導体スルーホール121は電極端子123を介して外部に電気的に接続されている。

【0050】

第二の半導体素子111は、配線体101の絶縁膜107の側にアンダーフィル樹脂127を介して接合されている。第二の半導体素子111中の導電部材（不図示）は、アンダーフィル樹脂125中に埋設された電極115を介して導体ビア109にフリップチップ接続されている。

【0051】

半導体装置100において、第一の半導体素子113と第二の半導体素子111とは、電極117、配線層103中の導電体、導体ビア109および電極115を介して電気的に接続された構成となっている。なお、本実施形態および以降の他の実施形態において

10

20

30

40

50

、電極 115 および電極 117 は、たとえばバンプとすることができる。

【0052】

次に、図 1 に示した半導体装置 100 の製造方法を説明する。半導体装置 100 は、シリコン基板上で配線層 103 が形成され、配線層 103 上に前記第一の半導体素子 113 が接続され、第一の半導体素子 113 の側面および第一の半導体素子 113 の露出面が樹脂封止された後に、シリコン基板を除去することにより得られる。図 2 (a) ~ 図 2 (c)、図 3 (a) ~ 図 3 (c)、および図 4 (a) ~ 図 4 (c) は、半導体装置 100 の製造工程を示す断面図である。

【0053】

まず、図 2 (a) に示すように、ウェハ状態のシリコン基板 133 の上部に絶縁膜 107 を介してシリコン層 105 が形成された、SOI (シリコンオンインシュレータ) 基板 129 を準備する。絶縁膜 107 は単層であってもよいし、多層であってもよい。

【0054】

次に、SOI 基板 129 の導体ビア 109 を設ける位置に、シリコン層 105 および絶縁膜 107 を貫通する開口部を形成する。そして、開口部が設けられた SOI 基板 129 の表面に拡散防止膜を形成する。これにより、導体ビア 109 を構成する材料の SOI 基板中への拡散を抑制することができる。そして、開口部を導電材料により埋め込むことにより、導体ビア 109 を形成する (図 2 (b))。導体ビア 109 は、SOI 基板 129 において第二の半導体素子 111 および第一の半導体素子 113 が接合される領域に設けることができる。

【0055】

導体ビア 109 の材料としては、たとえば、銅、アルミニウム、タングステン等の金属や多結晶シリコンなどを用いることができる。なお、導体ビア 109 が絶縁膜 107 を貫通せずに、シリコン層 105 から絶縁膜 107 中の所定の位置にわたって設けられた構成としてもよい。また、導体ビア 109 がシリコン層 105 を貫通し絶縁膜 107 の上部に接する構成であってもよい。

【0056】

次に、SOI 基板 129 の上部に配線層 103 を形成する (図 2 (c))。配線層 103 の作製方法は、第三または第七の実施形態で後述する方法とすることができる。また、シリコン層 105 上に絶縁膜を形成し、たとえばダマシン法により所定の形状の配線を所定の位置に配置してもよい。配線は、導体ビア 109 に電氣的に接続される。配線の材料は、導体ビア 109 の材料と同じ材料としてもよいし、異なる導電材料としてもよい。配線層 103 は単層構造であっても多層構造であっても構わない。また、配線層 103 を形成する前に、シリコン層 105 上にトランジスタ等の能動素子やメモリ素子等の受動素子など、所定の素子を形成してもよい。

【0057】

次に、配線層 103 上に、図 1 における導体スルーホール 121 となる導体ポスト 131 を形成する (図 3 (a))。導体ポスト 131 の材料は、たとえば銅または金などの金属とすることができる。また、導体ポスト 131 は、配線層 103 上に、導体ポスト 131 を設ける領域を開口部とするレジストパターンを設け、たとえばセミアディティブ法の無電解めっき法により、開口部中に金属膜を成長させることにより作製することができる。

【0058】

次に、配線層 103 上に第一の半導体素子 113 を電氣的に接続する。接続方法としては各種の方法を用いることが可能であるが、たとえば、第一の半導体素子 113 上にあらかじめ形成した電極 117 としてバンプ電極を形成しておき、電極 117 と配線層 103 中の配線とをバンプ接合することにより接続することができる。このとき、フリップチップ接合法を用いることができる。フリップチップ接合法を用いることにより、配線層 103 と第一の半導体素子 113 とを簡便な方法で確実に接続することができる。また、他の接続方法としては、たとえば、配線層 103 の表面と第一の半導体素子 113 の表面をプ

10

20

30

40

50

ラズマ照射などの方法で活性化した状態で押圧接合する、活性化接合法などが挙げられる。接合後、第一の半導体素子 113 と S O I 基板 129 との間にアンダーフィル樹脂 127 を充填する (図 3 (b))。

【0059】

そして、トランスファーモールドなどの方法を用いて、配線層 103 の上面全面を絶縁性の絶縁樹脂 119 で封止する (図 3 (c))。これにより、第一の半導体素子 113 および導体ポスト 131 は絶縁樹脂 119 中に埋設される。封止方法としてはこの他にも絶縁樹脂シートを圧着する方法や、液状樹脂を塗布後、硬化させる方法など各種の方法から選択することができる。

【0060】

次に、絶縁樹脂 119 の形成面側の研削等により絶縁樹脂 119 を薄化して、第一の半導体素子 113 の上面および導体ポスト 131 の端部を露出させる (図 4 (a))。なお、この工程は、後述するシリコン基板 133 の除去工程 (図 4 (b)) の後に行うこともできる。また、図 3 (c) を用いて前述した絶縁樹脂 119 の形成工程において絶縁樹脂 119 の膜厚をあらかじめ所定の厚さにコントロールすることも可能であり、その場合、導体ポスト 131 の露出工程の省略が可能となる。

【0061】

そして、第一の半導体素子 113 の接合面の裏面の側からシリコン基板 133 を除去する。このとき除去方法としては、機械研削、CMP、ケミカルエッチングなどを採用することができる。また、別の除去方法として、シリコン基板 133 と配線層 103 との界面に密着力の低い層をあらかじめ形成しておき、この介在層の部分から剥離させるなどの方法が挙げられる。さらに、絶縁膜 107 の一部や拡散防止膜 (不図示) を除去し、導体ビア 109 の端面を露出させる (図 4 (b))。導体ビア 109 を露出させるプロセスに特に限定はなく、各種の方法が選択可能である。

【0062】

次に、露出した導体ビア 109 に第二の半導体素子 111 を接続する。接続方法として、第一の半導体素子 113 の接続 (図 3 (b)) の方法を用いることができる。たとえば、第二の半導体素子 111 の表面に電極 115 を形成し、シリコン層 105 と導体ビア 109 とを接合することにより接続できる。接続後、第二の半導体素子 111 と S O I 基板 129 との間にアンダーフィル樹脂 127 を充填してもよい (図 4 (c))。

【0063】

そして、導体ポスト 131 の露出面にはんだバンプなどの電極端子 123 を形成する。以上の工程により、図 1 に示した半導体装置 100 が製造可能される。以上のプロセスは初期的にはウェハすなわちシリコン基板 133 上に第二の半導体素子 111 および第一の半導体素子 113 がそれぞれ複数設けられた半導体装置の状態を実施されるが、絶縁樹脂 119 による封止工程以降、任意の位置で複数のチップに半導体装置間を分離することが可能である。また、前述したように、工程の順序としても、シリコン基板 133 除去と絶縁樹脂 119 の研削順序を逆にすることなどの変更が可能である。

【0064】

次に、図 1 に示した半導体装置 100 の効果を説明する。

図 1 に示した半導体装置 100 において、配線体 101 は、絶縁膜 107、シリコン層 105 および配線層 103 がこの順に積層された構造になっている。そして、配線層 103 中の導電体およびこれに接続して設けられた導体ビア 109 により構成される貫通電極が配線体 101 を貫通した構成となっている。また、配線体 101 の両面に第一の半導体素子 113 および第二の半導体素子 111 が対向して接合されている。

【0065】

支持層となるシリコン層 105 を設けることにより、熱膨張係数の相違による反りの発生、接合精度の低下や残留熱応力による接続信頼性の低下を抑制することができる。このため、高精度で信頼性の高い接続が可能となる。また、高密度で導体ビア 109 を配置した場合にも、確実に配線体 101 と第一の半導体素子 113 および第二の半導体素子 1

10

20

30

40

50

11とを接続することができる。このため、配線体101を貫通する貫通電極構造の高密度配置が可能となる。なお、配線体101を貫通する貫通電極構造は、複数の導電体からなる構成とすることができる。

【0066】

また、支持層としてシリコン層105を有する配線体101の両面に、熱膨張係数の等しいシリコンデバイスすなわち第二の半導体素子111および第一の半導体素子113が接続される。このため、半導体装置100は構造の対称性に優れる。よって、半導体装置100は製造安定性に優れ、第一の半導体素子113と第二の半導体素子111とを確実に接続する構成となっている。

【0067】

このように、半導体装置100では、配線体101の両面に設けられた第一の半導体素子113および第二の半導体素子111の間を高密度かつ優れた信頼性で接続することができる。半導体素子との接続信頼性の向上が可能でシリコン層105を有する配線体101を用いることで、高い配線密度で複数のチップや大規模なチップ間を接続することが可能となる。

【0068】

たとえば、半導体装置100は、たとえば50 μ m以下の電極ピッチ間隔すなわち導体ビア109の最小間隔がたとえば50 μ m以下である構成にも対応可能な構成となっている。また、高密度な配線体101を介した接続構造が実現されるため、チップサイズや電極位置、外部端子への配線接続に関する設計に対して高い自由度を提供し、発熱の大きいロジックLSIチップを第二の半導体素子111とすれば、ロジックLSIチップに対してヒートスプレッダなどの放熱機構を付加することも可能になる。

【0069】

また、半導体装置100において、平板状の配線体101の両面に接続された複数の半導体素子が配線体101を貫通する導体ビア109および導体ビア109に接続している配線層103中の配線を介して電氣的に接続される。第一の半導体素子113および第二の半導体素子111が、シリコン層105と絶縁膜107とを貫通する導体スルーホールである導体ビア109および配線層103中の配線を介して電氣的に接続されているため、第一の半導体素子113と第二の半導体素子111との接続距離を短くすることができる。このため、第一の半導体素子113と第二の半導体素子111との間の通信処理速度を増加させることができる。

【0070】

また、複数のLSI間を微細な配線で高密度に接続することにより、電気特性に優れた構成となっている。また、従来のチップオンチップ(COC)構造の半導体装置などのマルチチップパッケージに比較して高い設計自由度を有する。これに伴い、放熱性に優れた構造も容易に実現可能である。さらには、2次実装信頼性も高いBGA型半導体装置とすることができる。さらにこのようにして高精度で接合された第一の半導体素子113を含む配線体101の片面を樹脂封止した後にシリコン基板133を取り除き、反対面に第二の半導体素子111を接続することにより、半導体素子間を高密度に電氣的に接続することが可能になる。

【0071】

また、半導体装置100では、半導体素子間を高密度に電氣的に接続することが可能になるため、バス幅の拡大に相当する効果が得られる。このため、高速化と低消費電力化の両立が可能となる。たとえば、同一の処理速度でのクロック周波数の低減が可能となる。また、同一のクロック周波数における処理速度を増加させることができる。

【0072】

したがって、たとえば、半導体装置100は、大容量メモリとシステムLSIとのチップオンチップ接続に適用することができる。このとき、バンプ接続等の電極接続の多ピン化および狭ピッチ化が可能となる。また、配線体101は、ロジック回路が形成された半導体チップとDRAM等のメモリ素子が設けられたメモリチップとの間に設けられ、これ

10

20

30

40

50

らを接続する接続部材として好適に用いることができる。

【0073】

また、半導体装置100において、配線体101の少なくとも片面に絶縁樹脂119からなる層が形成されている。具体的には、配線体101の配線層103の側の面には絶縁樹脂119の層が形成されている。また、絶縁樹脂119を貫通し、配線層103中の配線に接続された導体スルーホール121の絶縁樹脂119からの露出面に電極端子123が形成されている。樹脂貫通スルーホールである導体スルーホール121を用いた構造とすることにより、熱応力緩和機能により優れた二次実装信頼性が得られる。

【0074】

また、半導体装置100において、平板状の配線体101は、シリコン基板133上で形成される。半導体素子間を電氣的に接続するための配線体101を剛性の高いシリコン基板133上で形成するため、配線パターンの微細化が可能となる。

【0075】

また、半導体装置100は、シリコン基板133上に配線体101が設けられ、配線体101上に第一の半導体素子113を接合した後シリコン基板133を除去することにより得られる。シリコン基板133を用いることにより、第一の半導体素子113と配線体101中の導電部材との接続プロセスにおける熱膨張係数の不一致による接続安定性の低下を抑制することができる。このため、非常に高精度で信頼性の高い接合が実現される。

【0076】

また、半導体装置100は、シリコン基板133を取り除いた後、反対面にもLSIすなわち第二の半導体素子111を接続することにより作製される。このように、半導体装置100は、複数のLSI間を微細な配線で高密度にかつ安定に接続された構成となっているため、従来のシステムインパッケージ(SiP)で実現できなかった良好な動作特性を発揮することができる。

【0077】

なお、図1に示した半導体装置100および以降の実施形態に記載の半導体装置において、第一の半導体素子113が絶縁樹脂119に埋設されている構成とすることもできる。図5は、第一の半導体素子113が絶縁樹脂119中に埋設された構成の半導体装置を模式的に示す断面図である。

【0078】

また、図1に示した半導体装置100および以降の実施形態に記載のシリコン層105を有する半導体装置において、支持層であるシリコン層105にトランジスタ等の能動素子が形成されていてもよい。こうすれば、配線体101をさらに高機能化することができる。

【0079】

また、半導体装置100および以降の実施形態に記載の半導体装置において、配線体101の第二の半導体素子111の接合された側の面にも絶縁樹脂が設けられていてもよい。図6は、第二の半導体素子111の側壁および絶縁膜107の表面を覆う絶縁樹脂135が設けられているフリップチップ型の半導体装置の構成を模式的に示す断面図である。配線体101の両面が絶縁樹脂119および絶縁樹脂135により封止された構成とすることにより、半導体装置の強度を向上させることができる。また、配線体101の両面の構成の対称性を高めることができるため、製造安定性を向上させることができる。

【0080】

以下の実施形態においては、第一の実施形態と異なる部分を中心に説明する。

【0081】

(第二の実施形態)

第一の実施形態に記載の半導体装置100(図1)は、配線層103、シリコン層105、絶縁膜107がこの順に積層された構成の配線体101を備えていたが、配線体101は、配線層103およびシリコン層105の積層体からなる構成としてもよい。図7は、本実施形態に係る半導体装置110の構成を模式的に示す断面図である。

10

20

30

40

50

【0082】

図7に示した半導体装置110の基本構成は第一の実施形態に記載の半導体装置100(図1)と同様であるが、絶縁膜107が設けられておらず、第二の半導体素子111は配線体101のシリコン層105の表面に電極115およびアンダーフィル樹脂127を介して接続されている点異なる。また、半導体装置110において、導体ビア109は、シリコン層105を貫通し配線層103中の配線に電氣的に接続されている。

【0083】

半導体装置110は、図2(b)、図2(c)、図3(a)~図3(c)、および図4(a)~図4(c)を用いて前述した工程を用いて製造することができる。まず、シリコン基板133に導体ビア109を形成し、導体ビア109の形成面に配線層103を形成する。そして、第一の実施形態の場合と同様にして第一の半導体素子113および第二の半導体素子111を配線体101に接合する。なお、半導体装置110の製造においては、シリコン基板133を裏面から薄化し、除去せずに所定の厚さのシリコン基板133をシリコン層105として残存させる。

【0084】

図7に示した半導体装置110においても、配線層103および支持層であるシリコン層105がこの順に積層された構成の配線体101を備えているため、第一の半導体素子113および第二の半導体素子111の接合時の熱膨張率差が小さい構成となっている。このため、これらの接続信頼性を十分に確保するとともに、接続する導体ビア109の間隔を十分に小さくすることができる。

【0085】

また、半導体装置110においては、バルクのシリコン基板133が利用可能であり、シリコン基板133の研削厚をコントロールすることにより所定の厚さのシリコン層105を有する配線体101を設けることができる。このため、SOI基板129を用いる必要がなく、装置構成を簡素化することができる。

【0086】

なお、半導体装置110においては、導体ビア109の周囲におけるシリコン層105の表面が絶縁される。これにより、第二の半導体素子111の電極間の絶縁性が確保される。図7では、絶縁性のアンダーフィル樹脂125をシリコン層105と第二の半導体素子111との間に埋設することにより、導体ビア109の周囲が絶縁された構造となっている。

【0087】

(第三の実施形態)

以上の実施形態に記載の半導体装置において、配線体101が配線層103のみから構成されていてもよい。図8は、本実施形態に係る半導体装置120の構成を模式的に示す断面図である。

【0088】

図8に示した半導体装置120の基本構成は第一の実施形態に記載の半導体装置100(図1)と同様であるが、配線体101が配線層103のみからなり、第一の半導体素子113および第二の半導体素子111が配線層103の異なる面に対向して設けられている点異なる。また、第二の半導体素子111が配線層103の表面に電極115およびアンダーフィル樹脂127を介して接続されている点異なる。

【0089】

半導体装置120において、配線層103からなる配線体101は、たとえば以下の方法により製造することができる。図9(a)~図9(c)および図10(a)~図10(c)は、配線層103の作製工程を模式的に示す断面図である。

【0090】

まず、シリコン基板133の表面に、スパッタ法などを用いて金属のシード層137を形成する(図9(a))。シード層137は、たとえばNiとすることができる。次に、シード層137上に配線形成位置を露出させるレジストパターンを形成し、シード層13

10

20

30

40

50

7の露出部を起点として所定のパターンの接続電極139を形成する(図9(b))。接続電極139は、後述する絶縁樹脂膜141の下面側の電極である。接続電極139は、外部引き出し電極として用いることができる。接続電極139は、たとえば電解めっき法により形成することができる。

【0091】

接続電極139の材料は、Cu、Al、Au、Ni、W等の金属や合金、メタルシリサイド、またはポリシリコンなどの各種導電性材料で形成することができ、単層構造の他、半田の拡散防止層や電極強度の補強層を含む積層構造とすることもできる。積層構造の電極としては、下端側からAu、Ni、Cuがこの順で積層された電極(Au/Ni/Cu電極)、下端側からNi、Au、Ni、Cuがこの順で積層された電極(Ni/Au/Ni/Cu電極)、このNi/Au/Ni/Cu電極から最下端層のNi層が除去されたAu/Ni/Cu電極、下端側からCu、Ag、Cuがこの順で積層された電極(Cu/Ag/Cu電極)を挙げることができる。上記電極において、中間のNi層は半田の拡散防止層として機能する。また、Cu/Ag/Cu電極において、Ag層は電極の強度を向上する補強層として機能する。

10

【0092】

次に、接続電極139の形成面の全面に絶縁樹脂膜141を設け、接続電極139を絶縁樹脂で埋め込む(図9(c))。絶縁樹脂膜141は、たとえばラミネートフィルム状の絶縁樹脂シートを接合する方法や、スピンコート法等により形成することができる。そして、絶縁樹脂膜141の所定の位置にレーザー光を照射し、レーザーヴィアすなわち開口部143を設ける(図10(a))。また、絶縁樹脂膜141に感光性樹脂を用い、フォトリソグラフィ法により開口部143を形成してもよい。

20

【0093】

その後、開口部143をCu等の所定の金属膜で埋めこみ、ヴィアプラグ145とする(図10(b))。そして、ヴィアプラグ145に接続し、所定のパターンを有する配線147を絶縁樹脂膜141上に形成する(図10(c))。配線147の材料は、たとえばCu等の金属とする。そして、配線147の表面に、上層からAu/Niからなるめっき層(不図示)を形成する。以上の工程により、シリコン基板133上に多層の配線層103が形成される。

【0094】

なお、ヴィアプラグ145の平面配置に特に制限はなく、半導体装置120の設計に応じて適宜選択することができる。たとえば、ヴィアプラグ145を正方格子状に配置したり、千鳥配置等の斜格子状に配置したりすることができる。

30

【0095】

図8に示した半導体装置120は、以上の方法でシリコン基板133上に配線層103を作製した後、第二の実施形態に記載の半導体装置110(図7)の製造工程を用いて製造することができる。ここで、第二の実施形態においては配線体101がシリコン層105を有する構成であったため、シリコン基板133を薄化した。本実施形態に係る半導体装置120はシリコン層105を有しない構成であるため、第一の半導体素子113を接合した後、第一の実施形態の場合と同様にシリコン基板133を除去する。そして、配線体101に第二の半導体素子111を接合する

40

【0096】

こうして得られる半導体装置120(図8、図10(c))において、接続電極139は、絶縁樹脂膜141の第二の半導体素子111の側に設けられる。接続電極139は、第二の半導体素子111を第一の半導体素子113に接続するための素子接続電極と、第二の半導体素子111を外部に接続するための外部接続電極とを含む。接続電極139がこれらのいずれである場合においても、接続電極139の側面全面が絶縁樹脂膜141中に埋設されるとともに、接続電極139の絶縁樹脂119と反対側の面の全体が絶縁樹脂膜141から露出し、この面では接続電極139が絶縁樹脂膜141に接していない構成となっている。

50

【0097】

これにより、接続電極139の高密度配置が可能となる。また、接続電極139の側面外周を確実に絶縁することができる。また、配線層103の第二の半導体素子111の側の面を平坦面としつつ、電極端子123を所定の領域に確実に設け、電極端子123の周囲を確実に絶縁することが可能となる。

【0098】

また、接続電極139を外部接続電極とする場合、従来のワイヤボンディング形式の接続に対し、高密度かつ短い接続距離での接続が可能となる。

【0099】

なお、半導体装置120において、接続電極139は、複数の導電部材が接合されて構成されていてもよい。また、接続電極139の絶縁樹脂膜141からの露出面は平坦面でもなくてもよい。たとえば、接続電極139の露出面が絶縁樹脂膜141の表面から凸状にはりだした曲面であってもよい。また、接続電極139は、絶縁樹脂膜141からの露出面にパンプ電極が接合されていてもよい。

10

【0100】

接続電極139の絶縁樹脂膜141からの露出面を曲面とすることにより、接続電極139を他の接続部材に接合するのに十分な高さが確保される。こうした構成は、たとえば接続電極139の露出面に、無電解めっき法などにより曲面状の電極を形成することにより得られる。

【0101】

また、図8に示した半導体装置120は、バルクのシリコン基板133を利用して製造することが可能である。このため、低コストで高密度な配線構造により第一の半導体素子113と第二の半導体素子111とを接続することができる。また、配線体101が配線層103からなるため、簡素な構成である。このため、製造工程を簡素化し、製造コストの低減が可能である。

20

【0102】

第一の半導体素子113および第二の半導体素子111は、線膨張係数が0.5ppm/以上5ppm/以下の基板を有する構成とした場合、シリコン基板133との熱膨張係数の差を小さくすることができるため、配線体101と第一の半導体素子113および第二の半導体素子111との接続信頼性を向上させることができる。また、第一の半導体素子113および第二の半導体素子111の基板の種類に応じて、バルクのシリコン基板133に代えて、これらの半導体素子の基板との線膨張係数差の小さい材料を用いて半導体装置120を製造してもよい。

30

【0103】

また、第一の半導体素子113および第二の半導体素子111が、シリコン基板を有する素子であってもよく、この場合、バルクのシリコン基板133を用いることによる効果が顕著に発揮される。このため、第一の半導体素子113と第二の半導体素子111とを接続する導体ビア109を高密度で設け、これらの半導体素子間を高密度で接続することが可能となる。

【0104】

また、配線層103中の接続電極139およびビアプラグ145の側面は絶縁樹脂膜141に覆われているため、接続電極139の端面に電極115または電極117として半田パンプを接続する場合、半田の流動による接続不良を抑制することができる。

40

【0105】

また、半導体装置120は、配線体101の両面に半導体素子が接合されるため、対称性が高い構成である。このため、第二の半導体素子111と第一の半導体素子113との接続信頼性を十分に確保することが可能となる。

【0106】

また、第一の半導体素子113の配線層103の側の面と、第二の半導体素子111の配線層103の側の面とが、配線層103の面に略垂直に一直線に接続されている。この

50

ため、接続距離を短縮し、安定的な接続が確保された構成となっている。なお、配線体 101 の内部で水平方向に延在する配線を介さずに接続されていれば、半導体素子間の接続が完全に垂直でなくてもよい。また、本実施形態において、配線体 101 の面に垂直方向に設けられた導電部材すなわちヴィアプラグ 145 の最小間隔をたとえば 50 μm 以下と高密度化することができる。

【0107】

本実施形態において、配線層 103 からなる配線体 101 を有する半導体装置は、以下の構成としてもよい。図 31 は、本実施形態に係る半導体装置の構成を模式的に示す断面図である。図 31 に示した半導体装置 150 の基本構成は図 8 に示した半導体装置 120 と同様であるが、絶縁樹脂 119 中を貫通する導体スルーホール 121 を有さず、配線体 101 の第二の半導体素子 111 の側の面に接して設けられ、配線体 101 中の配線に接続した電極端子 123 を有する点が異なる。

10

【0108】

半導体装置 150 は、図 8 に示した半導体装置 120 と同様に、平板状の絶縁樹脂膜 141 およびこれを貫通する導電体を有するため、第一の半導体素子 113 と第二の半導体素子 111 とを高密度で確実に接続することができる。また、絶縁樹脂 119 中に導体スルーホール 121 を設ける工程を設けることなく製造可能であるため、製造プロセスを簡素化可能な構成となっている。

【0109】

図 32 および図 33 は、図 31 に示した半導体装置 150 の配線層 103 の構成を詳細に示した断面図である。

20

【0110】

図 32 に示した半導体装置では、配線層 103 が、ヴィアプラグ 145 およびパッド 175 が設けられた層と配線 147 が設けられた層との二層構造となっている場合を例示している。なお、ヴィアプラグ 145 およびパッド 175 が設けられた層には、ヴィアプラグ 145 およびパッド 175 以外の所定の配線が形成されていてもよい。

【0111】

図 32 において、電極端子 123 は、配線 147 に接合されている。また、配線 147 は、所定のヴィアプラグ 145 またはパッド 175 に接合されている

【0112】

30

ヴィアプラグ 145 およびパッド 175 は、絶縁樹脂膜 141 の第二の半導体素子 111 に設けられた接続電極である。これらは、前述した図 10 (c) における接続電極 139 に相当する。これらの接続電極の側面全面が絶縁樹脂膜 141 中に埋設されるとともに、接続電極の絶縁樹脂 119 と反対側の面が全面絶縁樹脂膜 141 から露出し、この面では接続電極が絶縁樹脂膜 141 に接していない構成となっている。これにより、配線層 103 を平坦面としつつ、電極端子 123 を所定の領域に選択的に設けることが可能となる。

【0113】

なお、図 32 において、ヴィアプラグ 145 は第二の半導体素子 111 との素子接続電極であり、パッド 175 は電極端子 123 に接続する外部引き出しパッド、すなわち外部接続電極である。

40

【0114】

配線 147 は、絶縁樹脂膜 141 第一の半導体素子 113 の接続面上に設けられている。配線 147 の側面および絶縁樹脂 119 の側の面は、絶縁樹脂膜 141 に埋設されておらず、絶縁樹脂膜 141 から露出している。また、露出部分は絶縁樹脂 119 中に埋設されている。これにより、配線層 103 の強度が十分に確保されている。

【0115】

なお、図 32 において、第一の半導体素子 113 をメモリチップとし、第二の半導体素子 111 をロジックチップとしてもよい。このとき、図 31 における電極 115 として、第二の半導体素子 111 を第一の半導体素子 113 に接続させるメモリ通信用電極 179

50

および第二の半導体素子 111 を電極端子 123 に接続させる外部入出力用電極 183 を設けることができる。また、図 31 における電極 117 として、第一の半導体素子 113 を第二の半導体素子 111 に接続させるメモリ電極 181 を設けることができる。

【0116】

また、図 33 に示した半導体装置の基本構成は図 32 と同様であるが、図 32 と異なり、ビアプラグ 145 とパッド 175 とが異なる層に設けられている。このため、パッド 175 の層すなわち接続電極 139 の層、ビアプラグ 145 の層、および配線 147 の層がこの順に積層された配線層 103 は、図 32 よりも一層多い三層構造となっている。この構成では、接続電極 139 を有する層が一つの面が絶縁樹脂膜 141 から露出した接続電極の層となっている。接続電極 139 の一部は第二の半導体素子 111 に接続する素子接続電極であり、他の一部は電極端子 123 に接続するパッド 175 である。

10

【0117】

また、図 33 において、第二の半導体素子 111 をメモリチップとし、第一の半導体素子 113 をロジックチップとしてもよい。このとき、図 32 の場合とは逆に、図 31 の電極 115 としてメモリ電極 181 を設け、図 31 の電極 117 としてメモリ通信用電極 179 および外部入出力用電極 183 を設けることができる。

【0118】

なお、図 31 に示した半導体装置 150 において、配線層 103 の構成および積層数は図 32 および図 33 に示した態様に限られず、装置構成に応じて適宜設定することができる。また、図 32 および図 33 に示した半導体装置における配線層 103 は、たとえば第七の実施形態にて後述する方法により製造することができる。

20

【0119】

さらに、本実施形態に係る半導体装置は、他の半導体装置と積層接続して用いることもできる。図 34 および図 35 は、こうした半導体装置の構成を模式的に示す断面図である。

【0120】

図 34 は、図 8 に示した半導体装置 120 を他の半導体装置 185 と接続した構成を示す図である。半導体装置 120 と半導体装置 185 とは、半導体装置 185 に設けられた電極端子および半導体装置 120 に設けられた導体スルーホール 121 を介して接続されている。

30

【0121】

また、図 35 は、図 31 に示した半導体装置 150 を他の半導体装置 187 と接続した構成を示す図である。半導体装置 150 と半導体装置 187 とは、半導体装置 150 に設けられた電極端子 123 および半導体装置 187 に設けられた導体スルーホールを介して接続されている。

【0122】

なお、本実施形態において、配線層 103 からなる配線体 101 の構成を第七の実施形態において後述する構成としてもよい。また、第七の実施形態に記載の半導体装置に本実施形態の構成を適用することもできる。

【0123】

(第四の実施形態)

第一の実施形態に記載の半導体装置 100 において、配線体 101 の配線層 103 の側に接合された第一の半導体素子 113 が、複数の半導体素子の積層体であってもよい。図 11 は、本実施形態に係る半導体装置の構成を模式的に示す断面図である。図 11 に示した半導体装置の基本構成は第一の実施形態に記載の半導体装置 100 (図 1) と同様であるが、第一の半導体素子 113 に代えて複数の半導体素子 149 が面の法線に沿って積層された構成である点異なる。

40

【0124】

図 11 に示した半導体装置において、配線体 101 の配線層 103 の面に、アンダーフィル樹脂 127、半導体素子 149、アンダーフィル樹脂 127、半導体素子 149、・

50

・、アンダーフィル樹脂 127、半導体素子 149 が繰り返し設けられた構成によって複数の半導体素子 149 が積層されている。それぞれの半導体素子 149 には、当該半導体素子 149 を貫通する導体スルーホール 151 が設けられている。また、それぞれのアンダーフィル樹脂 127 には隣接する二つの半導体素子 149 間を接続する電極 117 が設けられている。

【0125】

図 11 に示した半導体装置は、絶縁樹脂 119 の形成面側に複数の積層された半導体素子 149 が接続され、積層された半導体素子 149 間が、半導体素子 149 を貫通する導体スルーホール 151 を介して電氣的に接続されている構成になっている。具体的には、複数の半導体素子 149 は、配線層 103 に接続する電極 117、導体スルーホール 151、電極 117、導体スルーホール 151、・・・、電極 117 という電極 117 と導体スルーホール 151 の繰り返し構造により配線体 101 に電氣的に接続される。電極 117 と導体スルーホール 151 との繰り返し構造は、配線体 101 の表面に対する法線方向に略一直線上に形成されている。このため、図 11 に示した半導体装置は、半導体素子 149 間の接続距離が短く、接続信頼性に優れた構成となっている。

【0126】

また、図 11 では、配線層 103 の側に半導体素子 149 の積層体が配置されたが、配線体 101 の絶縁膜 107 の側の面に接続される第二の半導体素子 111 が複数の半導体素子の積層構造を有していてもよい。図 12 は、こうした半導体素子の構成を模式的に示す断面図である。図 12 に示した半導体装置の基本構成は第一の実施形態に記載の半導体装置 100 (図 1) と同様であるが、第二の半導体素子 111 に代えて複数の半導体素子 149 が面の法線に沿って積層された構成である点異なる。

【0127】

図 12 に示した半導体装置において、配線体 101 の絶縁膜 107 の面に、アンダーフィル樹脂 125、半導体素子 149、アンダーフィル樹脂 125、半導体素子 149、・・・、アンダーフィル樹脂 125、半導体素子 149 が繰り返し設けられた構成によって複数の半導体素子 149 が積層されている。それぞれの半導体素子 149 には、当該半導体素子 149 を貫通する導体スルーホール 151 が設けられている。また、それぞれのアンダーフィル樹脂 125 には隣接する二つの半導体素子 149 を接続する電極 115 が設けられている。

【0128】

また、複数の半導体素子 149 は、絶縁膜 107 に接続する電極 115、導体スルーホール 151、電極 115、導体スルーホール 151、・・・、電極 115 という電極 115 と導体スルーホール 151 の繰り返し構造により配線体 101 に電氣的に接続される。電極 115 と導体スルーホール 151 との繰り返し構造は、配線体 101 の表面に対する法線方向に略一直線上に形成されている。このため、図 12 に示した半導体装置も、図 11 に示した半導体素子の場合と同様に、半導体素子 149 間の接続距離が短く、接続信頼性に優れた構成となっている。

【0129】

なお、第一の半導体素子 113 または第二の半導体素子 111 が複数の半導体素子 149 の積層体からなる構成は、第二および第三の実施形態に記載の配線体 101 の構成に適用することもできる。

【0130】

また、本実施形態および積層された半導体素子 149 を有する他の実施形態の半導体装置において、積層された半導体素子 149 は、積層メモリモジュールとすることができる。これにより、メモリ容量を増加させつつ、ロジック部等を有する第二の半導体素子 111 との良好な電氣的接続を得ることができる。

【0131】

(第五の実施形態)

以上の実施形態に記載の半導体装置において、配線体 101 の一つの面に複数の半導体

10

20

30

40

50

素子が平面配置されていてもよい。以下、第四の実施形態に記載の半導体装置（図11）の場合を例に説明する。図13は、本実施形態に係る半導体装置の構成を模式的に示す断面図である。

【0132】

図13に示した半導体装置の基本構成は図11に示した半導体装置の構成と同様に、配線体101の絶縁樹脂119形成面側、すなわち配線層103側の面に、複数の積層された半導体素子149が接続され、積層された半導体素子149間が、半導体素子149を貫通する導体スルーホール151および電極117を介して電氣的に接続されている。また、図13に示した半導体装置では、図11に示した半導体装置と異なり、配線体101の絶縁樹脂119形成面に対向する面、すなわち絶縁膜107側の面に、複数の第二の半導体素子111が配設されている点が異なる。

10

【0133】

図13に示した半導体装置においては、複数の第二の半導体素子111が同一平面に配置されて、これらが電極117および導体ビア109を介して配線層103に接続する構成となっている。このため、複数の第二の半導体素子111と配線層103との接続距離をそろえ、これらを短縮することができる。よって、複数の第二の半導体素子111と半導体素子149との接続信頼性に優れた構成となっている。また、シリコン層105に形成する導体ビア109を高密度化することが可能であるため、第二の半導体素子111を高密度で確実に配線層103に接続することができる。

20

【0134】

（第六の実施形態）

以上の実施形態に記載の半導体装置において、配線体101中に設けられている導体ビア109を導体ワイヤとの接続部材として利用することもできる。また、配線体101の絶縁樹脂119形成面と対向する面に接着材により積層された複数の半導体素子が接続され、そのうち少なくとも1つの半導体素子が、ワイヤを介して、配線体101に電氣的に接続された構成とすることができる。図14は、本実施形態に係る半導体装置の構成を模式的に示す断面図である。

【0135】

図14に示した半導体装置の基本構成は第一の実施形態に記載の半導体装置（図6）と同様であるが、第一の半導体素子113および第二の半導体素子111が設けられていない領域においても配線体101のシリコン層105および絶縁膜107を貫通する導体ビア109が設けられている点が異なる。

30

【0136】

また、図14に示した半導体装置においては、配線体101の絶縁樹脂119形成面と対向する面すなわち絶縁膜107の側の面に、接着剤153により積層された複数の第二の半導体素子111が接続されている。そして、少なくとも1つの第二の半導体素子111が、配線体101のシリコン層105と絶縁膜107を貫通する導体ビア109に接続して形成された導体パッド159に、導体パッド157および導体からなるワイヤ155を介して接続された構成となっている。導体パッド157は、たとえば無電解めっき法により形成することができる。

40

【0137】

本実施形態では、導体ビア109を第一の半導体素子113および第二の半導体素子111の接合領域以外の絶縁樹脂119および絶縁樹脂135に封止された領域にも設けることにより、第二の半導体素子111とのワイヤボンディングに好適に利用することができる。このため、第二の半導体素子111と配線体101との電氣的接続の設計の自由度の大きい構成となっている。

【0138】

（第七の実施形態）

図15(a)および図15(b)は、本実施形態に係る半導体装置の構成を模式的に示す断面図である。図15(a)は、図15(b)に示した半導体装置のボンディング前の

50

状態を示す図である。図15(a)に示した半導体装置は、第三の実施形態に記載の配線層103からなる配線体101の一方の面に第一の半導体素子113が接合され、他方の面に第二の半導体素子111が配設された構成を有する。第一の半導体素子113は、配線体101上を覆う絶縁樹脂119中に埋設されている。なお、絶縁樹脂119を貫通する導体スルーホール121および導体スルーホール121に接続する電極端子123は、図15(a)においては設けられていない。

【0139】

図15(a)に示した半導体装置は、チップ間が電氣的に接続された半導体モジュールである。図15(b)に示したように、図15(a)に示した半導体装置は、接着剤153によりヒートスプレッド171の表面に接着される。半導体装置の側方においてヒートスプレッド171の表面にサポートリング161およびTABテープ基板163がこの順に接着剤153により接着されている。TABテープ基板163の表面には配線層165が設けられている。配線層165は、端部が配線層103に向かって引き出されたインナーリード169を有し、インナーリード169はインナーリード封止樹脂167により封止されている。そして、図15(a)に示した半導体装置の外部に引き出された配線層103からなる配線体101は、TAB(Tape Automated Bonding)技術によりインナーリード169を介してTABテープ基板163上の配線層165に接続されている。

【0140】

このように、配線層103を有する半導体装置は、TAB接続型の装置に適用することもできる。TAB技術を用いてインナーリードを接続することにより、半導体装置の設計の自由度をさらに増すことができる。

【0141】

なお、本実施形態および配線層103からなる配線体101を有する他の実施形態に係る半導体装置において、配線体101の両面に第一の半導体素子113および第二の半導体素子111が接合された半導体モジュールの構成は、たとえば以下のようにすることができる。図16は、本実施形態に係る半導体モジュールの構成を模式的に示す断面図である。

【0142】

図16に示した半導体モジュールは、図32に示した配線層103と同様の基本構成を有する配線体101を備える。接続電極であるビアプラグ145と外部引き出し用のパッド175とが同層に設けられている。また、これらと同層に樹脂止めパターン177が設けられている。樹脂止めパターン177は、ビアプラグ145やパッド175と同じ材料で同一工程により形成することができる。

【0143】

パッド175は、第一の半導体素子113および第二の半導体素子111の形成領域の側方における配線層103に設けられている。また、樹脂止めパターン177は、アンダーフィル樹脂125およびアンダーフィル樹脂127の形成領域の近傍において、これらのアンダーフィル樹脂の形成領域の側方に設けられている。

【0144】

また、絶縁樹脂119の形成面と反対側の面に接続された第二の半導体素子111(ロジックLSIチップ)は、外部入出力用電極183、ビアプラグ145および配線147を介して配線147に接続されている。また、第二の半導体素子111は、メモリ通信用電極179が、ビアプラグ145、配線147およびメモリ電極181を介して配線層103の反対面に接続された第一の半導体素子113(メモリLSIチップ)と接続されている。

【0145】

図16に示した半導体モジュールは、たとえば第三の実施形態に記載の方法(図9(a)~図9(c)、図10(a)~図10(c))を用いて作製することができる。また、以下の方法により作製してもよい。図21(a)~図21(c)、図22(a)~図22

10

20

30

40

50

(c)、および図23は、図16に示した半導体モジュールの別の製造工程を模式的に示す断面図である。

【0146】

まず、シリコン基板133の表面に、スパッタ法などを用いて金属のシード層137を形成する(図21(a))。シード層137は、たとえばCuやNi等とすることができる。次に、シリコン基板133におけるシード層137の形成面の全面に絶縁樹脂膜141を設け、絶縁樹脂膜141の所定の位置にレーザー光を照射し、レーザービアすなわち開口部143を設ける(図21(b))。

【0147】

その後、開口部143をCu等の所定の金属膜で埋めこみ、ビアプラグ145等の接続電極とする(図21(c))。接続電極の材料は、Cu、Ni、Au、W等の金属または合金等の導電材料とすることができる。さらに具体的には、接続電極を、上からCu/Ni/Au/Niの4層構造とすることができる。また、上からCu/Ni/Auの3層構造とすることもできる。

【0148】

そして、接続電極に接続し、所定のパターンを有する配線147を絶縁樹脂膜141上に形成する(図22(a))。配線147の材料は、たとえばCu等の金属とする。そして、配線147の表面に、上層からAu/Niからなるめっき層(不図示)を形成する。以上の工程により、シリコン基板133上に配線層103が形成される。

【0149】

次に、第二の実施形態に記載の半導体装置110(図7)の製造工程を用いて第一の半導体素子113を配線層103の表面に接続する。第一の半導体素子113のメモリ電極181と配線層103の配線147とを接合させて、第一の半導体素子113と配線層103との間にアンダーフィル樹脂127を充填する(図22(b))。そして、配線層103の表面全面に絶縁樹脂119を成形し、第一の半導体素子113をモールド封入する(図22(c))。

【0150】

そして、裏面研削等により、シリコン基板133を除去し、シード層137およびNi層をエッチング除去する。さらに、絶縁樹脂119の一部を研削し、ビアプラグ145の表面を露出させる(図23)。そして、配線層103の面に第一の半導体素子113に対向させて第二の半導体素子111を接続する。こうして、図16に示した半導体モジュールが得られる。

【0151】

また、図24は、図16に示した半導体モジュールの変形例である。図24に示した半導体モジュールの基本構成は図16と同様であるが、配線層103への第二の半導体素子111および第一の半導体素子113の接合面が反転している。この構成では、たとえば、第一の半導体素子113をロジックLSIチップとし、第二の半導体素子111をメモリチップとすることができる。

【0152】

また、本実施形態において、配線層103からなる配線層101を有する半導体モジュールの構成は、図25または図29に示す構成としてもよい。図25および図29は、本実施形態に係る半導体モジュールの構成を模式的に示す断面図である。図25および図29に示した半導体モジュールは、それぞれ基本構成を図16および図24に示した半導体モジュールと同様としているが、配線層103が、接続電極139の形成層、ビアプラグ145の形成層、および配線147の形成層の三層の積層構造となっている点が異なる。接続電極139の一部は素子接続電極であり、他の一部は外部接続電極であるパッド175となっている。

【0153】

また、図25に示した構成では、たとえば、第一の半導体素子113をメモリチップとし、第二の半導体素子111をロジックLSIチップとすることができる。また、図29

10

20

30

40

50

に示した半導体モジュールの基本構成は図25と同様であるが、配線体101への第二の半導体素子111および第一の半導体素子113の接合面が反転している。この構成では、たとえば、第一の半導体素子113をロジックLSIチップとし、第二の半導体素子111をメモリチップとすることができる。

【0154】

図25に示した半導体モジュールは、たとえば次のようにして作製される。図26(a)~図26(c)、図27(a)~図27(c)および図28(a)~図28(b)は、図25に示した半導体モジュールの製造工程を模式的に示す断面図である。

【0155】

まず、シリコン基板133の表面に、スパッタ法などを用いて金属のシード層137を形成する(図26(a))。次に、シード層137上に配線形成位置を露出させるレジストパターンを形成し、シード層137の露出部を起点として所定のパターンの接続電極139を形成する(図26(b))。

【0156】

次に、接続電極139の形成面の全面に絶縁樹脂膜141を設け、接続電極139を絶縁樹脂で埋め込む(図26(c))。絶縁樹脂膜141は、たとえばラミネートフィルム状の絶縁樹脂シートを接合する方法や、スピコート法等により形成することができる。シリコン基板133におけるシード層137の形成面の全面に絶縁樹脂膜141を設け、絶縁樹脂膜141の所定の位置にレーザー光を照射し、レーザーヴィアすなわち開口部143を設ける(図26(c))。

【0157】

その後、開口部143をCu等の所定の金属膜で埋めこみ、ヴィアプラグ145とする(図27(a))。ヴィアプラグ145の材料は、たとえばCu等の金属とすることができる。また、ヴィアプラグ145は、たとえばめっき法により形成することができる。

【0158】

そして、ヴィアプラグ145に接続し、所定のパターンを有する配線147を絶縁樹脂膜141上に形成する(図27(b))。配線147の材料は、たとえばCu等の金属とする。そして、配線147の表面に、上層からAu/Niからなるめっき層(不図示)を形成する。以上の工程により、シリコン基板133上に配線層103が形成される。

【0159】

次に、第二の実施形態に記載の半導体装置110(図7)の製造工程を用いて第一の半導体素子113を配線体101の表面に接続する。第一の半導体素子113のメモリ電極181と配線層103の配線147とを接合させて、第一の半導体素子113と配線層103との間にアンダーフィル樹脂127を充填する(図27(c))。そして、配線層103の表面全面に絶縁樹脂119を成形し、第一の半導体素子113をモールド封入する(図28(a))。そして、裏面研削等により、シリコン基板133を除去し、シード層137およびNi層をエッチング除去し、ヴィアプラグ145の表面を露出させる(図28(b))。そして、配線体101の面に第一の半導体素子113に対向させて第二の半導体素子111を接続する。こうして、図25に示した半導体モジュールが得られる。

【0160】

なお、こうした半導体モジュールは、配線層103からなる配線体101を有する半導体装置だけでなく、たとえば第六の実施形態に記載の半導体装置(図14)等に適用することも可能である。

【0161】

(第八の実施形態)

図17(a)および図17(b)は、本実施形態に係る半導体装置の構成を模式的に示す断面図である。図17(a)に示した半導体装置は、配線層103からなる平板状の配線体と、配線層103の一方の面に設けられた第一の半導体素子と、一方の面および第一の半導体素子の側面を被覆する絶縁樹脂119と、絶縁樹脂119を貫通する導体スルーホール121と、配線層103の他方の面に設けられた第二の半導体素子111と、を有

10

20

30

40

50

する。

【0162】

そして、第一の半導体素子は、複数の半導体素子149が面に垂直な方向に沿って積層された積層体であり、配線147において最も配線体101から遠い側に設けられた電極117と、第一の半導体素子113の配線層103の側の面に設けられた電極115とが、平面視において一致している構成になっている。

【0163】

なお、本実施形態においても、配線層103は、平板状の絶縁樹脂膜141(図17(a)では不図示)と、絶縁体を貫通する導電体と、を有し、導電体を介して複数の半導体素子149と第二の半導体素子111とを電氣的に接続する。

10

【0164】

図17(a)に示した半導体モジュールは、図17(b)に示したように、配線層103中に配線に接続する導体パッド157および導体パッド157に接続しているワイヤ155により配線基板173に接続され、半導体モジュールとワイヤ155とが絶縁樹脂135により封止されている。

【0165】

次に、図17(a)に示した半導体モジュールの製造方法を説明する。図18(a)～図18(c)および図19(a)、図19(b)は、図17に示した半導体装置の製造工程を説明する断面図である。

【0166】

まず、図18(a)に示したシリコン基板133上に配線層103を形成する(図18(b))。配線層103の形成方法は、たとえば第三の実施形態または第七の実施形態に記載の方法とすることができる。次に、あらかじめ一方の面に電極117を形成した半導体素子149を配線層103上の配線に接合する。そして、半導体素子149と電極117との間にアンダーフィル樹脂127を充填する。これを繰り返すことにより、所定の数の半導体素子149が配線層103上に積層される(図18(c))。

20

【0167】

次に、配線層103の半導体素子149が積層された側の面を絶縁樹脂135で被覆する。このとき、半導体素子149を絶縁樹脂135中に埋設させる(図19(a))。そして、裏面研削等の方法により、シリコン基板133を裏面側から除去する(図19(b))。そして、シリコン基板133の除去により露出した配線層103の表面に第二の半導体素子111を接合する。これにより、図17(a)に示した半導体モジュールが得られる。

30

【0168】

図17(b)に示した半導体装置は、以上の工程で得られた半導体モジュールを、配線基板173の表面に接着し、ワイヤ155によるボンディングおよび絶縁樹脂135による封止を行う。そして、電極端子123の形成を行うことにより得ることができる。

【0169】

図17(a)および図17(b)に示した半導体装置は、第二の半導体素子111と半導体素子149とが配線体101の主面の法線方向に一直線に導電部材が設けられて第二の半導体素子111と半導体素子149とが接続された構成となっている。このため、第二の半導体素子111と半導体素子149との接続距離を短くしつつ、導電部材を高密度に配置することができる。このため、第二の半導体素子111と半導体素子149との間の信号処理速度を向上することができる。

40

【0170】

また、図20(a)および図20(b)は、それぞれ図17(a)および図17(b)に示した半導体装置において、配線体101が絶縁膜107、シリコン層105および配線層103の積層体であるとともに、半導体素子149の積層体にかえて一つの第一の半導体素子113を配線層103の一方の面に接合した構成の半導体装置を模式的に示す断面図である。

50

【 0 1 7 1 】

図 2 0 (b) に示したように、この半導体装置は、シリコン層 1 0 5 および絶縁膜 1 0 7 を貫通する導体ビア 1 0 9 に接続して形成された導体パッド 1 5 7 を有する半導体モジュール (図 2 0 (a)) を、配線基板 1 7 3 に接着剤 1 5 3 を介して搭載している。そして、導体パッド 1 5 7 と配線基板 1 7 3 とをワイヤ 1 5 5 により電氣的に接続するとともに、半導体モジュールとワイヤ 1 5 5 を絶縁樹脂 1 3 5 により封止した構成になっている。

【 0 1 7 2 】

また、図 3 0 は、図 2 0 (b) に示した半導体装置に配線層 1 0 3 からなる配線体 1 0 1 を有する半導体モジュールを適用した例を示す断面図である。なお、図 3 0 では、第一の半導体素子 1 1 3 が絶縁樹脂 1 1 9 から露出せずに埋設された構成となっている。

10

【 0 1 7 3 】

図 3 0 においては、接続電極 1 3 9 に導体パッド 1 5 7 を接合し、導体パッド 1 5 7 と配線基板 1 7 3 との間をワイヤ 1 5 5 で接続することにより、配線層 1 0 3 を介して配線基板 1 7 3 と第一の半導体素子 1 1 3 および第二の半導体素子 1 1 1 とが電氣的に接続されている。この構成において、絶縁樹脂 1 1 9 と配線基板 1 7 3 とを接続する接着剤 1 5 3 は、たとえば A g ペーストとすることができる。なお、図 3 0 において、接続電極 1 3 9 の一部はビアプラグ 1 4 5 となっている。

【 0 1 7 4 】

図 3 0 に示した半導体装置では、配線体 1 0 1 と配線基板 1 7 3 とを確実に接続しつつ、第二の半導体素子 1 1 1 と第一の半導体素子 1 1 3 とを短距離で高密度に接続されるため、動作特性に優れた構成となっている。

20

【 0 1 7 5 】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【 0 1 7 6 】

たとえば、以上の実施形態に記載の半導体装置において、配線体 1 0 1 の構成は第一の実施形態 ~ 第三の実施形態のいずれかに記載された構成を適宜選択して用いることができる。

【 符号の説明 】

30

【 0 1 7 7 】

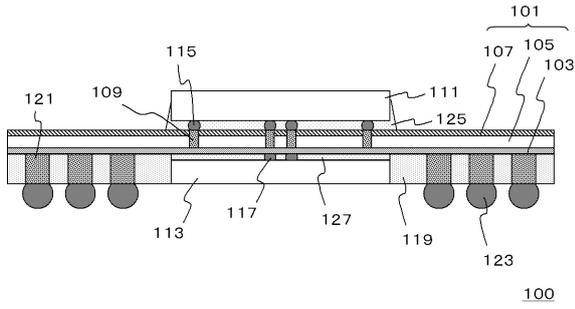
- 1 0 0 半導体装置
- 1 0 1 配線体
- 1 0 3 配線層
- 1 0 5 シリコン層
- 1 0 7 絶縁膜
- 1 0 9 導体ビア
- 1 1 0 半導体装置
- 1 1 1 半導体素子
- 1 1 3 半導体素子
- 1 1 5 電極
- 1 1 7 電極
- 1 1 9 絶縁樹脂
- 1 2 0 半導体装置
- 1 2 1 導体スルーホール
- 1 2 3 電極端子
- 1 2 5 アンダーフィル樹脂
- 1 2 7 アンダーフィル樹脂
- 1 2 9 基板
- 1 3 1 導体ポスト

40

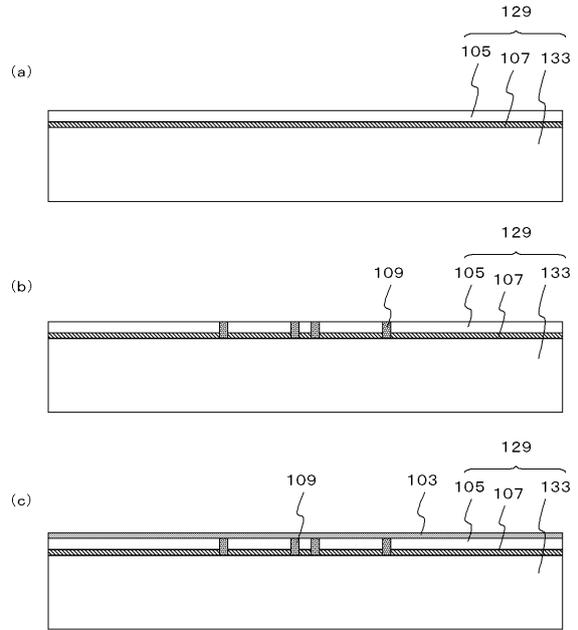
50

1 3 3	シリコン基板	
1 3 5	絶縁樹脂	
1 3 7	シード層	
1 3 9	接続電極	
1 4 1	絶縁樹脂膜	
1 4 3	開口部	
1 4 5	ビアプラグ	
1 4 7	配線	
1 4 9	半導体素子	
1 5 0	半導体装置	10
1 5 1	導体スルーホール	
1 5 3	接着剤	
1 5 5	ワイヤ	
1 5 7	導体パッド	
1 5 9	導体パッド	
1 6 1	サポートリング	
1 6 3	テープ基板	
1 6 5	配線層	
1 6 7	インナーリード封止樹脂	
1 6 9	インナーリード	20
1 7 1	ヒートスプレッダ	
1 7 3	配線基板	
1 7 5	パッド	
1 7 7	樹脂止めパターン	
1 7 9	メモリ通信用電極	
1 8 1	メモリ電極	
1 8 3	外部入出力用電極	
1 8 5	半導体装置	
1 8 7	半導体装置	

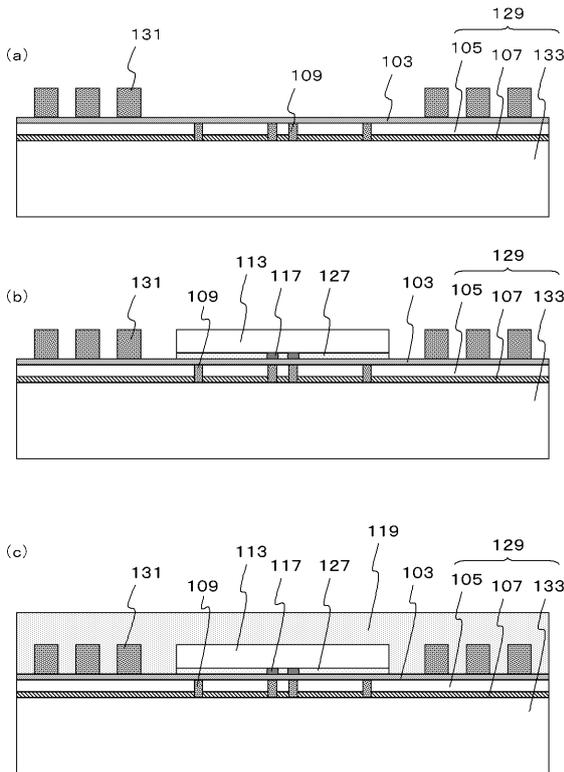
【図1】



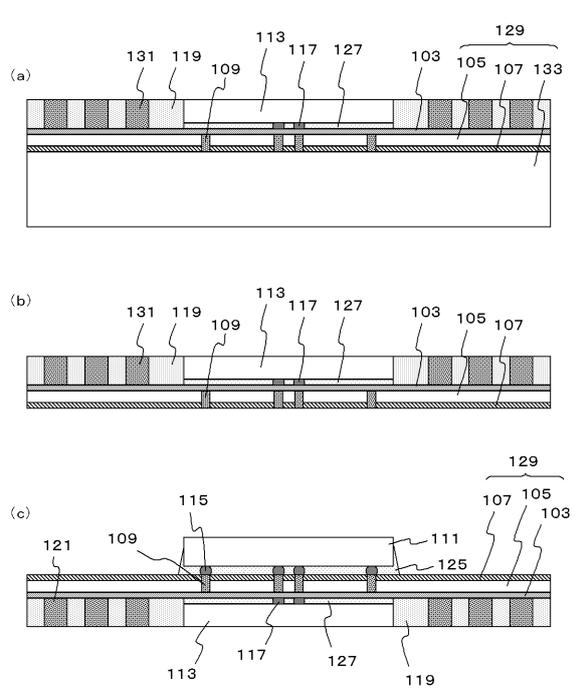
【図2】



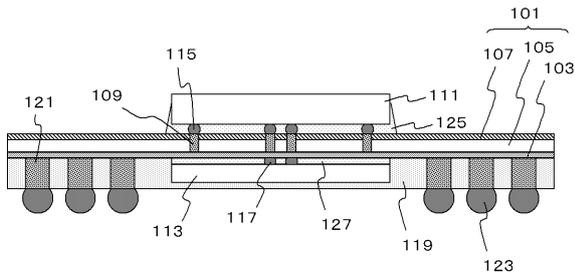
【図3】



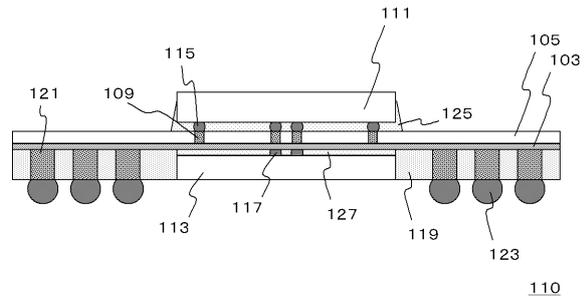
【図4】



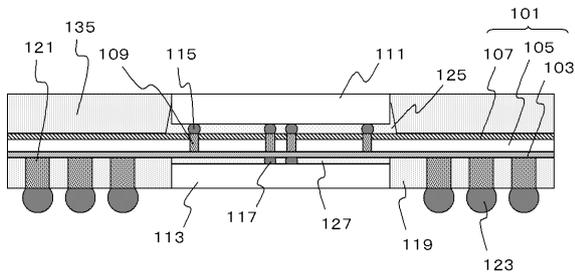
【図5】



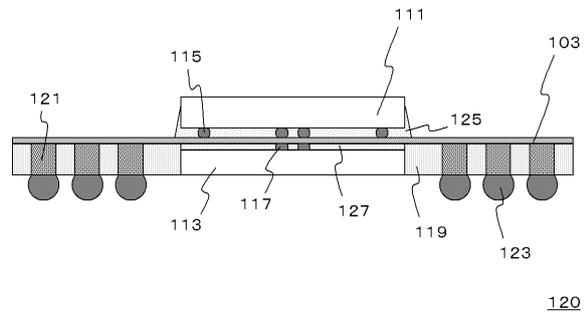
【図7】



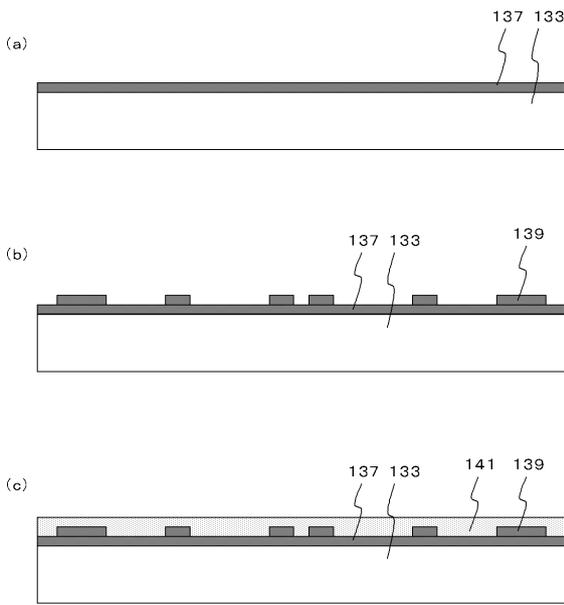
【図6】



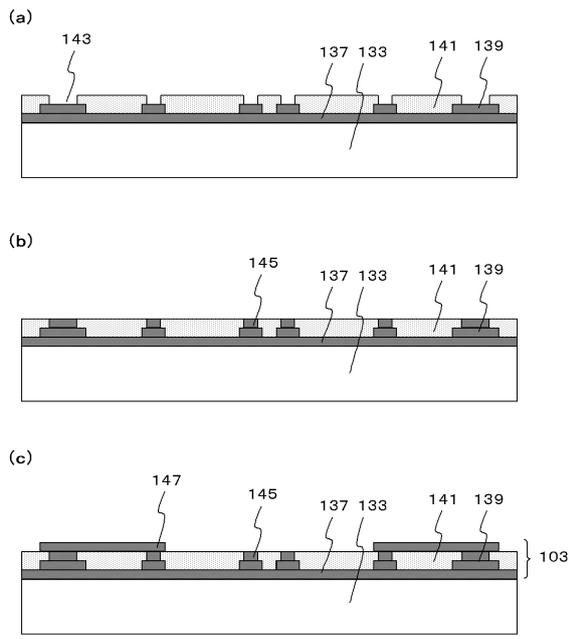
【図8】



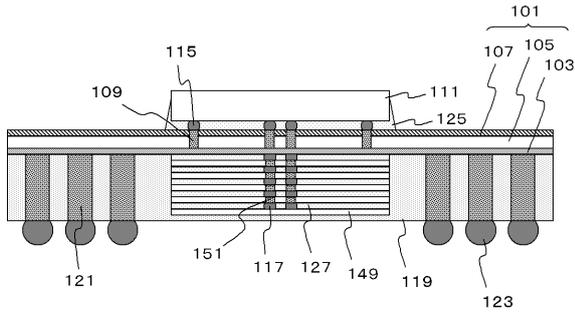
【図9】



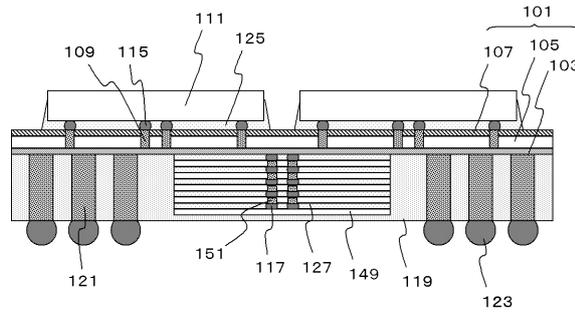
【図10】



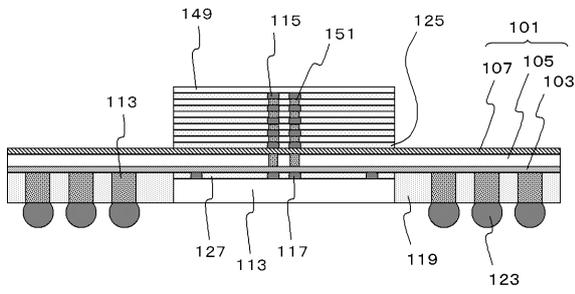
【図 1 1】



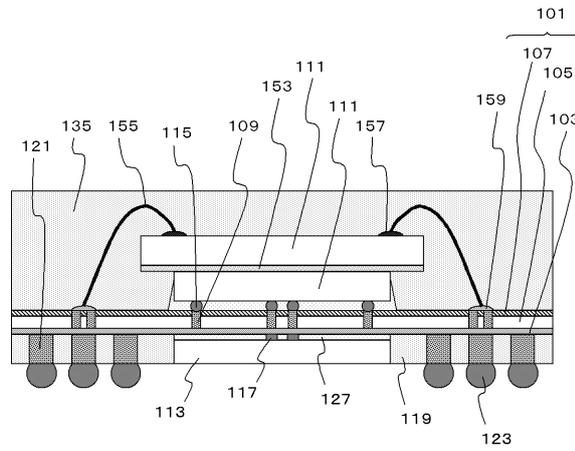
【図 1 3】



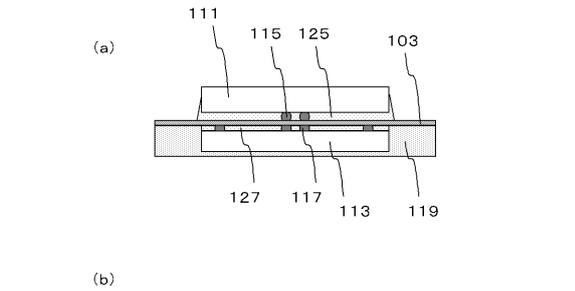
【図 1 2】



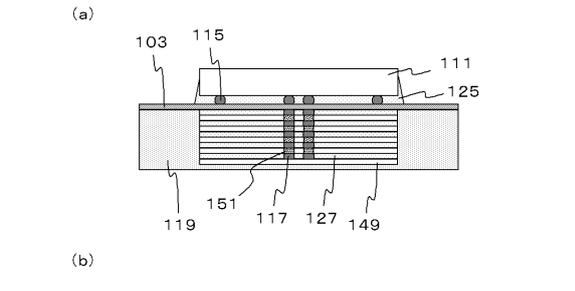
【図 1 4】



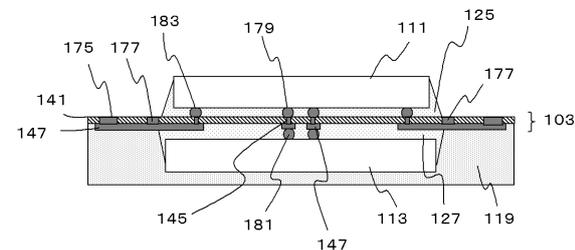
【図 1 5】



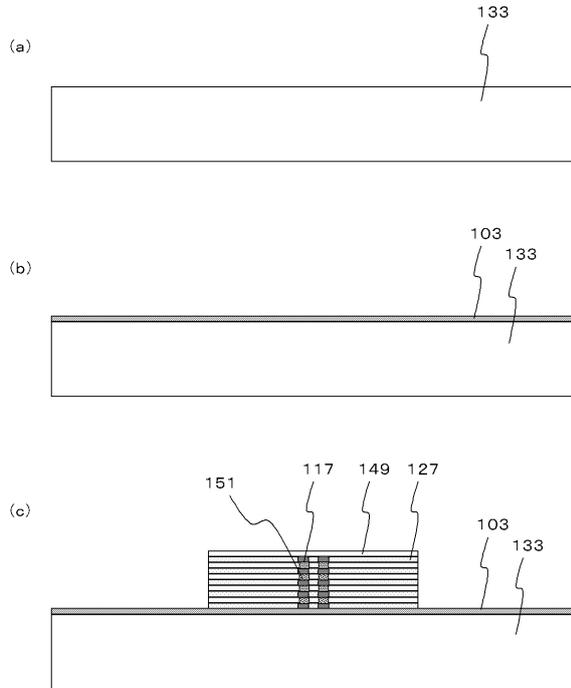
【図 1 7】



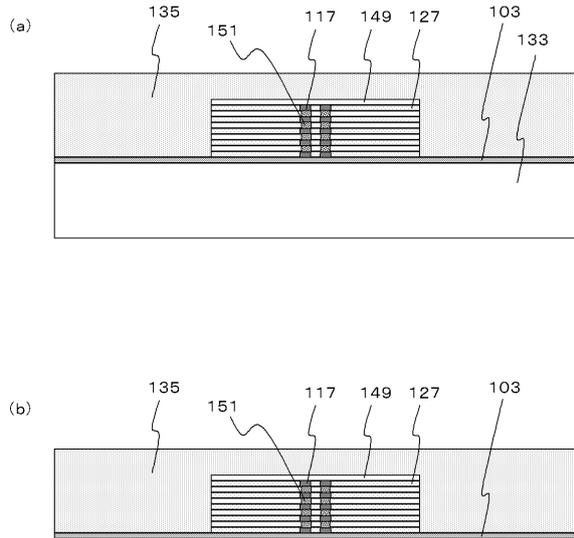
【図 1 6】



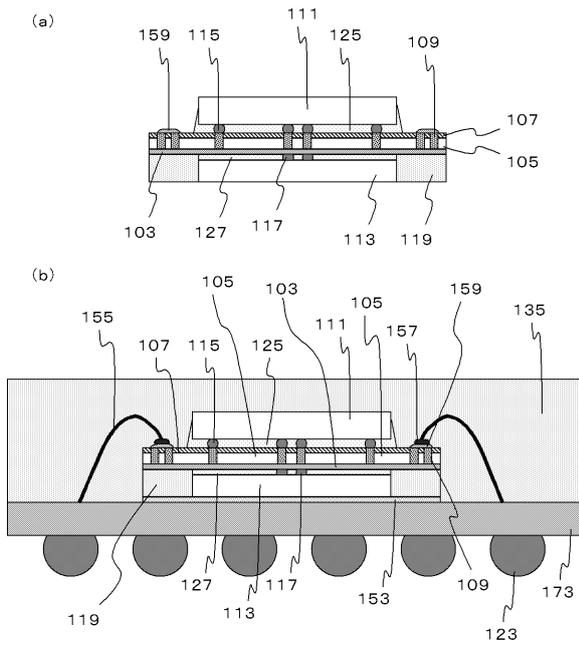
【図 18】



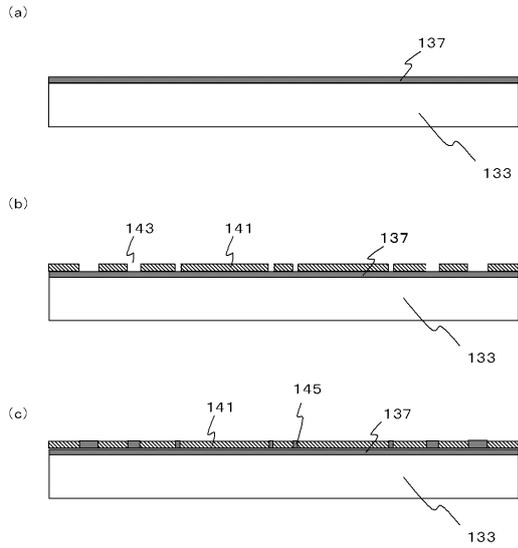
【図 19】



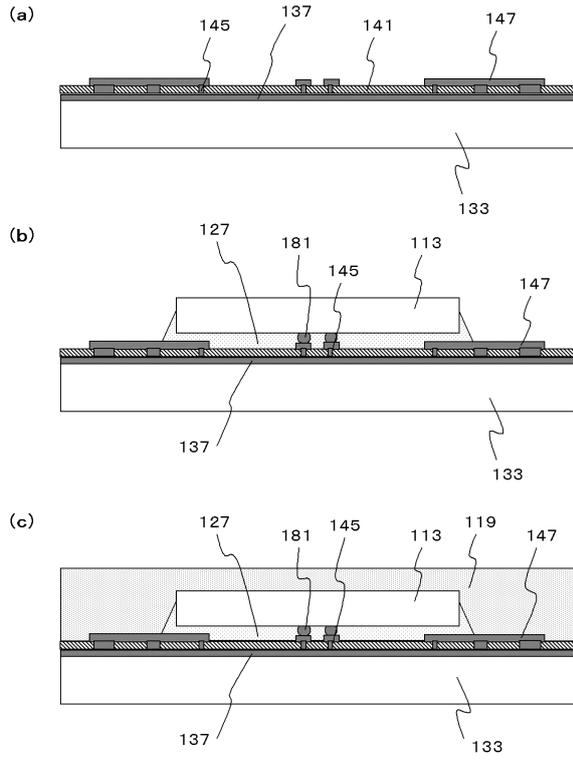
【図 20】



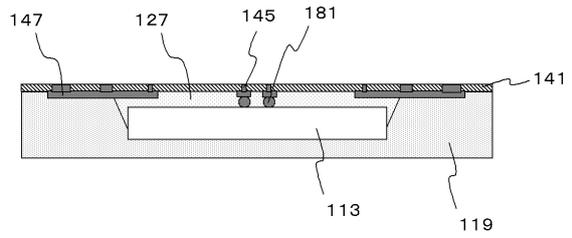
【図 21】



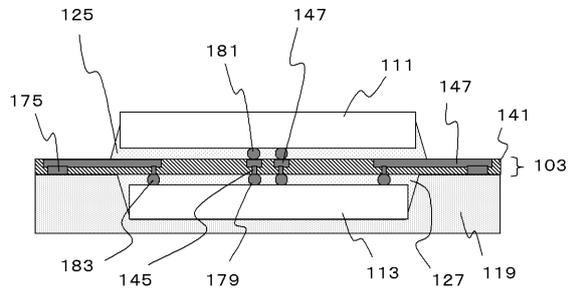
【図 2 2】



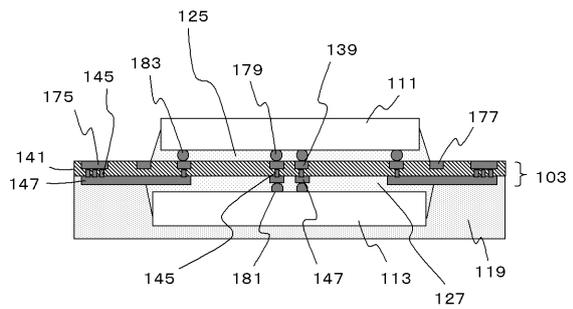
【図 2 3】



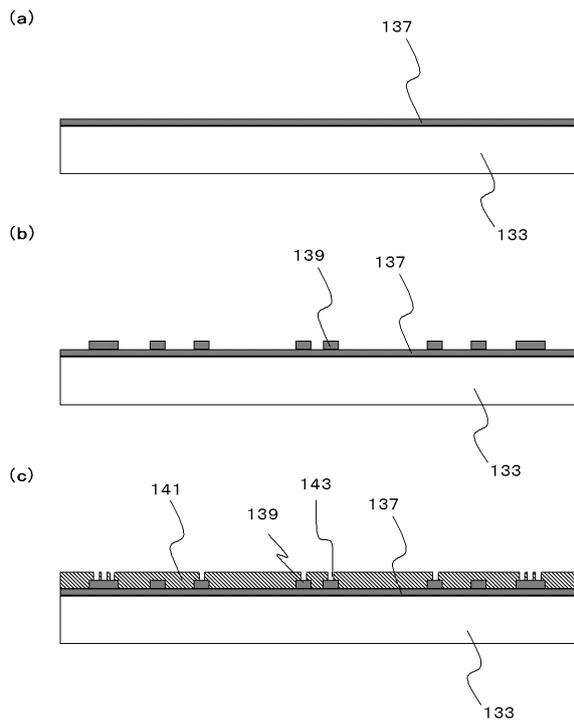
【図 2 4】



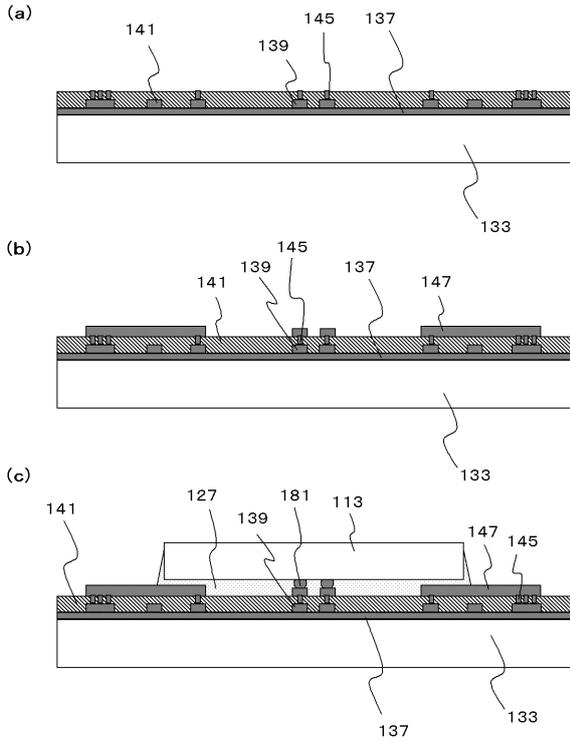
【図 2 5】



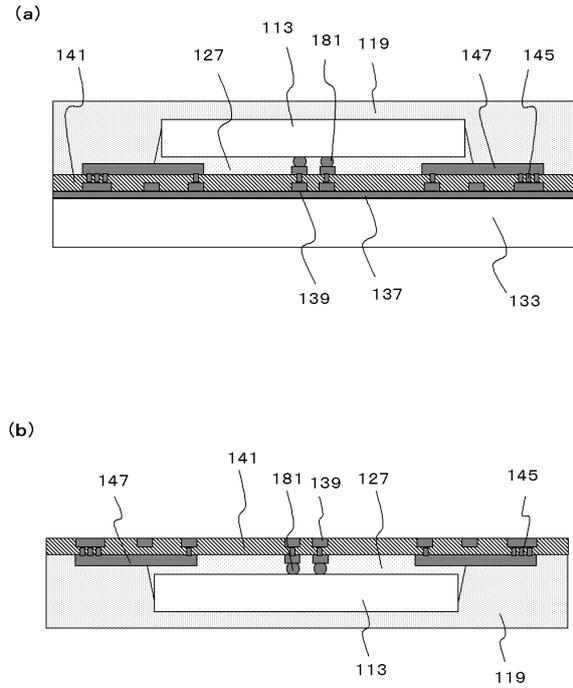
【図 2 6】



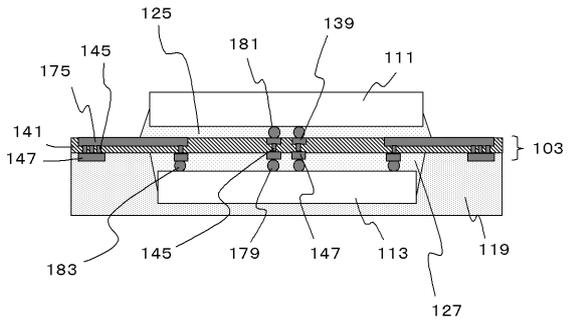
【図 27】



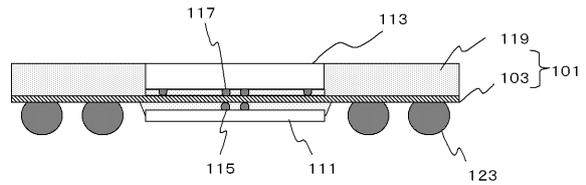
【図 28】



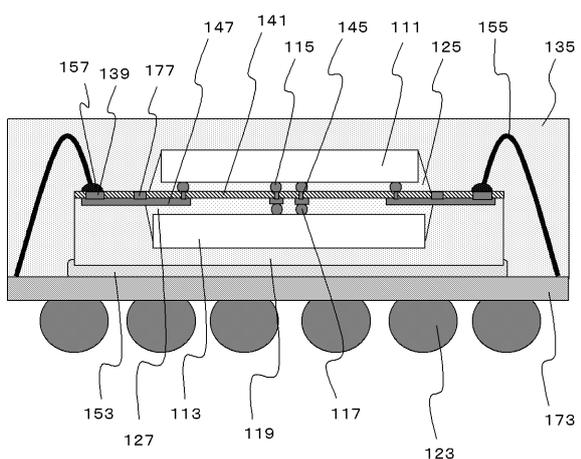
【図 29】



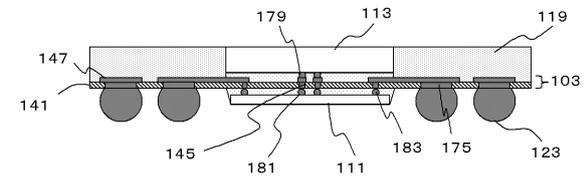
【図 31】



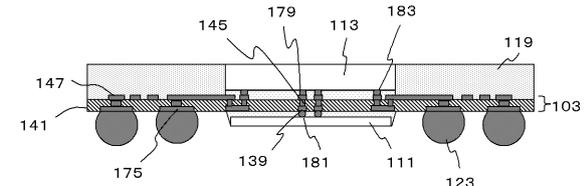
【図 30】



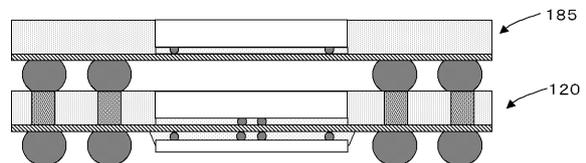
【図 32】



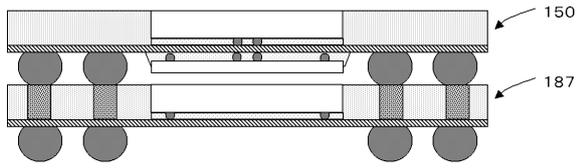
【図 33】



【図 34】



【 3 5】



フロントページの続き

- (56)参考文献 特開平07 - 176684 (JP, A)
特開2004 - 039867 (JP, A)
特開2001 - 177049 (JP, A)
特開2003 - 218264 (JP, A)
特開2002 - 164467 (JP, A)
特開2002 - 314031 (JP, A)
特開平11 - 154728 (JP, A)
特開平05 - 048001 (JP, A)
特開2004 - 079756 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18

H01L 23/12 - 23/15