

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5394603号
(P5394603)

(45) 発行日 平成26年1月22日(2014.1.22)

(24) 登録日 平成25年10月25日(2013.10.25)

(51) Int.Cl. F I
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/065 (2006.01)

請求項の数 15 外国語出願 (全 13 頁)

(21) 出願番号	特願2006-108295 (P2006-108295)	(73) 特許権者	506123069
(22) 出願日	平成18年4月11日 (2006.4.11)		スタッツ チップパック リミテッド
(65) 公開番号	特開2006-295183 (P2006-295183A)		STATS ChipPAC Ltd.
(43) 公開日	平成18年10月26日 (2006.10.26)		シンガポール 569059, アンモ
審査請求日	平成21年4月8日 (2009.4.8)		キオ ストリート 65-10 テック
審判番号	不服2012-22765 (P2012-22765/J1)		ポイント #05-17/20
審判請求日	平成24年11月19日 (2012.11.19)		10 Ang Mo Kio Street
(31) 優先権主張番号	60/670, 443		65, #05-17/20 Tech
(32) 優先日	平成17年4月11日 (2005.4.11)		point, Singapore 569
(33) 優先権主張国	米国 (US)		059
(31) 優先権主張番号	11/394, 363	(74) 代理人	110001195
(32) 優先日	平成18年3月30日 (2006.3.30)		特許業務法人深見特許事務所
(33) 優先権主張国	米国 (US)	(72) 発明者	クオン, ヒョグ チャン
			大韓民国 ソウル, ソチョグ,バンペー
			1ドン 925-2

最終頁に続く

(54) 【発明の名称】 非対称に配置されたダイとモールド体とを具備するスタックされたパッケージを備えるマルチパッケージモジュール。

(57) 【特許請求の範囲】

【請求項1】

実質的に平坦なダイ実装面と実質的に平坦なランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第1基板と、

第1基板のダイ実装面のダイ取付領域に取付けられたダイと、

第1基板のダイ実装面上のボールパッドにマウントされた第1Z相互接続はんだボールと、

を具備する第1半導体チップパッケージと；

実質的に平坦なダイ実装面と実質的に平坦なランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第2基板と、

第2基板のダイ実装面のダイ取付領域に取付けられたダイと、

を具備する第2半導体チップパッケージとを備え；

第1半導体チップパッケージは、第1半導体チップパッケージのダイ実装面が第2半導体チップパッケージのダイ実装面に面するように第2半導体チップパッケージにスタックされ、第1半導体チップパッケージのダイ取付領域は、第2半導体チップパッケージの空領域と位置合わせされ、第1半導体チップパッケージの第1Z相互接続はんだボールは、第2基板のダイ実装面上のボールパッドに接触するように構成されており、

ボールパッドは、ダイ取付領域および空領域の側部に沿って列をなすように配置される、相補的なパッケージペアユニット。

【請求項2】

Z相互接続はんだボールは、第1基板のダイ実装面上のボールパッドと第2基板のダイ実装面上の接触ボールパッドとの間のZレベル相互接続を形成するためにリフローされることを特徴とする請求項1に記載の相補的なパッケージペアユニット。

【請求項3】

第2基板のランド面上のボールパッドにマウントされた第2Z相互接続はんだボールを更に備えることを特徴とする請求項2に記載の相補的なパッケージペアユニット。

【請求項4】

請求項2に記載の相補的なパッケージペアユニットと第1及び第2半導体チップパッケージの間のボリュームにおけるモジュールカプセル体とを備えることを特徴とするマルチパッケージモジュール。

10

【請求項5】

請求項3記載の第1の相補的なパッケージペアユニットと；

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第3基板と、

第3基板のダイ実装面のダイ取付領域に取付けられたダイと、

第3基板のダイ実装面上のボールパッドにマウントされた第3Z相互接続はんだボールと；

を具備する第3半導体チップパッケージと、

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第4基板と、

20

第4基板のダイ実装面のダイ取付領域に取付けられたダイと、

を具備する第4半導体チップパッケージと；

を有する第2の相補的なパッケージペアユニットとを備え；

第3半導体チップパッケージは、第3半導体チップパッケージのダイ実装面が第4半導体チップパッケージのダイ実装面に面するように第4半導体チップパッケージにスタックされ、第3半導体チップパッケージのダイ取付領域は、第4半導体チップパッケージの空領域と位置合わせされ、第3半導体チップパッケージの第3Z相互接続はんだボールは、第4基板のダイ実装面上のボールパッドに接触し、更に、第1の相補的なパッケージペアユニットは、第2の相補的なパッケージペアユニットにスタックされ、第2半導体チップパッケージの第2Z相互接続はんだボールは、第3基板のランド面上のボールパッドに接触するように構成され、

30

ボールパッドは、ダイ取付領域および空領域の側部に沿って列をなすように配置される、マルチパッケージモジュール。

【請求項6】

第1及び第2半導体チップパッケージの間のボリュームにおけるモジュールカプセル体を更に備えることを特徴とする請求項5に記載のマルチパッケージモジュール。

【請求項7】

第3及び第4半導体チップパッケージの間のボリュームにおけるモジュールカプセル体を更に備えることを特徴とする請求項6に記載のマルチパッケージモジュール。

【請求項8】

第2及び第3半導体チップパッケージの間のボリュームにおけるモジュールカプセル体を更に備えることを特徴とする請求項7に記載のマルチパッケージモジュール。

40

【請求項9】

請求項1に記載の第1及び第2半導体チップパッケージを形成する第1及び第2半導体チップパッケージ形成工程と；

各基板のダイ実装面が他の基板のダイ実装面に面し、各基板のダイ取付領域が他の基板の空領域に一致するように、第1及び第2半導体チップパッケージを互いに関連付けて位置合わせする位置合わせ工程と；

第2基板のダイ実装面上のボールパッドにて第1Z相互接続はんだボールが接触するはんだボール接触工程と；

50

第2基板のダイ実装面上のボールパッドと電気的な接続関係をもたらすために第1Z相互接続はんだボールをリフローするリフロー工程と、
を備えることを特徴とするマルチパッケージモジュールの製造方法。

【請求項10】

半導体チップパッケージ間のモジュールカプセル体を形成する工程を更に備えることを特徴とする請求項9に記載のマルチパッケージモジュールの製造方法。

【請求項11】

第2基板のランド面に第2Z相互接続はんだボールをマウントする工程を更に備えることを特徴とする請求項9に記載のマルチパッケージモジュールの製造方法。

【請求項12】

請求項1に記載の第1及び第2半導体チップパッケージを形成する第1及び第2半導体チップパッケージ形成工程と；

互いに面する半導体チップパッケージのダイ実装面と他方の基板の空領域に位置合わせされた各半導体チップパッケージのダイ取付領域とによって、第2半導体チップパッケージの上に第1半導体チップパッケージをスタックする第1半導体チップパッケージスタック工程と；

第2基板のダイ実装面上のボールパッドと電気的な接続関係をもたらすために第1Z相互接続はんだボールをリフローするリフロー工程と、
を備えることを特徴とするマルチパッケージモジュールの製造方法。

【請求項13】

半導体チップパッケージ間のモジュールカプセル体を形成する工程を更に備えることを特徴とする請求項12に記載のマルチパッケージモジュールの製造方法。

【請求項14】

第2基板のランド面に第2Z相互接続はんだボールをマウントする工程を更に備えることを特徴とする請求項12に記載のマルチパッケージモジュールの製造方法。

【請求項15】

請求項5に記載のマルチパッケージモジュールを備え、電子機器の基礎的な電気回路と電気的に接続されていることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

関連した出願とのクロスリファレンスとして、本出願は、2005年4月11日にファイルされた米国仮出願No.60/670,443の利点を主張する。これはその全体を参照することによってここに組み込まれる。

【0002】

本発明は、半導体チップパッケージに関し、特に、スタックパッケージモジュールに関する。

【背景技術及び発明が解決しようとする課題】

【0003】

半導体チップパッケージにおいて、半導体の機能密度を増大させることに対する一つの手法としては、パッケージ基板にダイを(一方を他方に)スタックするという手法がある。スタックされたダイの電気的な相互接続は、例えばワイヤボンディングによる、ダイとダイ、及び/又は、ダイと基板とで形成されていてもよい。スタックされたダイパッケージにおいて、アセンブリに優先してダイをテストすることは、技術的に難しく、従ってコストがかかる。そして、供給においては、複数の「悪い」ダイが予期される。スタックされたダイパッケージの1つの悪いダイは、パッケージ全体を悪くする可能性があり、それに応じて、特により多くのダイがパッケージにスタックされる場合、スタックされたダイパッケージの製造において、素材の大幅な浪費と製造時間とが必然的に結果として生じ得る。4、5、又は6つものダイを有するスタックされたダイパッケージが使用されている。隣接したダイの間のスペーサーが必要とされている場合でさえ、スタックされたダイパッケ

10

20

30

40

50

ージは、非常に薄く形成されることがある。

【0004】

半導体チップパッケージにおいて、半導体の機能密度を増大させることに対する別の手法としては、スタックパッケージモジュールを形成するためにパッケージ(一方を他方に)をスタックする手法がある。モジュールの各パッケージは、基板に取り付けられて電氣的に相互接続された少なくとも1つのダイを含む。スタックする際のパッケージは、例えばワイヤボンドによってそれぞれのパッケージ基板のボンドサイト間で電氣的に相互接続される。これには、パッケージがスタックにて組み立てられる前に完全にテストされ得るという利点がある。即ち、「悪い」パッケージは処分され、「よい」とテストしているパッケージだけがモジュールにて使われる。

10

【0005】

いくつかの要素は、典型的なスタックパッケージモジュールの厚さに寄与している。最小でも、それぞれの基板とダイとダイ取付接着剤との厚さが関係している。更に、各パッケージのダイがモールドされる(又は、カプセル化される)場合には、一般に、モールドキャップは、ダイの厚さよりも大きい厚さを有し、ダイが基板にワイヤボンドされている場合には、モールドキャップは、ワイヤに加えてワイヤループの高さのバリエーションの差を完全にカバーするために、十分厚くなければならない。そして、一般に、パッケージスタックもまた、モジュールモールド体によってモールドされる又はカプセル化される。それは、更に厚さを追加する。

【0006】

例えば、携帯電話、PDA、デジタルカメラ、及び様々な消費者電子機器などのモバイル機器のように、パッケージ面積とパッケージ厚さとの両方に制限が課される製品において、パッケージ(又はモジュール)を制限を越えて面積を増大させることなく可能な限り薄くすることが望ましい。

20

【発明の開示】

【課題を解決するための手段】

【0007】

1つの一般的な形態において、本発明は非対称に配置されたダイを備える半導体チップパッケージを特徴とする。相補的な配置を有する2つのそのようなパッケージは、2つのダイが2つの基板の間のスペースに並んだ配置となるように、一方が他方に対して逆向きにスタックされる。ある形態においては、ダイは、接着剤を使ってそれぞれの基板に貼り付けられ、そして、ワイヤボンディングによって基板と電氣的に相互接続される。そして、ある形態においては、ダイは、それぞれの基板の上にフリップチップ相互接続によって設置される。ダイは、モールドされてもよい。

30

【0008】

他の形態において、本発明は、それぞれが非対称にダイを配置して、スタックされたパッケージを有するマルチパッケージモジュールを特徴とする。パッケージは、2つのダイが2つの基板の間のスペースに並んだ配置となるように、スタックに際して一方のパッケージが他方のパッケージに対して逆向きにされて相補的且つ非対称な配置となる。隣接したパッケージ間のZ相互接続は、はんだボールによって成され、そして、はんだボールの高さは、ダイのためのスペースを形成するのに十分なものとなっている。ダイは並べて配置されているので、モジュールの厚さは低減される。

40

【0009】

他の形態において、本発明は、パッケージの製造方法とスタックパッケージモジュールの製造方法とを特徴とする。

【0010】

本発明にかかるスタック可能な相補的なパッケージは、現在入手可能な製造機器と素材と従来の表面実装技術とを用いて製造される。組立工程は、一方が他方の上にスタックされたパッケージを備えるモジュールについての組立工程よりも複雑でないようにすることができ、結果的な厚さプロフィールは、より小さくすることができる。本発明によれば、

50

2つの結合された相補的なパッケージの2つのダイが基板と追加のダイとの間のスペースを占有することと、ダイ取付けとモールドキャップとの厚さが抑制されることという事実の効果によって、モジュールアセンブリにおけるスタックの厚さは低減される。本発明によれば、スタックされた相補的なパッケージの位置合わせの後に、アセンブリ全体に対して1つのはんだボールリフローだけを実行することによって、製造コストは低減される。個々のパッケージは完全に検証可能である。

【0011】

本発明にかかる相補的なパッケージペアユニットは、

実質的に平坦なダイ実装面と実質的に平坦なランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第1基板と、

第1基板のダイ実装面のダイ取付領域に取付けられたダイと、

第1基板のダイ実装面上のボールパッドにマウントされた第1Z相互接続はんだボールと、

を具備する第1半導体チップパッケージと；

実質的に平坦なダイ実装面と実質的に平坦なランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第2基板と、

第1基板のダイ実装面のダイ取付領域に取付けられたダイと、

を具備する第2半導体チップパッケージとを備え；

第1半導体チップパッケージは、第1半導体チップパッケージのダイ実装面が第2半導体チップパッケージのダイ実装面に面するように第2半導体チップパッケージにスタックされ、第1半導体チップパッケージのダイ取付領域は、第2半導体チップパッケージの空領域と位置合わせされ、第1半導体チップパッケージの第1Z相互接続はんだボールは、第2基板のダイ実装面上のボールパッドに接触するように構成されており、ボールパッドは、ダイ取付領域および空領域の側部に沿って列をなすように配置されることを特徴とする。

【0012】

また、請求項1に記載の相補的なパッケージペアユニットにおいて、Z相互接続はんだボールは、第1基板のダイ実装面上のボールパッドと第2基板のダイ実装面上の接触ボールパッドとの間のZレベル相互接続を形成するためにリフローされることが好ましい。

【0013】

更に、請求項2に記載の相補的なパッケージペアユニットにおいて、第2基板のランド面上のボールパッドにマウントされた第2Z相互接続はんだボールを備えることが好ましい。

【0014】

また、マルチパッケージモジュールは、請求項2に記載の相補的なパッケージペアユニットと第1及び第2半導体チップパッケージの間のボリュームにおけるモジュールカプセル体とを備えることを特徴とする。

【0015】

また、マルチパッケージモジュールは、

請求項3記載の第1の相補的なパッケージペアユニットと；

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第3基板と、

第3基板のダイ実装面のダイ取付領域に取付けられたダイと、

第3基板のダイ実装面上のボールパッドにマウントされた第3Z相互接続はんだボールと；

を具備する第3半導体チップパッケージと、

ダイ実装面とランド面とを具備し、ダイ実装面がダイ取付領域と空領域とを有する第4基板と、

第4基板のダイ実装面のダイ取付領域に取付けられたダイと、

を具備する第4半導体チップパッケージと；

を有する第2の相補的なパッケージペアユニットとを備え；

10

20

30

40

50

第3半導体チップパッケージは、第3半導体チップパッケージのダイ実装面が第4半導体チップパッケージのダイ実装面に面するように第4半導体チップパッケージにスタックされ、第3半導体チップパッケージのダイ取付領域は、第4半導体チップパッケージの空領域と位置合わせされ、第3半導体チップパッケージの第3Z相互接続はんだボールは、第4基板のダイ実装面上のボールパッドに接触し、更に、第1の相補的なパッケージペアユニットは、第2の相補的なパッケージペアユニットにスタックされ、第2半導体チップパッケージの第2Z相互接続はんだボールは、第3基板のランド面上のボールパッドに接触するように構成され、ボールパッドは、ダイ取付領域および空領域の側部に沿って列をなすように配置されていることを特徴とする。

【0016】

10

また、請求項5に記載のマルチパッケージモジュールにおいて、第1及び第2半導体チップパッケージの間のボリュームにおけるモジュールカプセル体を更に備えることが好ましい。

【0017】

更に、請求項6に記載のマルチパッケージモジュールにおいて、第3及び第4半導体チップパッケージの間のボリュームにおけるモジュールカプセル体を備えることが好ましい。

【0018】

更に、請求項7に記載のマルチパッケージモジュールにおいて、第2及び第3半導体チップパッケージの間のボリュームにおけるモジュールカプセル体を備えることが好ましい。

【0019】

20

また、マルチパッケージモジュールの製造方法は、請求項1に記載の第1及び第2半導体チップパッケージを形成する第1及び第2半導体チップパッケージ形成工程と；

各基板のダイ実装面が他の基板のダイ実装面に面し、各基板のダイ取付領域が他の基板の空領域に一致するように、第1及び第2半導体チップパッケージを互いに関連付けて位置合わせする位置合わせ工程と；

第2基板のダイ実装面上のボールパッドにて第1Z相互接続はんだボールが接触するはんだボール接触工程と；

第2基板のダイ実装面上のボールパッドと電気的な接続関係をもたらすために第1Z相互接続はんだボールをリフローするリフロー工程と、

30

を備えることを特徴とする。

【0020】

また、請求項9に記載のマルチパッケージモジュールの製造方法において、半導体チップパッケージ間のモジュールカプセル体を形成する工程を備えることが好ましい。

【0021】

更に、請求項9に記載のマルチパッケージモジュールの製造方法において、第2基板のランド面に第2Z相互接続はんだボールをマウントする工程を備えることが好ましい。

【0022】

また、マルチパッケージモジュールの製造方法は、請求項1に記載の第1及び第2半導体チップパッケージを形成する第1及び第2半導体チップパッケージ形成工程と；

40

互いに面する半導体チップパッケージのダイ実装面と他方の基板の空領域に位置合わせされた各半導体チップパッケージのダイ取付領域とによって、第2半導体チップパッケージの上に第1半導体チップパッケージをスタックする第1半導体チップパッケージスタック工程と；

第2基板のダイ実装面上のボールパッドと電気的な接続関係をもたらすために第1Z相互接続はんだボールをリフローするリフロー工程と、

を備えることを特徴とする。

【0023】

更に、請求項12に記載のマルチパッケージモジュールの製造方法において、パッケージ

50

間のモジュールカプセル体を形成する工程を備えることが好ましい。

【0024】

また、請求項12に記載のマルチパッケージモジュールの製造方法において、第2基板のランド面に第2Z相互接続はんだボールをマウントする工程を備えることが好ましい。

【0025】

また、電子機器は、請求項5に記載のマルチパッケージモジュールを備え、電子機器の基礎的な電気回路と電氣的に接続されていることを特徴とする。

【発明を実施するための最良の形態】

【0026】

本発明は、図面を参照することによって、さらに詳しく説明される。各図面は本発明の択一的な形態を示している。各図面は、本発明の特徴と他の特徴及び構成との関係を示す概略図であり、一定の比率ではない。説明を明瞭にするため、本発明の形態を示す各図面において、他の図面で示される要素に対応する要素は、すべて容易に同一視できるが、すべてについて特に同じ番号を付しているわけではない。また、本発明についての理解に必要なでない箇所において、説明を明瞭にするためにある特徴が示されていない場合にも同様である。例えば、基板表面に模様付けされた金属層は示されず、そして基板へのダイの相互接続(ワイヤまたはバンプ)は示されない。

【0027】

本発明の1形態によると、パッケージは、基板に非対称に配置されたダイを備える。即ち、ダイは、ダイ取付領域の基板のエッジの方に、基板の反対側のエッジ付近に空領域を残すようにして取り付けられる(取り付けられてワイヤボンディングされる、或いは、フリップチップ方式でマウントされるかの何れかにて取り付けられる)。第1の形態において、相互接続はんだボールは、基板のダイ実装面にマウントされる;そして、相補的な第2の形態において、はんだボールは、基板のダイ実装面の反対側にマウントされる。パッケージの相補的なペアは一方が他方に対して逆向きとなるようにスタックされ、それぞれのパッケージ基板は、その基板のダイ実装面にはんだボールを備えるパッケージのはんだボールによって電氣的に相互接続される。はんだボールの高さは、ダイ(そしてダイ取り付け)の厚さを適合させる基板間のスタンドオフを得るために十分に高く、そして、第1パッケージのダイが第2パッケージ基板の空領域のパッケージ基板間のスペースに配置されるように、パッケージは方向付けられる。

【0028】

図1(A)、(B)、及び(C)には、本発明にかかる基板12のダイ実装面13上のダイ取付領域15に非対称にマウントされたダイ14が示されている。ダイ取付領域15は、基板のエッジの方に設けられ、基板の反対側のエッジの方に設けられたダイ実装面13の空領域16を残している。パッケージ基板12は、好ましくは、誘電層の間に少なくとも2つの模様付けられた金属層を有するラミネート基板である。即ち、好ましいラミネート基板は、少なくとも、ダイ実装面13に第1「upper」模様付け金属層を、ダイ実装面の反対側の面11(「ランド」面)に第2「lower」模様付け金属層を具備する。種々の金属層は、適切なトレース回路を形成するために模様付けられ、そして、誘電層を通るビアは、層間の接続を果たす。上下の模様付け金属層上の保護層は、ダイの電気接続のためのトレース上のサイトを露出し、はんだボールをマウントするためのボールパッド(ダイ実装面で列又は配列の17にて示される)を露出している開口によって模様付けられている。ダイは、基板に対して外側を向いているダイのアクティブ面にてダイ取付接着剤(ダイ取付エポキシ樹脂やフィルムなど)を用いたダイ取付領域に取り付けられ、そして、基板のダイパッド(図示しない)とボンダパッド(図示しない)との間のワイヤボンディングによって電氣的に相互接続されてもよい。或いは、ダイは、基板に面しているダイのアクティブ面にてフリップチップアタッチメント(図示しない)によって基板の上にマウントされ、導電性バンプ又はボールを用いた基板のボンダサイトに電氣的に相互接続されてもよい。

【0029】

その場合、ダイは、図2(A)、(B)、及び(C)に示すようにモールドされる。ダイがワイ

10

20

30

40

50

ヤボンディングによって相互接続される場合、その後のステップ間でのワイヤへのダメージを防止するために、モールド体を必要としてもよい。モールド体24は、ダイとワイヤボンド(ワイヤボンド相互接続が用いられる場合)とを覆い、そして、実質的に平坦な「upper」表面25を備えるために成形される。ダイがフリップチップ相互接続によって設置される場合には、ダイと基板との間のパンプスタンドオフスペースを満たすと共に相互接続を機械的に安定させるため、アンダーフィルが望ましいが、モールド体は必要としなくてもよい。

【0030】

その場合、図3(A)、(B)、及び(C)に示すように、Z相互接続はんだボール37は、基板12のダイ実装面13上のボールパッドにマウントされる。図に示す以外のボールパッドとはんだボールとの配置は、例えば、基板のダイ実装面13の空領域16を閉ざさないような配置であれば何れの配置であっても採用できる。そして、ボールパッドとはんだボールとは、それらが相補的なパッケージに対し第1のパッケージに逆向きにマウントされるよう安定した支持をもたらすように配置される。相補的なパッケージが結合されてはんだボールがリフローした場合には、ダイ(そして、この場合はモールド体)を適合させるためボール高さが隣接した基板の間のクリアランスとなるように、はんだボールは設定される。はんだボールをマウントすると、第1のパッケージ30が完成し、その状態で、はんだボールは基板のダイ実装面にマウントされる。高く評価されるべきことは、はんだボールが2つの相補的なパッケージを結合するためにリフローの間に崩れた場合であっても、モールド体24の上面25は、更なるはんだボールの崩れを抑制して相補的なパッケージ基板の空領域に接触していることである。

【0031】

はんだボールが基板のランド面にマウントされる本発明の形態にかかる相補的なパッケージ60は、図4(A)乃至図6(C)に示すように製造することができる。

【0032】

図4(A)、(B)、及び(C)には、本発明にかかる基板42のダイ実装面43上のダイ取付領域45に非対称にマウントされたダイ44が示されている。ダイ取付領域45は、基板のエッジの方に設けられ、基板の反対側のエッジに設けられたダイ実装面43の空領域46を残している。パッケージ基板42は、好ましくは、誘電層の間に少なくとも2つの模様付けられた金属層を有するラミネート基板である。即ち、好ましいラミネート基板は、少なくとも、ダイ実装面43の第1「upper」模様付け金属層とダイ実装面の反対側の面41(「ランド」面)の第2「lower」模様付け金属層とを含む。種々の金属層は、適切なトレース回路を形成するために模様付けられ、そして、誘電層を通るビアは、層間の接続を果たす。上下の模様付け金属層上の保護層は、ダイの電気接続のためのトレース上のサイトを露出し、はんだボールをマウントするためのボールパッド(ダイ実装面で列又は配列の47にて示される)を露出している開口によって模様付けられている。ダイは、基板に対し外側を向いているダイのアクティブ面にてダイ取付接着剤(ダイ取付エポキシ樹脂やフィルムなど)を用いているダイ取付領域に取り付けられ、そして、基板のダイパッド(図示しない)とボンドパッド(図示しない)との間のワイヤボンドによって電氣的に相互接続されてもよい。或いは、ダイは、基板に面しているダイのアクティブ面にてフリップチップアタッチメント(図示しない)によって基板の上にマウントされ、導電性パンプ又はボールを用いた基板のボンドサイトに電氣的に相互接続されてもよい。

【0033】

その場合、ダイは、図5(A)、(B)、及び(C)に示すようにモールドされる。ダイがワイヤボンディングによって相互接続される場合、その後のステップ間でのワイヤへのダメージを防止するために、モールド体を必要としてもよい。モールド体54は、ダイとワイヤボンド(ワイヤボンド相互接続が用いられる場合)とを覆い、そして、実質的に平坦な「upper」表面55を備えるために成形される。ダイがフリップチップ相互接続によって設置される場合には、ダイと基板との間のパンプスタンドオフスペースを満たすと共に相互接続を機械的に安定させるため、アンダーフィルが望ましいが、モールド体は必要としなくても

10

20

30

40

50

よい。

【 0 0 3 4 】

その場合、図6(A)、(B)、及び(C)に示すように、Z相互接続はんだボール67は、基板42のランド面41上のボールパッドにマウントされる。図に示す以外のボールパッドとはんだボールとの配置は、以下で説明するように、例えば、マザーボード上、又は追加のアセンブリ上、又は別のサポート上へのアセンブリのマウントに対して安定した支持を供給するような配置であれば何れの配置であっても採用できる。はんだボールをマウントすると、第2パッケージ60が完成する。その状態で、はんだボールは、基板のランド側にマウントされる。

【 0 0 3 5 】

本発明にかかるマルチパッケージモジュールにおける相補的なパッケージのアセンブリは、図7(A)乃至図9(B)及び図10(A)乃至図12(B)に例示されている。

【 0 0 3 6 】

結合された相補的なパッケージ30と60とのユニットの構成は、図7(A)乃至図8(B)の平面図に例示される。図7(A) (側面図) と図7(B) (正面図) とにおいて、第1パッケージ30は、第2パッケージに対して逆向きとされ、第1パッケージ基板12のダイ実装面のはんだボール37が第2パッケージ基板42のダイ実装面のボールパッド (図示しない) と位置合わせされるように、そして第1パッケージ30のモールドキャップ表面25が第2基板42のダイ実装面の空領域46と位置合わせされるように、更に第2パッケージ60のモールドキャップ表面55が第1基板30のダイ実装面の空領域16と位置合わせされるように、位置合わせされて示されている。パッケージの取り扱いは、従来のパッケージアセンブリ機器を用いてなされてもよい。例えば、第2パッケージ60は、サポートに配置することができ、そして、第1パッケージは、ピック・アンド・プレイスツールを用いて、適切な位置に操作されることができる。一度位置合わせされると、第1パッケージ30のはんだボールが第2パッケージ基板46のパッドに接触するまで、図の矢印で示すように、相補的なパッケージは接合される。この時点で、相補的なパッケージペアユニットは完全である。ユニットは、はんだボール37を再び溶かし、パッケージのペアの電氣的な相互接続を形成するために熱せられてもよい。ボールは、図8(A)及び(B)のユニットアセンブリ80において崩れた後に再び溶かしたものとなる。そのとき、ダイ25と55とはんだボール37との周囲の基板12と42との間のスペースを、図9(A)及び(B)にて示す95で満たすように、アセンブリはカプセル化され得る。これによって、2つの相補的なパッケージを有するモジュール90が完成する。モジュールは、「upper」表面91を有し、図9(A)と図9(B)とにおいて97で示す第2パッケージのはんだボールは、例えばマザーボードのようなモバイル・コンピューティングまたは通信製品において使用されるデバイスを備えるモジュール90の電氣的な相互接続を形成する。

【 0 0 3 7 】

図8(A)及び(B)に示すユニット80のような相補的なパッケージペアユニットは、4つ以上のパッケージを有するモジュールを形成するためにスタックされる。図10(A)乃至図12(B)は、2つの相補的なパッケージペアユニット80, 80' を、一方を他方の上にスタックすることによるモジュール120の構成を例示する。図10(A)及び(B)において、例えば図7(A)乃至図8(B)に示すような構成の相補的なパッケージペアユニット80, 80' は、パッケージユニット80' の相互接続はんだボール67' がパッケージユニット80のパッケージ30の基板12のランド面11のボールパッド (図示しない) と位置合わせされるようにして位置合わせされる。図の矢印で示すように、はんだボール67' がパッドに接触するまで、ユニットは接合される。これは、4パッケージアセンブリを形成する。アセンブリは、はんだボール67' をリフローするように熱せられて、2つのユニット80, 80' 間の電氣的な相互接続を形成する。

ボールは、図11(A)及び(B)の4パッケージアセンブリ110において崩れた後に再び溶かしたものとなる。そのとき、ダイとはんだボールとの周囲の基板の間のスペースを、図12(A)及び(B)にて示す125で満たすように、アセンブリはカプセル化され得る。これによって、2つの相補的なパッケージを有するモジュール120が完成する。モジュールは、「upper」

10

20

30

40

50

表面121を有し、図11(A)及び(B)において127で示す最下パッケージのはんだボールは、例えばマザーボードのようなモバイル・コンピューティング又は通信機器において使用されるデバイスを備えるモジュール120の電氣的な相互接続を形成する。はんだ再溶解は、単一の再溶解ステップにおけるすべてののはんだボール相互接続について実行できる。

【0038】

他の形態は本発明の範囲にある。例えば、相補的なパッケージ上のそれぞれのダイが、ほぼ同じ寸法であるとして図に示されているが、それぞれのダイは、他の形態において異なる厚さ又は面積を有してもよく、特に、ダイは異なる機能を有してもよい。そして、例えば、相補的なパッケージのそれぞれの基板が、同じ長さと同幅とを有するとして図に説明されているけれども、それぞれの基板は、他の形態において異なる面積を有してもよい。何れにしても、各基板のダイ実装面の空領域は、十分に大きくなければならず、しかもダイ又は相補的なパッケージにおけるダイ上のモールド体の表面の長さと同幅とを適合させるように設定されなければならない。

10

【0039】

マルチパッケージモジュールは、さまざまな電子機器の何れにも有益であり、高いデバイス密度が望ましい場合、及び、デバイスアセンブリの寸法(面積、厚さ)を適合させるために製品内に制限されたスペースがある場合に、特に有益である。そのような製品には、例えば、携帯電話とパーソナル携帯情報端末、ラップトップ・コンピュータ、デジタルカメラ、及び電子エンターテインメント製品などのポータブル通信デバイスが含まれる。

20

【図面の簡単な説明】

【0040】

【図1】(A)は、本発明の第1の形態にかかる基板に非対称にマウントされたダイを示す平面図である。(B)と(C)とは、(A)の基板に非対称にマウントされたダイを示す側面図と正面図である。

【図2】(A)は、非対称にマウントされたダイが本発明の形態に従ってモールドされる様子を示す平面図である。(B)と(C)とは、(A)に示す基板に非対称にマウントされたダイをモールドする様子を示す側面図と正面図である。

【図3】(A)は、本発明の第1の形態に係る、スタック可能なパッケージを完成するために、Z相互接続はんだボールが基板の上のはんだ相互接続パッドにマウントされる様子を示す平面図である。(B)と(C)とは、(A)の完成したスタック可能なパッケージを示す側面図と正面図である。

30

【図4】(A)は、本発明の第2の形態にかかる、基板に非対称にマウントされたダイを示す平面図である。(B)と(C)とは、(A)の基板に非対称にマウントされたダイを示す側面図と正面図である。

【図5】(A)は、本発明の第2の形態に従って、非対称に配置されたダイがモールドされる様子を示す平面図である。(B)と(C)とは、(A)の基板に非対称にマウントされたダイをモールドする様子を示す側面図と正面図である。

【図6】(A)は、本発明の第2の形態にかかる、スタック可能なパッケージを完成するために、Z相互接続はんだボールが基板の上のはんだ相互接続パッドにマウントされる様子を示す平面図である。(B)と(C)とは、(A)の完成したスタック可能なパッケージを示す側面図と正面図である。

40

【図7】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における2つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

【図8】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における2つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

【図9】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における2つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

50

【図10】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における4つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

【図11】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における4つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

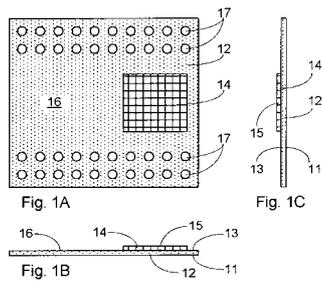
【図12】(A)及び(B)は、本発明の形態にかかる、スタックマルチパッケージモジュールの構築における4つのスタックされたパッケージを備えるステップを示す側面図と正面図である。

【符号の説明】

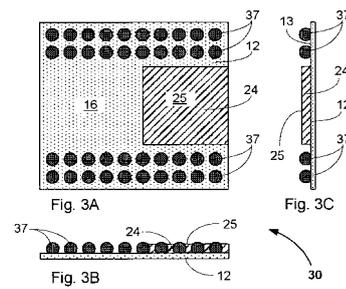
【0041】

12,42...基板、13,43...ダイ実装面、14,44...ダイ、15,45...ダイ取付領域、16,46...空領域、24,54...モールド体

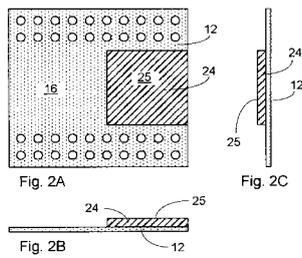
【図1】



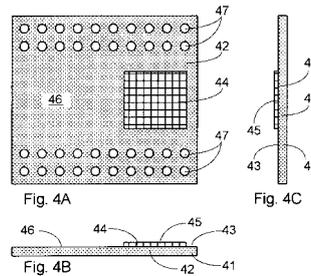
【図3】



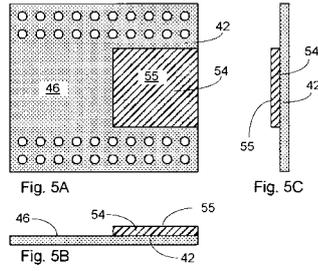
【図2】



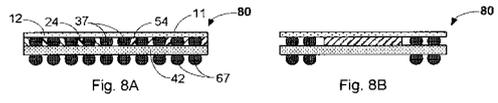
【図4】



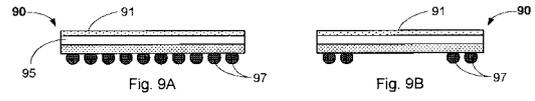
【 図 5 】



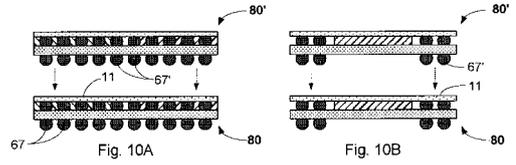
【 図 8 】



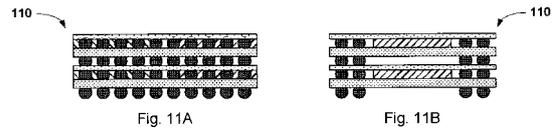
【 図 9 】



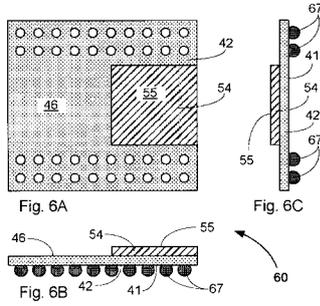
【 図 10 】



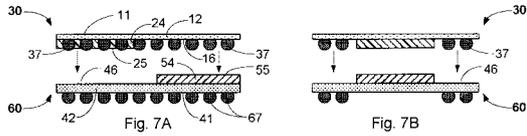
【 図 11 】



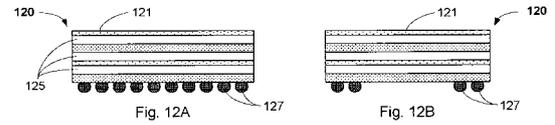
【 図 6 】



【 図 7 】



【 図 12 】



フロントページの続き

合議体

審判長 大熊 雄治

審判官 平田 信勝

審判官 丸山 英行

- (56)参考文献 特開2001-210954(JP,A)
特開2001-223297(JP,A)
特開平6-13541(JP,A)
特開2003-197849(JP,A)
実公平4-16472(JP,Y2)
特開平2-46000(JP,A)
特開平11-8347(JP,A)
特開2000-164795(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065

H01L 25/07

H01L 25/18

H05K 1/14