

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-502581
(P2012-502581A)

(43) 公表日 平成24年1月26日(2012.1.26)

| | | |
|----------------------------|-----------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| H03F 3/38 (2006.01) | H03F 3/38 | 5J500 |
| H03F 3/34 (2006.01) | H03F 3/34 | A |

審査請求 有 予備審査請求 未請求 (全 17 頁)

(21) 出願番号 特願2011-526851 (P2011-526851)
 (86) (22) 出願日 平成21年9月4日(2009.9.4)
 (85) 翻訳文提出日 平成23年3月25日(2011.3.25)
 (86) 国際出願番号 PCT/US2009/004988
 (87) 国際公開番号 W02010/030328
 (87) 国際公開日 平成22年3月18日(2010.3.18)
 (31) 優先権主張番号 12/378, 204
 (32) 優先日 平成21年2月11日(2009.2.11)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 61/191, 919
 (32) 優先日 平成20年9月11日(2008.9.11)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591205190
 アナログ デバイセス インコーポレーテッド
 ANALOG DEVICES, INCORPORATED
 アメリカ合衆国 02062 マサチューセッツ州 ノーウッド ワン テクノロジー ウェイ (番地の表示なし)
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

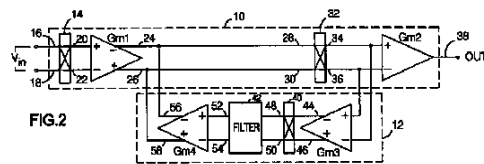
最終頁に続く

(54) 【発明の名称】 チョップ安定化増幅器内のオフセットおよびリップルの抑制のための自動補正フィードバックループ

(57) 【要約】

チョップ安定化増幅器は、相互コンダクタンス増幅器の入力および出力において第1のチョッピング回路と第2のチョッピング回路とを有する主信号経路と、自動補正フィードバックループとを含む。このフィードバックループは、主信号経路からチョッピングされた出力を増幅するために接続された相互コンダクタンス増幅器と、増幅された出力をチョッピングする第3のチョッピング回路と、フィルタリングされている信号内に存在する任意のオフセット電圧誘起AC成分を実質的に削減するために、チョッピングされた出力をフィルタリングするフィルタと、フィルタリングされた出力を受信して、主信号経路に結合し戻された出力を生み出す相互コンダクタンス増幅器とを含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

主信号経路と自動補正フィードバックループとを備えるチョッパ安定化増幅器であって、

前記主信号経路が、

差動入力信号を受信して、チョッピングクロックにตอบสนองして、前記入力信号をチョッピングする入力チョッピング回路であって、前記チョッピングされた入力信号が、前記入力チョッピング回路の出力において提供される、入力チョッピング回路と、

その入力において前記入力チョッピング回路の出力を受信して、その入力によって異なる第 1 の差動出力を生み出すために接続された第 1 の相互コンダクタンス増幅器と、

前記第 1 の相互コンダクタンス増幅器から前記第 1 の差動出力を受信して、前記チョッピングクロックにตอบสนองして、前記第 1 の差動出力をチョッピングする出力チョッピング回路であって、前記チョッピングされた第 1 の差動出力信号が、前記出力チョッピング回路の出力において提供される、出力チョッピング回路と、

その入力において前記出力チョッピング回路の出力を受信して、その入力によって異なる出力を生み出すために接続された第 2 の相互コンダクタンス増幅器と、

を備え、

前記自動補正フィードバックループが、

その入力において前記出力チョッピング回路の出力を受信して、その入力によって異なる第 3 の差動出力を生み出すために接続された第 3 の相互コンダクタンス増幅器と、

前記第 3 の相互コンダクタンス増幅器から前記第 3 の差動出力を受信して、前記チョッピングクロックにตอบสนองして、前記第 3 の差動出力をチョッピングする第 3 のチョッピング回路であって、前記チョッピングされた第 3 の差動出力信号が、前記第 3 のチョッピング回路の出力において提供される、第 3 のチョッピング回路と、

前記チョッピングされた第 3 の差動出力信号内に存在する AC 成分を実質的に削減して、出力において前記第 3 のチョッピング回路の出力のフィルタリングされたバージョンを提供するように、前記第 3 のチョッピング回路の出力をフィルタリングするように構成されたフィルタと、

その入力において前記第 3 のチョッピング回路の出力の前記フィルタリングされたバージョンを受信して、その入力によって異なる第 4 の差動出力を生み出すために接続された第 4 の相互コンダクタンス増幅器であって、前記第 4 の差動出力が、前記第 1 の差動出力に結合された第 4 の相互コンダクタンス増幅器と、

を備え、

前記自動補正フィードバックループが、相互コンダクタンス増幅器関連のオフセット電圧と、通常なら、前記出力チョッピング回路の出力内に存在し得るオフセット電圧誘起リップルとを抑圧するように構成された、チョッパ安定化増幅器。

【請求項 2】

前記フィルタがスイッチト・キャパシタ・ノッチ・フィルタである、請求項 1 に記載のチョッパ安定化増幅器。

【請求項 3】

前記スイッチト・キャパシタ・ノッチ・フィルタが、前記チョッピングクロックと同じ周波数を有し、前記チョッピングクロックに関して 90 度位相シフトされたクロックを用いて時間測定される、請求項 2 に記載のチョッパ安定化増幅器。

【請求項 4】

前記スイッチト・キャパシタ・ノッチ・フィルタが、

第 1 の入力端末および第 2 の入力端末ならびに第 1 の出力端末および第 2 の出力端末と

前記第 1 の入力端末と第 1 のキャパシタンスとの間で接続された第 1 のスイッチと、

前記第 1 の出力端末と前記第 1 のキャパシタンスとの間で接続された第 2 のスイッチと

10

20

30

40

50

前記第 1 の入力端末と第 2 のキャパシタンスとの間で接続された第 3 のスイッチと、
前記第 1 の出力端末と前記第 2 のキャパシタンスとの間で接続された第 4 のスイッチと

、
前記第 2 の入力端末と第 3 のキャパシタンスとの間で接続された第 5 のスイッチと、
前記第 2 の出力端末と前記第 3 のキャパシタンスとの間で接続された第 6 のスイッチと

、
前記第 2 の入力端末と第 4 のキャパシタンスとの間で接続された第 7 のスイッチと、
前記第 2 の出力端末と前記第 4 のキャパシタンスとの間で接続された第 8 のスイッチと
を備え、

前記スイッチ・キャパシタ・ノッチ・フィルタ・クロックが、「事実どおりの」(S C N F)バージョンと「補償」(S C N F ;ただし S C N F は S C N F の反転(否定)を示す。)バージョンとを備え、 S C N F が高く、 S C N F が低いとき、前記第 1 のスイッチ、前記第 4 のスイッチ、前記第 5 のスイッチ、および前記第 8 のスイッチが閉鎖され、前記第 2 のスイッチ、前記第 3 のスイッチ、前記第 6 のスイッチ、および前記第 7 のスイッチが開放し、 S C N F が高く、 S C N F が低いとき、前記第 1 のスイッチ、前記第 4 のスイッチ、前記第 5 のスイッチ、および前記第 8 のスイッチが開放し、前記第 2 のスイッチ、前記第 3 のスイッチ、前記第 6 のスイッチ、および前記第 7 のスイッチが閉鎖される、請求項 3 に記載のチョッパ安定化増幅器。

10

【請求項 5】

前記フィルタが低域フィルタである、請求項 1 に記載のチョッパ安定化増幅器。

20

【請求項 6】

その入力において前記差動入力信号を受信して、その入力によって異なる出力を生み出すために接続され、前記第 2 の相互コンダクタンス増幅器の前記出力に結合されたフィードフォワード相互コンダクタンス増幅器と、

その入力において前記第 2 の相互コンダクタンス増幅器の前記出力を受信して、その入力によって異なる出力を生み出すために接続されたバッファ増幅器と、

前記チョッパ安定化増幅器に周波数補償を提供するために接続された補償ネットワークと

をさらに備える、請求項 1 に記載のチョッパ安定化増幅器。

【請求項 7】

30

前記補償ネットワークが、入れ子型ミラー補償ネットワークである、請求項 6 に記載のチョッパ安定化増幅器。

【請求項 8】

前記補償ネットワークが、

前記バッファ増幅器の前記出力と前記第 2 の相互コンダクタンス増幅器の 1 つの入力との間で接続された第 1 のキャパシタと、

前記第 2 の相互コンダクタンス増幅器の前記その他の入力と回路共通ポイントとの間で接続された第 2 のキャパシタと、

前記バッファ増幅器の前記入力と前記出力との間で接続された第 3 のキャパシタとを備える、請求項 6 に記載のチョッパ安定化増幅器。

40

【請求項 9】

前記増幅器が、前記増幅器の残留入力参照オフセット電圧 (V o s _ _ r e s) が

$$V o s _ _ r e s = (V o s 2 + V o s f * A f / A 2 + V o s 4 / A 3) / A 1$$

によってもたらされるように構成され、式中、 V o s 2 、 V o s f 、および V o s 4 が、それぞれ、前記第 2 の相互コンダクタンス増幅器、前記フィードフォワード増幅器、および前記第 4 の相互コンダクタンス増幅器に関連する初期オフセット電圧であり、 A 1 、 A 2 、 A 3 、および A f が、前記第 1 の相互コンダクタンス増幅器、前記第 2 の相互コンダクタンス増幅器、前記第 3 の相互コンダクタンス増幅器、および前記フィードフォワード相互コンダクタンス増幅器に関連する利得値である、請求項 6 に記載のチョッパ安定化増幅器。

50

【請求項 10】

前記増幅器が、前記第 1 の相互コンダクタンス増幅器に関連する DC オフセット電圧が、前記第 1 の相互コンダクタンス増幅器の前記出力において、前記出力チョッピング回路によって AC 電圧に変換される非ゼロ DC 電圧として出現するように構成され、前記 AC 電圧が、前記第 3 の相互コンダクタンス増幅器によって増幅されて、前記第 3 のチョッピング回路によって DC 電圧に変換され、前記 DC 電圧が、前記第 1 の相互コンダクタンス増幅器に関連する前記 DC オフセット電圧によって誘起された前記第 1 の相互コンダクタンス増幅器の前記出力において前記非ゼロ DC 電圧を抑圧するように、前記 DC 電圧が前記第 1 の差動出力に供給し戻される、請求項 1 に記載のチョッパ安定化増幅器。

【請求項 11】

前記増幅器が、前記第 3 の相互コンダクタンス増幅器に関連する DC オフセット電圧が、前記第 3 の相互コンダクタンス増幅器の前記出力において前記第 3 のチョッピング回路によって AC 信号に変換された非ゼロ DC 電圧として出現するように構成され、前記フィルタが、前記 DC オフセット電圧によって、前記チョッピングされた第 3 の差動出力信号内に存在する前記 AC 信号の大きさを実質的に削減するように、前記第 3 のチョッピング回路の出力をフィルタリングするように構成された、請求項 1 に記載のチョッパ安定化増幅器。

【請求項 12】

前記増幅器が、前記第 4 の相互コンダクタンス増幅器に関連する DC オフセット電圧または前記フィルタ内の不完全部分が、前記第 4 の相互コンダクタンス増幅器の前記出力において非ゼロ DC 電圧として出現するように構成され、前記自動補正フィードバックループが、前記 DC オフセット電圧または前記フィルタ内の前記不完全部分によって誘起された前記非ゼロ DC 電圧を抑圧するように構成された、請求項 1 に記載のチョッパ安定化増幅器。

【請求項 13】

主信号経路と自動補正フィードバックループとを備えたチョッパ安定化増幅器であって、

前記主信号経路が、

差動入力信号を受信して、チョッピングクロックに 응답して、前記入力信号をチョッピングする入力チョッピング回路であって、前記チョッピングされた入力信号が、前記入力チョッピング回路の出力において提供される、入力チョッピング回路と、

その入力において前記入力チョッピング回路の出力を受信して、その入力によって異なる第 1 の差動出力を生み出すために接続された第 1 の相互コンダクタンス増幅器と、

前記第 1 の相互コンダクタンス増幅器から前記第 1 の差動出力を受信して、前記チョッピングクロックに 응답して、前記第 1 の差動出力をチョッピングする出力チョッピング回路であって、前記チョッピングされた第 1 の差動出力信号が、前記出力チョッピング回路の出力において提供される出力チョッピング回路と、

その入力において前記出力チョッピング回路の出力を受信して、その入力によって異なる出力を生み出すために接続された第 2 の相互コンダクタンス増幅器と

を備え、

前記自動補正フィードバックループが、

前記第 1 の相互コンダクタンス増幅器から前記第 1 の差動出力を受信して、前記チョッピングクロックに 응답して、前記第 1 の差動出力をチョッピングする第 3 のチョッピング回路であって、前記チョッピングされた第 1 の差動出力信号が、前記第 3 のチョッピング回路の出力において提供される第 3 のチョッピング回路と、

その入力において前記第 3 のチョッピング回路の出力を受信して、その入力によって異なる第 3 の差動出力を生み出すために接続された第 3 の相互コンダクタンス増幅器と、

前記第 3 の相互コンダクタンス増幅器から前記第 3 の差動出力を受信して、前記チョッピングクロックに 응답して、前記第 3 の差動出力をチョッピングする第 4 のチョッピング回路であって、前記チョッピングされた第 3 の差動出力信号が、前記第 4 のチョッピン

10

20

30

40

50

グ回路の出力において提供される第4のチョッピング回路と、

前記チョッピングされた第3の差動出力信号内に存在する前記AC成分を実質的に削減して、出力において、前記第4のチョッピング回路の出力のフィルタリングされたバージョンを提供するように、前記第4のチョッピング回路の出力をフィルタリングするように構成されたフィルタと、

その入力において前記第4のチョッピング回路の出力の前記フィルタリングされたバージョンを受信して、その入力によって異なる第4の差動出力を生み出すために接続された第4の相互コンダクタンス増幅器であって、前記第4の差動出力が、前記第1の差動出力に結合された第4の相互コンダクタンス増幅器と

を備え、

前記自動補正フィードバックループが、相互コンダクタンス増幅器関連のオフセット電圧と、通常なら、前記出力チョッピング回路の出力内に存在し得るオフセット電圧誘起リップルとを抑圧するように構成された、チョッパ安定化増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

[0001]本出願は、2008年9月11日に出版された、Yoshinori KusudaおよびThomas L. Botkerに対する仮特許出願第61/191,919号の利益を主張する。

【0002】

[0002]本発明は、全体的に、チョッパ安定化増幅器に関し、より詳細には、かかる増幅器内のオフセットおよびリップルを削減するための手段に関する。

【背景技術】

【0003】

[0003]演算増幅器は、電子回路においてユビキタスである。いくつかの応用例では、演算増幅器が非常に低い入力オフセット電圧を有することは必須である。これを達成するために、2つの技法が一般に用いられる。すなわち、オートゼロイング(auto-zeroing)およびチョッパ安定化である。しかし、これらの技法は両方とも欠点を有する。例えば、オートゼロイングは、結果として、エイリアシングにより帯域内雑音を増大させる可能性があり、一方、チョッパ安定化は、結果として、出力電圧内で出現するチョッピング周波数においてリップルを生じさせる可能性がある。

【0004】

[0004]従来のチョッパ安定化増幅器が図1に示される。チョッピングスイッチ10、12のセットは、相互コンダクタンス増幅器Gm1に加えられた入力をチョッピングし、チョッピングスイッチ14、16のセットは、Gm1の出力をチョッピングし、出力増幅器Gm2は、増幅器の出力Voutを生み出すために、Gm1のチョッピングされた出力を統合する。チョッピングスイッチは、相補クロック信号「Chop」および「Chop_Inv」を用いて操作され、「Chop」が高いとき、スイッチ10および14は閉鎖され、スイッチ12および16は開放し、「Chop_Inv」が高いとき、スイッチ10および14は開放し、スイッチ12および16は閉鎖される。理想的には、Gm1の入力オフセット電圧はゼロであり、この場合、チョッピングスイッチ10および12は、入力電圧をAC信号に変換し、スイッチ14および16は、リップルがVout内に存在しないようにAC信号をDCに変換し戻す。しかし、実際には、Gm1は、図1において、電圧Vos1として表される非ゼロ入力オフセット電圧を有することになる。これは、結果として、(図1に示されるように)出力スペクトル内に、チョッピングクロックおよび複数のチョッピングクロックの周波数で周波数成分が出現する状態で、Vout内にリップル電圧を誘起させる。

【0005】

[0005]チョッパ安定化増幅器に関連するチョッピング関連のリップルを削減するために、いくつかの方法が使用されている。非特許文献1に記載される1つの方法は、信号経路

10

20

30

40

50

内にサンプル・アンド・ホールド (S/H) 回路を用い、波形がゼロを交差するたびに、信号をサンプリングすることによって、リップルが削減される。しかし、S/H回路は、増幅器の周波数応答に追加の極を加え、周波数補償を困難にする。

【0006】

[0006]もう1つの手法は、フィルタがリップルを削減するよう操作される状態で、チョッピングスイッチに続いて増幅器の信号経路内にスイッチト・キャパシタ・ノッチ・フィルタが挿入される、Burtらに対する米国特許第7,292,095号において議論される。しかし、フィルタの入力側に存在するリップルは、補償キャパシタを經由して増幅器の出力に結合される可能性がある。

【0007】

[0007]さらに別の技法は、チョッピングされた入力信号を受信する相互コンダクタンス増幅器に関連する入力オフセット電圧によって生じる、信号経路内のリップルを抑圧するために、フィードバックループを使用する。この手法は、例えば、非特許文献2において例示される。しかし、ループのフィードバック増幅器に関連する入力オフセット電圧を抑圧するための手段は提供されない。

【先行技術文献】

【非特許文献】

【0008】

【非特許文献1】A. Bakker, J. H. Huijsing, "A CMOS Chopper Opamp with Integrated Low-Pass Filter", Proc. ESSCIRC, 1997年

【非特許文献2】K. A. A. Makinwa, "T4: Dynamic Offset-Cancellation Techniques in CMOS", ISSCC 2007年、49頁

【発明の概要】

【0009】

[0009]フィードバックループが、入力オフセット電圧効果と、通常なら、増幅器の出力内で出現することになるオフセット電圧誘起リップルの両方を克服するという点で、上で述べられたいくつかの問題を克服する、自動補正フィードバックループを備えたチョッパ安定化増幅器が提示される。

【0010】

[0010]本発明のチョッパ安定化増幅器は、チョッピングクロックに応答して、差動入力信号をチョッピングする入力チョッピング回路と、チョッピングされた入力信号を受信して、応答して、第1の差動出力を生み出す第1の相互コンダクタンス増幅器と、チョッピングクロックに応答して、第1の差動出力をチョッピングする出力チョッピング回路と、チョッピングされた第1の差動出力を受信して、応答して、異なる出力を生み出す第2の相互コンダクタンス増幅器とを含む主信号経路を含む。

【0011】

[0011]自動補正フィードバックループは、好ましくは、その入力において、チョッピングされた第1の差動出力を受信するために接続され、応答して、第3の差動出力を生み出す第3の相互コンダクタンス増幅器と、チョッピングクロックに応答して、第3の差動出力をチョッピングする第3のチョッピング回路と、信号内に存在する任意のオフセット電圧誘起AC成分を実質的に削減するように、チョッピングされた第3の差動出力をフィルタリングするように構成されたフィルタと、その入力において、フィルタリングされた出力を受信し、応答して、第4の差動出力を生み出す第4の相互コンダクタンス増幅器とを含む。第4の差動出力は、フィードバックループの出力であり、第1の差動出力に結合され、それによって、主信号経路内に結合される。適切に構成されたとき、自動補正フィードバックループは、相互コンダクタンス増幅器関連のオフセット電圧と、通常なら、増幅器の出力内に存在し得るオフセット電圧誘起リップルとを抑圧するように動作する。

【0012】

10

20

30

40

50

[0011]フィルタは、チョッピングクロックと同じ周波数を有するが、チョッピングクロックに関して90度位相シフトされたクロック信号を用いて時間測定される(clocked)スイッチト・キャパシタ・ノッチ・フィルタであることが好ましいが、その他のタイプのフィルタも使用され得る。

【0013】

[0012]本発明のこれらのおよびその他の特徴、態様、ならびに利点は、以下の図面、詳細な説明、および特許請求の範囲を参照するとよりよく理解されよう。

【図面の簡単な説明】

【0014】

【図1】[0013]知られているチョッパ安定化増幅器の概略図である。

10

【図2】[0014]本発明による、自動補正フィードバックループを備えたチョッパ安定化増幅器の1つの考えられる実施形態のブロック図/概略図である。

【図3】[0015]自動補正フィードバックループの利点を伴わない増幅器の動作を例示するタイミング図である。

【図4】[0016]第1の相互コンダクタンス増幅器が非ゼロ入力オフセット電圧を有するときの増幅器およびフィードバックループの動作を例示するタイミング図である。

【図5】[0017]非ゼロ差動入力電圧が増幅器の入力に加えられたときの増幅器およびフィードバックループの動作を例示するタイミング図である。

【図6】[0018]本発明による、自動補正フィードバックループにおいて使用され得るような、スイッチト・キャパシタ・ノッチ・フィルタの1つの考えられる実施形態の概略図である。

20

【図7】[0019]図6に示されるスイッチト・キャパシタ・ノッチ・フィルタの動作を例示するタイミング図である。

【図8】[0020]本発明による、自動補正フィードバックループを備えたチョッパ安定化増幅器を含む完全な演算増幅器を示すブロック図/概略図である。

【図9】[0021]本発明による、自動補正フィードバックループを備えたチョッパ安定化増幅器のもう1つの考えられる実施形態の概略図である。

【発明を実施するための形態】

【0015】

[0022]本発明のチョッパ安定化増幅器は、相互コンダクタンス増幅器関連のオフセット電圧と、通常なら、増幅器の出力内に出現し得るオフセット電圧誘起リップルとを抑圧するように動作する、新規性のある自動補正フィードバックループを用いる。1つの考えられる実施形態のブロック図/概略図が図2に示される。この増幅器は、主信号経路10と、自動補正フィードバックループ12とを含む。主信号経路は、差動入力信号 V_{in} を受信する入力チョッピング回路14を含む。チョッピング回路14、および本明細書に記載されるすべてのその他のチョッピング回路は、同じ様式で動作する。すなわち、2相チョッピングクロックの第1相の間、入力端末16および18は、それぞれ、出力端末20および22に接続され、第2のクロック相の間、入力端末16および18は、それぞれ、出力端末22および20に接続される。チョッピング回路14などのチョッピング回路は、通常、図1に例示されるように4つのスイッチで作られ、チョッピング回路に関して図2で使用される記号は、通常、この4つのスイッチ構成を指定するために使用される。図2に示されないが、チョッピング回路14およびすべてのその他のチョッピング回路は、(図2に示されないが、下で議論されるタイミング図において示される)チョッピングクロックを用いて操作される。

30

40

【0016】

[0023]チョッピング回路14は、チョッピングクロックに応答して、入力信号 V_{in} をチョッピングし、その結果、チョッピングされた信号がチョッピング回路の出力端末20および22において提供される。第1の相互コンダクタンス増幅器 G_{m1} は、それぞれの差動入力においてチョッピング回路14の出力を受信して、その入力において加えられた信号によって異なる第1の差動出力24、26を生み出すために接続される。差動出力2

50

4、26は、チョッピングクロックにตอบสนองして、第1の差動出力をチョッピングして、その出力端末34、36において、チョッピングされた第1の差動出力信号を生み出す出力チョッピング回路32の入力端末28、30に加えられる。チョッピング回路32の出力は、その入力において加えられた信号によって異なる出力38を生み出す第2の相互コンダクタンス増幅器 G_m2 の入力端末に加えられる。実際には、出力38は、通常、完全なチョッパ安定化演算増幅器を形成するために、出力段階に引き渡されることになり、これは、図8に関して下で議論される。

【0017】

[0024]上記のように、理想的には、 G_m1 の入力オフセット電圧はゼロであり、この場合、チョッピング回路14は、入力電圧 V_{in} をAC信号に変換し、チョッピング回路32は、リップルが出力38内に存在しないように、AC信号をDCに変換し戻す。しかし、実際には、 G_m1 は、通常、非ゼロ入力オフセット電圧(V_{os1})を有し、これは結果として、出力スペクトル内に、チョッピングクロックおよび複数のチョッピングクロックの周波数で周波数成分が出現する状態で、出力電圧内にリップル電圧を誘起させる。

【0018】

[0025]本発明のこのチョッパ安定化増幅器は、自動補正フィードバックループ12を使用することにより、この問題を克服する。示される例示的な実施形態の場合、自動補正フィードバックループは、第3の相互コンダクタンス増幅器 G_m3 と、第3のチョッピング回路40と、フィルタ42と、第4の相互コンダクタンス増幅器 G_m4 とを備える。 G_m3 は、その差動入力においてチョッピング回路32の出力を受信するために接続され、その入力に加えられた信号によって異なる第3の差動出力44、46を生み出す。この出力は、チョッピングクロックにตอบสนองして、第3の差動出力をチョッピングして、その出力端末48、50において、チョッピングされた信号を提供する第3のチョッピング回路40に加えられる。

【0019】

[0026]フィルタ42は、チョッピングされた第3の差動出力を受信して、相互コンダクタンス増幅器 G_m1 および G_m4 に関連するオフセット電圧によって誘起されたリップルにより、チョッピングされた第3の差動出力信号内に存在し得るAC成分を実質的に削減して、その出力端末52、54において、第3のチョッピング回路の出力のフィルタリングされたバージョンを提供するために、そのチョッピングされた第3の差動出力をフィルタリングするように構成される。第4の相互コンダクタンス増幅器 G_m4 は、その入力において、フィルタリングされた信号を受信して、その入力に加えられた信号によって異なる第4の差動出力56、58を生み出す。 G_m3 および G_m4 は、通常なら、フィルタ内に存在する負荷によって悪影響が及ぼされる可能性がある主信号経路からフィルタ42を隔離するのにも役立つ。フィードバックループは、第4の差動出力56および58を、それぞれ、第1の差動出力24および26に結合することによって閉鎖される。適切に構成されたとき、自動補正フィードバックループ12は、相互コンダクタンス増幅器 G_m1 および G_m4 に関連するオフセット電圧と、通常なら、チョッピング回路32の出力内に存在する可能性があり、それによって、 G_m2 出力38内に存在し得るオフセット電圧誘起リップルとを抑圧するように動作する。フィルタ42は、スイッチト・キャパシタ・ノッチ・フィルタ(SCNF)であることが好ましいが、低域フィルタなど、その他のフィルタタイプも使用され得る。

【0020】

[0027]本発明の自動補正フィードバックループの動作は、図3～5において様々な動作状況に関して例示される。図3は、フィードバックループの出力(56, 58)が信号経路に接続し戻されていない場合の回路の動作を例示しており、チョッピング回路14に対する両方の入力は接地され、 G_m1 の反転入力において入力オフセット電圧(V_{os1})が存在する。相補チョッピングクロック信号 $CHOP$ および \overline{CHOP} (ただし、 \overline{CHOP} は $CHOP$ の反転信号(あるいは否定論理)を示す。)は、 $CHOP$ が高いとき、入力端末16および18が、それぞれ、出力端末20および22に接続され、 $CHOP$ が

10

20

30

40

50

高いとき、入力端末 16 および 18 が、それぞれ、出力端末 22 および 20 に接続される状態で、図 3 の上部に示される。相補クロック信号 $SCNF$ および $SCNF$ (ただし、 $SCNF$ は $SCNF$ の反転信号 (あるいは否定論理) を示す。) も参照のために示される。フィルタ 42 が (下でより詳細に議論される) スイッチト・キャパシタ・ノッチ・フィルタである場合、これらが使用され得る。

【0021】

[0028] チョッピング回路 14 に対する入力は接地されるため、その出力端末 20 および 22 における電圧 (V_{CHOP1}) は両方とも、ゼロボルトにある。 $Gm1$ は、オフセット電圧 V_{os1} を増幅することになり、結果として、 $Gm1$ の出力 26、24 において差動 DC 出力電圧 V_{GM1} を生じさせる。 V_{GM1} は、チョッピング回路 32 によってチョッピングされ、それによって、出力端末 36、34 において AC 電圧 V_{CHOP2} を生み出す。 AC 電圧は、 $Gm3$ によって増幅され、結果として、出力 46、44 において AC 出力電流 I_{GM3} を生じさせる。 チョッピング回路 40 は、ノード 50、48 において AC 電流を DC 電流 I_{CHOP3} に変換するように動作する。この DC 電流は、対応する出力電圧 V_{SCNF} を出力するフィルタ 42 に加えられる。

10

【0022】

[0029] 図 4 に示されるタイミング図では、チョッピング回路 14 に対する両方の入力は、やはり接地され、入力オフセット電圧 (V_{os1}) は、やはり $Gm1$ の反転入力において存在する。しかし、この場合、フィードバックループは、 $Gm4$ の出力 56、58 が、それぞれ、 $Gm1$ の出力 24、26 に結合された状態で、図 2 に示されるように閉鎖される。

20

【0023】

[0030] チョッピング回路 14 に対する入力は接地されるため、その出力端末 20 および 22 における電圧 (V_{CHOP1}) は、やはり両方ともゼロボルトにある。 $Gm1$ は、オフセット電圧 V_{os1} を増幅することになり、結果として、 $Gm1$ の出力 26、24 において差動 DC 出力電圧 V_{GM1} を生じさせる。しかし、自動補正フィードバックループ 12 によって提供されるフィードバックにより、 V_{GM1} の大きさは、図 3 における V_{GM1} の大きさ未満になるように抑圧される。 V_{GM1} は、チョッピング回路 32 によってチョッピングされ、それによって、出力端末 36、34 において小さな AC 電圧 V_{CHOP2} を生み出す。 AC 電圧は $Gm3$ によって増幅され、結果として、出力 46、44 において AC 出力電流 I_{GM3} を生じさせる。 チョッピング回路 40 は、ノード 50、48 において AC 電流を DC 電流 I_{CHOP3} に変換するように動作する。この DC 電流は、対応する出力電圧 V_{SCNF} を出力するフィルタ 42 に加えられる。この電圧は、 $Gm1$ の主信号経路内に供給し戻され、そこで、この電圧は V_{GM1} を抑圧するために機能する。これは、相互コンダクタンス増幅器 $Gm1$ および $Gm4$ に関連するオフセット電圧と、通常なら、 $Gm2$ の出力において存在し得るオフセット電圧誘起リップルとを実質的に削減する、または除去する効果を有する。

30

【0024】

[0031] 本質的に、 $Gm3$ は、 $Gm1$ の出力において非ゼロ差動 DC 電圧によって引き起こされ、チョッピング回路 32 によって引き起こされるリップルを感知して、その出力において対応する AC 信号を生み出すように動作する。 チョッピング回路 40 は、AC 信号を DC に変換し戻し、DC は、フィルタ 42 および $Gm4$ を介して $Gm1$ の出力に供給し戻され、それによって、 $Gm1$ の出力において任意の DC 信号を抑圧する。第 1 に、 V_{in} が DC 信号である限り、追加されたフィードバックループは、入力信号 (V_{in}) に影響を及ぼさないか、またはチョッピング周波数と比べてよりゆっくりと変化する。

40

【0025】

[0032] 図 5 のタイミング図は、入力オフセット電圧を伴わない非ゼロ入力電圧 V_{in} に関する本発明のチョッパ安定化増幅器の動作を例示する。非ゼロ V_{in} は、チョッピング回路 14 によって AC 電圧 V_{CHOP1} に変換される。 $Gm1$ は AC 電圧を増幅し、結果として、 $Gm1$ の出力 26、24 において AC 電圧 V_{GM1} を生じさせる。 V_{GM1} は、

50

チョッピング回路32によってチョッピングされ、それによって、出力端末36、34においてAC電圧をDC電圧 V_{CHOP2} に変換する。DC電圧は、 $Gm3$ によって増幅され、結果として、出力46、44においてDC出力電流 I_{GM3} を生じさせる。チョッピング回路40は、ノード50、48においてDC電流をAC電流 I_{CHOP3} に変換するように動作する。このAC電流は、フィルタの出力末端における電圧が等しく、かつAC成分もDC成分も含まないように、 I_{CHOP3} のAC成分をフィルタリングアウトする(*filter out*)ように動作するフィルタ42に加えられる。フィードバック信号としてこの電圧を提供することは、主信号経路に何の影響も与えず、増幅器内に相互コンダクタンス増幅器関連のオフセット電圧もオフセット電圧誘起リップルも存在しないため、これは所望される結果である。

10

【0026】

[0033]自動補正フィードバックループは、ループ相互コンダクタンス増幅器 $Gm3$ および $Gm4$ に関連する入力オフセット電圧を緩和するようにも動作する。 $Gm3$ に関連する入力オフセット電圧はチョッピングされて、それによって、フィルタ42に引き渡された信号内で高周波数AC成分に変換され、次いで、主信号経路に何の影響も及ぼさないように、フィルタ42によって取り消されるか、または抑圧される。 $Gm4$ に関連する入力オフセット電圧は、次いで、 $Gm1$ に関連する入力オフセット電圧に関して上で議論されたのと同じようにフィードバックループによって抑圧されることになるDC成分として $Gm1$ の出力に結合され、 $Gm1$ の出力において $V_{os4}/A3$ によってもたらされる大きさを有する残余DC信号だけを残し、この場合、 V_{os4} は $Gm4$ の入力オフセット電圧であり、 $A3$ は $Gm3$ のDC利得である。フィードバックループは、例えば、キャパシタの不一致またはクロックの非対称により、フィルタ42で発生する任意のDCエラーを抑圧するように動作することにもなる。

20

【0027】

[0034]上記のように、フィルタ42は、上で議論されたように、DCオフセットとその関連するリップルとを削減するのに十分に適したスイッチ・キャパシタ・ノッチ・フィルタ(SCNF)であることが好ましい。しかし、低域フィルタ(LPF)など、その他のフィルタタイプも使用され得るが、LPFは、フィルタリングされている信号内のチョッピング関連のAC成分の除去時の影響がより少なく、いくつかの残余エラーを引き起こす可能性がある。スイッチ・キャパシタLPFも連続時間LPFも使用され得る。所望されない入力オフセット電圧関連のリップルを含む信号と、増幅されている入力電力を表す信号とを区別するために、ある種のタイプのフィルタが必要とされる。

30

【0028】

[0035]SCNFの好ましい実施形態が図6に示され、その動作を例示するタイミング図が図7に示される。フィルタは、スイッチS1およびS2の出力側が、それぞれ、ノード60および62において接地参照キャパシタ(*ground-referred capacitor*)C1およびC2の上部に接続された状態で、それぞれ、相補SCNFクロックSCNFおよびSCNFによって操作されるS1およびS2からなるチョッピング回路40の出力48に接続された第1の分岐管を含む。2つのスイッチS3およびS4は、ノード60および62に接続され、その出力側がフィルタ出力ノード52に接続された状態で、それぞれ、SCNFおよびSCNFによって操作される。もう1つのキャパシタC3は、ノード52と接地との間で接続されることが好ましい。

40

【0029】

[0036]このフィルタは、スイッチS5およびS6の出力側が、それぞれ、ノード64および66において接地参照キャパシタC4およびC5の上部に接続された状態で、それぞれ、SCNFおよびSCNFによって操作されるS5およびS6からなるチョッピング回路40の出力50に接続された第2の分岐管も含む。2つのスイッチS7およびS8は、ノード64および66に接続されて、その出力側がフィルタ出力ノード54に接続された状態で、それぞれ、SCNFおよびSCNFによって操作される。もう1つのキャパシタC6は、ノード54と接地の間で接続されることが好ましい。

50

【 0 0 3 0 】

[0037] 上述のように、スイッチト・キャパシタ・ノッチ・フィルタは、チョッピングクロックと同じ周波数を有するが、チョッピングクロックに関して90度位相シフトされたクロック信号を用いて時間測定されることが好ましい。この場合、SCNFクロックSCNFおよびSCNFは、チョッピングクロック信号CHOPおよびCHOPのトグルを90度超えて発生する、ノード60および64における電圧が等しいとき、トグルすることが好ましい。これは、チョッピング周波数においてノッチを生み出し、フィルタに加えられた信号内の任意のオフセット電圧誘起AC成分がフィルタリングアウトされることを可能にする。

【 0 0 3 1 】

[0038] 動作中、チョッピング回路40の出力における電流 I_{CHOP3} は、SCNFおよびSCNFによって操作されるスイッチS1、S2、S5、およびS6を經由してフィルタに加えられる。これは結果として、示されるように、ノード64、60、66、および62においてAC三角波形を生じさせる。ノード64および60の場合、SCNFが低くなったとき、電圧がサンプリングされ、SCNFが再び高くなるまで、サンプリングされた電圧は保持される。ノード64と60の間で保持される電圧差は、チョッピングクロックとフィルタクロックとの間の90度の位相シフトにより、基本的にゼロである。

【 0 0 3 2 】

[0039] ノード66および62の場合、SCNFが低くなったとき、電圧がサンプリングされ、SCNFが再び高くなるまで、サンプリングされた電圧は保持される。上記のように、ノード66と62の間で保持される電圧差は、基本的にゼロである。これは結果として、フィルタの出力ノード(52, 54)同士の間、基本的にゼロである電圧差をもたらす、これは所望される結果である。

【 0 0 3 3 】

[0040] 上述のように、Gm2の出力は、通常、完全なチョッパ安定化演算増幅器を形成するために、出力段階に引き渡されることになる。1つの考えられる実施形態が図8に示される。主信号経路10および自動補正フィードバックループ12は前述の通りである。フィードフォワード相互コンダクタンス増幅器Gm5は、その差動入力において V_{in} を受信して、Gm2の出力38に結合された出力70を生み出すために接続され、Gm5は、そのDC精度を維持しながら、増幅器全体をより高い周波数入力信号に適したものにすることを促す。バッファ増幅器72は、ノード38に接続されて、その入力によって異なる出力を生み出す。この出力は演算増幅器の出力 V_{out} である。バッファ増幅器72は、演算増幅器に大きな利得を提供するように構成され得る。補償ネットワークは、チョッパ安定化演算増幅器に周波数補償を提供するために使用される。示される例示的な実施形態では、キャパシタC7がバッファ増幅器72の出力とGm2の非反転入力との間で接続され、キャパシタC8がGm2の反転入力と回路共通ポイントとの間で接続され、キャパシタC9がバッファ増幅器72の入力と出力との間で接続された状態で、入れ子型ミラーが用いられる。

【 0 0 3 4 】

[0041] 図8に示される回路構成は、Gm2またはGm5に関連する初期オフセット電圧がGm1の電圧利得によって抑圧されるのを可能にする。演算増幅器の総残余入力参照オフセット電圧(V_{os_res})は、

$$V_{os_res} = (V_{os2} + V_{osf} * A_f / A_2 + V_{os4} / A_3) A_1$$

によってもたらされ、式中、 V_{os2} 、 V_{osf} 、および V_{os4} は、それぞれ、Gm2、フィードフォワード増幅器Gm5、およびGm4に関連する初期オフセット電圧であり、 A_1 、 A_1 、 A_3 、および A_f は、それぞれ、Gm1、Gm2、Gm3、およびGm5に関連する利得値である。

【 0 0 3 5 】

[0042] 1つの考えられる代替実施形態が図9に示される。この場合、自動補正フィードバックループ12に対する入力、チョッピング回路32の出力においてではなく、Gm

10

20

30

40

50

1の出力において利用される。これを行うことは、 $Gm1$ の出力とフィードバックループに対する入力との間に追加のチョッピング回路80が追加されることを必要とする。この構成は、図2に示される構成と同じ機能性を提供するが、1つの追加のチョッピング回路を犠牲にする。

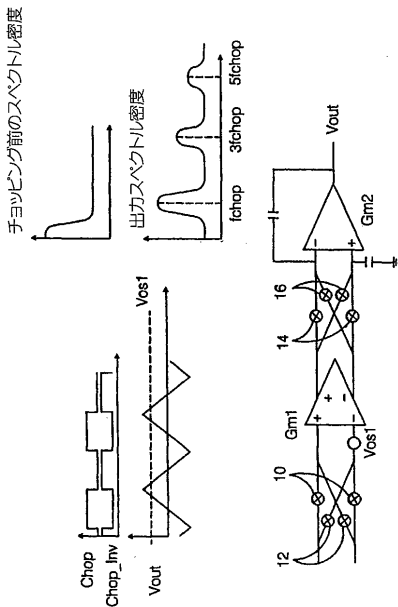
【0036】

[0043]いくつかの先行技術は、主信号経路内にフィルタを挿入することによってリップルを削減することを試みるが、これは、フィルタキャパシタンス同士の間の一貫性により、増幅器にエラーの影響を受け易くさせる可能性があり、加えて、補償キャパシタを経由して増幅器の出力内に欠陥が出現する可能性がある。対照的に、本明細書で説明された実施形態はそれぞれ、主信号経路内でオフセット電圧およびリップル電圧の影響を抑圧するためのフィルタを含むフィードバックループを使用することによって機能する。この手法は、(SCNFが使用されるとき)ノッチフィルタキャパシタンス内の一貫性を免れるのを助け、いくつかの先行技術設計において発生するように、補償キャパシタを経由してリップルが増幅器の出力に結合されるのを防ぐ。

【0037】

[0044]本明細書で説明された本発明の実施形態は、例示的であり、そのすべてが、添付の特許請求の範囲において画定される本発明の趣旨および範囲内に包含されることが意図される、実質的に同等の結果を達成するための多数の修正形態、改変形態、および再構成は容易に想定され得る。

【図1】



(先行技術)

【図2】

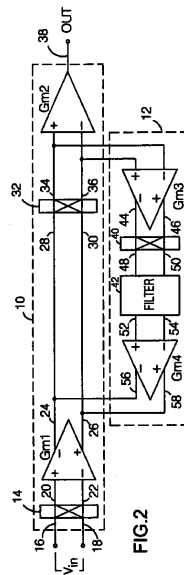


FIG.2

【 図 3 】

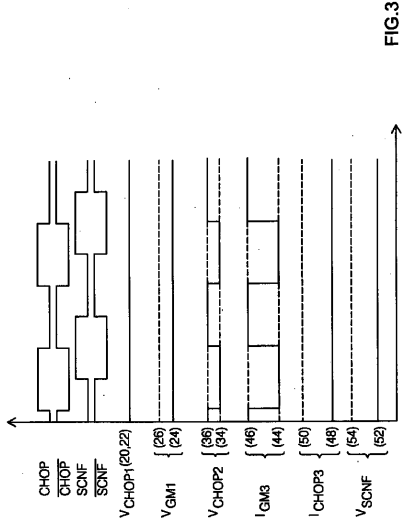


FIG.3

【 図 4 】

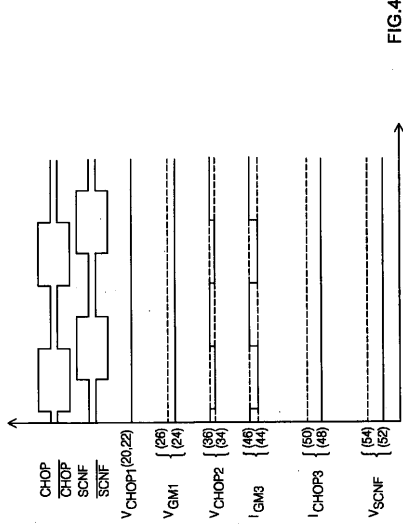


FIG.4

【 図 5 】

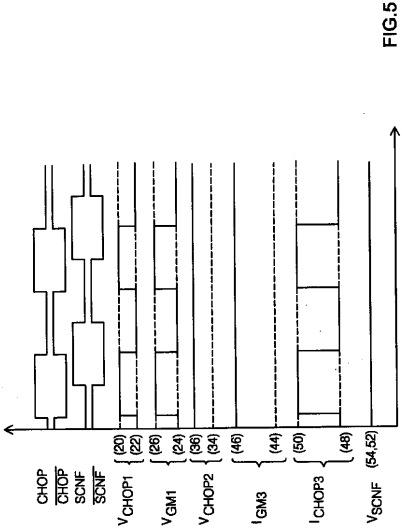


FIG.5

【 図 6 】

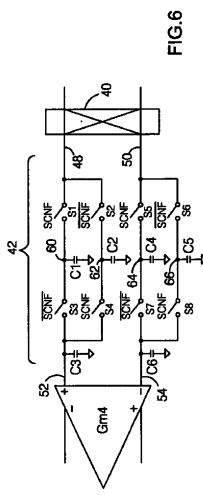


FIG.6

【 図 7 】

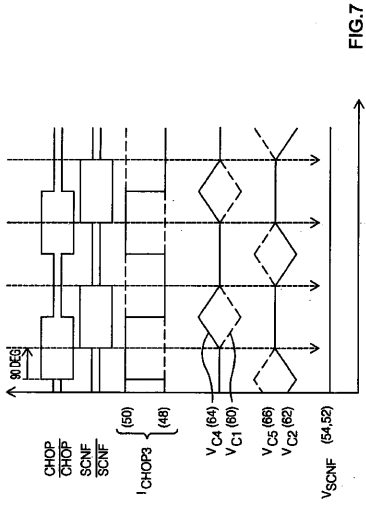


FIG.7

【 図 8 】

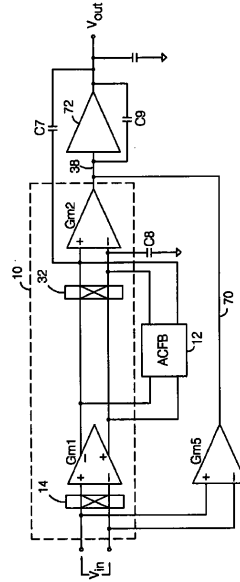


FIG.8

【 図 9 】

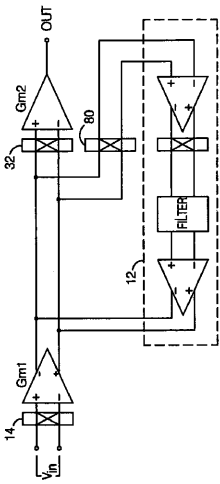


FIG.9

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/004988

| A. CLASSIFICATION OF SUBJECT MATTER INV. H03F3/45 | | |
|---|---|---|
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) H03F | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | US 2003/189461 A1 (HUIJSING JOHAN HENDRIK [NL] ET AL) 9 October 2003 (2003-10-09) paragraph [0041]; figure 7a | 1-13 |
| A | US 5 206 602 A (BAUMGARTNER RICHARD A [US] ET AL) 27 April 1993 (1993-04-27) column 8, line 38 - column 10, line 28; figure 4a | 1-13 |
| A | US 2006/176109 A1 (HUIJSING JOHAN H [NL] ET AL HUIJSING JOHAN HENDRIK [NL] ET AL) 10 August 2006 (2006-08-10) paragraph [0022] - paragraph [0032]; figure 5 | 1-13 |
| A | US 2002/097081 A1 (RAZAVI BEHZAD [US] ET AL) 25 July 2002 (2002-07-25) column 4, line 46 - line 57; figure 5 | 1-13 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family | | |
| Date of the actual completion of the international search 3 December 2009 | | Date of mailing of the international search report 10/12/2009 |
| Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016 | | Authorized officer Lorenzo, Carlos |

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2009/004988

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|--|------------------|---|--|
| US 2003189461 A1 | 09-10-2003 | NONE | |
| US 5206602 A | 27-04-1993 | DE 69322899 D1 DE 69322899 T2 EP 0568197 A2 JP 6224659 A | 18-02-1999 27-05-1999 03-11-1993 12-08-1994 |
| US 2006176109 A1 | 10-08-2006 | NONE | |
| US 2002097081 A1 | 25-07-2002 | NONE | |

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100113974

弁理士 田中 拓人

(72)発明者 楠田 義則

アメリカ合衆国マサチューセッツ州01801-6910, ウォーバン, キンボール・コート 2
 , ナンバー504

(72)発明者 ボトカー, トーマス・エル

アメリカ合衆国マサチューセッツ州01810, アンダーバー, ハイ・プレーン・ロード 389

Fターム(参考) 5J500 AA01 AA26 AC12 AF15 AF17 AF18 AH39 AK01 AK42 AK45

AK56 AM08 AM13 AT01 MU04 MV14 MV18