

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-150877  
(P2005-150877A)

(43) 公開日 平成17年6月9日(2005.6.9)

(51) Int. Cl.<sup>7</sup>  
H04N 5/335

F I  
H04N 5/335

テーマコード(参考)  
5C024

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号	特願2003-382025 (P2003-382025)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成15年11月12日(2003.11.12)	(74) 代理人	100076174 弁理士 宮井 暎夫
		(74) 代理人	100105979 弁理士 伊藤 誠
		(72) 発明者	稲垣 誠 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		Fターム(参考)	5C024 GY31 HX02 HX32

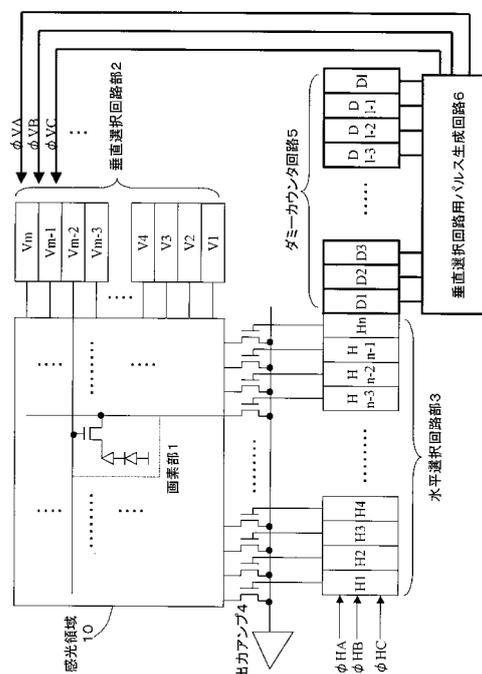
(54) 【発明の名称】 MOS型固体撮像装置

(57) 【要約】

【課題】 垂直選択回路の駆動パルスを外部的に外部入力する構成、もしくは内部発生回路を搭載していても、パッド面積、回路規模の問題でチップ面積を縮小することに対し限界があった。

【解決手段】 水平選択回路駆動パルスによって駆動される水平選択回路部3の最終出力が入力となり動作し始めるダミーカウンタ回路5と、ダミーカウンタ回路5の出力を用いて垂直選択回路駆動パルスを生成するパルス生成回路6とを設ける。ダミーカウンタ回路5およびパルス生成回路6は小規模な回路で実現でき、従来の内部発生回路を搭載する固体撮像装置に対し、チップ面積の縮小によるコストダウンを図ることができる。また、端子数の少ない固体撮像装置を製造可能であるため、カメラセットの小型化にも貢献する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を行および列の二次元状に配列した感光領域と、垂直選択回路駆動パルスに基づいて前記単位画素の行を選択する垂直選択回路部と、水平選択回路駆動パルスに基づいて前記単位画素の列を選択する水平選択回路部とを備えたMOS型固体撮像装置であって、

前記水平選択回路駆動パルスによって駆動され前記水平選択回路部の最終出力が入力となり動作し始めるダミーカウンタ回路と、前記ダミーカウンタ回路の出力を用いてパルス生成するパルス生成回路とを設けたことを特徴とするMOS型固体撮像装置。

## 【請求項 2】

前記パルス生成回路が生成するパルスを前記垂直選択回路駆動パルスとしたことを特徴とする請求項 1 のMOS型固体撮像装置。

## 【請求項 3】

前記ダミーカウンタ回路の単位回路を前記水平選択回路部と同一の構成としたことを特徴とする請求項 1 のMOS型固体撮像装置。

## 【請求項 4】

入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を行および列の二次元状に配列した感光領域と、垂直選択回路駆動パルスに基づいて前記単位画素の行を選択する垂直選択回路部と、水平選択回路駆動パルスに基づいて前記単位画素の列を選択する水平選択回路部とを備えたMOS型固体撮像装置であって、

前記垂直選択回路駆動パルスによって駆動され前記垂直選択回路部の最終出力が入力となり動作し始めるダミーカウンタ回路と、前記ダミーカウンタ回路の出力を用いてパルス生成するパルス生成回路とを設けたことを特徴とするMOS型固体撮像装置。

## 【請求項 5】

前記ダミーカウンタ回路の単位回路を前記垂直選択回路部と同一の構成としたことを特徴とする請求項 4 のMOS型固体撮像装置。

## 【請求項 6】

入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を一次元状に配列した感光領域と、選択回路駆動パルスに基づいて前記単位画素を選択する選択回路部とを備えたMOS型固体撮像装置であって、

前記選択回路駆動パルスによって駆動され前記選択回路部の最終出力が入力となり動作し始めるダミーカウンタ回路と、前記ダミーカウンタ回路の出力を用いてパルスを生成するパルス生成回路とを設けたことを特徴とするMOS型固体撮像装置。

## 【請求項 7】

前記ダミーカウンタ回路の単位回路を前記選択回路部と同一の構成としたことを特徴とする請求項 6 のMOS型固体撮像装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、信号電荷をセル内で増幅する増幅型MOSセンサを用いた固体撮像装置に関する。

## 【背景技術】

## 【0002】

図4は第1の従来例のMOS型固体撮像装置の概略構成図である。

## 【0003】

この固体撮像装置は、単位画素である画素部1が行および列の二次元状に配列された感光領域10と、感光領域10の垂直方向の行を選択する垂直選択回路部2と、水平方向の列を選択する水平選択回路部3と、垂直選択回路部2と水平選択回路部3とで選択された画素部1の信号を増幅またはインピーダンス変換して出力する出力アンプ4とを有する構成である。この構成において、各画素信号を読み出すために列および行を選択する方法と

10

20

30

40

50

しては、まず垂直選択回路V1を選択し、その状態で水平選択回路H1～Hnまで走査選択することで1行選択完了する。同様に、垂直選択回路V2～Vmまで垂直方向に走査選択することで、全列、全画素を選択することができる。

【0004】

しかし、例えば垂直選択回路部2を駆動するには外部からパルスを入力する必要がある、入力端子を含めた広い面積を占有する。更に図4には示さないが、画素部駆動用パルスとしては、信号読み出し用パルス、リセット用パルス、電子シャッター用垂直選択回路駆動用パルス、電子シャッター時信号読み出し用パルス、電子シャッター時リセット用パルスなどが必要となる。これらも同様に入力端子を含めて広い面積を占有する。また、外部に前記パルス群を生成する回路が必要となり、そのチップを組み合わせた面積としては固体撮像装置のチップ面積の1.5倍以上となる。

10

【0005】

図5は第2の従来例のMOS型固体撮像装置の概略構成図である。

【0006】

同図において、基本的な動作は図4と同様であるが、内部発生回路7を設けて前記パルス群を内部発生している。通常、これらのパルスを生成するには、大きな回路規模の論理回路が必要である。これによって広い面積を占有し、チップ面積は外部入力の固体撮像装置に対し1.3倍程度となる。

【特許文献1】特開平9-93498号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0007】

図4のように、画素部を走査するために必要なパルス群を外部から入力する構成や、図5のような内部発生回路7を搭載した構成では、チップ面積を縮小することに対し限界があった。

【0008】

本発明の目的は、チップ面積を小さくできるMOS型固体撮像装置を提供することである。

【課題を解決するための手段】

【0009】

30

本発明の第1のMOS型固体撮像装置は、入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を行および列の二次元状に配列した感光領域と、垂直選択回路駆動パルスに基づいて単位画素の行を選択する垂直選択回路部と、水平選択回路駆動パルスに基づいて単位画素の列を選択する水平選択回路部とを備えたMOS型固体撮像装置であって、水平選択回路駆動パルスによって駆動され水平選択回路部の最終出力が入力となり動作し始めるダミーカウンタ回路と、ダミーカウンタ回路の出力を用いてパルスを生成するパルス生成回路とを設けたことを特徴とする。

【0010】

本発明の第2のMOS型固体撮像装置は、第1のMOS型固体撮像装置において、パルス生成回路が生成するパルスを垂直選択回路駆動パルスとしたことを特徴とする。

40

【0011】

本発明の第3のMOS型固体撮像装置は、第1のMOS型固体撮像装置において、ダミーカウンタ回路の単位回路を水平選択回路部と同一の構成としたことを特徴とする。

【0012】

以上の第1～第3のMOS型固体撮像装置の構成によれば、ダミーカウンタ回路の出力は水平選択回路駆動パルスに同期し、水平選択回路部の最終出力に対して時間的に遅延したものとなる。ダミーカウンタ回路は段数の制限を設けていないので、パルス生成回路にて生成したいパルスのタイミングに応じて、ダミーカウンタの出力を使用すればよい。この場合、水平ブランキング期間内に垂直選択回路駆動パルス等の必要な画素部用パルスを生成することが可能となる。このようにダミーカウンタ回路とパルス生成回路を設けるこ

50

とによって、従来外部印加していたパルスを内部で生成することでパルス入力端子を省略することができる。また、ダミーカウンタ回路とパルス生成回路は、従来の内部発生回路のように時間的に遅延させる論理回路を必要としない構成であるため、回路規模が小さく、チップ面積を抑えることができる。

**【0013】**

本発明の第4のMOS型固体撮像装置は、入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を行および列の二次元状に配列した感光領域と、垂直選択回路駆動パルスに基づいて単位画素の行を選択する垂直選択回路部と、水平選択回路駆動パルスに基づいて単位画素の列を選択する水平選択回路部とを備えたMOS型固体撮像装置であって、垂直選択回路駆動パルスによって駆動され垂直選択回路部の最終出力が入力となり動作し始めるダミーカウンタ回路と、ダミーカウンタ回路の出力を用いてパルスを生成するパルス生成回路とを設けたことを特徴とする。

10

**【0014】**

本発明の第5のMOS型固体撮像装置は、本発明の第4のMOS型固体撮像装置において、ダミーカウンタ回路の単位回路を垂直選択回路部と同一の構成としたことを特徴とする。

**【0015】**

以上の第4、第5のMOS型固体撮像装置の構成によれば、ダミーカウンタ回路の出力は垂直選択回路駆動パルスに同期し、垂直選択回路部の最終出力に対して時間的に遅延したものとなる。ダミーカウンタ回路は段数の制限を設けていないので、パルス生成回路にて生成したいパルスのタイミングに応じて、ダミーカウンタの出力を使用すればよい。この場合、垂直ブランキング期間内に必要な画素部用パルスを生成することが可能となる。このようにダミーカウンタ回路とパルス生成回路を設けることによって、従来外部印加していたパルスを内部で生成することでパルス入力端子を省略することができる。また、ダミーカウンタ回路とパルス生成回路は、従来の内部発生回路のように時間的に遅延させる論理回路を必要としない構成であるため、回路規模が小さく、チップ面積を抑えることができる。

20

**【0016】**

本発明の第6のMOS型固体撮像装置は、入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を一次元状に配列した感光領域と、選択回路駆動パルスに基づいて単位画素を選択する選択回路部とを備えたMOS型固体撮像装置であって、選択回路駆動パルスによって駆動され選択回路部の最終出力が入力となり動作し始めるダミーカウンタ回路と、ダミーカウンタ回路の出力を用いてパルスを生成するパルス生成回路とを設けたことを特徴とする。

30

**【0017】**

本発明の第7のMOS型固体撮像装置は、第6のMOS型固体撮像装置において、ダミーカウンタ回路の単位回路を選択回路部と同一の構成としたことを特徴とする。

**【0018】**

以上の第6、第7のMOS型固体撮像装置の構成によれば、ダミーカウンタ回路の出力は選択回路駆動パルスに同期し、選択回路部の最終出力に対して時間的に遅延したものとなる。ダミーカウンタ回路は段数の制限を設けていないので、パルス生成回路にて生成したいパルスのタイミングに応じて、ダミーカウンタの出力を使用すればよい。このようにダミーカウンタ回路とパルス生成回路を設けることによって、従来外部印加していたパルスを内部で生成することでパルス入力端子を省略することができる。また、ダミーカウンタ回路とパルス生成回路は、従来の内部発生回路のように時間的に遅延させる論理回路を必要としない構成であるため、回路規模が小さく、チップ面積を抑えることができる。

40

**【発明の効果】****【0019】**

以上のように本発明によれば、ダミーカウンタ回路およびパルス生成回路を小規模な回路で実現し必要なパルスを内部発生することができるため、従来の内部発生回路を搭載す

50

る固体撮像装置に対し、チップ面積の縮小によるコストダウンを図ることができる。また、端子数の少ない固体撮像装置を製造可能であるため、現在主流であるフリップチップ実装等で接続領域を縮小でき、カメラセットの小型化にも貢献する。更に、外部のパルス発生回路が不要になるため、タイミング発生用LSIの回路規模を減らすことで、カメラセットのサイズを縮小でき、コスト、カメラセットの小型化の面で有利になる。

【発明を実施するための最良の形態】

【0020】

以下、図面を参照して本発明の実施形態を説明する。

【0021】

図1は、本実施形態によるMOS型固体撮像装置における概略回路図である。図1に示すように、この固体撮像装置は、従来例同様、半導体基板上に、単位画素である画素部1が行および列の2次元状に配列された感光領域10を備えている。各画素部1は、光を受け光電変換を行う受光部と、この受光部により発生した信号電荷を電圧として変換する浮遊拡散部と、浮遊拡散部の電圧変化を増幅する増幅トランジスタとで構成されている。そして、感光領域10の垂直方向の行を選択する垂直選択回路部2と、水平方向の列を選択する水平選択回路部3と、垂直選択回路部2と水平選択回路部3とで選択された画素部1の信号を増幅またはインピーダンス変換して出力する出力アンプ4とを有する構造である。

10

【0022】

さらに本実施形態では、水平選択回路部3を水平ブランキング期間分拡張することでダミーカウンタ回路5を構成している。すなわちダミーカウンタ回路5の各回路D1, D2, ..., D1は、水平選択回路部3の各回路H1, H2, ..., Hnと同じ構成であり、それぞれフリップフロップからなる。水平選択回路部3およびダミーカウンタ回路5はnMOSトランジスタのみで構成することができる。更に、垂直選択回路部2の駆動に必要なパルスを生成するために、垂直選択回路用パルス生成回路6を備える。垂直選択回路用パルス生成回路6への入力は、垂直選択回路部2の駆動に必要なタイミングを、ダミーカウンタ回路5から引き出すことで実現する。そして、垂直選択回路用パルス生成回路6からの出力を垂直選択回路部2に入力することで、垂直選択回路部2を駆動することができる。

20

【0023】

次に、さらに図2を参照しながら、本実施形態の動作を説明する。図2は本発明の実施形態における動作を示すタイミング図である。

30

【0024】

水平選択回路部3は、水平選択回路走査パルスHA、HB、HCの入力で列選択箇所を順じ、シフトしていくことで走査する。図2では簡単のために、HAまたはHBまたはHCのいずれか一つを示す。一方、ダミーカウンタ回路5は水平選択回路部3と同じ構成であるため、感光領域10の各列を選択し終わるとそのままダミーカウンタを動作させ、同様のタイミングで走査しつづける。しかし、ダミーカウンタ回路5は感光領域10を選択することがなく、から送り状態となる。この部分を水平ブランキング期間(無信号期間)として使用する。そして、垂直選択回路部2の動作に必要なパルスは、この期間を使用して入力できればよい。よって、ダミーカウンタ回路5からの出力D1out~D1outを利用してパルスを生成できれば、垂直選択回路部2の動作パルスとして使用することができる。これを実現するのが垂直選択回路用パルス生成回路6である。

40

【0025】

なお、VAは垂直選択回路のスタート信号、VB, VCは垂直選択回路駆動パルスである。

【0026】

以下、垂直選択回路用パルス生成回路6の一例について図3を用いて説明する。図3は、垂直選択回路用パルス生成回路6において、垂直選択回路部2に入力するVA, VB, VC, ...のいずれか1つのパルスを生成する回路を示す回路図である。

50

## 【0027】

本実施形態では、パルスの立ち上げにダミーカウンタ回路5の出力を2出力、パルスの立ち下げにダミーカウンタ回路5の出力を1出力使用して、フリップフロップ回路により実現している。

## 【0028】

この図3の回路は、1個のキャパシタC1と7個のnMOSトランジスタM1～M7を用いて構成され、入力にはダミーカウンタ回路5からの出力 in1、in2、in3を使用する。まず in1によってトランジスタM1とトランジスタM7がONとなる。これによってトランジスタM3がONすると同時にトランジスタM3のソース側はGNDに固定され、キャパシタC1が充電される。次に in2が入力される。この時、in1がLOWとなってもキャパシタC1に充電されているため、トランジスタM3はON状態のままである。よって in2の入力はキャパシタC1に充電された電圧に加えて in2振幅分がトランジスタM5へ伝達される。ここで最大電圧が得られ、立ち上がりが完了する。次に in3が入力されるとトランジスタM2およびトランジスタM4がONし、キャパシタC1の両端をGNDとすることで放電する。またトランジスタM6をONすることでパルスはLOWレベルに至る。図2の場合、例えば垂直選択回路駆動パルスVAを生成する回路では、in1にダミーカウンタD1の出力(D1out)を用い、in2にダミーカウンタD2の出力(D2out)を用い、in3にダミーカウンタD4の出力(D4out)を用いている。

10

## 【0029】

このようにしてダミーカウンタ回路5と垂直選択回路用パルス生成回路6によって水平ブランキング期間に生成されるパルスは、その水平ブランキング期間に垂直選択回路部2で使用される。例えば、垂直選択回路は、画素部へパルスを伝達すると同時に次の行へ信号を伝達する回路(マスター回路と呼ぶ)と次の行へシフトするためのみに使用する回路(スレーブ回路と呼ぶ)に分かれ、本例の場合、マスター回路にVAを与え、スレーブ回路にVBを与える。VAとVBは2分周の方形波であり、お互いに逆位相である。またスタートパルスはマスター回路、スレーブ回路のどちらから始まるかによって入力方法が異なり、マスター回路がはじめであれば、マスター回路のHigh期間にスタートパルスのHigh期間を合わせることで走査し始めることができる。また、スレーブ回路がはじめであれば、スレーブ回路のHigh期間にスタートパルスのHigh期間を合わせることで走査し始めることができる。スタートパルスは垂直走査回路の動作開始時のみHighにするパルスであり、その他はLOWである。

20

30

## 【0030】

上記のフリップフロップ回路は、本発明を実現する上で駆動能力、消費電流等を考慮した回路構成であるが、もちろん、パルスを生成できる回路であれば多種の回路構成が想定でき、この実施形態に限定するものではない。

## 【0031】

垂直選択回路用パルス生成回路6には、図3の回路を垂直選択回路部2に必要な数だけ設置する。例えば、VA, VB, VC以外に、垂直選択回路部2が9入力を必要とする場合には、垂直選択回路用パルス生成回路6内にVA, VB, VCの生成用以外に図3の回路を9個設置する。この回路数は限定されるものではなく、垂直選択回路部2が必要とする入力数設置すればよい。なお、前述の垂直選択回路部2が必要とする9入力は、そのまま画素部1に伝達されるパルスであり、垂直選択回路V1, V2, … Vmのいずれか選択されている行のみ画素部1に伝達される。垂直選択回路V1, V2, … Vmのそれぞれは各行に対応して設けられたフリップフロップであり、全体でシフトレジスタを構成している。なお、垂直選択回路と画素部の間にはV1, V2, … Vm各行にAND回路(例えばマルチプレクサ)があり、9入力は各行のAND回路に入力される。そして、V1～Vmのなかで、Highレベルになっている行のみ9入力が画素部側へ伝達される。この動作によって、選択した行のみの画素を駆動させることが可能になる。

40

50

## 【0032】

ここで回路規模の比較を行っておく。上記のように垂直選択回路部2の9入力を実現するために、図5のように従来の論理回路を使用する内部発生回路7では432個のトランジスタが必要であるのに対し、本実施形態の構成を使用すれば、100個以下で実現できる。回路占有面積としては、1/3以下である。

## 【0033】

以上のように本実施形態によれば、垂直選択回路部2に使用する駆動パルス小さな回路規模で内部発生化できる。これにより、チップ面積の縮小によるコストダウンを図ることができるとともに、端子数の少ない固体撮像装置を製造可能であるため、カメラセットの小型化にも貢献する。

10

## 【0034】

なお、本実施形態では、ダミーカウンタ回路5の出力を用いて垂直選択回路駆動パルス生成するようにしたが、それ以外にも、ダミーカウンタ回路5の出力を用いて画素部の信号読み出し用パルスやリセット用パルス、電子シャッター用垂直選択回路駆動パルス、電子シャッター時信号読み出し用パルス、電子シャッター時リセット用パルス、垂直選択回路駆動開始パルスなどの必要なパルス生成回路を設けてもよい。

## 【0035】

また、本実施形態では、水平選択回路駆動パルスによって駆動され水平選択回路部3の最終出力が入力となり動作し始めるダミーカウンタ回路5を設けたが、垂直選択回路駆動パルスによって駆動され垂直選択回路部2の最終出力が入力となり動作し始めるダミーカウンタ回路を設け、垂直ブランキング期間内にそのダミーカウンタ回路の出力を用いて前述のような必要なパルス生成回路を設けることで、同様な効果を得ることができる。

20

## 【0036】

また、本実施形態では、画素部1が二次元状に配列された感光領域10を有したMOS型固体撮像装置について説明したが、画素部1が一次元状に配列された感光領域を有したMOS型固体撮像装置についても、同様に適用できる。この場合、一次元状に配列された画素部1を選択回路駆動パルスに基づいて選択する選択回路部を備えてあり、選択回路駆動パルスによって駆動され選択回路部の最終出力が入力となり動作し始めるダミーカウンタ回路と、ダミーカウンタ回路の出力を用いて必要なパルス生成回路とを設けることで、同様な効果を得ることができる。

30

## 【産業上の利用可能性】

## 【0037】

本発明にかかるMOS型固体撮像装置は、チップ面積の縮小を図ることができ、画素部が二次元状あるいは一次元状に配列された感光領域を有したMOS型固体撮像装置等として有用である。

## 【図面の簡単な説明】

## 【0038】

【図1】本発明の実施形態のMOS型固体撮像装置の概略回路図

【図2】本発明の実施形態における動作を示すタイミング図

40

【図3】本発明の実施形態における垂直選択回路用パルス生成回路の一例の回路図

【図4】第1の従来例のMOS型固体撮像装置の概略回路図

【図5】第2の従来例のMOS型固体撮像装置の概略回路図

## 【符号の説明】

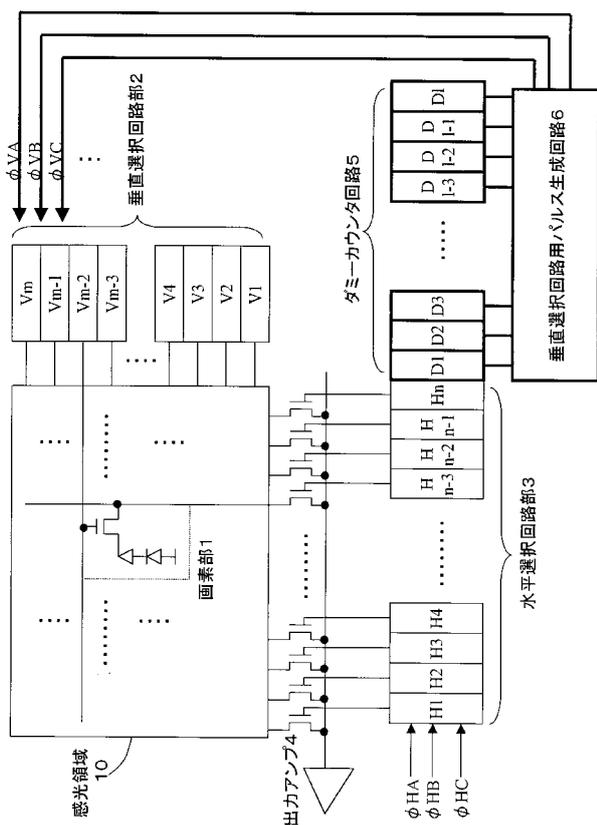
## 【0039】

- 1 画素部
- 2 垂直選択回路部
- 3 水平選択回路部
- 4 出力アンプ
- 5 ダミーカウンタ回路

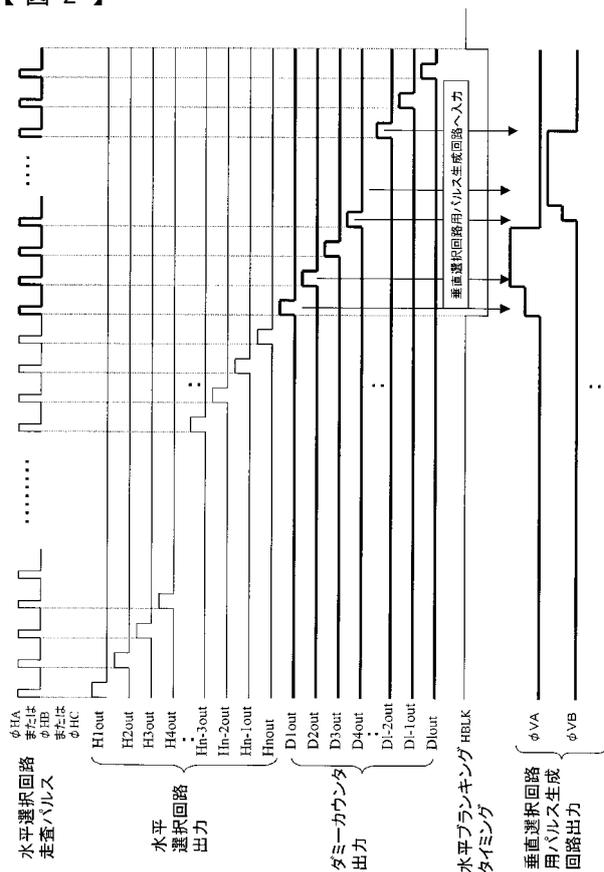
50

6 垂直選択回路用パルス生成回路  
10 感光領域

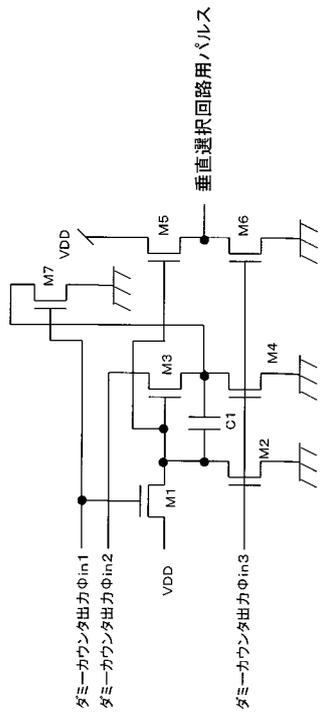
【 図 1 】



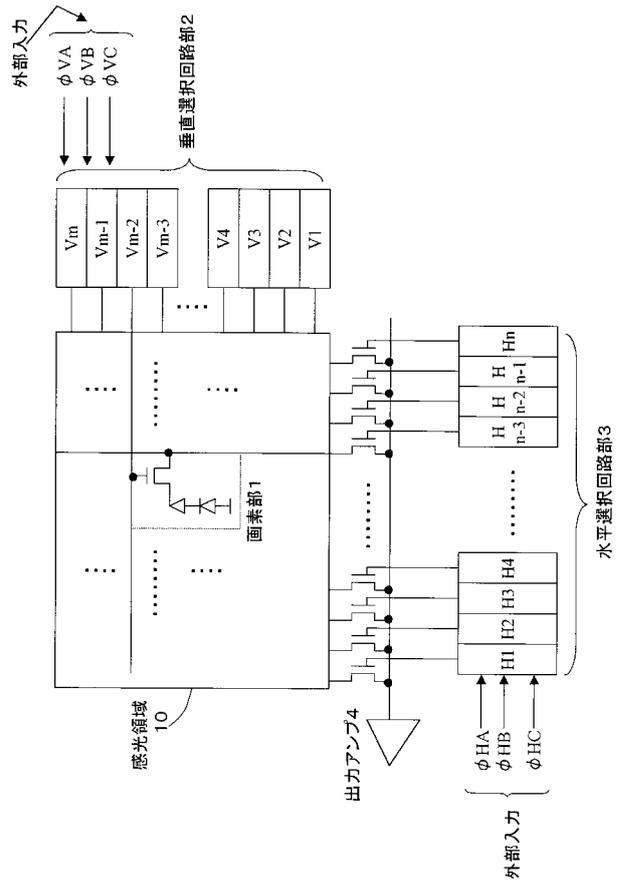
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

